



特許協力条約に基づいて公開された国際出願

(51) 国際特許分類 H01L 29/72, 29/08	A1	(11) 国際公開番号 WO 79/00736 (43) 国際公開日 1979年10月4日 (04. 10. 79)
(21) 国際出願番号 PCT/JP79/00059 (22) 国際出願日 1979年3月9日 (09. 03. 79) (31) 優先権主張番号 特願昭53-27255 (32) 優先日 1978年3月10日 (10. 03. 78) (33) 優先権主張国 JP (71) 出願人 富士通株式会社 (FUJITSU LIMITED) 〒211 日本国神奈川県川崎市中原区上小田中1015番地 Kanagawa, Japan (米国を除くすべての指定国について) 縄田恵昭 (NAWATA, Yoshiaki) 〒235 日本国神奈川県横浜市磯子区洋光台2丁目1番地 25-501 Kanagawa, Japan (米国についてのみ) 小野邦久 (ONO, Kunihiisa) 〒259-13 日本国神奈川県秦野市千村242番地 Kanagawa, Japan (米国についてのみ) 高橋孝司 (TAKAHASHI, Koji) 〒247 日本国神奈川県鎌倉市大船2丁目20番地38号 Kanagawa, Japan (米国についてのみ) 菅野好泰 (KANNO, Yoshiyasu) 〒211 日本国神奈川県川崎市高津区千年583番地 Kanagawa, Japan (米国についてのみ) (72) 発明者 縄田恵昭 (NAWATA, Yoshiaki) 〒235 日本国神奈川県横浜市磯子区洋光台2丁目1番地 25-501 Kanagawa, Japan 小野邦久 (ONO, Kunihiisa) 〒259-13 日本国神奈川県秦野市千村242番地 Kanagawa, Japan		高橋孝司 (TAKAHASHI, Koji) 〒247 日本国神奈川県鎌倉市大船2丁目20番地38号 Kanagawa, Japan 菅野好泰 (KANNO, Yoshiyasu) 〒211 日本国神奈川県川崎市高津区千年583番地 Kanagawa, Japan (74) 代理人 弁理士 青木 朗 (AOKI, Akira) 西館和之 (NISHITATE, Kazuyuki) 内田幸男 (UCHIDA, Yukio) 山口昭之 (YAMAGUCHI, Teruyuki) 〒105 日本国東京都港区虎ノ門1丁目8番10号 静光 虎ノ門ビル 青木内外特許事務所 Tokyo, Japan (81) 指定国 DE, GB, US. 添付公開書類 国際調査報告書

(54) Title: TRANSISTORS

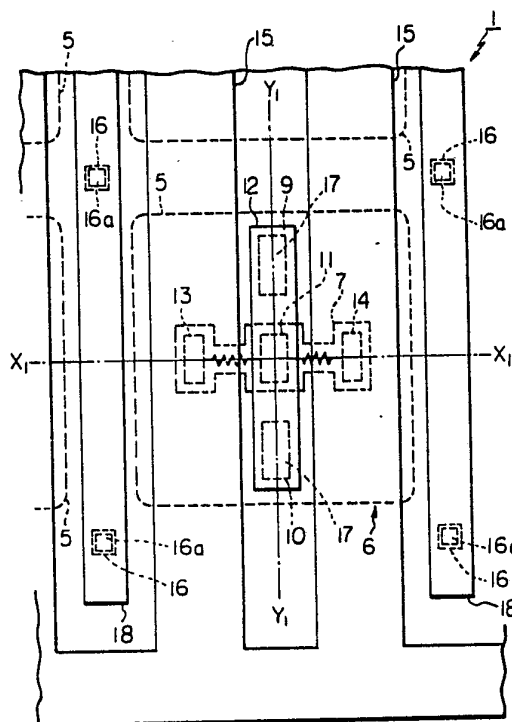
(54) 発明の名称 トランジスタ

(57) Abstract

A transistor having a base region in which a plurality of emitter regions are provided. These emitter regions are provided therein resistor regions acting as stabilizing resistance, said resistor regions being reversed in conductive type with respect to that of the emitter regions. These resistor regions are connected together by a common emitter-wiring electrode and further each connected to its corresponding emitter region. The emitter regions are aligned on a predetermined line such that conductive means connecting each of the resistor regions with its corresponding emitter region may be arranged on a chip without intersecting with the emitter-wiring electrode, while the resistor regions are formed in the emitter regions so as to intersect with said predetermined line.

(57) 要約

ベース領域内に複数のエミッタ領域が形成されたトランジスタにおいて、各エミッタ領域内に安定化抵抗として働く、該エミッタ領域の導電型とは逆の導電型の抵抗領域が形成されている。これらの抵抗領域はエミッタ配線電極によって共通に接続されると共に、各抵抗領域は対応するエミッタ領域に接続されている。各抵抗領域とこれに対応するエミッタ領域とを接続する導電手段が、エミッタ配線電極と交叉することなくチップ上に配置できるように、エミッタ領域が線上に配置され、抵抗領域が該線と交叉するようにエミッタ領域中に形成される。



情報としての用途のみ

PCTに基づいて公開される国際出願のパンフレット第1頁にPCT加盟国を同定するために使用されるコード。

AT	オーストリア	LU	ルクセンブルグ
BR	ブラジル	MC	モナコ
CF	中央アフリカ	MG	マダガスカル
CG	コンゴ	MW	マラウイ
CH	スイス	NL	オランダ
CM	カメルーン	RO	ルーマニア
DE	西ドイツ	SE	スウェーデン
DK	デンマーク	SN	セネガル
FR	フランス	SU	ソビエト連邦
GA	ガボン	TD	チャード
GB	イギリス	TG	トーゴ
JP	日本	US	米国

明 細 書

発 明 の 名 称

ト ラ ン ジ ス タ

技 術 分 野

- 5 本発明はトランジスタに関し、更に詳細に述べると、一半導体基板上に形成された複数のトランジスタユニットが並列接続され、且つ各トランジスタユニットのエミッタ回路に安定化抵抗が挿入されて成る高出力トランジスタの構造に関する。

10 背景技術

- トランジスタの高周波領域における特性を改善し、高出力を得ることができるよう、一半導体基板上に複数のトランジスタユニットが形成され、互いに並列接続されたトランジスタ、例えばオーバーレイ・
- 15 トランジスタ、メッシュエミッタ・トランジスタ、リングエミッタ・トランジスタ、或いはエミッタバラスト・トランジスタ等が開発され、実用化されている。しかしながら、この種のトランジスタにおいては、トランジスタを構成する各トランジスタユニットの電気的特性が必ずしも同一の電気的特性を有するとは限らない。従って、これらのトランジスタ
- 20 ユニットが並列に接続されて動作せしめられた場合に、あるトランジスタユニットにのみ過大な負荷が掛り、そのトランジスタユニットが二次破壊を起す
- 25 ことがある。この二次破壊を防止するため、この種

のトランジスタにおいては、各トランジスタユニットのエミッタ回路に安定化抵抗を挿入してトランジスタユニット回路内において負帰還動作を行なわせ、各トランジスタユニットにかかる負荷の均一化を図っている。

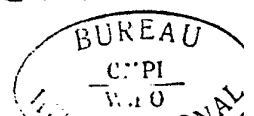
この安定化抵抗をトランジスタユニットのエミッタ回路に挿入するために、従来、種々の方法が提案されている。その1つの方法は、トランジスタユニットのエミッタ領域の表面を覆う絶縁皮膜に形成された電極窓内に抵抗材料（例えばニクロム（Ni - Cr）等の金属、多結晶半導体物質等）を所望の厚みにて被着する。そして被着された抵抗材料の一端に電極を設け、これによりエミッタ回路に安定化抵抗を挿入する方法である。この場合、電極窓内に抵抗材料を被着することにより所望の抵抗値を有する安定化抵抗をうることができない場合には、該抵抗材料がその絶縁被膜上において延在されるように抵抗材料を被着してもよい。

また、他の方法は、ベース領域内にエミッタ領域を形成する場合に、エミッタ領域と同一の導電型の拡散領域をベース領域内に所定の形状にて同時に形成し、この拡散領域を安定化抵抗領域として用いる方法である。この抵抗領域の形成は、エミッタ領域を形成する工程とは別の工程によって行なってもよい。この方法で安定化抵抗を形成する場合には、各

拡散抵抗領域は、その一端が対応するエミッタ領域に接触し他端が電極配線に接続されるように、或は、拡散抵抗領域を対応するエミッタ領域から離隔して形成し、エミッタ領域が該拡散抵抗領域の一端と電極配線によって接続され、その他端が他の電極配線に接続されるように形成されていてもよい。

しかしながら、上述の従来提案されている方法は、製造工程数が増大し、電気的特性の良好な素子を得ることが困難な上に、トランジスタユニットの集積密度を高めることが極めて困難であるという欠点を有している。即ち、前者の方法においては、これらの抵抗材料を被着し、パターンニングする工程が必要となるので製造工程数が増加することになる。また、より高い出力を得るためにエミッタ領域の数が増やされた場合には、1つのエミッタ領域の面積が狭くなるので、抵抗材料のパターンニングが困難となる。従って、エミッタ領域の数が増やされた場合には、集積密度を高くすることが困難で、半導体素子のチップサイズが大きくなってしまふ。更に、エミッタ領域に適宜の抵抗材料を用いて抵抗を被着する方法は、所望の抵抗値と所望の電流容量とを満足する抵抗材料を見つけることが難しいので、実用化するに到っていない。

一方、ベース領域内に形成されたエミッタ領域の導電型と同一の導電型の拡散抵抗領域が安定化抵抗



として用いられる後者の方法では、ベース領域から P N 接合により絶縁された領域が安定化抵抗として用いられている。従って、安定化抵抗の形成は容易である。しかし、安定化抵抗として動作する拡散抵抗領域の導電型がエミッタ領域と同一の導電型となるため、トランジスタの動作中、拡散抵抗領域からベース領域にキャリアが注入される。それ故、トランジスタの電流増幅率が小さくなるという欠点を有する。

10 発明の開示

本発明の目的は、トランジスタの電流増幅率を低下させることなく、エミッタ領域の導電型と同一の導電型の拡散抵抗領域を安定化抵抗として用いることができるトランジスタを提供することにある。

15 本発明の他の目的は、各エミッタ回路に安定化抵抗が挿入されて成る複数のトランジスタユニットをチップ上で配線手段を交差させずに並列接続することができるトランジスタを提供することにある。

本発明の更に他の目的は、高い歩留りをもって製造することができるトランジスタを提供することにある。

本発明の更に他の目的は、高周波領域でより優れた電気的特性を有すると共に大電力を得ることができるトランジスタを提供することにある。

25 本発明によれば、一導電型のコレクタ領域と、該

コレクタ領域内に形成される逆導電型のベース領域と、該ベース領域内に形成された一導電型の複数のエミッタ領域とが半導体基板上に形成されたトランジスタにおいて、各エミッタ領域内に、安定化抵抗として働く逆導電型の抵抗領域が形成される。この抵抗領域は、対応するエミッタ領域に導電手段によって接続されると共に抵抗領域は該導電手段に接触しないようにエミッタ配線電極によって共通に接続される。この結果、各抵抗領域はベース領域と直接に接していないため、トランジスタの電流増幅率を低下させることが防止できる。

更にまた、本発明によれば、一導電型のコレクタ領域と、該コレクタ領域内に形成される逆導電型のベース領域と、該ベース領域内に形成された一導電型の複数のエミッタ領域とが半導体基板上に形成されたトランジスタにおいて、該エミッタ領域が線上に配置されており、各エミッタ領域内には、その長手軸線が該線と交叉するように形成され安定化抵抗として働く逆導電型の抵抗領域が形成されている。抵抗領域は直線状エミッタ配線電極によって共通に接続される。更に、抵抗領域は、該エミッタ配線電極と近接して配置され、該エミッタ配線電極とは接触しない導電手段により、対応するエミッタ領域と接続されている。この場合、エミッタ配線電極と導電手段とは半導体基板の表面を覆うように設けられた

絶縁層の上に形成され、該絶縁層に窓あけを行って
所要の接続を行うようにしてもよい。このような構
成によれば、エミッタ配線電極の配線と導電手段の
配線とが半導体基板上において交叉することが避け
5 られると共に、トランジスタのチップの寸法を小さ
くすることができる。その上、トランジスタの電気
的特性を向上させることができる。

図面の簡単な説明

第1図は、本発明によるトランジスタの一部拡大
10 平面図、第2図は第1図の $X_1 - X_1$ 線断面図、第
3図は第1図の $Y_1 - Y_1$ 線断面図、第4図は本発
明によるトランジスタの特性と従来のトランジスタ
の特性とを示す特性図、第5図は本発明によるトラ
ンジスタの他の実施例のユニットトランジスタを示
15 す平面図、第6図は第5図の $X_2 - X_2$ 線断面図、
第7図は第5図の $Y_2 - Y_2$ 線断面図、第8図は第
5図に示すトランジスタの変形例を示す平面図、第
9図は第8図の $X_3 - X_3$ 線断面図、第10図は第
8図の $Y_3 - Y_3$ 線断面図、第11図は第1図に示
20 す本発明のトランジスタの変形例を示す平面図、第
12図は第11図の $X_4 - X_4$ 線断面図、第13図
は第11図の $Y_4 - Y_4$ 線断面図、第14図は第1
図に示す本発明のトランジスタの他の変形例を示す
平面図、第15図は第14図の $X_5 - X_5$ 線断面図、
25 第16図は第14図の $Y_5 - Y_5$ 線断面図、第17

図は本発明によるトランジスタのチップ全体を示す平面図、第18図乃至第20図は本発明のトランジスタの特性を示す特性図である。

発明を実施するための最良の形態

- 5 以下、添付図面を参照しながら、本発明の好ましい実施例につき説明する。

第1図には、本発明によるトランジスタの一部が拡大して示してある。このトランジスタ1は、第2図に示すように、N型半導体基板2上にN型エピタキシャル層として形成されたコレクタ領域3と、コレクタ領域3に隣接するように形成されたP型ベース領域4と、ベース領域4内に形成された多数のN⁺型エミッタ領域5とを備えている。第2図では、エミッタ領域5は唯1つしか示されていないが、第1
10 図から理解されるように、多数のエミッタ領域5がマトリクス状にベース領域4内に配置されており、各エミッタ領域5は、ベース領域4及びコレクタ領域3と共にトランジスタユニット6を構成している。各エミッタ領域5の中には、安定化抵抗として働く
15 抵抗領域7が、適宜のアクセプタ不純物の選択的拡散を行なうことによって形成されたP⁺型拡散領域として設けられている。従って、抵抗領域7はエミッタ領域5によってベース領域4から隔離され、抵抗領域7からベース領域4に不要なキャリアが注入さ
20 れることを有効に防止することができる。他のトラ

ンジスタユニットも図示のトランジスタユニット 6
と同様に抵抗領域が形成されている。この結果、各
トランジスタユニットにおいて、安定化抵抗の形成
に起因する電流増幅率の低下を防止することができ
5 る。

抵抗領域 7 は、第 1 図に示すように、その平面形
状が細長に形成され、且つ抵抗領域 7 の長手方向に
沿ってのびる線が、エミッタ領域の配置を規定する
線と交叉するように形成されている。図示の実施例
10 では、抵抗領域の長手方向に沿ってのびる線と、該
配置を規定する線とが直交するように抵抗領域 7 が
形成されている。各領域が上述のように形成されて
いる半導体基板 2 の表面は、酸化シリコンの如き絶
縁層 8 (第 2 図)で覆われている。この絶縁層 8 上
15 に、配線用金属層が設けられると共に、この絶縁層
8 には金属層を所望の領域に接続するための窓が設
けられている。即ち、エミッタ領域 5 に対応する絶
縁層 8 には 2 つの窓 9 , 10 が、抵抗領域の長手方
向に沿う線と直交する線に沿って配置されるように
20 形成されており、且つ抵抗領域 7 に対応する絶縁層
8 には窓 9 , 10 に整列するように窓 11 が設けら
れている。エミッタ領域 5 と抵抗領域 7 とは、これ
らの窓 9 , 10 , 11 を介して、絶縁層 8 上に形成
された金属層 12 によって接続されている (第 3 図
25 参照)。他のトランジスタユニットにおいても夫々

同様の接続がなされている。また更に、抵抗領域 7
の両端部には夫々窓 1 3 , 1 4 が設けられており、
他のトランジスタユニットにおいてもこれらの窓
1 3 , 1 4 に対応する窓が絶縁層 8 に設けられてい
5 る。従って、今までの説明から判るように、各トラ
ンジスタユニットの窓 1 3 , 1 4 もまたマトリクス
状に配置されることになる。これらの窓 1 3 及び
1 4 を介して露出している各抵抗領域は、抵抗領域
7 の長手方向に沿う線と直角になるように絶縁層 8
10 上に設けられた複数本のエミッタ配線電極 1 5 によ
って共通に接続されている。即ち、各トランジスタ
ユニットのエミッタ領域は、このエミッタ配線電極
1 5 によって各エミッタ領域に対応してその中に設
けられた抵抗領域を夫々介して共通に接続される。
15 このように、複数のエミッタ領域をベース領域内に
マトリクス状に配置することによって複数のエミッ
タ領域を 1 つ又は複数の線上に配置し、且つ各エミ
ッタ領域内に形成される抵抗領域を、その長手方向
に沿った線がエミッタ領域の配置を規定する線と交
20 叉するように形成されている。従って、抵抗領域の
一部とこの抵抗領域に対応するエミッタ領域とを接
続する金属層 1 2 と、各抵抗領域の端部に共通に接
続される配線電極 1 5 とが絶縁層 8 上において交叉
しないように、金属層 1 2 とエミッタ配線電極 1 5
25 とを絶縁層上に形成することが可能である。従って

すぐ理解されるように、エミッタ領域の配置はマトリクス状に配置するのに限定されるものではなく、複数のエミッタ領域は1つ又は複数の線上に配置されていれば充分である。更に、上述の実施例では、

5 エミッタ配線電極15に接続される抵抗領域7の端部が各抵抗領域に対して2つ宛設けられているが、勿論、1つだけ設けることも可能である。しかしながら、この実施例のように、1トランジスタユニットにつき2本のエミッタ配線電極15を設けると、
10 この配線電極の有効接触面積を増大させることができる。それ故複数のトランジスタユニットを並列接続して大電力用トランジスタを構成する場合には、エミッタ配線電極を並設することは非常に有効である。

15 このように、金属層12と配線電極15とが絶縁層8上において交叉することなく絶縁層8上に形成できるので、チップ上に金属層12と配線電極15とを形成する際に、これらの金属層12と配線電極15との間を絶縁するための絶縁層の形成が不要となる。従って、製造工程数が従来の構造のトランジスタを形成する製造工程数に比して減少する。更に、配線用絶縁層を設けないので、この配線用絶縁層を形成するときに該層内に発生するピンホールに因る製造歩留りの低下を生ずることもない。上述の利点
20
25 は本発明にかかるトランジスタの特徴の1つである

BUREAU
OMPI
WIPO

第1図乃至第3図に示されているトランジスタの構造は、エミッタ領域5の主面の形状がほぼ矩形状に形成されており、且つ少なくともこの領域5の対角線上にベースコンタクト領域16が配置されている特徴を有する。ここで符号18はベース配線電極であり、この配線電極18は各ベースコンタクト領域16に対向する絶縁層8に設けられた窓16aを介して各ベースコンタクト領域16に接続されている。ベースコンタクト領域16を上述の如く配置することにより、ベースコンタクト領域16をこれに対応するエミッタコンタクト領域17から比較的離れた位置に配置することができる。符号19で示されるのはコレクタ電極である。従って、トランジスタユニットが動作した場合に、エミッタ領域5の周縁部のほとんどの部分が有効に働き、大きな電流を流すことができる。それ故、ベースコンタクト領域を上述の如く配置し、且つエミッタ配線電極を1ユニットに対して2つ設ける構造とすれば、高周波特性が優れた、大電力用トランジスタを得ることができる。尚、エミッタ領域5の各コーナーは適当な曲率半径を有する円弧状となっており、これにより各コーナーに電流が集中して流れるのを防止している。

このようなトランジスタユニットを有するトランジスタは以下に述べるようにして作ることができる。

コレクタ領域3は、 N^+ 型半導体基板上にN型半導

体層をエピタキシャル成長法で形成するか、又は N 型半導体基板の両面からドナー不純物を高濃度に拡散して、 N^+ 型半導体層を形成した後、N 型半導体基板の一方の面に形成された N^+ 型半導体層を除去する
5 工程を含んで成る方法で形成してもよい。

P 型ベース領域は、例えば硼素等のアクセプタ不純物を基板内に選択的に或は非選択的に拡散することにより形成することができる。この場合、このトランジスタが高電圧用のトランジスタであれば、ベース-コレクタ接合がチップの側面に現われる所謂
10 メサ型構造を採用するのが望ましい。一方、このトランジスタが低電圧用のトランジスタである場合にはプレナー型構造を採用するのが望ましい。

ベースコンタクト領域は、上述の P 型ベース領域内へ、アクセプタ不純物を選択的に拡散し、ベース領域の不純物濃度より高い不純物濃度の領域を形成する方法により形成することができる。

N^+ 型エミッタ領域は、ベース領域内へ例えば砒素 (As)、磷 (P) 等のドナー不純物を高濃度で且つ
20 選択的に拡散する方法で形成することができる。

P^+ 型抵抗領域は、上述のエミッタ領域内へアクセプタ不純物を高濃度で且つ選択的に拡散する方法で形成することができる。尚、ベースコンタクト領域の拡散深さの値は厳密に所定の値となる必要がない
25 ので、深さの値が規定される抵抗領域を形成すると

同時にベースコンタクト領域を形成してもよい。

また、絶縁層として、熱酸化法或は気相成長法によって形成される二酸化シリコン (SiO_2) を用いることができる。また、二酸化シリコンを窒化シリコン (Si_3N_4)、燐シリケートガラス (PSG) 等と組合せて用いることも可能である。

更に、エミッタ配線電極、ベース配線電極及び金属層は、アルミニウム (Al) を蒸着したのち、不要な部分を除去するパターンニング処理を行うことにより形成することができる。これらの電極は絶縁層に形成された窓を介して所望の領域に電氣的に接続することができる。

上述のような方法を用いてエミッタ領域内に抵抗領域を形成する場合、エミッタ領域の深さが浅いと、所謂“エミッタ押出し効果”によってエミッタ領域の深さが所定の深さより大きくなってしまふ。この結果、エミッター-ベース間降伏電圧及びエミッター-コレクタ間降伏電圧が低くなり、また大きな電流増幅率を得ることが困難となる場合がある。上述の“エミッタ押出し効果”の影響を減少させる方法として次の方法が考えられる。

(1) 抵抗領域が形成される部分に対応するベース領域の厚さを予め選択的に厚くしておき、抵抗領域の形成によってエミッタ領域が押出されてもベース領域の幅が所定の値を確保できるようにする。

(2) 抵抗領域が形成される部分に対応するエミッタ領域を予め選択的に浅く且つ低不純物濃度となるように形成し、抵抗領域の形成により押出されるエミッタ領域の部分を相殺又は補償する。

5 (3) ベース領域を形成した後、抵抗領域を形成すべき部分に対応する半導体基板が突出するようにエッチングを行なう。この処理後、エミッタ領域を形成するための拡散を行なう。該突出部の下に、周囲の平坦部に同時に形成されたエミッタ領域の深さより
10 りも浅いエミッタ領域を形成し、これにより、抵抗領域を形成する際に押出される部分を相殺又は補償する。

第4図には、第1図乃至第3図に示される本発明によるトランジスタの電気的特性を、従来のトラン
15 ジスタの電気的特性とを比較するための特性図が示してある。この特性図はコレクター-エミッタ間に5[V]の電圧を印加した場合に、コレクタ電流 I_C の値に従って電流増幅率 h_{FE} が変化する状態を示したものである。符号(a)で示されるのが本発明のト
20 ランジスタの特性であり、符号(b)で示されるのがリング状のエミッタ領域に囲まれるベース領域内に、エミッタ領域を作る工程とは別の工程で抵抗領域を形成した従来のトランジスタの特性である。更に、符号(c)で示されるのは、リング状のエミッタ領域に囲
25 まれているベース領域内に、エミッタ領域を作る工

程と同一の工程で作られた安定化抵抗として働く抵抗層を有している従来のトランジスタの特性である。

第4図から判るように、本発明によるトランジスタは、大きなコレクタ電流 I_C を流した状態の下で使用しても、電流増幅率の低下を生じない。従って本発明のトランジスタは大電力用トランジスタとして優れているといえる。

第5図乃至第7図には本発明の他の実施例が示されている。第5図乃至第7図に示されているトランジスタ20のトランジスタユニット21においては、エミッタ領域22がベースコンタクト領域16に近い活性エミッタ領域22aと、活性エミッタ領域22aを形成する拡散処理工程とは別の拡散処理工程で形成された不活性エミッタ領域22bとから成っている。不活性エミッタ領域22bの不純物濃度は活性エミッタ領域22aのそれよりも低く、不活性エミッタ領域22bの深さは活性エミッタ領域の深さよりも浅く形成されている。抵抗領域7は不活性エミッタ領域22b中に拡散処理によって形成されている。このように構成することにより、抵抗領域7からベース領域4にキャリアが注入されることを阻止し、電流増幅率が低下することを防止することができる上に、抵抗領域7を活性エミッタ領域22aから実質的に絶縁することができる。尚、第5図乃至第7図において、第1図乃至第3図に示さ

れる部分と同一の部分は、第1図乃至第3図において使用されたのと同じの参照符号を付してある。トランジスタ20は、各トランジスタユニットのエミッタ領域の構造が前述のトランジスタユニット6の
5 それと異なることを除いてはトランジスタ1と同様に構成されている。

トランジスタユニット21においては、活性エミッタ領域22aと不活性エミッタ領域22bとは相互に接するように形成されているが、第8図乃至第
10 10図に示すように、トランジスタユニット23は、不活性エミッタ領域22bが活性エミッタ領域22aと離隔して構成され、不活性エミッタ領域22bが電氣的にフローティングの状態となるように形成されてもよい。

15 また、本発明の効果的な実施にあたっては、第11図乃至第13図に示されるトランジスタユニット24のように、エミッタ領域25の周辺の一部に凹部25a, 25bを設けてエミッタ領域25の周囲長が長くされている。これにより、第1図乃至第
20 3図に示すトランジスタ1に比してこのトランジスタの高周波での特性を向上させることができる。凹部25a, 25bの代りに凸部を設けてもよい。この場合、エミッタ領域25の周辺の一部に凹部が設けられるならば、ベース領域4内の凹部に対向する
25 位置に付加的なベースコンタクト領域40を設け、

凹部を形成することによってもたらされる高周波特性の向上を助長してもよい。

本発明の他の効果的な実施例が第14図乃至第16図に示されている。本実施例では、トランジスタ26はベースコンタクト領域27が各エミッタ領域5を囲む帯状に形成されている。このような構成によれば、エミッタ領域5とベースコンタクト領域27との間の有効対向面積を著しく増大させると共にベース抵抗 $r_{bb'}$ を低下させることができるので、トランジスタの高周波特性を著しく向上させることができる。ここで符号28はベースコンタクト領域27をベース配線電極18に接続するための窓である。

第17図には、36個のトランジスタユニットが形成された本発明に係るトランジスタ29の平面図が示されている。トランジスタ29は単一のチップ30の上に形成されており、一点鎖線で囲まれる36個のトランジスタユニット31から成っている。第17図において、32はエミッタ配線電極、33はエミッタ電極端子、34はベース配線電極、35はベース電極端子、36は抵抗領域とこの抵抗領域に対応するエミッタ領域とを接続する金属層である。尚、第17図においては、抵抗領域が省略されている。

このようなトランジスタ29において、各トラン



シスタユニット 31 が第 1 図乃至第 3 図に示すように構成され、且つ下記の如き値に作られている NPN 型トランジスタの電気的特性が第 18 図乃至第 20 図に示されている。

5	N ⁺ 型半導体基板の比抵抗	0.012 [$\Omega \cdot cm$]
	N 型エピタキシャル層の比抵抗	16 [$\Omega \cdot cm$]
	N 型エピタキシャル層の厚さ	35 [μ]
	P 型ベース領域の表面不純物濃度	1×10^{18} [個/ cm^3]
	P 型ベース領域の深さ	5 [μ]
10	P ⁺ 型ベースコンタクト領域の表面不純物濃度	2×10^{20} [個/ cm^3]
	P ⁺ 型ベースコンタクト領域の深さ	1.5 [μ]
	N ⁺ 型エミッタ領域の一辺の長さ	360 [μ]
	N ⁺ 型エミッタ領域の四隅の曲率半径	20 [μ]
15	P ⁺ 型抵抗領域の長さ	240 [μ]
	P ⁺ 型抵抗領域の幅 (最大)	80 [μ]
	P ⁺ 型抵抗領域の幅 (最小)	40 [μ]
	抵抗領域の抵抗値 (前記窓 11 と 13 との間の抵抗と窓 11 と 14 との間の抵抗の合成抵抗値)	3.75 [Ω]
20	絶縁層の厚さ	1 [μ]
	エミッタ配線電極の幅 (1 本)	110 [μ]
	ベース配線電極の幅	50 [μ]
	金属層の幅	50 [μ]
	配線電極及び金属層の厚さ	4 [μ]
25	第 18 図は、第 17 図に示した本発明に係る NPN	

型トランジスタ 29 の、コレクタ電流 I_C に対する利得帯域幅積 f_T の特性を示すグラフである。なお、これは、 $V_{CE} = 10$ [V] 一定、入力信号周波数 10 [MHz]、温度 25 [°C] にて測定したものである。

5 この結果より明らかな如く、本発明に係るトランジスタは $I_C = 0.1 \sim 4$ [A] の範囲において、 $f_T = 42 \sim 80$ [MHz] という優れた特性を有している。

また、第 19 図は、トランジスタ 29 のコレクタ電流 I_C に対する電流増幅率 h_{FE} の特性を示すグラフ
10 である。これは $V_{CE} = 5$ [V] 一定、温度 25 [°C] の条件下で測定したものである。

第 19 図から明らかな如く、本発明に係るトランジスタは、 $I_C = 0.05 \sim 7$ [A] の範囲において、 $h_{FE} = 60 \sim 84$ という優れた特性を有している。

15 更に第 20 図は、本発明に係る前記 NPN 型トランジスタの、安全動作領域 (ASO または SOA と称される) の特性を示すグラフである。これは、温度 25 [°C] にて測定したものである。

同図において、A は直流 (DC) 安全動作領域、
20 B はパルス幅 10 [ms] の単一パルスに対する安全動作領域である。

第 20 図より明らかな如く、本発明に係るトランジスタの安全動作領域は、直流あるいはパルスに対して充分に大きい。

25 尚、以上の実施例は全て NPN 型トランジスタを例

RECEIVED
JAN 10 1980
JPN

にとって説明されているが、本発明は PNP 型トランジスタについても適用することができるのは勿論である。

更に、抵抗領域の平面形状は図示の形状に限定されるものではなく、所望の抵抗値を得られるならば、
5 どのような平面形状としてもよい。

本発明によれば、安定化抵抗として働く抵抗領域を、ベース領域内に形成されベース領域の導電型とは反対導電型の領域内に設けたので、ベース領域と
10 抵抗領域とが直接接触せず、トランジスタの電流増幅率を従来のトランジスタに比べて増大させることができる。また、抵抗領域を、上述の如く配置することにより、トランジスタの主平面に配置される接続用の各金属層を交叉させることなく形成することが
15 できるので、各金属層間の絶縁を行うための絶縁層が不要になる。従って、歩留りを低下させることなく製造工程数を削減することができると共に、優れた電気的特性を有するトランジスタを提供することができる。

請 求 の 範 囲

1. 一導電型のコレクタ領域と、該コレクタ領域
に隣接して形成される逆導電型のベース領域と、該
ベース領域内に形成された前記一導電型の複数のエ
ミッタ領域とが半導体基板上に形成されたトランジ
5 スタにおいて、各エミッタ領域内に形成され安定化
抵抗として働く前記逆導電型の抵抗領域と、該抵抗
領域を対応するエミッタ領域に接続する導電手段と、
前記導電手段と接触しないように前記抵抗領域に共
10 通に接続されるエミッタ配線電極とを備えたことを
特徴とするトランジスタ。

2. 前記エミッタ配線電極が前記半導体基板の表
面を覆う絶縁層上に電極金属層として形成されてい
る請求の範囲第1項記載のトランジスタ。

15 3. 前記ベース領域内にマトリックス状に配置さ
れた前記ベース領域の不純物濃度より不純物濃度が
高い追加領域と、前記エミッタ配線電極と略平行に
直線状にのびるように前記絶縁層上に形成され前記
追加の領域に接続されるベース配線電極とを更に備
20 えた請求の範囲第2項記載のトランジスタ。

4. 一導電型のコレクタ領域と、該コレクタ領域
に隣接して形成される逆導電型のベース領域と、該
ベース領域内に形成された前記一導電型の複数のエ
ミッタ領域とが半導体基板上に形成されたトランジ
25 スタにおいて、前記エミッタ領域が線上に配置され

RECEIVED
COPY
0
INFORMATION

ており、各エミッタ領域内にその長手方向が該線と交叉する方向となるように形成され安定化抵抗として働く前記逆導電型の抵抗領域と、抵抗領域に共通に接続される直線状エミッタ配線電極と、該エミッタ配線電極と近接して配置され前記抵抗領域を夫々前記配線電極と接触しないように対応するエミッタ領域に接続する導電手段とを備えたことを特徴とするトランジスタ。

5 5. 前記エミッタ配線電極と前記導電手段とが前記半導体基板の表面を覆う絶縁層上に形成されている請求の範囲第4項記載のトランジスタ。

6. 前記半導体基板の表面を覆う絶縁層上に前記ベース領域と接続されるベース配線電極が前記エミッタ配線電極と略平行に延びるように形成されている請求の範囲第4項記載のトランジスタ。

7. 前記各エミッタ領域は、夫々、周縁部のベース領域内への侵入深さが中央部のそれよりも深くなるように形成されており、前記抵抗領域は夫々対応するエミッタ領域の中央部に形成されている請求の範囲第4項記載のトランジスタ。

8. 一導電型のコレクタ領域と、該コレクタ領域に隣接して形成される逆導電型のベース領域と、該ベース領域内に形成された前記一導電型の複数のエミッタ領域とが半導体基板上に形成されたトランジスタにおいて、前記エミッタ領域はリング状に形成

されて線上に配置されており、前記エミッタ領域に
囲まれる領域内に夫々前記エミッタ領域に接近して
形成された前記一導電型の不活性領域と、該不活性
領域内に前記線と交叉する方向に延びるように形成
5 され安定化抵抗として働く逆導電型の抵抗領域と、
各抵抗領域に共通に接続される直線状エミッタ配線
電極と、該エミッタ配線電極と近接して配置され抵
抗領域を前記配線電極と接触しないように夫々対応
するエミッタ領域に接続する導電手段とを備えたこ
10 とを特徴とするトランジスタ。

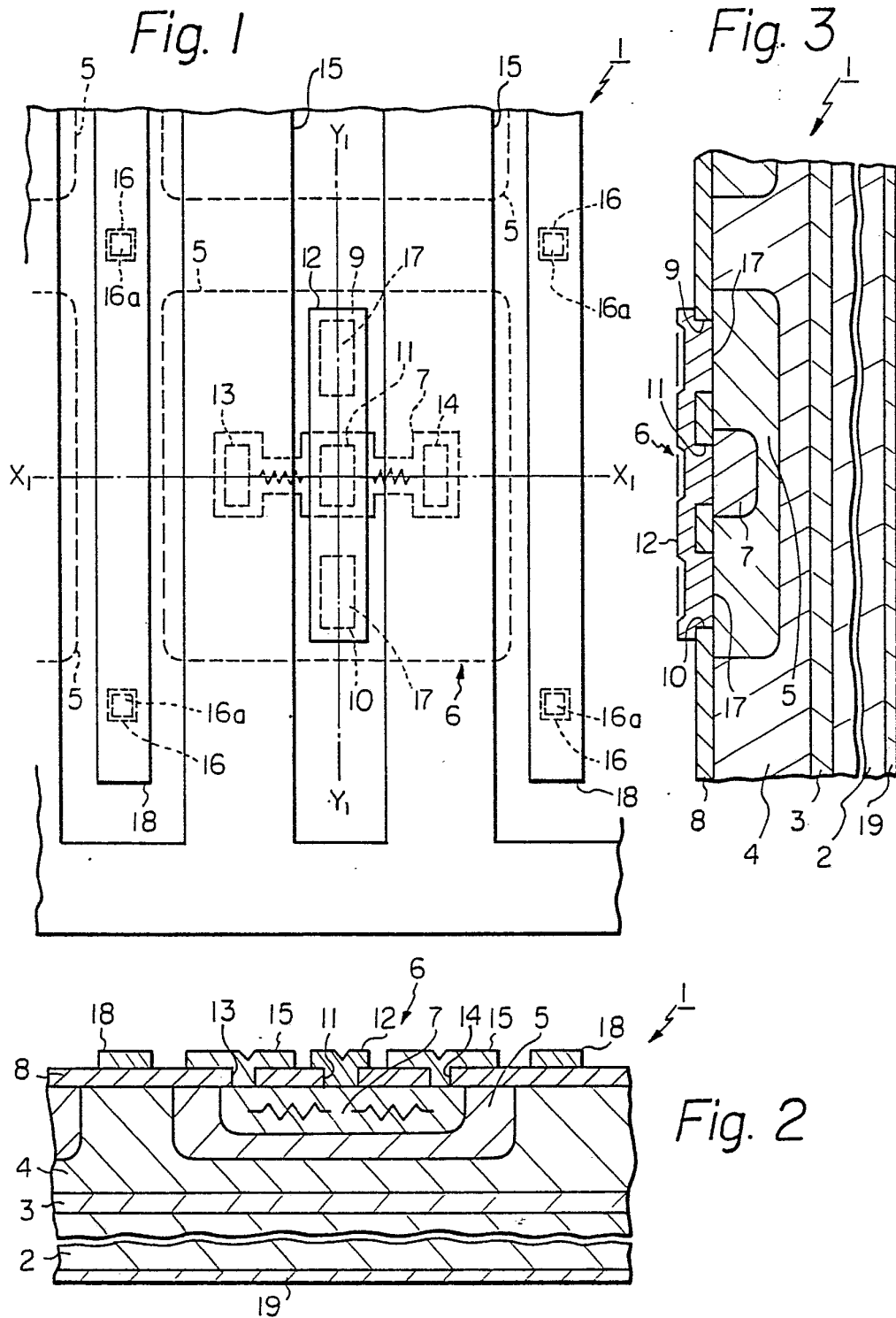
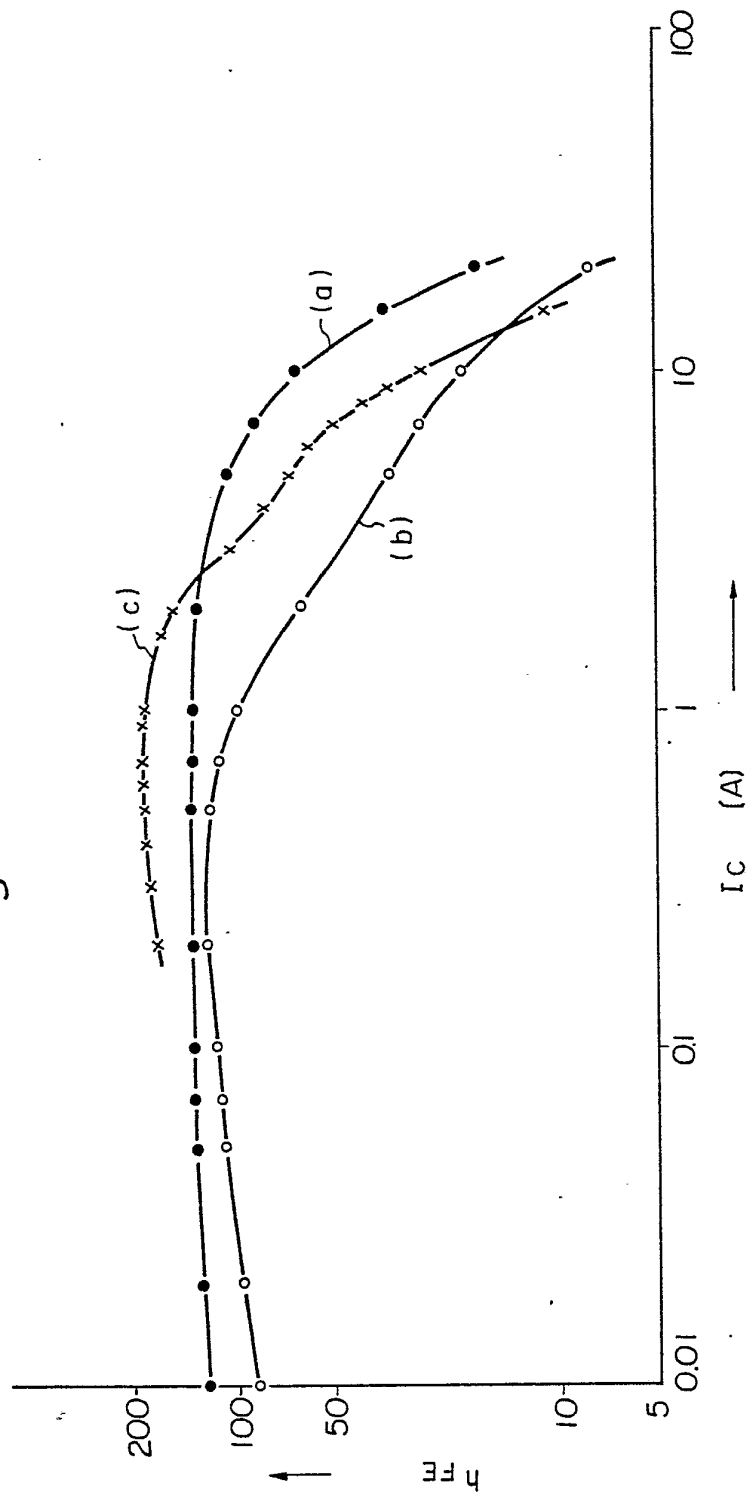


Fig. 4



3

Fig. 5

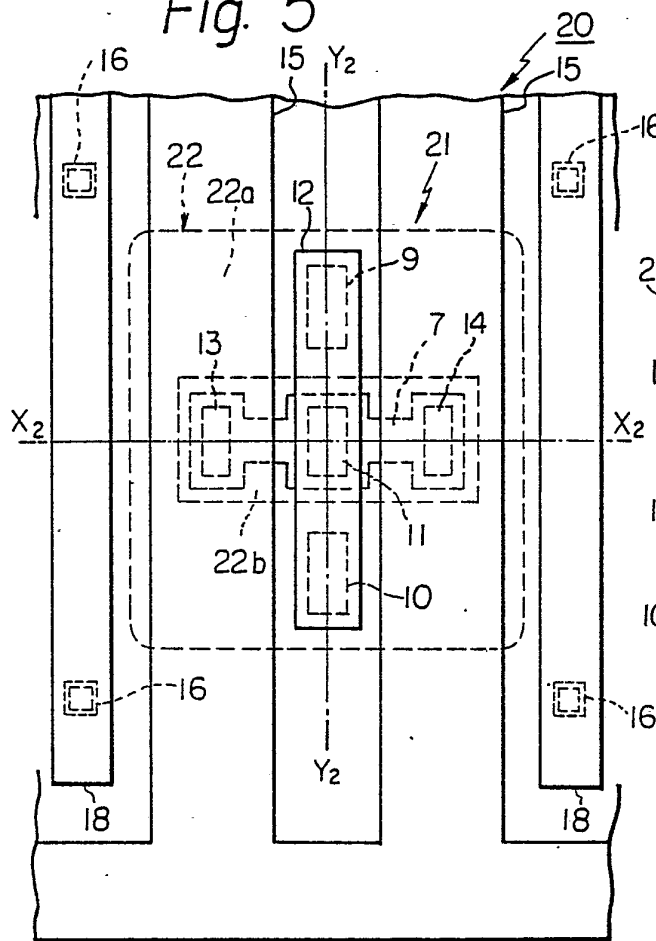


Fig. 7

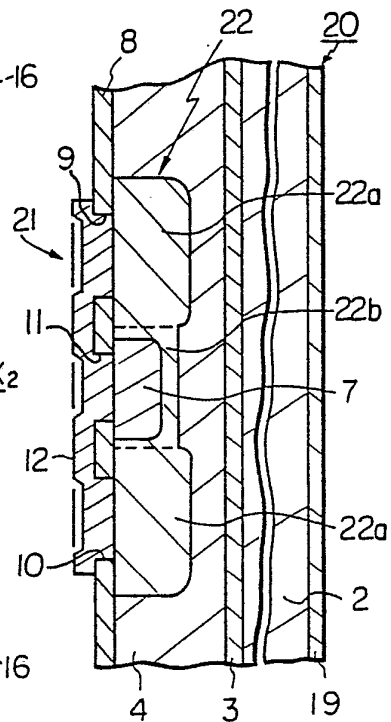


Fig. 6

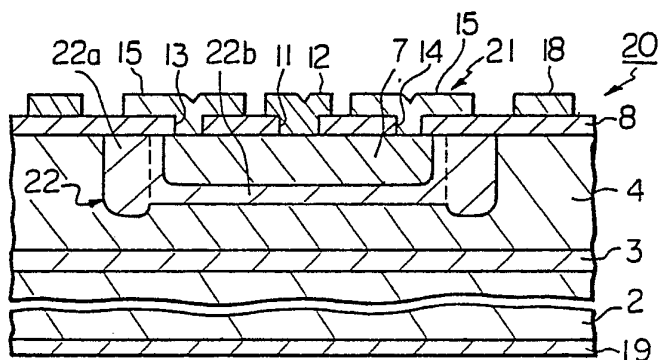


Fig. 8

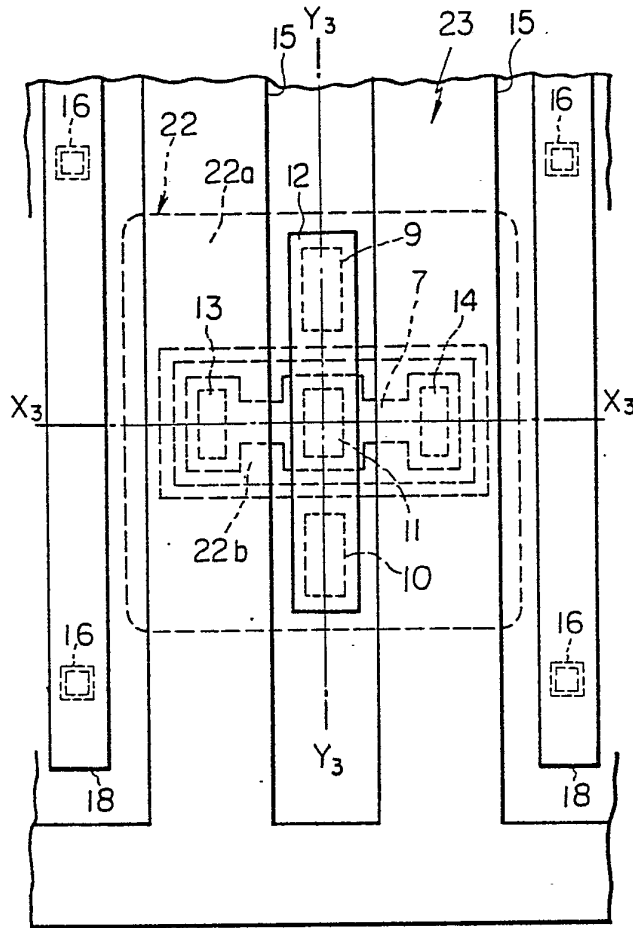


Fig. 10

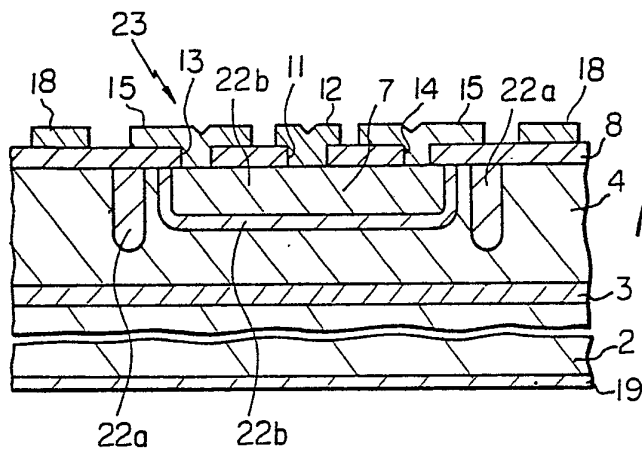
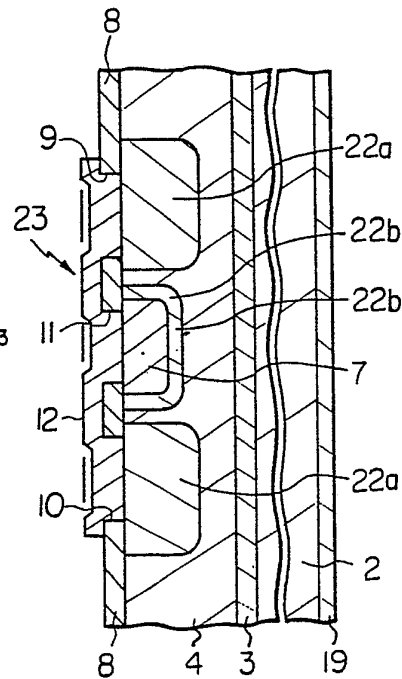


Fig. 9

5

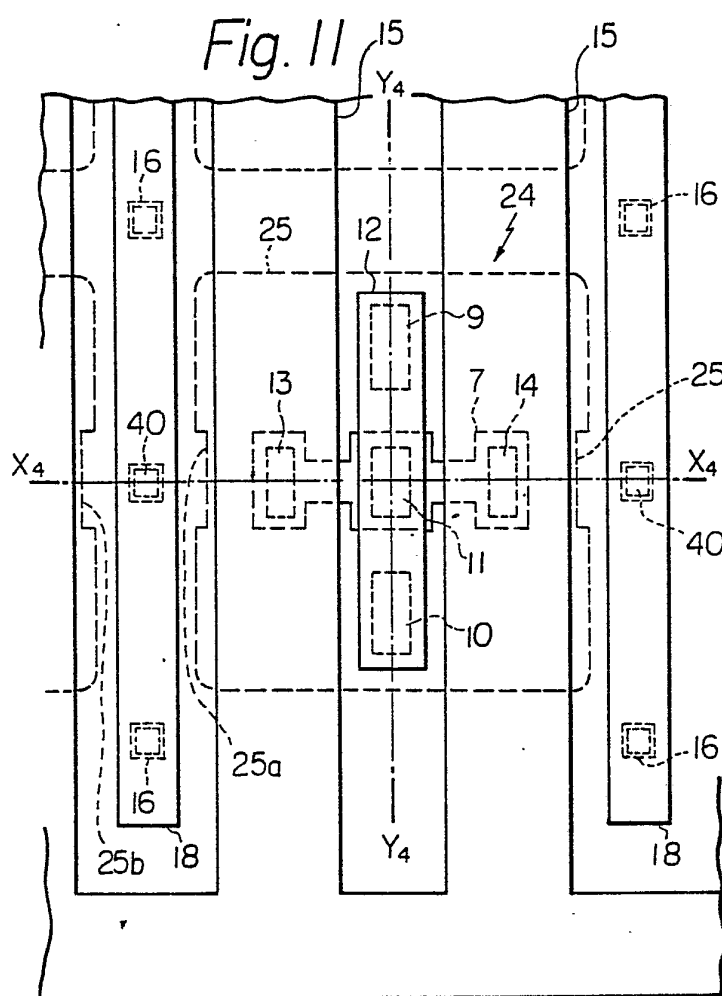


Fig. 13

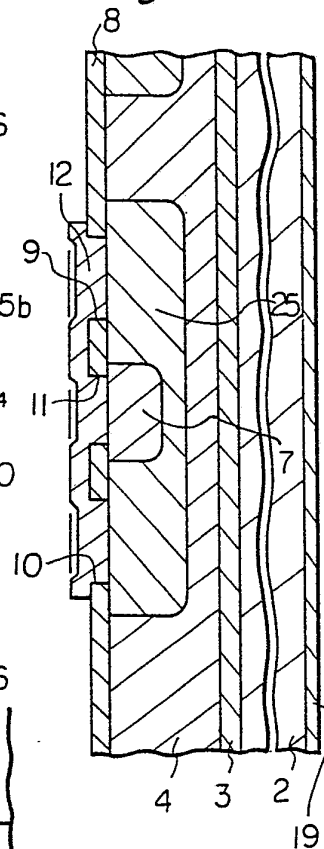
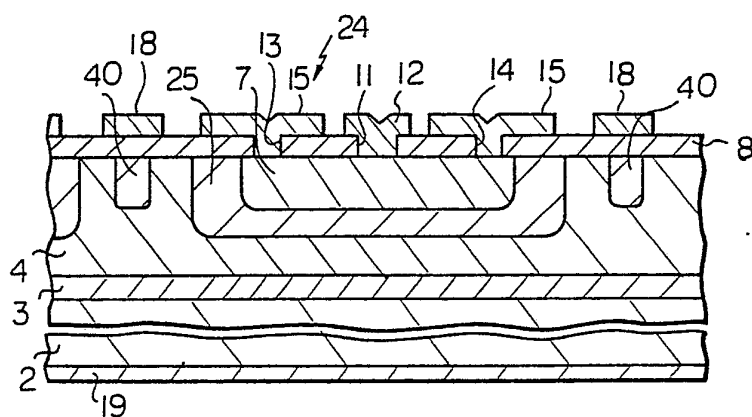
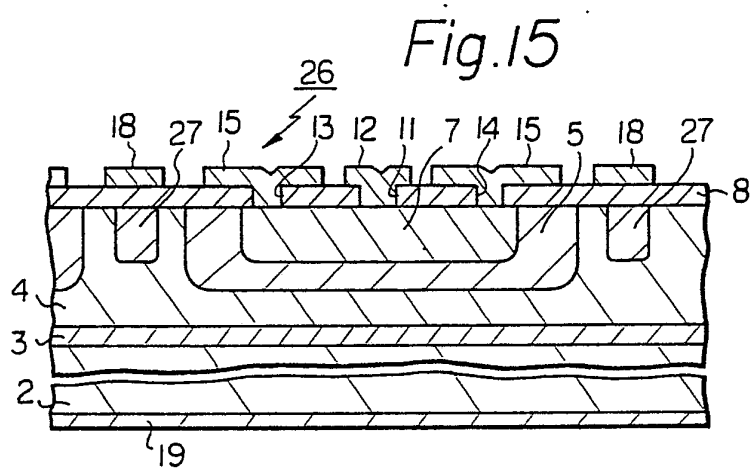
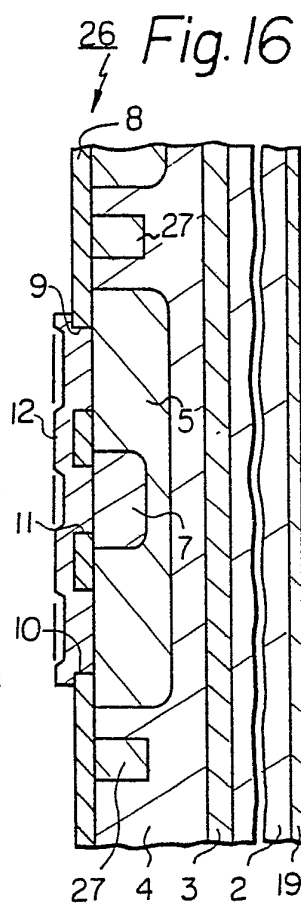
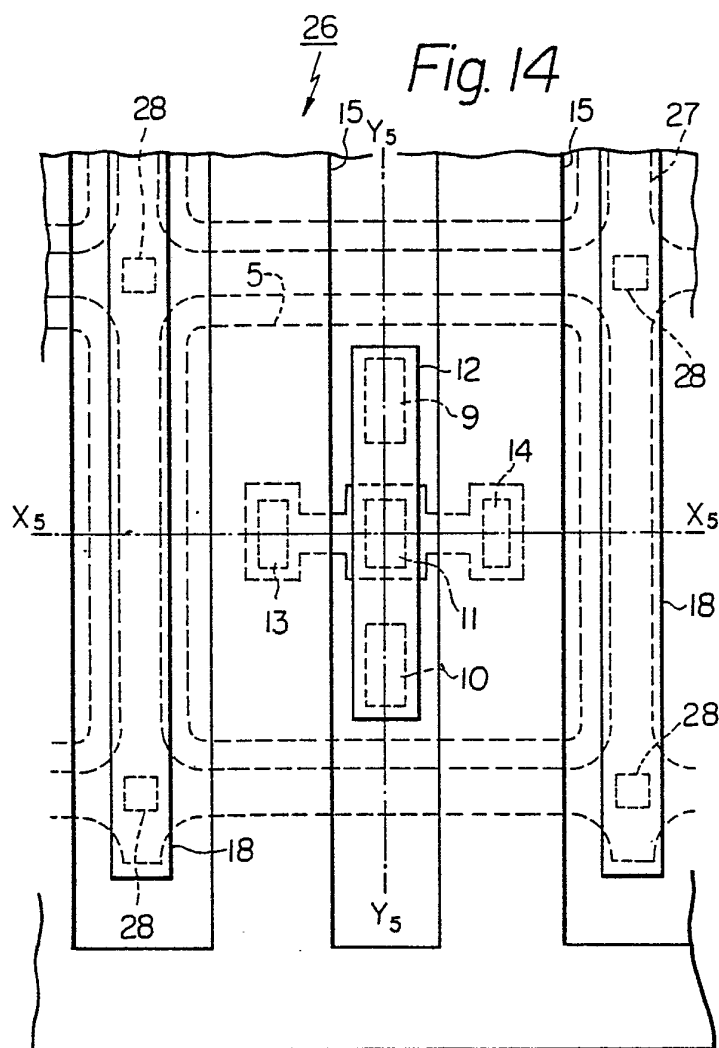


Fig. 12

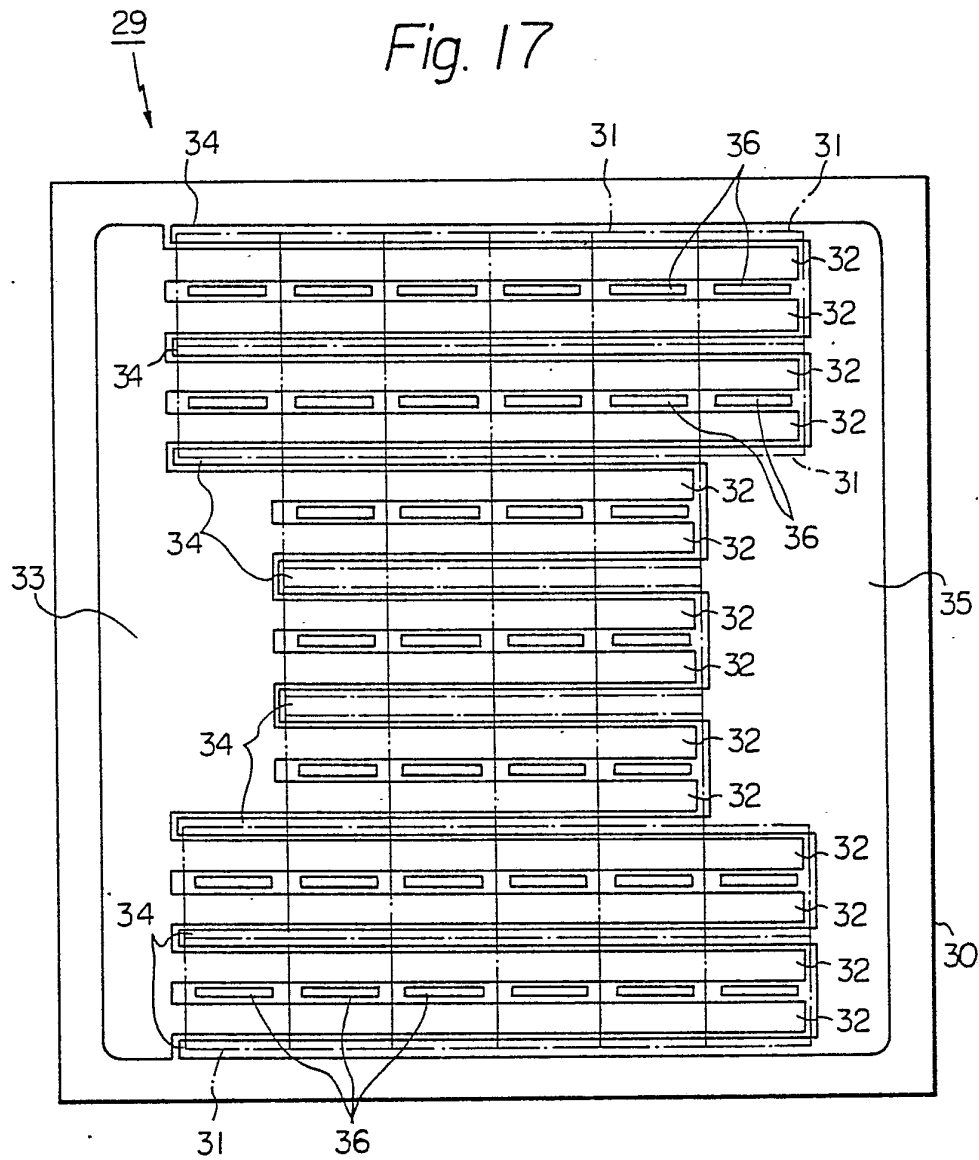


6



7

Fig. 17



8

Fig. 18

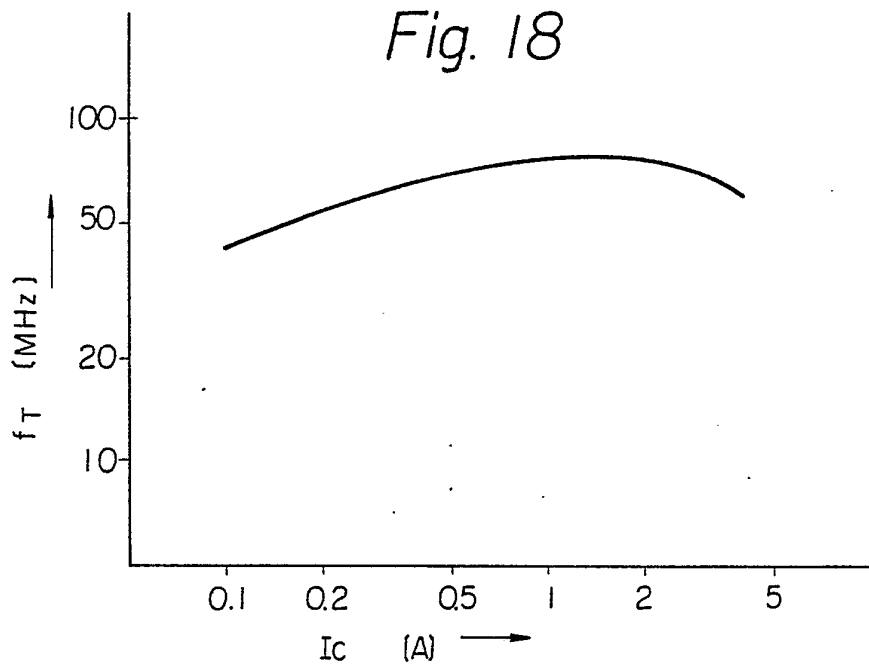


Fig. 19

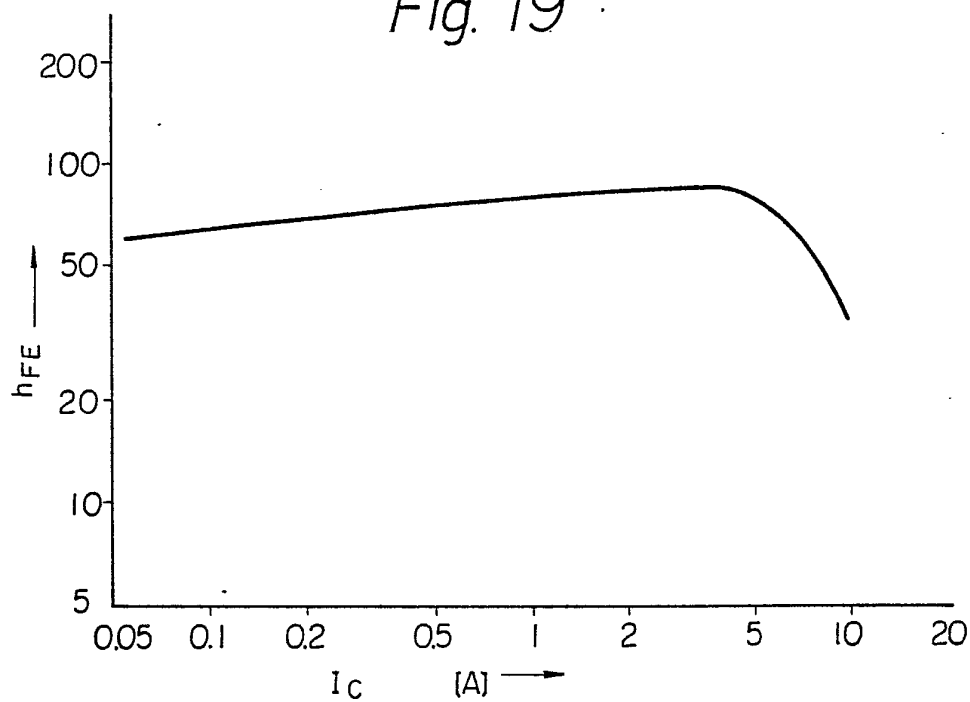
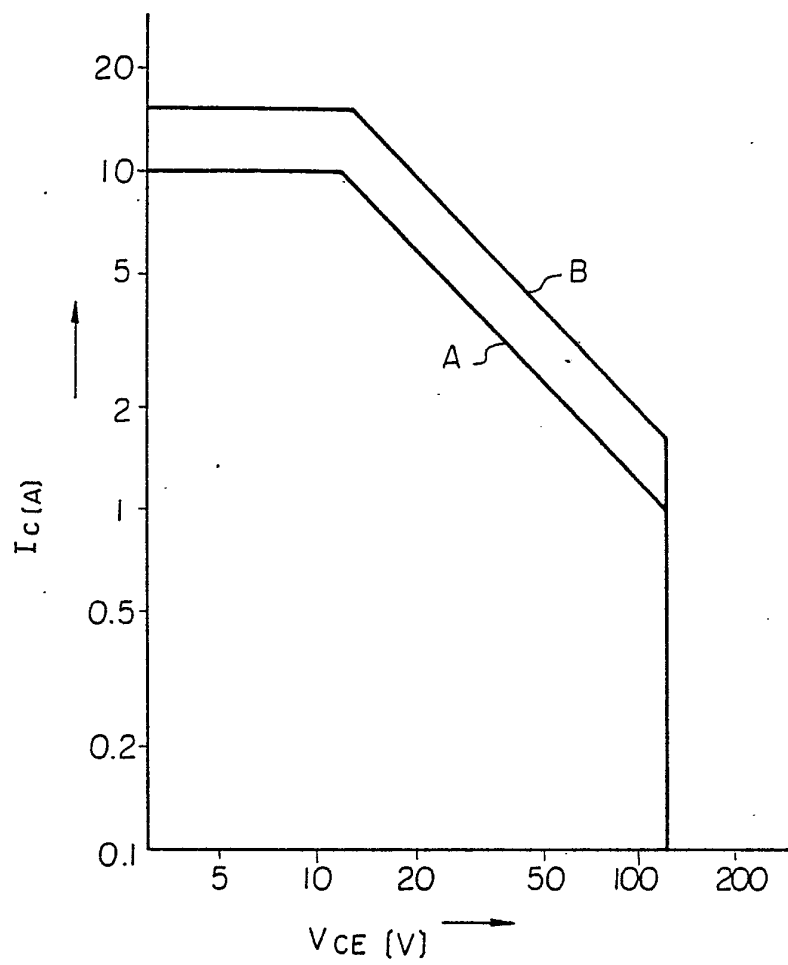


Fig. 20



参照符号・事項の一覧表

参照符号	事 項
1	トランジスタ
2	半導体基板
3	コレクタ領域
4	ベース領域
5	エミッタ領域
6	トランジスタユニット
7	抵抗領域
8	絶縁層
9	窓
1 0	窓
1 1	窓
1 2	金属層
1 3	窓
1 4	窓
1 5	エミッタ配線電極
1 6	ベースコンタクト領域
1 6 a	窓
1 7	エミッタコンタクト領域
1 8	ベース配線電極
1 9	コレクタ電極
2 0	トランジスタ
2 1	トランジスタユニット
2 2	エミッタ領域

参照符号	事 項
2 2 a	活性エミッタ領域
2 2 b	不活性エミッタ領域
2 3	トランジスタユニット
2 4	トランジスタユニット
2 5	エミッタ領域
2 5 a	凹部
2 5 b	凹部
2 6	トランジスタ
2 7	ベースコンタクト領域
2 8	窓
2 9	トランジスタ
3 0	チップ
3 1	トランジスタユニット
3 2	エミッタ配線電極
3 3	エミッタ電極端子
3 4	ベース配線電極
3 5	ベース電極端子
3 6	金属層
4 0	ベースコンタクト領域



I. 発明の属する分野の分類		
国際特許分類 (IPC)		
H O I L 29/72		
H O I L 29/08		
II. 国際調査を行った分野		
調 査 を 行 っ た 最 小 限 資 料		
分 類 体 系	分 類 記 号	
I P C	H O I L 29/72	
I P C	H O I L 29/08	
最小限資料以外の資料で調査を行ったもの		
III. 関連する技術に関する文献		
引用文献の ※ カテゴリー	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	請求の範囲の番号
A	U S, A, 35/9898, 1970-7-7	(1-2, 4-6)
A	J P, B 2, 46-40454, 1971-11-30	(7)
A	U S, A, 3740621, 1973-6-19	(1, 3, 7)
A	J P, A, 52-63073, 1977-5-25	(8)
E	J P, U, 53-122168, 1973-9-28 富士通株式会社	(1-2, 4-5, 7-8)
※引用文献のカテゴリー 「A」 一般的技術水準を示す文献 「E」 先行文献ではあるが国際出願日以後に公表されたもの 「L」 他のカテゴリーに該当しない文献 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前でかつ優先権の主張の基礎となる出願の日以後に公表された文献 「T」 国際出願日又は優先日以後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献		
IV. 認 証		
国際調査を完了した日	国際調査報告の発送日	
1. 06. 79	18.06.79	
国際調査機関	権限のある職員	5 F 7 5 / 4
日 本 国 特 許 庁 (ISA/JP)	特許庁審査官	岡 和 久 (岡)

INTERNATIONAL SEARCH REPORT

International Application No

PCT/JP79/00059

I. CLASSIFICATION OF SUBJECT MATTER (if several classification symbols apply, indicate all) ³

According to International Patent Classification (IPC) or to both National Classification and IPC

H01L 29/72

H01L 29/08

II. FIELDS SEARCHED

Minimum Documentation Searched ⁴

Classification System

Classification Symbols

I P C

H01L 29/72

I P C

H01L 29/08

Documentation Searched other than Minimum Documentation
to the Extent that such Documents are Included in the Fields Searched ⁵

III. DOCUMENTS CONSIDERED TO BE RELEVANT ¹⁴

Category [*]	Citation of Document, ¹⁵ with indication, where appropriate, of the relevant passages ¹⁷	Relevant to Claim No. ¹³
A	US, A, 35/9898, 1970-7-7	(1-2, 4-6)
A	JP, B2, 46-40454, 1971-11-30	(7)
A	US, A, 3740621, 1973-6-19	(1, 3, 7)
A	JP, A, 52-63073, 1977-5-25	(8)
E	JP, U, 53-122168, 1973-9-28 FUJITSU LTD.	(1-2, 4-5, 7-8)

* Special categories of cited documents: ¹⁶

"A" document defining the general state of the art

"E" earlier document but published on or after the international filing date

"L" document cited for special reason other than those referred to in the other categories

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but on or after the priority date claimed

"T" later document published on or after the international filing date or priority date and not in conflict with the application, but cited to understand the principle or theory underlying the invention

"X" document of particular relevance

IV. CERTIFICATION

Date of the Actual Completion of the International Search ²

June 1, 1979 (1.06.79)

Date of Mailing of this International Search Report ²

June 18, 1979 (18.06.79)

International Searching Authority ¹

Japanese Patent Office

Signature of Authorized Officer ²⁰