

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7413232号
(P7413232)

(45)発行日 令和6年1月15日(2024.1.15)

(24)登録日 令和6年1月4日(2024.1.4)

(51)国際特許分類 F I
H 0 2 M 3/07 (2006.01) H 0 2 M 3/07

請求項の数 6 (全15頁)

| | | | |
|----------|-----------------------------|----------|--|
| (21)出願番号 | 特願2020-184549(P2020-184549) | (73)特許権者 | 000003078 株式会社東芝 東京都港区芝浦一丁目1番1号 |
| (22)出願日 | 令和2年11月4日(2020.11.4) | (73)特許権者 | 317015294 東芝エネルギーシステムズ株式会社 神奈川県川崎市幸区堀川町7番地34 |
| (65)公開番号 | 特開2022-74472(P2022-74472A) | (74)代理人 | 110001634 弁理士法人志賀国際特許事務所 |
| (43)公開日 | 令和4年5月18日(2022.5.18) | (72)発明者 | 真木 康次 神奈川県川崎市幸区堀川町7番地34 東芝インフラシステムズ株式会社内 |
| 審査請求日 | 令和5年2月27日(2023.2.27) | (72)発明者 | 餅川 宏 神奈川県川崎市幸区堀川町7番地34 東芝インフラシステムズ株式会社内 |
| | | (72)発明者 | 石黒 崇裕 最終頁に続く |

(54)【発明の名称】 分圧装置

(57)【特許請求の範囲】

【請求項1】

複数の蓄電部を有する第2回路の入力端子に第1電圧を印加する第1回路と、
前記複数の蓄電部、および、前記複数の蓄電部の接続状態を、入力端子に対して直列に
接続される第1状態と、出力端子に対して並列に接続される第2状態とのいずれかに少な
くとも設定可能な接続回路を有する第2回路と、

を備え、

前記第1回路は、前記複数の蓄電部の接続状態が前記第1状態であるときに、前記第2
回路の入力端子に前記第1電圧を印加し、

前記第1回路は、電力源に対して直列に接続された複数の第1スイッチング素子を有し、

前記複数の第1スイッチング素子のそれぞれには、DCRスナバ回路が接続され、

前記DCRスナバ回路は、前記第1スイッチング素子に並列に接続された第1コンデン
サおよび第1ダイオードと、前記第1コンデンサと前記第1ダイオードの間の箇所と前記
第2回路の入力端子とを接続する一方向線路に設けられた第1抵抗器と、を有し、

前記一方向線路は、前記第2回路の入力端子から前記第1コンデンサと前記第1ダイオ
ードの間の箇所へ流れる電流を選択的に許容する、

分圧装置。

【請求項2】

前記第1回路は、更に、前記複数の第1スイッチング素子を、一つのゲートドライバの
動作によって波動的にオン状態またはオフ状態にする第1ゲートデイジーチェーン回路を

有する、

請求項 1 記載の分圧装置。

【請求項 3】

前記接続回路は、前記複数の蓄電部のそれぞれに並行に設けられた複数の第 2 スイッチング素子を有し、

前記複数の第 2 スイッチング素子の全てがオフ状態であるときに前記複数の蓄電部の接続状態を前記第 1 状態とし、前記複数の第 2 スイッチング素子の全てがオン状態であるときに前記複数の蓄電部の接続状態を前記第 2 状態とするものであり、

前記第 2 回路は、更に、前記複数の第 2 スイッチング素子を、一つのゲートドライバの動作によって波及的にオン状態またはオフ状態にする第 2 ゲートデイジーチェーン回路を有する、

10

請求項 2 記載の分圧装置。

【請求項 4】

前記第 1 ゲートデイジーチェーン回路に Hi 信号を、前記第 2 ゲートデイジーチェーン回路に Lo 信号をそれぞれ供給する第 1 状態と、前記第 1 ゲートデイジーチェーン回路に Lo 信号を、前記第 2 ゲートデイジーチェーン回路に Hi 信号をそれぞれ供給する第 2 状態とを交互に繰り返すゲート信号発生装置を更に備える、

請求項 3 記載の分圧装置。

【請求項 5】

前記ゲート信号発生装置は、

前記第 1 ゲートデイジーチェーン回路と前記第 2 ゲートデイジーチェーン回路とのうち一方に、所定周期の信号を供給する第 1 信号供給部と、

前記第 1 ゲートデイジーチェーン回路と前記第 2 ゲートデイジーチェーン回路とのうち一方に、前記所定周期の信号が供給されることによって生じる電圧を検出する電圧検出部と、

20

前記検出された電圧に応じて、前記第 1 ゲートデイジーチェーン回路と前記第 2 ゲートデイジーチェーン回路とのうち他方に、前記所定周期の信号を反転させた信号を供給する第 2 信号供給部と、

を備える、請求項 4 記載の分圧装置。

【請求項 6】

30

前記ゲート信号発生装置は、

前記第 1 ゲートデイジーチェーン回路と前記第 2 ゲートデイジーチェーン回路とのうち一方に、所定周期の信号を供給する第 1 信号供給部と、

前記第 1 ゲートデイジーチェーン回路と前記第 2 ゲートデイジーチェーン回路とのうち一方に、前記所定周期の信号が供給されることによって流れる電流を検出する電流検出部と、

前記検出された電流に応じて、前記第 1 ゲートデイジーチェーン回路と前記第 2 ゲートデイジーチェーン回路とのうち他方に、前記所定周期の信号を反転させた信号を供給する第 2 信号供給部と、

を備える、請求項 4 記載の分圧装置。

40

【発明の詳細な説明】

【技術分野】

【0001】

本発明の実施形態は、分圧装置に関する。

【背景技術】

【0002】

従来、複数の蓄電部を接続して構成されるスイッチトキャパシタが種々の用途に用いられている。スイッチトキャパシタは、高圧の直流電圧を生成して負荷に供給したり、高圧を分圧した電圧を用いて電圧調整を行うといった形で利用される。後者に関して従来技術では、放電時において、負荷に接続される出力端子に至るまでに経由する蓄電部が多い

50

ことで、エネルギー効率が悪くなるという課題があった。

【先行技術文献】

【非特許文献】

【0003】

【文献】” Transformer-Less Cell Voltage Equalizer Using Switched Capacitor Voltage Divider and Series-Resonant Voltage Multiplier for Series-Connected Electric Double-Layer Capacitor ”, Hasegawa, Yashiro, and Uno, 2017 IEEE Region 10 Conference (TENCON), Malaysia, November 5-8, 2017

【発明の概要】

【発明が解決しようとする課題】

【0004】

本発明が解決しようとする課題は、エネルギー効率を高めることができる分圧装置を提供することである。

【課題を解決するための手段】

【0005】

実施形態の分圧装置は、第1回路と、第2回路とを持つ。第1回路は、複数の蓄電部を有する第2回路の入力端子に第1電圧を印加する。第2回路は、前記複数の蓄電部、および、前記複数の蓄電部の接続状態を、入力端子に対して直列に接続される第1状態と、出力端子に対して並列に接続される第2状態とのいずれかに少なくとも設定可能な接続回路を有する。前記第1回路は、前記複数の蓄電部の接続状態が前記第1状態であるときに、前記第2回路の入力端子に前記第1電圧を印加する。

【図面の簡単な説明】

【0006】

【図1】分圧装置1の基本構成図。

【図2】第1実施形態に係る分圧装置1Aの構成図。

【図3】第2実施形態に係る分圧装置1Bの構成図。

【図4】第3実施形態に係る分圧装置1Cの構成図。

【図5】第4実施形態に係る分圧装置1Dの構成図。

【図6】第4実施形態に係るゲートデジタイゼーション回路300の構成図。

【図7】第5実施形態に係る分圧装置1Eの構成図。

【図8】第5実施形態に係るゲート信号発生装置400Eの構成図。

【図9】第6実施形態に係るゲート信号発生装置400Fの構成図。

【図10】電圧検出器410による電圧検出箇所の一例を示す図。

【図11】ゲート信号発生装置400Fの各部が出力する信号の時間的変化を比較したタイミングチャート。

【図12】第7実施形態に係るゲート信号発生装置400Gの構成図。

【図13】電流検出器422による電流検出箇所の一例を示す図。

【図14】ゲート信号発生装置400Gの各部が出力する信号の時間的変化を比較したタイミングチャート。

【発明を実施するための形態】

【0007】

以下、実施形態の分圧装置を、図面を参照して説明する。

【0008】

図1は、分圧装置1の基本構成図である。分圧装置1は、第1回路100と、第2回路200とを備える。第1回路100は、電力源PSに接続される。電力源PSは、一定電圧Vを供給する直流電源である。第1回路100は、第2回路200の入力端子200__IPに電圧V(第1電圧の一例)を印加する。第2回路200は、複数のコンデンサ(蓄電部)210#1~210#nと、接続回路(図1では不図示)とを有する。nは2以上の自然数である。接続回路は、複数のコンデンサ210#1~210#nの接続状態を、入力端子200__IPに対して直列に接続される第1状態と、出力端子200__OP、2

10

20

30

40

50

00__ONに対して並列に接続される第2状態と、のいずれかに少なくとも設定可能である。分圧装置1に充電電流や放電電流を制限する抵抗が付加されてもよい。

【0009】

第1回路100は、複数コンデンサ210#1~210#nの接続状態が第1状態であるときに、第2回路200の入力端子200__IPに電圧Vを印加し、複数コンデンサ210#1~210#nの接続状態が第2状態であるときに、第2回路200の入力端子200__IPに電圧Vを印加しないように構成されている。以下、いずれのコンデンサであるかを区別しない場合は、単にコンデンサ210と称する場合がある。符号における「#1」~「#n」の部分は、どのコンデンサ210に対応するかを示すものであり、これについても適宜省略して説明する。各コンデンサ210として、例えば容量や特性が均一なコンデンサが用いられる。また、配置によって劣化のしやすさ等がばらつくことを考慮して、容量や特性が若干異なるコンデンサが各コンデンサ210として用いられてもよい。

10

【0010】

分圧装置1は、第1回路100がオン状態であり且つ第2回路200が第1状態である状態と、第1回路100がオフ状態であり且つ第2回路200が第2状態である状態と、を交互に繰り返すことで、第2回路200の出力端子200__OP、200__ONから電圧V/n(第2電圧の一例)を継続的に供給する。なお第2回路200の出力端子200__OP、200__ONから供給される電圧には、状態の切り替わりに応じた若干の変動が生じる場合があるが、電圧を供給される側から見て誤差の範囲とみなされる程度の変動であれば許容されてよい。

20

【0011】

第2回路200は、第1状態において、複数のコンデンサ210#1~210#nが入力電圧Vによって充電されると共に、コンデンサ210#nが出力端子200__OP、200__ONに電圧V/nを供給する。第2回路200は、第2状態において、各コンデンサ210#1~210#nから並列に、電圧V/nを供給する。係る構成および動作によって、第2回路200が第2状態の場合における、各コンデンサ210と出力端子200__OP、200__ONとの電氣的距離が近くなるため、分圧装置1は、従来型のスイッチトキャパシタを用いた分圧装置に比してエネルギー効率を高めることができる。

【0012】

<第1実施形態>

図2は、第1実施形態に係る分圧装置1Aの構成図である。分圧装置1Aは、第1回路100Aと、第2回路200とを備える。以下、符号の数字の直後の大文字アルファベットは各実施形態に特有の構成を示し、大文字アルファベットが付されていない数字は各実施形態に共通の構成であるものとする。第1回路100Aは、例えば、IGBT(Insulated Gate Bipolar Transistor)110Aを含む。IGBT110Aのコレクタは電力源PSの正極側に、エミッタは第2回路200の入力端子200__IPにそれぞれ接続される。第1回路100Aは、IGBT110Aをオン状態にすることにより第2回路200の入力端子200__IPに電圧Vを印加し、IGBT110Aをオフ状態にすることにより第2回路200の入力端子200__IPに電圧を印加しない状態となる。

30

【0013】

第2回路200は、接続回路220を有する。接続回路220は、コンデンサ210#1~210#n-1のそれぞれに対応して、スイッチング素子222と、ダイオード224、226、および228とを有する(「#」以下の符号を省略)。図2では、コンデンサ210#1に関連するものと、コンデンサ210#n-1に関連するもののみを示している。以下、適宜「#」以下の符号を省略して説明する。

40

【0014】

スイッチング素子222は、例えばMOSFET(Metal-Oxide-Semiconductor Field-Effect Transistor)である。スイッチング素子222のドレインは、コンデンサ210の正極に接続されており、スイッチング素子222のソースは、ダイオード226のカソード側に接続されている。ダイオード224はスイッチング素子222に対して逆並列

50

に接続されているMOSFETの寄生ダイオードである。ダイオード226のアノードはコンデンサの負極側に接続されている。コンデンサ210とダイオード226の間の箇所と第2回路200の出力端子200_ONとの間は、ダイオード228によって電流方向が制限される一方線路によって接続されている。以下、 $k = 1 \sim n - 2$ として説明する。スイッチング素子222# k のソースは、スイッチング素子222# $k + 1$ のドレインに接続されている。ダイオード226# k のカソードは、コンデンサ210# $k + 1$ の正極側に接続されている。

【0015】

係る構成において、第1回路100AのIGBT110Aがオン状態のときに第2回路200のスイッチング素子222はオフ状態となるように制御され、第2回路200が第1状態となる。一方、第1回路100AのIGBT110Aがオフ状態のときに第2回路200のスイッチング素子222はオン状態となるように制御され、第2回路200が第2状態となる。IGBT110Aとスイッチング素子222は、同時にオン状態にならないように、状態切替の際に若干のタイムラグが設けられると好適である。

10

【0016】

以上説明した第1実施形態によれば、従来型のスイッチトキャパシタを用いた分圧装置に比してエネルギー効率を高めることができる。

【0017】

<第2実施形態>

以下、第2実施形態について説明する。図3は、第2実施形態に係る分圧装置1Bの構成図である。分圧装置1Bは、例えば、第1回路100Bと、第2回路200とを備える。第2回路200は第1実施形態と同様であってよい。第1回路100Bは、例えば、互いに直列に接続された複数のスイッチング素子120*1~120*mを有する。mは2以上の自然数である。第1回路100Bは、スイッチング素子120*1~120*mのそれぞれに対応して、ダイオード122および124と、コンデンサ126と、抵抗器128とを有する（「*」以下の符号を省略）。図3では、スイッチング素子120*1に関連するものと、スイッチング素子120*mに関連するもののみを示している。以下、適宜「*」以下の符号を省略して説明する。本明細書における「抵抗器」は、線路が自然に有する抵抗を指すものであってよい。

20

【0018】

スイッチング素子120は、例えばMOSFETである。スイッチング素子120のドレインは、ダイオード124を介してコンデンサ126の正極に接続されており、スイッチング素子120のソースは、コンデンサ126の負極に接続されている。ダイオード122はスイッチング素子120に対して逆並列に接続されているMOSFETの寄生ダイオードである。

30

【0019】

係る構成において、第1回路100Bの全てのスイッチング素子120がオン状態のときに第2回路200のスイッチング素子222はオフ状態となるように制御され、第2回路200が第1状態となる。一方、第1回路100Aの全てのスイッチング素子120がオフ状態のときに第2回路200のスイッチング素子222はオン状態となるように制御され、第2回路200が第2状態となる。スイッチング素子120とスイッチング素子222は、同時にオン状態にならないように、状態切替の際に若干のタイムラグが設けられると好適である。

40

【0020】

このようにDRCスナバとして構成することで、スイッチング素子120がオンしたときに、コンデンサ126に蓄えられたエネルギーが全て損失にならない。

【0021】

第2実施形態の比較例として、図3の構成からダイオード124、コンデンサ126および抵抗器128を省略したものと、図3の構成からダイオード124を省略したものが考えられる。前者においては、寄生容量や漏れ電流によって電圧がアンバランスになり、

50

アバランシェまたは過電圧によってスイッチング素子 120 が故障する可能性がある。後者の場合、スイッチング素子 120 のターンオン時に損失が生じ、熱によって故障しやすくなるため、付設する冷却器を大きくしなければならない。第 2 実施形態の分圧装置 1B によれば、これらの不都合を抑制することができる。

【0022】

< 第 3 実施形態 >

以下、第 3 実施形態について説明する。図 4 は、第 3 実施形態に係る分圧装置 1C の構成図である。分圧装置 1C は、例えば、第 1 回路 100C と、第 2 回路 200 とを備える。第 2 回路 200 は第 1 実施形態と同様であってよい。第 3 実施形態は、第 1 回路のスイッチング素子 120 のスナバを回生型にしたものである。

10

【0023】

第 1 回路 100C は、スイッチング素子 $120 * 1 \sim 120 * m$ のそれぞれに対応して、MOSFET の寄生ダイオード 122、ダイオード 130 および 134 と、コンデンサ 126 と、抵抗器 132 とを有する（「*」以下の符号を省略）。図 4 では、スイッチング素子 $120 * 1$ に関連するものと、スイッチング素子 $120 * m$ に関連するもののみを示している。以下、適宜「*」以下の符号を省略して説明する。

【0024】

スイッチング素子 120 は、例えば MOSFET である。スイッチング素子 120 のドレインは、コンデンサ 126 の正極に接続されており、スイッチング素子 120 のソースは、ダイオード 130 を介してコンデンサ 126 の負極に接続されている。ダイオード 122 はスイッチング素子 120 に対して逆並列に接続されている。コンデンサ 126 とダイオード 130 の間の箇所と、第 2 回路 200 におけるダイオード 228 によって電流方向が制限される一方向線路との間は、ダイオード 134 によって電流方向が第 2 回路 200 の一方向線路と同じ方向に制限される一方向線路によって接続されている。抵抗器 132 は、この一方向線路に設けられている。

20

【0025】

第 2 実施形態では、コンデンサ 126 に蓄えられたエネルギーは抵抗器 128 によって消費されるが、第 3 実施形態では、第 2 回路 200 のコンデンサ 210 によって回収される。このため、第 3 実施形態によれば、コンデンサ 126 に蓄えられたエネルギーを有効活用することができ、エネルギー効率を改善することができる。

30

【0026】

< 第 4 実施形態 >

以下、第 4 実施形態について説明する。第 4 実施形態の分圧装置 1D は、第 2 実施形態の分圧装置 1B または第 3 実施形態の分圧装置 1C において、第 1 回路 100B または 100C と、第 2 回路 200 と、のうち一方または双方が有する複数のスイッチング素子を、一つのゲートドライバの動作によって波及的にオン状態またはオフ状態にするゲートデジチェーン回路を更に有するものである。図 5 は、第 4 実施形態に係る分圧装置 1D の構成図である。図 5 の例では、分圧装置 1D は、第 1 回路 100B または 100C を駆動する第 1 ゲートデジチェーン回路 300 (1) と、第 2 回路 200 を駆動する第 2 ゲートデジチェーン回路 300 (2) とを備える。以下、いずれのゲートデジチェーン回路であるかを区別せず、単にゲートデジチェーン回路 300 と称して説明する。

40

【0027】

図 6 は、第 4 実施形態に係るゲートデジチェーン回路 300 の構成図である。ゲートデジチェーン回路 300 は、一段目の駆動回路 310 - 1 と、二段目以降の駆動回路 310 - q (q = 2 ~ n または m) とを備える。駆動回路 310 - 1 は、例えば、増幅器 312 と、抵抗器 314 および 316 と、ダイオード 318 とを有する。増幅器 312 には、ゲート電圧 $V_d - V_{gnd}$ が常時印加されており、ゲート信号 V_g が与えられる。増幅器 312 の出力電圧は、抵抗器 314 を介してスイッチング素子 120 または 222 のゲートに印加される。抵抗器 316 およびダイオード 318 は、抵抗器 314 と並列に

50

設けられ、スイッチング素子 1 2 0 または 2 2 2 のゲートから増幅器 3 1 2 に流れる電流を選択的に許容する。

【 0 0 2 8 】

二段目以降の駆動回路 3 1 0 - q は、例えば、第 1 線路 3 2 0 と、第 2 線路 3 2 2 と、抵抗器 3 2 4 および 3 2 8 と、ダイオード 3 2 6 と、PNP バイポーラトランジスタ 3 3 0 とを有する。図 6 では、駆動回路 3 1 0 - 2 に関する構成のみ符号を示している。

【 0 0 2 9 】

第 1 線路 3 2 0 は、増幅器 3 1 2 の出力側からの電流を許容する一方向線路 3 4 0 と、スイッチング素子 1 2 0 または 2 2 2 のゲートとを接続する。第 1 線路 3 2 0 には、一方向線路 3 4 0 の側から順に、抵抗器 3 2 4 とダイオード 3 2 6 とが設けられる。第 2 線路 3 2 2 は、抵抗器 3 2 4 とダイオード 3 2 6 との間の箇所と、スイッチング素子 1 2 0 または 2 2 2 のソースとを接続する。第 2 線路 3 2 2 には、抵抗器 3 2 8 が設けられる。PNP バイポーラトランジスタ 3 3 0 のベースは、抵抗器 3 2 4 とダイオード 3 2 6 との間の箇所と接続され、エミッタは第 1 線路 3 2 0 と、コレクタは第 2 線路 3 2 2 とそれぞれ接続される。

【 0 0 3 0 】

係る構成において、増幅器 3 1 2 にゲート信号 V_g が与えられると、一段目の駆動回路 3 1 0 - 1、二段目の駆動回路 3 1 0 - 2、三段目の駆動回路 3 1 0 - 3 ... の順に、スイッチング素子 1 2 0 または 2 2 2 のゲートに H_i 信号を印加する。p 段目の駆動回路 3 1 0 - p に対応するスイッチング素子 1 2 0 または 2 2 2 がオン状態になることで、p + 1 段目の駆動回路 3 1 0 - p + 1 に対応するスイッチング素子 1 2 0 または 2 2 2 のソース電位が、一段目の駆動回路 3 1 0 - 1 に対応するスイッチング素子 1 2 0 または 2 2 2 のソース電位と一致し、それによって p + 1 段目の駆動回路 3 1 0 - p + 1 に対応するスイッチング素子 1 2 0 または 2 2 2 のゲート ソース間電圧がオン閾値を超えることでオン状態となる。この動作が波及的に生じることで、一つのゲート信号 V_g で複数のスイッチング素子 1 2 0 または 2 2 2 が波及的にオン状態となる。

【 0 0 3 1 】

一方、増幅器 3 1 2 にゲート信号 V_g を与えるのを停止すると、一段目の駆動回路 3 1 0 - 1 に対応するスイッチング素子 1 2 0 または 2 2 2 がオフ状態となる。それ以外のスイッチング素子 1 2 0 または 2 2 2 は、PNP バイポーラトランジスタ 3 3 0 のプルダウン抵抗（ベース抵抗）に流れる電流が PNP バイポーラトランジスタ 3 3 0 によって増幅されることで、オフ状態となる。プルダウン抵抗だけでもオフ状態にすることは可能であるが、増幅したほうがオン期間中の待機損失を低減することができる。なお、PNP バイポーラトランジスタ 3 3 0 を P チャネルの FET に置き換えることも可能だが、FET のオン閾値分だけ電荷が残るため、素子のゲートソース（ゲートエミッタ）間にプルダウン抵抗が必要となる。

【 0 0 3 2 】

以上説明した第 4 実施形態によれば、一つのゲート信号 V_g で複数のスイッチング素子 1 2 0 または 2 2 2 を波及的にオンオフすることができ、装置の小型化やコスト低減を実現することができる。

【 0 0 3 3 】

< 第 5 実施形態 >

以下、第 5 実施形態について説明する。図 7 は、第 5 実施形態に係る分圧装置 1 E の構成図である。分圧装置 1 E は、第 4 実施形態の構成に加えて、ゲート信号発生装置 4 0 0 E を備える。第 5 実施形態以降では、分圧装置が第 1 ゲートデイジーチェーン回路 3 0 0 (1) と第 2 ゲートデイジーチェーン回路 3 0 0 (2) とを備えることを前提とする。

【 0 0 3 4 】

図 8 は、第 5 実施形態に係るゲート信号発生装置 4 0 0 E の構成図である。ゲート信号発生装置 4 0 0 E は、例えば、PWM (Pulse Width Modulation) 信号発生器 4 0 2 と、論理反転回路 4 0 4 と、信号絶縁回路 4 0 6 とを有する。PWM 信号発生器 4 0 2 は、

10

20

30

40

50

所定周期でHi信号とLo信号を繰り返し発生させる。論理反転回路404は、PWM信号発生器402による出力されたHi信号をLo信号に、Lo信号をHi信号にそれぞれ変換する(反転させる)。信号絶縁回路406は、ゲート信号発生装置400E、第1ゲートデジタイゼーション回路300(1)、および第2ゲートデジタイゼーション回路300(2)を介して第1回路100Bまたは100Cと第2回路200が導通しないように、電氣的絶縁を確保する。信号絶縁回路406により出力された信号は第1ゲートデジタイゼーション回路300(1)に出力され、PWM信号発生器402により出力された信号は第2ゲートデジタイゼーション回路300(2)に出力される。あるいは、信号絶縁回路406により出力された信号は第2ゲートデジタイゼーション回路300(2)に出力され、PWM信号発生器402により出力された信号は第1ゲートデジタイゼーション回路300(1)に出力される。これによって、第1ゲートデジタイゼーション回路300(1)と第2ゲートデジタイゼーション回路300(2)とを好適に駆動することができる。

10

【0035】

以上説明した第5実施形態によれば、第1ゲートデジタイゼーション回路300(1)と第2ゲートデジタイゼーション回路300(2)とを好適に駆動することができる。なお、第5実施形態において第1ゲートデジタイゼーション回路300(1)に与えられる信号と、第2ゲートデジタイゼーション回路300(2)に与えられる信号とを同時にHi信号にしないための工夫については説明を書略している。

【0036】**<第6実施形態>**

以下、第6実施形態について説明する。第5実施形態の構成では、第1回路100Bまたは100Cと第2回路200が扱う電圧が高い場合に、信号絶縁回路406の絶縁耐圧を高くしなければならないため、信号絶縁回路406のコストやサイズが増大し、ひいては分圧装置1Eが大型化するという課題が生じる。第6および第7実施形態では、第1ゲートデジタイゼーション回路300(1)に接続される部分と、第2ゲートデジタイゼーション回路300(2)に接続される部分とが信号の受け渡しをすることなく、PWM信号を反転させた信号を自己発生する。これによって、異なる電位にある制御回路間での信号の受け渡しが不要となり、高絶縁耐圧の信号絶縁IC(例えば、第5実施形態の信号絶縁回路406)が不要になることで安価になり、信頼性が向上する。また、信号受け渡し部分の空間・沿面距離が不要となる。

20

30

【0037】

第6実施形態に係る分圧装置1Fは、第5実施形態の構成において、ゲート信号発生装置400Eに代えてゲート信号発生装置400Fを備える。図9は、第6実施形態に係るゲート信号発生装置400Fの構成図である。ゲート信号発生装置400Fは、PWM信号発生器402に加えて、電圧検出器410と、基準値発生器412と、比較器414と、フリップフロップ416と、デッドタイム回路418と、遅延回路420とを備える。PWM信号発生器402により出力された信号は第1ゲートデジタイゼーション回路300(1)に出力され、デッドタイム回路418により出力された信号は第2ゲートデジタイゼーション回路300(2)に出力される。或いは、PWM信号発生器402により出力された信号は第2ゲートデジタイゼーション回路300(2)に出力され、デッドタイム回路418により出力された信号は第1ゲートデジタイゼーション回路300(1)に出力される。以下の説明では前者であるものとする。本実施形態におけるPWM信号発生器402は、「第1信号供給部」の一例である。基準値発生器412、比較器414、フリップフロップ416、デッドタイム回路418、および遅延回路420を合わせたものが「第2信号供給部」の一例である。

40

【0038】

電圧検出器410は、PWM信号発生器402により出力された信号に応じて第1ゲートデジタイゼーション回路300(1)が駆動されることで、第1回路100Bまたは100Cの所定の箇所に発生する電圧を検出する。図10は、電圧検出器410による電圧検出箇所の一例を示す図である。図中、(a)~(d)が電圧検出箇所となり得る箇所の例

50

である。本図では、分圧装置 1 F が第 1 回路 1 0 0 C と第 2 回路 2 0 0 を備えるものとしている。

【 0 0 3 9 】

図 1 1 は、ゲート信号発生装置 4 0 0 F の各部が出力する信号の時間的変化を比較したタイミングチャートである。PWM 信号発生器 4 0 2 が出力する PWM 信号は、一定周期で Hi と Lo が入れ替わる信号である。電圧検出器 4 1 0 の電圧検出値は、PWM 信号とほぼ同様の波形を示し、そのため比較器 4 1 4 の出力は PWM 信号とほぼ同じタイミングで Hi と Lo が入れ替わる信号となる。フリップフロップ 4 1 6 は、比較器 4 1 4 から入力される信号の立ち上がりに応じてオン状態 (Hi 信号を出力する状態) を維持し、遅延回路 4 2 0 から Hi 信号が入力される度にその状態をリセットする (Lo 信号を出力する) ように動作する。デッドタイム回路 4 1 8 は、フリップフロップ 4 1 6 の出力する信号の立ち下りのタイミングから一定時間 (デッドタイムの間)、Lo 信号を出力し、それ以外の期間では Hi 信号を出力する。遅延回路 4 2 0 は、デッドタイム回路 4 1 8 の出力する信号を、一定の位相だけ遅延させる。遅延回路 4 2 0 の遅延量は、遅延回路 4 2 0 の出力信号の立ち上がりが PWM 信号の立ち上がりよりも若干早くなるように設定されている。また、デッドタイムは PWM 信号の半周期よりも若干長い期間に設定されている。このため、第 1 ゲートデジタイゼーション回路 3 0 0 (1) に与えられる PWM 信号と、第 2 ゲートデジタイゼーション回路 3 0 0 (2) に与えられるデッドタイム回路 4 1 8 の出力信号は、原則的に同時に Hi にならないように制御される (後者が前者を反転した信号となる) と共に、切替期において同時に Lo になる期間が設けられる。これによって、電力制御の効率性を維持しつつ意図しない故障等が生じるのを防止することができる。

10

20

【 0 0 4 0 】

以上説明した第 6 実施形態によれば、第 5 実施形態に比して絶縁のためのコストやサイズを低減することができる。

【 0 0 4 1 】

(第 7 実施形態)

以下、第 7 実施形態について説明する。第 7 実施形態に係る分圧装置 1 G は、第 5 実施形態の構成において、ゲート信号発生装置 4 0 0 E に代えてゲート信号発生装置 4 0 0 G を備える。図 1 2 は、第 7 実施形態に係るゲート信号発生装置 4 0 0 G の構成図である。ゲート信号発生装置 4 0 0 G は、PWM 信号発生器 4 0 2 に加えて、電流検出器 4 2 2 と、基準値発生器 4 1 2 と、比較器 4 1 4 と、フリップフロップ 4 1 6 と、デッドタイム回路 4 1 8 と、遅延回路 4 2 0 とを備える。PWM 信号発生器 4 0 2 により出力された信号は第 1 ゲートデジタイゼーション回路 3 0 0 (1) に出力され、デッドタイム回路 4 1 8 により出力された信号は第 2 ゲートデジタイゼーション回路 3 0 0 (2) に出力される。或いは、PWM 信号発生器 4 0 2 により出力された信号は第 2 ゲートデジタイゼーション回路 3 0 0 (2) に出力され、デッドタイム回路 4 1 8 により出力された信号は第 1 ゲートデジタイゼーション回路 3 0 0 (1) に出力される。以下の説明では前者であるものとする。本実施形態における PWM 信号発生器 4 0 2 は、「第 1 信号供給部」の他の一例である。基準値発生器 4 1 2、比較器 4 1 4、フリップフロップ 4 1 6、デッドタイム回路 4 1 8、および遅延回路 4 2 0 を合わせたものが「第 2 信号供給部」の他の一例である。

30

40

【 0 0 4 2 】

電流検出器 4 2 2 は、PWM 信号発生器 4 0 2 により出力された信号に応じて第 1 ゲートデジタイゼーション回路 3 0 0 (1) が駆動されることで、第 1 回路 1 0 0 B または 1 0 0 C の所定の箇所を流れる電流を検出する。図 1 3 は、電流検出器 4 2 2 による電流検出箇所の一例を示す図である。図中、(e) ~ (h) が電流検出箇所となり得る箇所の例である。本図では、分圧装置 1 F が第 1 回路 1 0 0 C と第 2 回路 2 0 0 を備えるものとしている。

【 0 0 4 3 】

図 1 4 は、ゲート信号発生装置 4 0 0 G の各部が出力する信号の時間的変化を比較したタイミングチャートである。PWM 信号発生器 4 0 2 が出力する PWM 信号は、一定周期

50

でH_iとL_oが入れ替わる信号である。電流検出器422の電流検出値は、PWM信号の立ち上がりに応じて急増した後は徐々に低下する波形を示し、そのため比較器414の出力はPWM信号の立ち上がりから一定期間の間はH_i、それ以外の期間ではL_oとなる。フリップフロップ416、デッドタイム回路418、遅延回路420の動作は第6実施形態と同様であり、第1ゲートデジチェーン回路300(1)に与えられるPWM信号と、第2ゲートデジチェーン回路300(2)に与えられるデッドタイム回路418の出力信号は、原則的に同時にH_iにならないように制御される(後者が前者を反転した信号となる)と共に、切替期において同時にL_oになる期間が設けられる。これによって、電力制御の効率性を維持しつつ意図しない故障等が生じるのを防止することができる。

【0044】

以上説明した第7実施形態によれば、第5実施形態に比して絶縁のためのコストやサイズを低減することができる。

【0045】

以上説明した少なくともひとつの実施形態によれば、複数の蓄電部(コンデンサ210)を有する第2回路(200)の入力端子に第1電圧を印加する第1回路(100)と、複数の蓄電部、および、複数の蓄電部の接続状態を、入力端子に対して直列に接続される第1状態と、出力端子に対して並列に接続される第2状態とのいずれかに少なくとも設定可能な接続回路を有する第2回路(200)と、を備え、第1回路は、複数の蓄電部の接続状態が前記第1状態であるときに、第2回路の入力端子に前記第1電圧を印加するため、エネルギー効率を高めることができる。

【0046】

本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれると同様に、特許請求の範囲に記載された発明とその均等の範囲に含まれるものである。

【符号の説明】

【0047】

- 1、1A、1B、1C、1D、1E、1F、1G...分圧装置
- 100、100A、100B、100C...第1回路
- 120、222...スイッチング素子
- 122...ダイオード
- 128、132...抵抗器、
- 200...第2回路
- 210...コンデンサ
- 300(1)...第1ゲートデジチェーン回路
- 300(2)...第2ゲートデジチェーン回路
- 400E...ゲート信号発生装置。

10

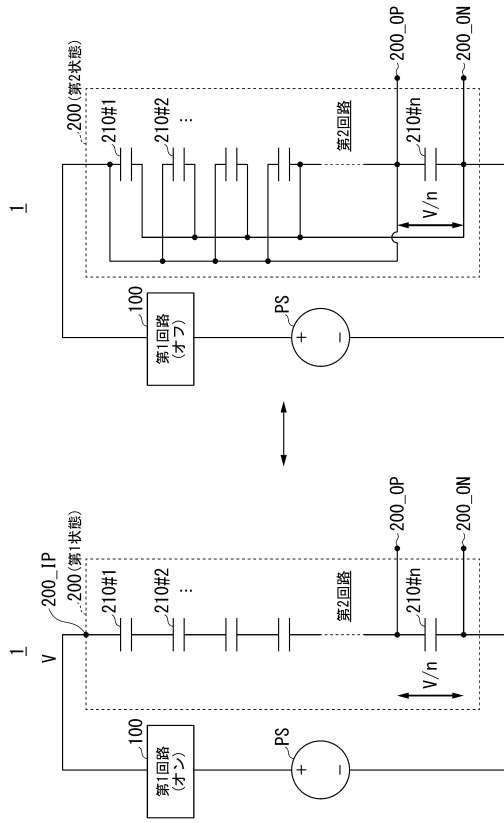
20

30

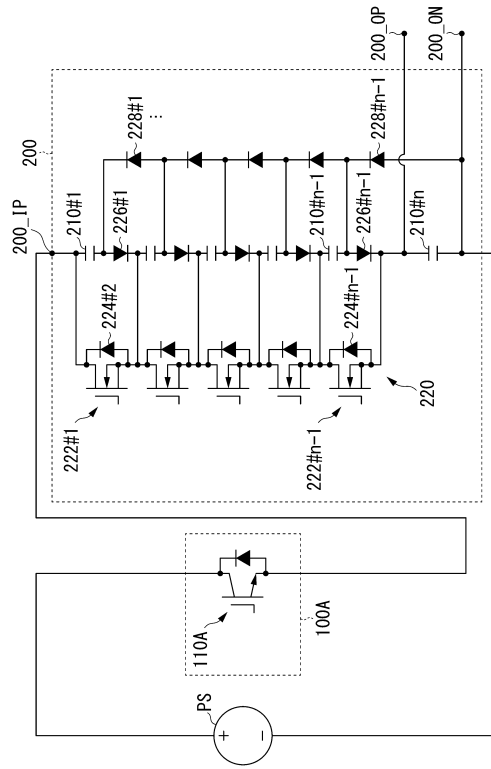
40

50

【図面】
【図 1】



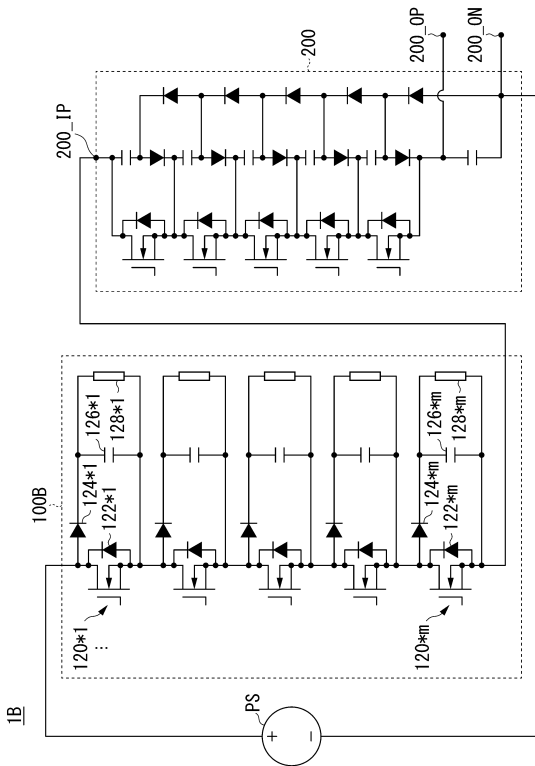
【図 2】



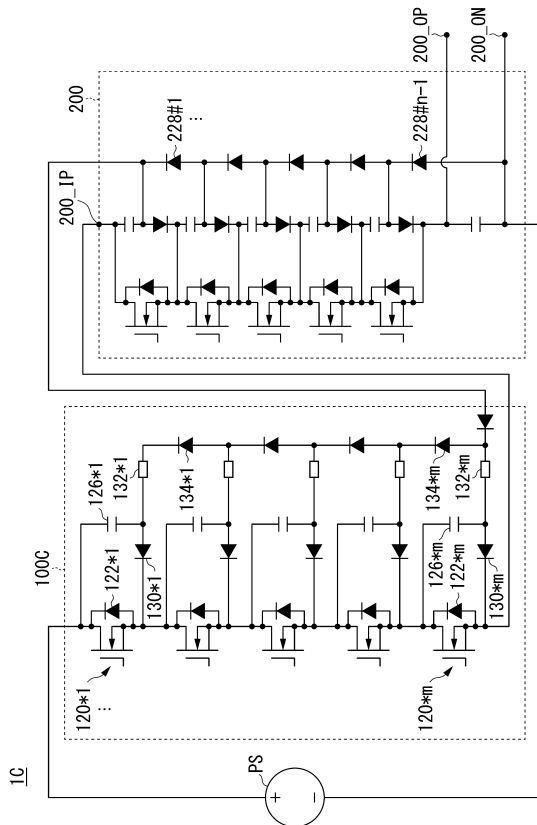
10

20

【図 3】



【図 4】

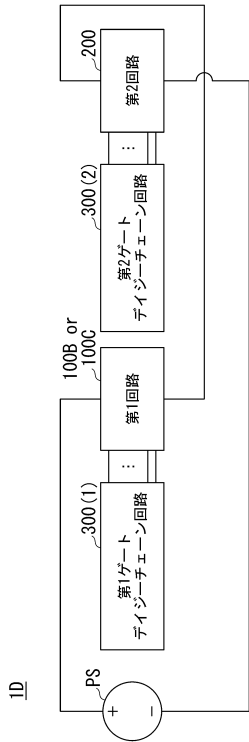


30

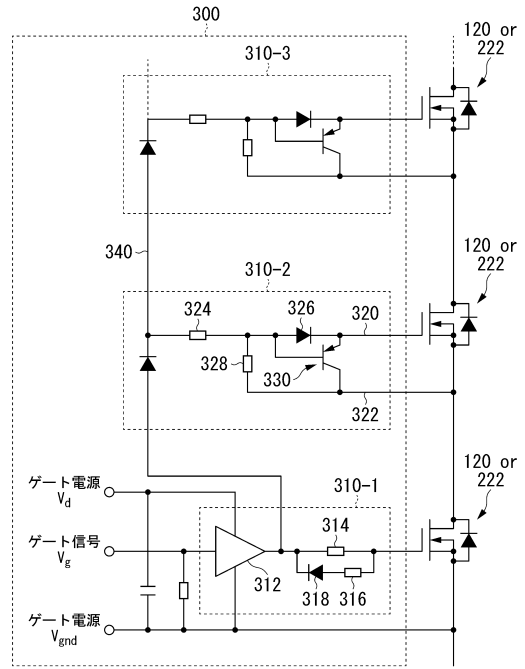
40

50

【図5】



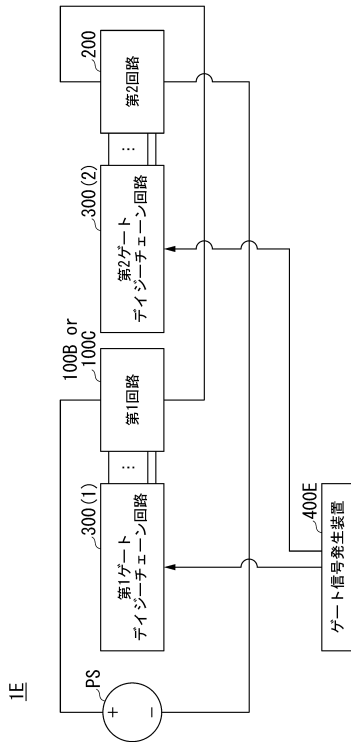
【図6】



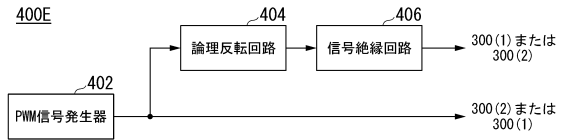
10

20

【図7】



【図8】

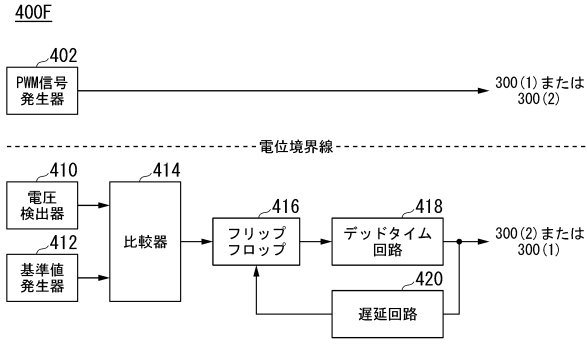


30

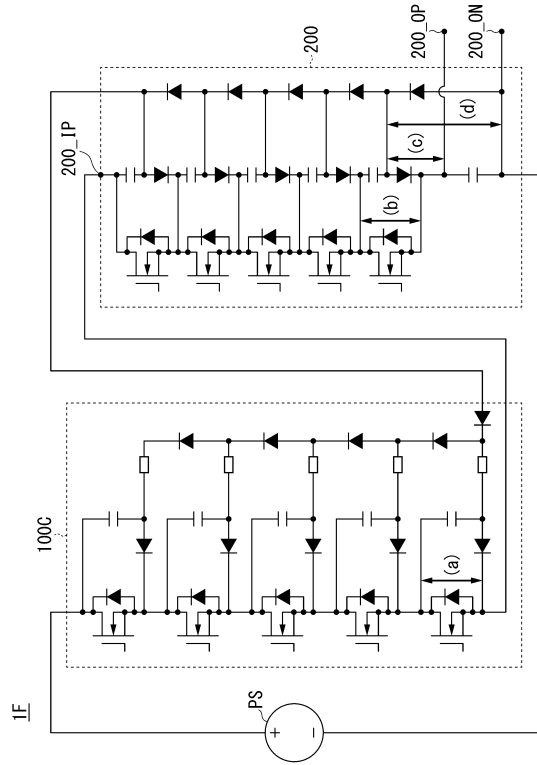
40

50

【図 9】



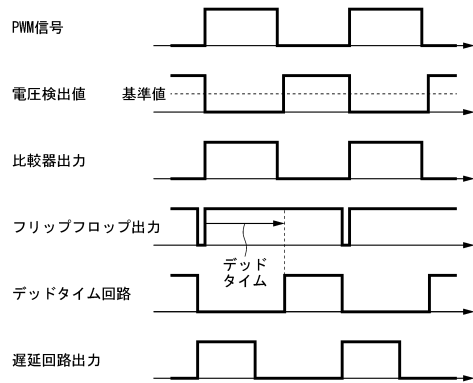
【図 10】



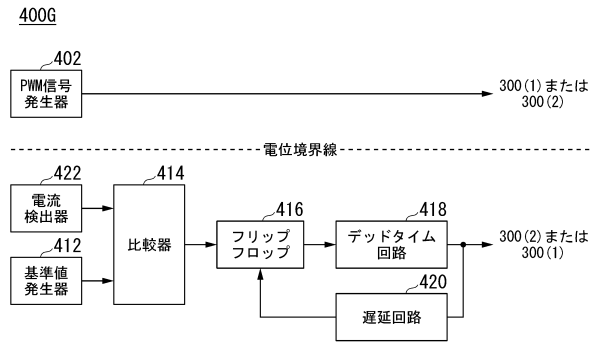
10

20

【図 11】



【図 12】

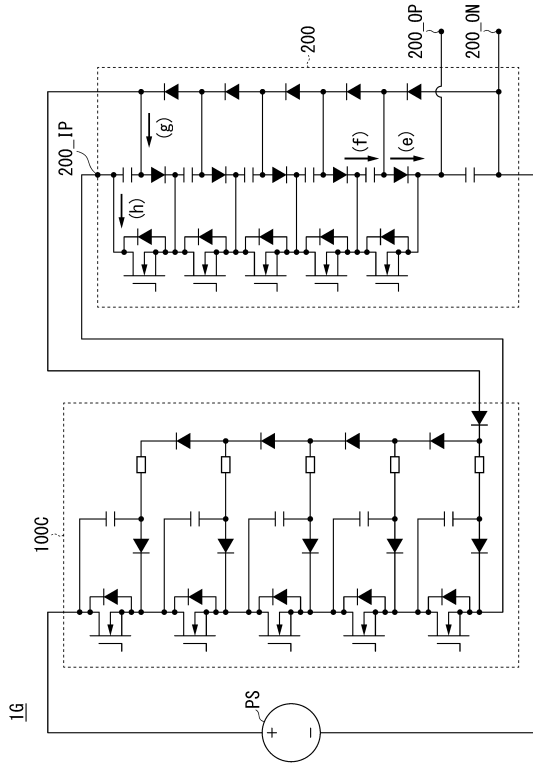


30

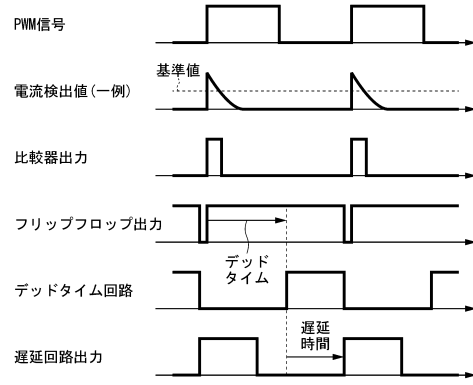
40

50

【図 13】



【図 14】



10

20

30

40

50

フロントページの続き

神奈川県川崎市幸区堀川町7番地34 東芝エネルギーシステムズ株式会社内

審査官 栗栖 正和

(56)参考文献 実開昭58-112088(JP,U)

特開昭61-183832(JP,A)

(58)調査した分野 (Int.Cl., DB名)

H02M 3/07