

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5134194号  
(P5134194)

(45) 発行日 平成25年1月30日(2013. 1. 30)

(24) 登録日 平成24年11月16日(2012. 11. 16)

(51) Int.Cl.

F I

H O 1 L 23/12 (2006.01)

H O 1 L 23/12

N

H O 1 L 23/52 (2006.01)

H O 1 L 23/52

C

請求項の数 9 (全 12 頁)

(21) 出願番号 特願2005-208501 (P2005-208501)  
 (22) 出願日 平成17年7月19日(2005. 7. 19)  
 (65) 公開番号 特開2007-27472 (P2007-27472A)  
 (43) 公開日 平成19年2月1日(2007. 2. 1)  
 審査請求日 平成20年7月16日(2008. 7. 16)

(73) 特許権者 591252862  
 ナミックス株式会社  
 新潟県新潟市北区濁川3993番地  
 (73) 特許権者 503177074  
 須賀 唯知  
 東京都中野区東中野3-6-3  
 (73) 特許権者 504322323  
 塚本 勝秀  
 奈良県奈良市富雄泉が丘30-14  
 (74) 代理人 100078662  
 弁理士 津国 肇  
 (74) 代理人 100075225  
 弁理士 篠田 文雄  
 (74) 代理人 100113653  
 弁理士 東田 幸四郎

最終頁に続く

(54) 【発明の名称】 部品内蔵デバイス及び製造方法

(57) 【特許請求の範囲】

【請求項 1】

表裏面を貫通する第1の貫通穴が予めあけられた半導電体ICチップを、該第1の貫通穴が絶縁性樹脂で充填されるように該絶縁性樹脂に埋め込んで形成した基板に、該基板の表裏面を貫通する第2の貫通穴が、前記第1の貫通穴の中を通り、かつ前記第1の貫通穴の内面に前記絶縁性樹脂が残るようにあけられ、  
 前記基板の表裏面に備えられた溝に埋め込まれた導電性ペーストからなる電気回路導電体が、前記第2の貫通穴に埋め込まれた導電性ペーストによって導通可能に接続されていることを特徴とする部品内蔵デバイス。

【請求項 2】

前記電気回路導電体と前記半導電体ICチップの電極とが電氣的に接続されていることを特徴とする請求項1に記載の部品内蔵デバイス。

【請求項 3】

前記第1の貫通穴が略円形の断面形状を有し、前記第2の貫通穴が略円形の断面形状を有し前記第1の貫通穴と略同心円状に配置されていることを特徴とする請求項1または2に記載の部品内蔵デバイス。

【請求項 4】

前記絶縁性樹脂がレーザ加工可能な材料であることを特徴とする請求項1から3の何れか1項に記載の部品内蔵デバイス。

【請求項 5】

10

20

前記絶縁性樹脂が感光性樹脂であることを特徴とする請求項 1 から 3 の何れか 1 項に記載の部品内蔵デバイス。

【請求項 6】

請求項 1 から 5 の何れか 1 項に記載の部品内蔵デバイスを少なくとも 1 つ含み、該部品内蔵デバイスの上下に多層の配線層を重ねたことを特徴とする多層の部品内蔵デバイス。

【請求項 7】

請求項 1 から 5 の何れか 1 項に記載の部品内蔵デバイスに備えられた前記電気回路導体に電極パッドを設けることによって形成されることを特徴とする両面 I / O パッケージ。

【請求項 8】

10

前記基板の表裏面に設けられた前記電極パッドが、表裏面で同配列に整列していることを特徴とする請求項 7 に記載の両面 I / O パッケージ。

【請求項 9】

半導電体 IC チップに、該半導電体 IC チップの表裏面を貫通する第 1 の貫通穴をあける工程と、

前記第 1 の貫通穴を有する前記半導電体 IC チップを少なくとも含む部材を、絶縁性樹脂で埋め込んで基板を形成する工程と、

前記基板の表裏面に電気回路を形成する溝を設ける工程と、

前記基板に、該基板の表裏面を貫通する第 2 の貫通穴を、前記第 1 の貫通穴の中を通り、かつ前記第 1 の貫通穴の内面に前記絶縁性樹脂が残るようにあける工程と、

20

前記表裏面の溝及び前記第 2 の貫通穴に導電性ペーストを埋め込んで、前記表裏面の電気回路を電氣的に接続する工程と、

を含むことを特徴とする部品内蔵デバイスの製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導電体をはじめとする電子部品を内蔵したデバイスに関し、特に、貫通穴をあけた部品チップの表裏面側を電氣的に接続した部品内蔵デバイス及びその製造方法に関する。

【背景技術】

30

【0002】

近年、電子機器の小型高密度化に伴い、電子部品の小型化を目指して、部品を回路基板内に内蔵するような部品内蔵デバイスの開発が行なわれている。例えば、抵抗、コイル、コンデンサなどを基板内に内蔵するものや、その他、半導電体 IC を内蔵するものも出現している。また、半導電体 IC チップのパッケージにおいても、チップ搭載面積を小さくするために、2 つあるいは 3 つの半導電体 IC チップを積層するような 3 次元実装が取り入れられ、携帯電話などにも多く用いられている。また、一方で、半導電体 IC チップ内の集積化にも限界がきており、大規模な半導電体 IC チップ（超 LSI チップ）の開発時間の長期化や、マスクコスト、装置コストなどの増加により、大規模な回路を一つのチップ内に納めることが困難になってきている。

40

【0003】

このような背景から、複数個の半導電体 IC チップを積層して床面積を小さくするいわゆる 3 次元実装の必要性が高まり、広く開発が進められている。半導電体 IC チップを回路基板内に 3 次元的に内蔵する際、半導電体 IC チップの表裏面を貫通するビア接合が可能であると効率的な配線が実現できる。このビア接合を行なうために、例えば、半導電体 IC チップの表面から穴を掘り、その穴の内壁表面には絶縁膜処理を施してからその中にメッキ銅を埋め、裏側からメッキ銅が現れるまで研磨して、チップの裏側からも電気信号を取り出せるようにした技術が開発されている。（例えば、非特許文献 1 参照。）

【非特許文献 1】Kenji.Takahashi, et al "Process Integration of 3D Chip Stack with Vertical Interconnection" Proceedings of 2004 Electronic Components and Technol

50

ogy Conference, P601-609 (2004)

【発明の開示】

【発明が解決しようとする課題】

【0004】

しかし、この非特許文献1に記載されるような半導電体ICチップの表裏面を電氣的に貫通するビアは、フォトリソグラフィ、メッキプロセス、酸化絶縁膜生成といった工程を経て形成されるので、製造工程が長く製造コストも高くなる問題が生じる。また、この工程には水を使うため、廃液の処理などの問題も生じる。

【0005】

従って、本発明の目的は上記の問題を解決し、ドライな工程で簡単に半導電体ICチップの表裏面を貫通するビアを設けることが可能であり、更に、半導電体以外の電子部品も内蔵することが可能な部品内蔵デバイス、及びその製造方法を提供することにある。

【課題を解決するための手段】

【0006】

上記の目的を達成するため、本発明に係る部品内蔵デバイスとして、絶縁性樹脂からなる基板の内部に部品チップが埋め込まれた電子デバイスであって、部品チップの少なくとも1つには、該部品チップの表裏面を貫通する第1の貫通穴が設けられ、基板には、基板の表裏面を貫通する第2の貫通穴が、第1の貫通穴の中を通り、かつ第1の貫通穴の内面に接しない位置に設けられ、基板の表裏面に備えられた電気回路導電体が、第2の貫通穴の中に備えられた導電体によって導通可能に接続されている部品内蔵デバイスが考えられる。

【0007】

本実施態様では、任意の数の部品チップを基板の内部に埋め込むことが可能であり、また、他の電子部品をこの基板の中に埋め込むことも可能である。また、基板の中に内蔵された部品チップのうち、全ての部品チップに第1の貫通穴を設けることも考えられるし、一部の部品チップにだけ第1の貫通穴を設けることも考えられる。

【0008】

ここで、基板や部品チップの「表裏面」とは、基板や部品チップを構成する面のうちの任意の相対する2面であって、例えば、基板や部品チップが平板状の形状であれば、その広面が考えられる。この表裏面には、電気回路を形成したり他の部材と電氣的に接続するための接続点を設けることもできる。ただし、この表裏面は広面には限られず、基板や部品チップの形状や用途によって、任意の相対する2面を表裏面として用いることができる。

【0009】

第1の貫通穴は、1つの部品チップにおいて任意の数の貫通穴を設けることが可能であり、第2の貫通穴も、第1の貫通穴の数に応じて任意の数の貫通穴を設けることができる。また、これらの第1の貫通穴や第2の貫通穴の断面形状については、円形、楕円形、矩形をはじめとするあらゆる形状の断面を有することができる。また、「第2の貫通穴が第1の貫通穴の中を通り、かつ第1の貫通穴の内面に接しない位置に設けられ」とは、第2の貫通穴の外形と第1の貫通穴の内壁の間に絶縁性樹脂が存在することを意味し、第2の貫通穴の中に備えられた導電体と部品チップとの間では、電氣的な絶縁性が確保されていることになる。

【0010】

本実施態様によれば、導電体を、部品チップとの間の絶縁を保ちながら部品チップの中を貫通させて通すことができるので、三次元モジュールやパッケージを形成するのに非常に有効である。

【0011】

本発明に係る部品内蔵デバイスとして、更に、電気回路導電体と部品チップの電極とが電氣的に接続されている部品内蔵デバイスが考えられる。本発明のデバイスにおいては、導電体と部品チップの第1の貫通穴の内壁の間は電氣的に絶縁されているが、本実施態様

では、電気回路導電体と部品チップに設けられた電極との間を電氣的に接続することによって、部品チップの端子点を部品内蔵デバイスの基板の表裏面に、容易に設けることができる。

【 0 0 1 2 】

本発明に係る部品内蔵デバイスとして、更に、第 1 の貫通穴が略円形の断面形状を有し、第 2 の貫通穴が略円形の断面形状を有し第 1 の貫通穴と略同心円状に配置されている部品内蔵デバイスが考えられる。本実施態様によれば、第 1 の貫通穴や第 2 の貫通穴の加工を、容易に低コストで形成することができる。

【 0 0 1 3 】

本発明に係る部品内蔵デバイスとして、更に、部品チップが半導体 IC チップである部品内蔵デバイスが考えられる。

10

【 0 0 1 4 】

また、本発明に係る部品内蔵デバイスとして、更に、縁性樹脂がレーザ加工可能な材料である部品内蔵デバイスや、絶縁性樹脂が感光性樹脂である部品内蔵デバイスが考えられる。

【 0 0 1 5 】

また、本発明に係る部品内蔵デバイスとして、更に、導電体が導電性ペーストである部品内蔵デバイスや、導電体がメッキ銅である部品内蔵デバイスが考えられる。

【 0 0 1 6 】

また、本発明に係る部品内蔵デバイスとして、更に、電気回路導電体が、基板の表面及び/または裏面に設けられた溝に埋め込まれた導電性ペーストからなる部品内蔵デバイスが考えられる。

20

【 0 0 1 7 】

更に、本発明に係る多層の部品内蔵デバイスとして、上述の部品内蔵デバイスを少なくとも 1 つ含み、該部品内蔵デバイスの上下に多層の配線層を重ねた多層の部品内蔵デバイスが考えられる。本実施態様によれば、製造工程が少なく低い製造コストで容易に多層の部品内蔵デバイスを製造することができる。

【 0 0 1 8 】

更に、本発明に係る多両面 I / O パッケージとして、上述の部品内蔵デバイスに備えられた電気回路導電体に、電極パッドを設けることによって形成される両面 I / O パッケージが考えられる。また、本発明に係る多両面 I / O パッケージとして、更に、基板の表裏面に設けられた電極パッドが、表裏面で同配列に整列している両面 I / O パッケージが考えられる。これらの I / O パッケージは、3 次元実装に非常に有効である。

30

【 0 0 1 9 】

更に、本発明に係る部品内蔵デバイスの製造方法として、部品チップに、該部品チップの表裏面を貫通する第 1 の貫通穴をあける工程と、第 1 の貫通穴を有する部品チップを少なくとも含む部材を、絶縁性樹脂で埋め込んで基板を形成する工程と、基板に、該基板の表裏面を貫通する第 2 の貫通穴を、第 1 の貫通穴の中を通り、かつ第 1 の貫通穴の内面に接しない位置にあける工程と、第 2 の貫通穴の中に導電体を設け、基板の表裏面に導電体と電氣的に接続するように電気回路導電体を設ける工程と、を含む部品内蔵デバイスの製造方法が考えられる。

40

【 0 0 2 0 】

本実施態様によれば、従来に比べて、少ない製造工程で、短時間に低コストで、部品内蔵デバイスを製造できる。更に、フォトリソ工程などのような廃液が出る工程を含まないため、環境保全に有利である。

【 発明の効果 】

【 0 0 2 1 】

本発明に係る部品内蔵デバイスでは、半導体 IC チップを始めとする部品チップを貫通する導電体を、絶縁性を確保して容易に低コストで備えることができるので、三次元モジュールやパッケージには非常に有効であり、デバイスの小型化、更にはシステム装置の

50

小型化や低コスト化が容易に図れる。

【 0 0 2 2 】

また、本発明に係る部品内蔵デバイスの製造においては、フォトリソ工程などのような廃液が出る工程を含まないため、環境保全に適したクリーンな製造プロセスを実現できる。

【発明を実施するための最良の形態】

【 0 0 2 3 】

本発明に係る実施形態を、図面を参照しながら詳細に説明する。

【 0 0 2 4 】

(実施形態 1)

本発明に係る部品内蔵デバイスの 1 つの実施形態を図 1 に示す。本図は半導電体 IC チップ (部品チップ) に貫通ビアを設けた部品内蔵デバイスを示す断面図である。

【 0 0 2 5 】

半導電体 IC チップ 1 0 1 には、その表裏面を貫通する第 1 の貫通穴 1 0 2 があけられている。ここでは、紙面で下側の面を表面、上側の面を裏面と称する。この第 1 の貫通穴 1 0 2 があけられた半導電体 IC チップ 1 0 1 が、絶縁性樹脂からなる基板 1 0 3 内に埋め込まれている。また、基板 1 0 3 には、その表裏面を貫通する第 2 の貫通穴 1 0 4 が、第 1 の貫通穴 1 0 2 と略同心円状となる位置に、第 1 の貫通穴 1 0 2 の内壁に触れないように、つまり半導電体 IC チップ 1 0 1 に触れないようにあけられている。従って、第 2 の貫通穴 1 0 4 の外形と第 1 の貫通穴 1 0 2 の内壁との間には絶縁性樹脂が存在する。ここで、基板 1 0 3 の場合も半導電体 IC チップ 1 0 1 の場合と同様に、紙面で下側の面を表面、上側の面を裏面と称する。本図では、半導電体 IC チップ 1 0 1 には 3 個の第 1 の貫通穴 1 0 2 が設けられ、各々の第 1 の貫通穴 1 0 2 の中には第 2 の貫通穴 1 0 4 が設けられている。

【 0 0 2 6 】

基板 1 0 3 の左右に位置する第 2 の貫通穴 1 0 4 の中には、導電体 1 0 7 が備えられ、この導電体 1 0 7 の両端は基板 1 0 3 の表裏面まで達している。また、基板 1 0 3 の表面には電気回路導電体 1 0 6 が備えられ、基板 1 0 3 の裏面には電気回路導電体 1 0 8 が備えられており、これらの電気回路導電体 1 0 6、1 0 8 は、導電体 1 0 7 によって電氣的に接続されている。

【 0 0 2 7 】

また、基板 1 0 3 の表面には、半導電体 IC チップ 1 0 1 の I/O 電極パッド 1 0 5 (電極) の位置に、コンタクト窓 1 1 3 があけられている。このコンタクト窓 1 1 3 を通して、I/O 電極パッド 1 0 5 と電気回路導電体 1 0 6 とが電氣的に接続されている。なお、半導電体 IC チップ 1 0 1 の内部の構造はこの図には示されていない。

【 0 0 2 8 】

一方、基板 1 0 3 の中央に位置する第 2 の貫通穴 1 0 4 の中には、導電体 1 1 2 が備えられ、この導電体 1 1 2 の両端は基板 1 0 3 の表裏面まで達している。また、基板 1 0 3 の表面には電気回路導電体 1 1 0 が備えられ、基板 1 0 3 の裏面には電気回路導電体 1 1 1 が備えられており、これらの電気回路導電体 1 1 0、1 1 1 は、導電体 1 1 2 によって電氣的に接続されている。ただし、導電体 1 1 2 により接続された電気回路導電体 1 1 0、1 1 1 は、上述の電気回路導電体 1 0 6、1 0 8 とは異なり、半導体 IC チップ 1 0 1 とは独立している。

【 0 0 2 9 】

以上のように、電気回路導電体 1 0 6、1 0 8 と導電体 1 0 7 で構成される貫通ビアを用いれば、半導電体 IC チップ 1 0 1 の表面だけでなく、裏面側にも I/O 電極パッドを設けることができる。従って、裏面に半導電体 IC チップや他の部品を積層する場合、従来であれば、I/O 電極パッドと裏面の配線とを接続するために、半導電体 IC チップの外側を回って配線を繋げる必要があったが、本実施形態ではそのような煩雑な配線を行なう必要がない。また、その分配線長も短くなるという利点も有する。

## 【 0 0 3 0 】

また、電気回路導電体 1 1 0、1 1 1 と導電体 1 1 2 で構成される独立貫通ビアを用いれば、基板や半導体 IC チップを貫いて配線できるので、3 次元実装において大きな利点を有する。

## 【 0 0 3 1 】

( 部品内蔵デバイスの製造プロセス )

次に、図 1 に示す部品内蔵デバイスの製造プロセスの一例を説明する。まず、半導体 IC チップ 1 0 1 に第 1 の貫通穴 1 0 2 をあける場合には、イオンエッチングあるいはプラズマエッチングなどの半導体加工技術により正確に穴あけを行なうことができる。また、最近ではレーザなどで穴あけを行なうとも可能になっている。

10

## 【 0 0 3 2 】

イオンエッチングによれば、アスペクト比の高い、つまり、径に比べて深い貫通穴の加工が可能である。例えば、直径 1 0  $\mu$  で深さ 7 0  $\mu$  の穴もあけられるようになっている。ただし、近年では、半導体 IC チップの厚さが薄く加工されるようになってきており、例えば、5 0  $\mu$  ぐらいの厚さの半導体 IC チップも使われ始めていて、穴あけ加工自体は容易になってきている。

## 【 0 0 3 3 】

また、1 5 0  $\mu$  以上の大きな穴径でもよい場合には、被加工物に砂をぶつけて削るサンドブラストを用いることもできる。近年は、この技術でも微細加工が可能ようになってきており、若干テーパ形状となることについて問題が生じない場合には、安価な穴あけ方法として利用することができる。

20

## 【 0 0 3 4 】

次に、上述のようにして形成した第 1 の貫通穴 1 0 2 を有する半導体 IC チップ 1 0 1 を、絶縁性樹脂からなる基板 1 0 3 に埋め込む。この絶縁性樹脂からなる基板 1 0 3 の中に埋め込む方法には、いくつかの方法があるが、平滑な仕上がり表面を要する場合には、2 枚の半硬化 ( B - ステージ ) 樹脂シートで第 1 の貫通穴 1 0 2 を有する半導体 IC チップ 1 0 1 を挟み込んで、加圧加熱する方法が適している。この場合、貫通穴内部に空隙ができないようにするためには、真空中でこの処理を行なうことが好ましい。また、その他の方法としては、絶縁体シートの上に第 1 の貫通穴 1 0 2 を有する半導体 IC チップ 1 0 1 を置き、液状樹脂を流して硬化させて埋め込む方法もある。

30

## 【 0 0 3 5 】

次に、以上のようにして形成した第 1 の貫通穴 1 0 2 を有する半導体 IC チップ 1 0 1 を埋め込んだ基板 1 0 3 に、第 1 の貫通穴 1 0 2 と略同心円状であって半導体 IC チップ 1 0 1 に触れないように第 2 の貫通穴 1 0 4 をあけ、更に、半導体 IC チップ 1 0 1 の I / O 電極パッド 1 0 5 の位置にコンタクト窓 1 1 3 をあける工程を行なう。

## 【 0 0 3 6 】

貫通穴は機械的ドリルであけてもよいが、コンタクト窓 1 1 3 の加工も考慮すると、レーザ加工が好ましい。微細な貫通穴の場合は、エキシマレーザあるいはヘムトレータが適している。どのようなレーザを選択すべきかについては、許容される加工の微細さや仕上がり穴の形状に応じて、製造コストの最も低い方法を選択するのが望ましい。

40

## 【 0 0 3 7 】

レーザによる樹脂の加工は、樹脂材料により大きく異なる。有機物の樹脂単体からなる場合は、炭酸ガスレーザ、YAG レーザ、エキシマレーザなど大半のレーザで穴あけ加工が可能である。また、樹脂中にシリカなどの無機のフィラーを混入する場合には加工性が悪くなるが、耐湿特性など向上するためにフィラーを混入したコンポジット材料を使用することも可能である。絶縁性樹脂として感光性の樹脂を選べば、露光現像して貫通穴をあけることも可能である。

## 【 0 0 3 8 】

従来のように、酸化膜処理により絶縁性を確保する場合には、その絶縁性は穴表面や穴形状に大きく左右されるため、製品の歩留まりが悪くなる問題が生じるが、本発明におい

50

ては、穴表面や穴形状には関係なく良好な絶縁性が得られるという大きな利点を有する。

【0039】

次に、上述のようにしてあけられた第2の貫通穴104の中に、導電体107を設ける。導電体107を設けるには、導電体を埋め込むことも可能であるし、第2の貫通穴104の内壁面に導電体を付着させてもよい。導電体を埋め込む場合には、導電性ペーストをスキージ等で押し込んでよいし、穴が大きい場合にはスクリーン印刷も可能である。スクリーン印刷により導電体107として導電性ペーストを埋め込む場合には、電気回路導電体106、108も同時に印刷してしまうと効率がよい。勿論、一旦導電性ペーストを穴に充填した後に印刷してもよい。

【0040】

また、電気回路導電体106、108は、導電性ペーストを充填した後、硬化させてその後メッキ銅で配線してもよい。このような技術については、プリント配線板の技術を適用することができる。また、導電体107を埋め込むのではなく、第2の貫通穴104の内壁面にメッキ銅を施して、表裏の回路導電体106、108の導通を取ることもできる。これもプリント配線板の技術では古く知られた技術であり、詳細な説明は省略する。

【0041】

(実施形態2)

図2には、メッキ銅で回路導電体及び導電体を形成した実施形態を示す。導電体201は、第2の貫通穴104の内壁面に施しためっき銅で形成され、その内部は空洞202となっている。また、電気回路導電体106、108もメッキ銅で形成され、半導電体ICチップ101のI/O電極パッド105との接続もメッキ銅でなされている。I/O電極パッド105は、通常アルミで作られるが、今回のような場合には、クロムやチタンあるいはタンゲステンなどの金属で表面を変換し、最終的に銅や金の表面にすることが知られている。オーミックな電氣的コンタクトを得るためである。

【0042】

回路導電体106、108がメッキ銅の場合には、そのままプリント基板などへ半田接続することができる。また、導電性ペーストを用いる場合には半田接続が困難であるが、メッキを施すかあるいは半田付けが可能な導電性ペーストを上塗りすることにより、電氣的接続が可能である。プリント基板への電氣的接続を、半田を用いずに導電性ペーストを用いて行なう場合には、導電性ペーストのまま何ら処理をする必要がない。また、導電性ペースト同士のコンタクトをよくするために、プラズマ処理を行なうことが好ましい。

【0043】

(実施形態3)

電気回路導電体を形成するには、印刷ではなく溝に導電性ペーストを埋め込んで形成することもできる。この場合には、第2の貫通穴104に導電性ペーストを埋め込むと同時に、電気回路導電体106、108も形成できるため、工程が著しく簡単になる。

【0044】

本発明に係る部品内蔵デバイスの他の実施形態を図3に示す。本図は、導電性ペーストを溝に埋め込んで電気回路導電体を形成した部品内蔵デバイスの断面図を示す。ここでは、第1の貫通穴302を有する半導電体ICチップ301を、絶縁性樹脂からなる基板304に埋め込んだ後、第1の貫通穴302と略同心円状であって半導電体ICチップ301に触れない位置に第2の貫通穴305をあけ、I/O電極パッド303の位置にコンタクト窓306をあける。更に、基板304の表裏面に、回路パターンに従って溝307と308を彫る。そして、彫られた溝307、308、コンタクト窓306、及び第2の貫通穴305に、導電性ペースト309を埋め込み、充填した後に加熱硬化させる。以上の工程により、電気回路導電体(配線)も導通ヴィアも同時に形成することができる。

【0045】

(実施形態4)

これまで説明したように、本発明によれば、同一の基板内に埋め込んだ複数個の半導電体ICチップ、あるいは半導電体ICチップ以外の電子部品を互いに接続した部品内蔵デ

10

20

30

40

50

バイスを形成することができる。また、そのような部品内蔵デバイスを多層に重ねた多層部品内蔵デバイスも形成することもできる。

【 0 0 4 6 】

ここで、図 4 には、本発明の他の実施形態である多層の部品内蔵デバイスの断面図を示す。本実施形態では、第1の貫通穴を有する半導電体 IC チップ 4 0 2 を内蔵する部品内蔵デバイス 4 0 1 の上（裏面側）に、部品チップ 4 0 5 を内蔵する部品チップ内蔵層 4 0 4 を重ね、下側（表面側）には部品チップを含まない電気回路導電体層 4 0 3 を重ねている。部品内蔵デバイス 4 0 1 については、既に説明したものと同様である。

【 0 0 4 7 】

部品チップ内蔵層 4 0 4 は、貫通穴のない部品チップ 4 0 5 を絶縁性樹脂中に埋め込んで、貫通穴と表面の溝に充填した導電性ペースト 4 0 7 で配線した構造を有している。ここで、部品番号 4 0 6 で示した部材は、部品チップの電極である。部品内蔵デバイス 4 0 1 の電気回路導電体 4 1 5 と部品チップ内蔵層 4 0 4 の電気回路導電体 4 1 4 とは、接点 4 0 8 で電氣的に接続されている。また、部品番号 4 0 9 で示した部材は、貫通穴と表面に彫った溝に埋め込んだ導電性ペーストからなる電気回路導電体である。また、下層の電気回路導電体層 4 0 3 は、貫通穴と表面に彫った溝に充填した導電性ペーストからなる電気回路導電体 4 1 0 のみを有する構造となっている。

【 0 0 4 8 】

このような 3 層構造の多層の部品内蔵デバイスは、小型の機能モジュールを得るのに有効である。また、多層の部品内蔵デバイスの表面には、従来の部品の表面実装が可能である。図 4 には、フリップ実装した様子を破線で示してある（部品番号 4 1 1）。このような多層の部品内蔵デバイスの両面に、更に部品内蔵デバイスや電気回路導電体からなる配線層を重ねることも可能である。

【 0 0 4 9 】

（多層の部品内蔵デバイスの製造プロセス）

次に、このような多層の部品内蔵デバイスの製造プロセスの一例を説明する。単層の部品内蔵デバイス 4 0 1 の製造プロセスについては既に説明を行なった。部品チップ内蔵層 4 0 4 を積層するには、部品チップ 4 0 5 を B - ステージの絶縁性樹脂で挟み込んで、部品内蔵デバイス 4 0 1 の上に重ね、加圧加熱して絶縁性樹脂を硬化させて基板 4 1 6 を形成することができる。絶縁性樹脂に施す貫通穴加工や溝加工は、機械加工、プラズマ加工、レーザ加工などを用いることができ、必要とされる寸法精度により、最適の加工手段を選択することができる。

【 0 0 5 0 】

本実施例では、レーザ加工を用いる場合を例にとって説明する。レーザ加工としては、加工後の残渣などの少ないエキシマレーザを用いることが特に好ましい。絶縁性樹脂からなる基板 4 1 6 に、レーザを用いて、溝 4 1 3、貫通穴 4 1 4、及びコンタクト窓 4 1 2 をあける。貫通穴 4 1 4 は、基板 4 1 6 を貫通して部品内蔵デバイス 4 0 1 の電気回路導電体 4 1 5 の位置で止められている。ただし、電氣的な接合を良好にするためには、電気回路導電体 4 1 5 に少し入り込むまで掘りこまれるのが好ましい。また、導電性ペーストに気泡が入り込まないように充填するには、真空中で充填するのが好ましい。具体的には、真空中においてスキージで押し込むか、または導電性ペースト溜まりの中にディップした後大気中に取り上げて、表面の導電性ペーストを取り除く方法が考えられる。

【 0 0 5 1 】

次に、下層の電気回路導電体層 4 0 3 を形成するには、B - ステージの絶縁性樹脂を重ねて加熱加圧硬化させて基板 4 1 7 を形成し、貫通穴（基板 4 1 7 のみを貫通し、部品内蔵デバイス 4 0 1 上の電気回路導電体の位置で止まる穴）と溝をレーザで形成し、更に導電性ペーストを充填して加熱硬化すればよい。また、貫通穴や溝を掘る前に、上層の部品チップ内蔵層 4 0 4 と下層の電気回路導電体層 4 0 3 とを積層して、同時に加圧過熱して一時に形成することもできる。

【 0 0 5 2 】



本実施例では、B - ステージの未硬化樹脂を用いて説明したが、部品チップを埋め込んで硬化させた絶縁性樹脂層を用いる方法や、硬化した樹脂層を接着剤で重ねる方法を採用することもできる。以降の工程については上述と同様であるので、説明は省略する。

#### 【0053】

上記においては、各層の積層を順次積層する説明を行なったが、一括積層を行なうことも考えられる。この場合には、各層の電氣的接続を異方導電性接着剤あるいは導電性接剤を用いて行なうことができる。ただし、積層物の品質を考慮すると順次積層型が好ましい。本発明のようなデバイスは、一般的に一層が非常に薄く（100μ以下）、積層時の位置合わせなどがデバイスの伸びのために困難である。順次積層型の場合には、貫通穴あけや溝彫りなどにおいて、下のパターンを見ながら加工できるので、位置合わせといった作業を要しない。従って、層間の位置ずれをカバーするヴィアランドなどの必要性が無いため、より微細なヴィアや配線を実現できる。また、上述の説明では、導電体は導電性ペーストを用いたが、既に説明したように、メッキ銅を用いることもできる。

#### 【0054】

##### （実施形態5）

既に説明した多層の部品内蔵デバイスの特殊な場合として、図5に示すような構造を有する両面I/Oパッケージが考えられる。この両面I/Oパッケージは、3次元実装には有効なパッケージであり、特に、積層型大容量メモリモジュールなどには有効である。

#### 【0055】

ここで、部品内蔵デバイス501及び電気配線導電体層502、503については、実施形態4に示したものと同様である。本実施形態の特徴部分は、多層のモジュールの表裏面に整列したI/Oパッド504、505を有することである。図5ではI/Oパッドの配列を裏表面で同じ配列にしてあるが、異なる配列にすることもできる。また、複雑なデバイスにおいては、更に電気回路導電体層を重ねる必要性を有する場合もある。逆に、簡単なデバイスにおいては、図5の部品内蔵デバイスに示すように、それ自体で電気回路導電体層502、503を重ねなくとも両面I/Oパッケージを実現できる場合もある。また、両面あるいは片面のパッドに接続用ボール（半田ボールなど）を付けることもできる。このとき、I/Oパッド504、505の表面がメッキ銅の場合には全て半田付けが可能であるが、導電性ペーストの場合にはメッキを施したり、銅箔を貼り付けたりする必要がある。

#### 【0056】

##### （その他の実施形態）

以上のように、本発明について様々な実施形態や実施例を挙げて説明したが、その他にも多くの変形や特殊な形状が本発明に含まれる。つまり、第1の貫通穴を有する部品チップを絶縁性樹脂中に埋め込み、この第1の貫通穴の中に部品チップに触れないように第2の貫通穴をあけ、この第2の貫通穴に導電体を備えて表裏面の電気回路導電体の導通を取るようにしたデバイス及びその製造方法であれば、その他のあらゆる実施形態が本発明に含まれる。

#### 【図面の簡単な説明】

#### 【0057】

【図1】本発明に係る部品内蔵デバイスの実施形態1を示す断面図である。

【図2】本発明に係る部品内蔵デバイスの実施形態2を示す断面図である。

【図3】本発明に係る部品内蔵デバイスの実施形態3を示す断面図である。

【図4】本発明に係る多層の部品内蔵デバイスである実施形態4を示す断面図である。

【図5】本発明に係る両面I/Oパッケージである実施形態5を示す断面図である。

#### 【符号の説明】

#### 【0058】

- 101 第1の貫通穴を有する半導電体ICチップ
- 102 第1の貫通穴
- 103 絶縁性樹脂からなる基板

10

20

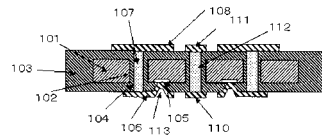
30

40

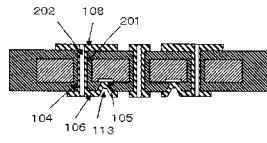
50

1 0 4	第 2 の貫通穴	
1 0 5	I / O 電極パッド	
1 0 6	電気回路導電体	
1 0 7	導電体	
1 0 8	電気回路導電体	
1 1 0	電気回路導電体	
1 1 1	電気回路導電体	
1 1 2	導電体	
1 1 3	コンタクト窓	
2 0 1	導電体	10
2 0 2	空洞	
3 0 1	半導体 I C チップ	
3 0 2	第 1 の貫通穴	
3 0 3	I / O 電極パッド	
3 0 4	基板	
3 0 5	第 2 の貫通穴	
3 0 6	コンタクト窓	
3 0 7	溝	
3 0 8	溝	
3 0 9	導電性ペースト	20
4 0 1	部品内蔵デバイス	
4 0 2	半導体 I C チップ	
4 0 3	電気回路導電体層	
4 0 4	部品チップ内蔵層	
4 0 5	部品チップ	
4 0 6	電極	
4 0 7	導電性ペースト	
4 0 8	接続点	
4 0 9	電気回路導電体	
4 1 0	半導体 I C チップ	30
4 1 1	フリップ実装	
4 1 2	コンタクト窓	
4 1 3	溝	
4 1 4	貫通穴	
4 1 5	電気回路導電体	
4 1 6	基板	
4 1 7	基板	
5 0 1	部品内蔵デバイス	
5 0 2	電気回路導電体層	
5 0 3	電気回路導電体層	40
5 0 4	I / O パッド	
5 0 5	I / O パッド	

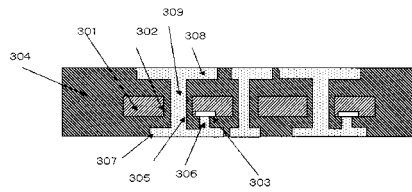
【図 1】



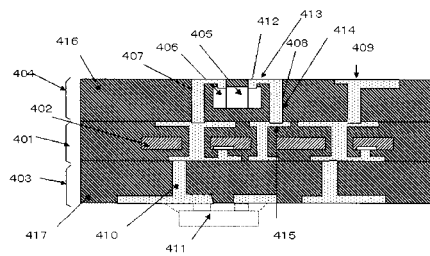
【図 2】



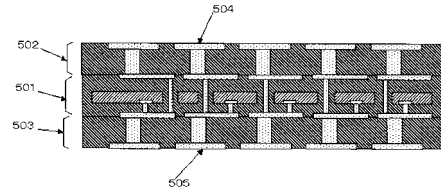
【図 3】



【図 4】



【図 5】



---

フロントページの続き

- (72)発明者 須賀 唯知  
東京都中野区東中野 3 - 6 - 3
- (72)発明者 塚本 勝秀  
奈良県奈良市富雄泉ヶ丘 3 0 - 1 4
- (72)発明者 吉井 明人  
新潟県新潟市濁川 3 9 9 3 番地 ナミックス株式会社内
- (72)発明者 北村 昌広  
新潟県新潟市濁川 3 9 9 3 番地 ナミックス株式会社内
- (72)発明者 山口 博  
新潟県新潟市濁川 3 9 9 3 番地 ナミックス株式会社内

審査官 宮本 靖史

- (56)参考文献 特開 2 0 0 4 - 1 5 3 2 6 9 ( J P , A )  
特開 2 0 0 5 - 0 6 4 4 5 1 ( J P , A )  
特開 2 0 0 4 - 1 7 2 4 1 2 ( J P , A )  
特開 2 0 0 4 - 2 2 8 1 9 0 ( J P , A )  
特開 2 0 0 0 - 2 7 7 6 8 9 ( J P , A )  
特開 2 0 0 4 - 2 3 5 5 2 3 ( J P , A )  
特開 2 0 0 1 - 2 1 7 3 3 7 ( J P , A )  
特開 2 0 0 3 - 3 0 3 9 3 8 ( J P , A )  
特開平 0 2 - 1 5 9 0 9 7 ( J P , A )  
特開平 0 2 - 1 7 0 4 8 9 ( J P , A )  
特開平 0 5 - 3 4 3 8 5 6 ( J P , A )  
特開 2 0 0 0 - 3 1 1 9 8 2 ( J P , A )  
特開 2 0 0 4 - 0 4 7 9 3 8 ( J P , A )  
特開 2 0 0 3 - 1 7 4 1 1 3 ( J P , A )

(58)調査した分野(Int.Cl. , D B 名)

H 0 1 L 2 3 / 1 2  
H 0 1 L 2 3 / 5 2 - 2 3 / 5 3 8  
H 0 5 K 1 / 0 5  
H 0 5 K 3 / 4 4 - 3 / 4 6  
H 0 1 L 2 1 / 7 6 8