

本 告 公

申請日期	P0.5.18
案 號	P0106212
類 別	H01L ²³ /524

A4
C4

484225

(以上各欄由本局填註)

發 明 專 利 說 明 書

一、發明 名稱	中 文	半導體基板中電子電路結構之製造及 檢查方法
	英 文	Method for Fabricating and Checking Structures of Electronic Circuits in a Semiconductor Substrate
二、發明 創作人	姓 名	1. 侏根卡爾 (Jüger Karl) 2. 馬汀吉伯特 (Martin Zibert) 3. 貝蘭汀羅司寇普夫 (Dr. Valentin Roskopf)
	國 籍	1. 德國 2. 德國 3. 德國
	住、居所	1. 德國慕尼黑 81739 薩爾茲曼恩街 76 號 2. 德國菲爾德基欽-威思特哈姆 83620 霍恩 包爾德街 10 號 3. 德國包特梅思-史寇恩 86554 歐特斯街 30 號
三、申請人	姓 名 (名稱)	印芬龍科技股份有限公司 (Infineon Technologies AG)
	國 籍	德國
	住、居所 (事務所)	德國慕尼黑 D-81669 聖馬丁街 53 號
	代 表 人 姓 名	1. 麥可勾威什 (Michael Gollwitzer) 2. 荷斯特卻佛 (Dr. Horst Schäfer)

經濟部智慧財產局員工消費合作社印製

裝

訂

線

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6
B6

本案已向：

德 國 (地區) 申請專利，申請日期： 案號： ， 有 無主張優先權
 2000 年 03 月 17 日 申請案號 10014914.6

有關微生物已寄存於： ， 寄存日期： ， 寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明 (1)

發明說明：

本發明有關於一種半導體基板中至少兩個電子電路結構之製造及檢查方法。

此形式之電子電路係典型地形成為積體電路於較佳地矽晶圓之晶圓上，該等積體電路可藉例如 DRAM(動態隨機存取記憶體)記憶體單元予以形成，晶圓含有形成為晶片之複數個此形式之 DRAM 記憶體單元的區域性設置，個別晶片之晶片區域形成該晶圓的有用區域，個別之有用區域係藉稱為切痕之標線予以接界，使用於檢查個別晶片區域上之電子電路的功能性及可靠性之電子電路係位於該等標線之中。

具有標準 DRAM 記憶體單元之晶片常含有具特定閘極氧化物厚度之電晶體的設置。為檢查該等電晶體，結構相同之電晶體係設置於該等標線中，在該標線中之該等電晶體形成監視及可靠性結構而使用於執行預定的測量及測試步驟，關於該等個別晶片之晶片上的電晶體之功能性及可靠性的記載可產生自該等測量及測試步驟。

為獲得在該等測量及測試步驟之期間盡可能可靠之統計上的記載，企望於置放最大可行數目之電晶體於該等標線中。然而，在該等標線中之最大數目之電晶體受限於每一晶圓之晶片產能應盡可能高的事實，此將限制該等標線的有效面積及置於該處之電晶體數目。

在需要新穎之 DRAM 記憶體單元以用於例如

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

經濟部智慧財產局員工消費合作社印製

五、發明說明 (2)

RAMBUS 晶片之情況中,爲了達成此等元件之性能及可靠性的理由,需要具有複數個(較佳地兩個)閘極氧化物厚度之電晶體。

因此,爲了檢查該等結構,具有小的及大的閘極氧化物厚度之電晶體必須配置於該等標線中以爲了可檢查該兩結構的功能性及可靠性。

相較於標準 DRAM 記憶體單元,爲了相同數目之各種電晶體有效於該等標線中,該等標線之面積將必須加大,但此將導致所不企望之晶片區域之減少。

本發明之目的係以提供一種確保半導體基板中之不同結構的電子電路盡可能可靠地檢查而不會限制該基板之有用區域的方法爲主。

申請專利範圍第 1 項之特徵係提供以用於達成此目的,本發明之有利的實施例及最好的發展則描述於申請專利範圍之附屬項之中。

本發明人之半導體基板中至少兩個電子電路結構之製造及檢查方法,包含下列方法步驟:

利用第一罩幕,含有有用區域及接界有用區域之標線的設置,該設置延伸在該半導體基板的第一區之上,根據預定圖案,第一及第二結構製作於該等有用區域之中而第一結構製作於該等標線中;

利用第二罩幕,含有有用區域及接界有用區域之標線的設置,該設置延伸在該半導體基板的第二區之上,根據該預定圖案,第一及第二結構製作於該等有用區域之

五、發明說明 (3)

中而第二結構製作於該等標線中；以及

在該等第一區之標線中之第一結構及在該等第二區之標線中之第二結構在各情況中係使用來檢查該等有效區域中之該等第一及第二結構。

本發明之基本理念在於，利用個別之第一或第二區中之兩個罩幕，完全相同形式之第一及第二結構係製作於有用區域中，但僅第一或僅第二結構係製作於該等標線之中。

在此情況中，該等第一及第二區係交替地且較佳地以似棋盤方式分佈於該半導體基板的整個表面上。在該等第一區之中，僅該等第一結構設置於該等標線之中使得僅檢查第一結構於該等區之中，雖然第一及第二結構均位於所指定之有用區域之中。相對應地，僅該等第二結構設置於第二區之中，使得僅可檢查該等第二結構之功能性於該處，雖然第一及第二結構均位於所指定之該等第二區之有用區域中。

利用此設置，第一及第二結構係個別地測試於分離區之中，一主要之優點係，在各情況中僅一電子電路之結構存在於該兩區之所有標線，結果在標線中之結構數目可保持小。此意指該等標線之區域可相對應地獲得小的尺寸而該等有用區域可相對應地獲得大的尺寸，藉此取得相對應地高的產生於該半導體基板上之電子電路的製造中。

同時，在第一及第二區之該等標線中之第一及第二結

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(4)

構的互補設置將確保該兩結構之可靠性及功能性可以以十分高的製程可靠性予以檢查。尤其,該等第一及第二區之似棋盤的設置將有利於此情況中。以此方式,在個別標線中之第一及第二結構會均勻地分佈在半導體基板之表面上,結果,在各情況中,半導體基板的表面會在第一及第二結構之檢查期間被均勻地涵蓋著。

在特別有利的方式中,該兩罩幕僅在技術開始狀態之期間使用以形成該等第一及第二結構。在用於以半導體基板所製造之產品的技術開始狀態之期間,會有增加該等產品之測量及測試步驟之要求以爲了測試該等產品之可靠性至充分的程度。

在緊隨技術開始狀態之後的產品狀態中,對於測量及測試步驟會有相對減少之要求。

在此情況中,可利用單一修正之第一罩幕來取代利用兩個罩幕供製造該等第一及第二結構。

此修正之第一罩幕並不畫分爲第一及第二區,而是該罩幕係以此一方式來形成,即,該等第一及第二結構均製作於所有有用區域之中。在各情況中,預定數目之第一及第二結構係製作於該等標線中,結果,該兩結構係接著同時地測試於標線中。

在本發明有利之實施例中,該等第一及第二結構係藉較佳地使用於 DRAM 記憶體單元中之不同閘極氧化物厚度之電晶體予以形成。

本發明係參照附圖解說明如下,其中:

五、發明說明 (5)

第 1 圖顯示用於製造電子電路之結構於半導體基板中之第一罩幕之第一區之圖示；

第 2 圖顯示用於製造電子電路之結構之第二罩幕之第二區之圖示；

第 3 圖顯示在半導體基板的表面上根據第 1 圖之第一罩幕之第一區及根據第 2 圖之第二罩幕之第二區之分佈的圖示；及

第 4 圖顯示用於製造電子電路之結構於半導體基板中之修正的第一罩幕之區的圖示。

第 1 及 2 圖圖示地描繪作用為製造電子電路於半導體基板中之兩個罩幕之兩個區 1,2。在此例中,第一罩幕包含根據第 1 圖之第一區 1 的設置,第二罩幕包含根據第 2 圖之第二區 2 的設置,罩幕之各區 1,2 及半導體基板之表面係次畫分為藉標線 4 所接界之格狀的有用區域 3,其設置圖示地描繪於第 1 及 2 圖中之兩個不同結構 5,6 之電子電路製作於個別有用區域 3 及標線 4 之區中。

半導體基板係藉使用於製造 DRAM 記憶體單元之矽晶圓予以形成,大量完全相同地形成之晶片係取得自此形式之矽晶圓,各該等晶片含有 DRAM 記憶體單元之設置且較佳地形成 RAMBUS 或類似物。

在此形式之晶片,需要不同結構 5,6 之電子電路,尤其它們係形成為具有不同閘極氧化物厚度之電晶體。

在本發明代表性實施例中,提供兩個不同的電晶體,

五、發明說明 (6)

即,形成具有薄的閘極氧化物層之第一結構的電晶體及形成具有厚的閘極氧化物層之第二結構的電晶體。

不同的第一及第二結構 5,6 係利用根據第 1 及 2 圖之該等罩幕予以製作。

爲了製作第一結構,執行氮佈植於個別電晶體之閘極氧化物區之中。基於此目的,該氮係透過根據第 1 及 2 圖之該等罩幕中之相對應開口而佈植於半導體基板之內。相對之下,根據第 1 及 2 圖之該等罩幕係以此一方式形成,即,形成第二結構 6 之閘極氧化物區係涵蓋於該氮佈植之期間。

在氮佈植之後,形成該等閘極氧化物層之該等氧化物層會施加於半導體基板。在形成第一結構 5 之電晶體的氮佈植之閘極氧化物區之情況中,由於氮,該等氧化物層以遲滯及抑制之方式成長,結果可取得薄的閘極氧化物層;相對之下,厚的閘極氧化物層係取得於形成第二結構 6 之電晶體的非氮佈植之閘極氧化物區。

描繪於第 1 及 2 圖中之第一及第二罩幕之該等區 1,2 各具有完全相同的結構。在此例中,各區 1,2 包含有三個有用區域 3,相對應於將製作之晶片載子,該等有用區域 3 係藉標線 4 予以接界,比起有用區域 3 之寬度,該標線 4 之寬度係相當地小。在本發明代表性實施例中,晶片區域具有矩形橫剖面,標線 4 接界具有類似矩形輪廓之晶片區域。

取得自半導體基板之個別晶片係完全相同地形成。

五、發明說明 (7)

因此,根據第 1 及 2 圖之該等罩幕之區 1,2 的所有有用區域 3 具有完全相同的圖案,而該等圖案在此例中係使用於製造具有厚的及薄的閘極氧化物層之完全相同設置之電晶體。

描繪於第 1 及 2 圖中之第一及第二罩幕之該等區 1,2 透過標線中之測試結構的形成而有所不同。

如第 1 圖所示,第一罩幕之標線 4 係以此一方式形成,即,僅形成第一結構 5 及具有薄的閘極氧化物層之電晶體會設置於該處。

相對之下,根據第 2 圖之第二罩幕之標線 4 則以此一方式形成,即,僅形成第二結構 6 及具有厚的閘極氧化物層之電晶體會設置於該處。

用於檢查可靠性及功能性,預定之測量及測試步驟係利用位於該等標線 4 之該等區中之電晶體予以執行。

因為僅具有薄的閘極氧化物層之電晶體係製作於第一罩幕之第一區 1 之標線 4 的區中,故僅該等第一結構 5 而非第二結構 6 會在檢查過程之期間予以檢查。

相對應地,僅具有厚的閘極氧化物層之電晶體係製作於第二罩幕之第二區 2 之標線的區中,結果只有第二結構 6 會在該處予以檢查。

第一罩幕包含第一區 1 之設置,其係設置互補於第二罩幕之第二區 2 的設置。

因此,在第一方法步驟中,第一及第二結構 5,6 可利用第一罩幕之第一區 1 製作於晶圓之第一的部分區之

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (8)

中。在第二方法步驟中,第一及第二結構 5,6 係序地利用第二罩幕之第二區 2 來製作於在第一方法步驟期間未處理之晶圓的部分區之中。

在此例中,第一及第二罩幕之第一及第二區 1,2 係以此一方式設置,即,該等罩幕之該等區在替換性之設置中覆蓋該晶圓之表面。第 3 圖顯示此形式設置之代表性實施例,其中該第一罩幕之該等第一區 1 及該第二罩幕之該等第二區 2 似棋盤地覆蓋晶圓表面。

均勻地分佈在晶圓表面上之第一及第二結構 5,6 係空間地分別檢查於該兩罩幕之第一及第二區 1,2 之中。

特別地,此形式之設置係有利的,因為在各該等標線 4 之區中,將製作足夠有量之第一或第二結構 5,6 以取得個別測量數量之可靠的統計學評估。同時,在標線 4 之區中的第一或第二結構 5,6 之總數會十分小,使得該標線 4 之總面積可保持小。

尤其,該兩罩幕係使用於技術開始狀態之期間,其中從晶圓製造之串列的檢查釋出之前必須執行第一及第二結構 5,6 之廣泛及詳細的檢查。

在緊隨著技術開始狀態之後的製造狀態中,較佳地該兩罩幕僅零星地使用於少數製造批次。

修正之第一罩幕係使用來取代該兩罩幕,所修正之第一罩幕的區 1' 係描繪於第 4 圖中。

第一區 1 再次具有有用區域 3,其中再次製作第一及

五、發明說明 (9)

第二結構之該等圖案。

該等有用區域 3 係完全相同於根據第 1 及 2 圖之該兩單幕的有用區域 3。

相較於根據第 1 及 2 圖之該等單幕,在根據第 4 圖之單幕的情況中,若預定數目之第一及第二結構 5,6 製作於標線 4 中,則該等結構之總數會相對應於根據第 1 及 2 圖之第一及第二單幕之標線 4 中之結構的總數。

在本發明代表性實施例中,利用根據第 4 圖之單幕,主要地形成第一結構 5 及具有薄的閘極氧化物層係製作於該等標線 4 之區中,而僅會製作少數之第二結構 6。

符號說明

- 1... 第一區
- 2... 第二區
- 3... 有用區域
- 4... 標線
- 5... 第一結構
- 6... 第二結構

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要(發明之名稱: 半導體基板中電子電路結構之製造及檢查方法)

本發明有關一種半導體基板中至少兩個電子電路結構(5,6)之製造及檢查方法,利用兩個不同的罩幕,在兩個方法步驟中,完全相同設置之第一及第二結構(5,6)係製作於該半導體基板之有用區域(3)之中,在接界該等有用區域(3)之標線(4)中,僅利用該第一罩幕製作第一結構(5)且僅利用該等第二罩幕製作第二結構(6)。

(第 1 圖)

英文發明摘要(發明之名稱: **Method for Fabricating and Checking Structures of Electronic Circuits in a Semiconductor Substrate**)

The invention relates to a method for fabricating and checking at least two structures (5, 6) of an electronic circuit in a semiconductor substrate. Using two different masks, in two method steps, identical arrangements of first and second structures (5, 6) are produced in useful areas (3) of the semiconductor substrate. In the scribe lines (4), bordering the useful area (3), only first structures (5) are produced using the first mask and only second structures (6) are produced using the second mask.

六、申請專利範圍

第 90106212 號「半導體基板中電子電路結構之製造及檢查方法」專利案 (90年6月修正)

六、申請專利範圍：

1. 一種製造及檢查半導體基板中至少兩個電子電路結構(5,6)之方法,包含下列步驟:

利用第一罩幕,含有有用區域(3)及接界有用區域之標線(4)的設置,該設置延伸在該半導體基板的第一區(1)之上,根據預定圖案,第一及第二結構(5,6)製作於該等有用區域(3)之中而第一結構(5)製作於該等標線(4)之中;

利用第二罩幕,含有有用區域(3)及接界有用區域之標線(4)的設置,該設置延伸在該半導體基板的第2區(2)之上,根據該預定圖案,第一及第二結構(5,6)製作於該等有用區域(3)之中而第二結構(6)製作於該等標線(4)之中;以及

在該等第一區(1)之標線(4)中之第一結構(5)及在該等第二區(2)之標線(4)中之第二結構(6)在各情況中係使用來檢查該等有效區域(3)中之該等第一及第二結構(5,6)。

2. 如申請專利範圍第1項之方法,其中該等第一及第二區(1,2)係交替地設置且延伸在該半導體基板之整個表面之上。
3. 如申請專利範圍第2項之方法,其中該等第一及第二區(1,2)係似棋盤地設置。

六、申請專利範圍

4. 如申請專利範圍第 1 項之方法,其中該等第一及第二罩幕係使用於技術開始狀態之期間。
5. 如申請專利範圍第 4 項之方法,其中在緊隨著該技術開始狀態之後的製造狀態期間,該等第一及第二罩幕僅零星地使用於測試所選擇批次之半導體基板,且其中或僅使用修正之第一罩幕,該修正之第一罩幕具有有用區域(3)及接界有用區域之標線(4),該設置延伸在半導體基板之上,該等第一及第二結構(5,6)之預定圖案係製作於該等有用區域(3)之中,且在各情況中,預定數目之第一及第二結構(5,6)係製作於該等標線(4)之中。
6. 如申請專利範圍第 1 至 5 項中任一項之方法,其中該兩結構(5,6)之電子電路係由兩個不同閘極氧化物厚度之電晶體所形成。
7. 如申請專利範圍第 6 項之方法,其中該第一罩幕係使用於製造具有小的閘極氧化物厚度之第一電晶體,該第一罩幕係以此一方式形成,即,氮佈植係在施加該等閘極氧化物層之前執行於該等第一電晶體之該等閘極氧化物區之中,該佈植會抑制接著所施加之閘極氧化物層的成长。
8. 如申請專利範圍第 6 項之方法,其中該第二罩幕係使用於製造具有大的閘極氧化物厚度之第二電晶體,該第二罩幕係以此一方式形成,即,並無氮佈植在施加該等閘極氧化物層之前執行於該第二電晶體之該等閘極氧化物區之中。

六、申請專利範圍

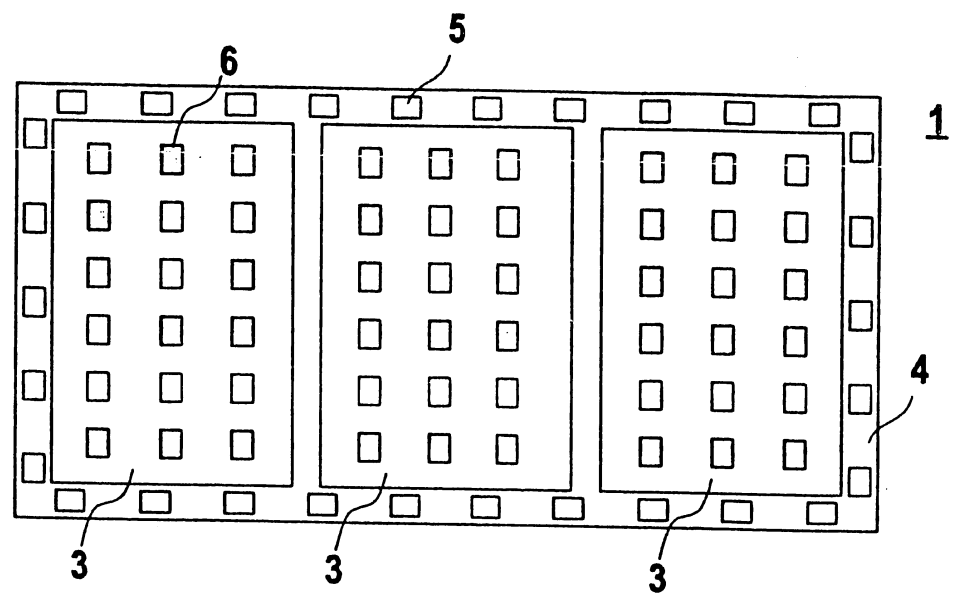
9. 如申請專利範圍第 7 項之方法,其中該第二罩幕係使用於製造具有大的閘極氧化物厚度之第二電晶體,該第二罩幕係以此一方式形成,即,並無氮佈植在施加該等閘極氧化物層之前執行於該第二電晶體之該等閘極氧化物區之中。
10. 如申請專利範圍第 6 項之方法,其中該等電子電路形成於矽晶圓中之 DRAM 結構的半導體基板之中。
11. 如申請專利範圍第 7 項之方法,其中該等電子電路形成於矽晶圓中之 DRAM 結構的半導體基板之中。
12. 如申請專利範圍第 8 項之方法,其中該等電子電路形成於矽晶圓中之 DRAM 結構的半導體基板之中。
13. 如申請專利範圍第 9 項之方法,其中該等電子電路形成於矽晶圓中之 DRAM 結構的半導體基板之中。

(請先閱讀背面之注意事項再填寫本頁)

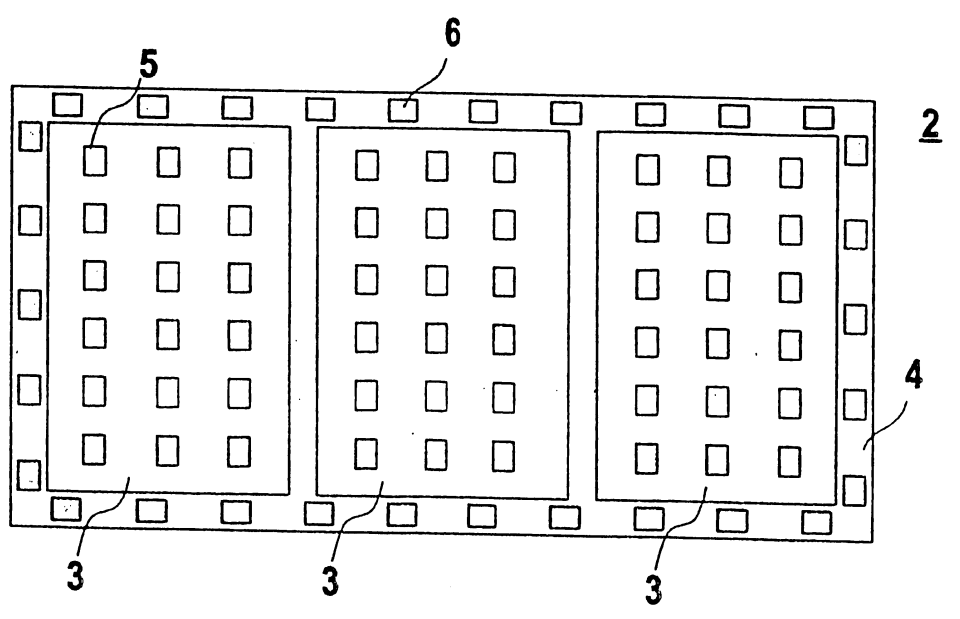
訂
線

00 P 4 0 5 5

第 1 圖

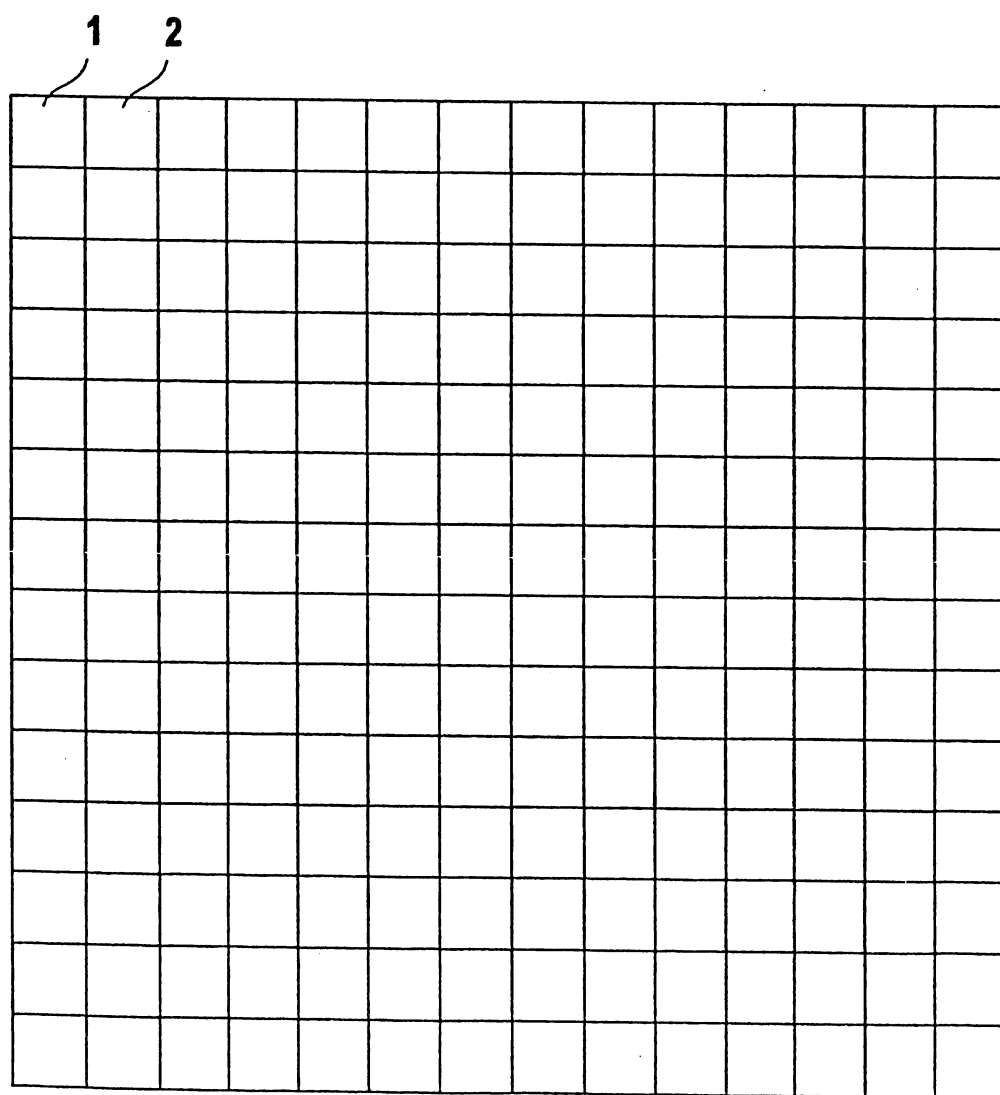


第 2 圖



00 P 4 0 5 5

第 3 圖



00 P 4 0 5 5

第 4 圖

