

【公報種別】特許法第17条の2の規定による補正の掲載
【部門区分】第6部門第4区分
【発行日】平成18年6月1日(2006.6.1)

【公表番号】特表2006-505082(P2006-505082A)
【公表日】平成18年2月9日(2006.2.9)
【年通号数】公開・登録公報2006-006
【出願番号】特願2004-517537(P2004-517537)
【国際特許分類】

G 1 1 C 11/15 (2006.01)

【F I】

G 1 1 C 11/15 1 5 0

【手続補正書】

【提出日】平成18年3月29日(2006.3.29)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

ハイの状態またはローの状態にプログラムすることができるメモリセルの状態を検知するための検知増幅器であって、

ハイの状態にプログラムされる第1のハイ基準メモリセルと、

ローの状態にプログラムされる第1のロー基準メモリセルと、

メモリセルに結合している第1の電流電極と、バイアス電圧を受信するための制御電極と、出力信号を供給するための第2の電流電極とを有する第1の導電性タイプの第1のトランジスタと、

前記第1のトランジスタの第2の電流電極に結合している第1の電流電極と、第1の電圧端子に結合している第2の電流電極と、制御電極と、を有する第2の導電性タイプの第2のトランジスタと、

前記第1のハイ基準メモリセルに結合している第1の電流電極と、前記第1のトランジスタの前記制御電極に結合している制御電極と、第2の電流電極とを有する前記第1の導電性タイプの第3のトランジスタと、

第4のトランジスタであって、前記第3のトランジスタの第2の電流電極に結合している第1の電流電極と、前記第4のトランジスタの第1の電流電極および前記第2のトランジスタの制御電極に結合している制御電極と、前記第1の電圧端子に結合している第2の電流電極と、を有する第2の導電性タイプの第4のトランジスタと、

前記第1のロー基準メモリセルに結合している第1の電流電極と、前記第1のトランジスタの制御電極に結合している制御電極と、基準アウト信号を供給するための第2の電流電極と、を有する第1の導電性タイプの第5のトランジスタと、

第6のトランジスタであって、前記第5のトランジスタの第2の電流電極に結合している第1の電流電極と、前記第6のトランジスタの第1の電流電極および前記第4のトランジスタの制御電極に直接接続している制御電極と、前記第1の電圧端子に結合している第2の電流電極と、を有する第2の導電性タイプの第6のトランジスタと、

を備える検知増幅器。

【請求項2】

前記バイアス電圧を供給するためのバイアス手段をさらに備える請求項1に記載の検知増幅器。

【請求項 3】

前記バイアス手段が、

前記ハイの状態にプログラムされる第 2 のハイ基準メモリセルと、

前記ローの状態にプログラムされる第 2 のロー基準メモリセルと、

前記第 2 のハイ基準メモリセルに結合している第 1 の電流電極と、制御電極と、第 2 の電流電極と、を有する第 1 の導電性タイプの第 7 のトランジスタと、

基準電圧を受信するための非反転入力と、前記第 7 のトランジスタの第 1 の電流電極に結合している反転入力と、前記第 7 のトランジスタの制御電極に結合している出力と、を有する演算増幅器と、

第 8 のトランジスタであって、前記第 7 のトランジスタの第 2 の電流電極に結合している第 1 の電流電極と、前記第 8 のトランジスタの第 1 の電流電極に結合している制御電極と、前記第 1 の電圧端子に結合している第 2 の電流電極と、を有する第 2 の導電性タイプの第 8 のトランジスタと、

前記第 2 のロー基準メモリセルおよび前記第 7 のトランジスタの第 1 の電流電極に結合している第 1 の電流電極と、前記演算増幅器の出力に結合している制御電極と、前記第 8 のトランジスタの第 1 の電流電極に結合している第 2 の電流電極と、を有する前記第 1 の導電性タイプの第 9 のトランジスタと、

第 10 のトランジスタであって、前記第 9 のトランジスタの第 2 の電流電極に結合している第 1 の電流電極と、前記第 10 のトランジスタの第 1 の電流電極に結合している制御電極と、前記第 1 の電圧端子に結合している第 2 の電流電極と、を有する前記第 2 の導電性タイプの第 10 のトランジスタと、を備え、

前記第 1、第 3、第 5、第 7、および第 9 のトランジスタが第 1 のサイズを有し、前記第 2、第 4、第 6、第 8、および第 10 のトランジスタが第 2 のサイズを有する、請求項 2 に記載の検知増幅器。

【請求項 4】

前記バイアス手段が、

前記ハイの状態にプログラムされる第 2 のハイ基準メモリセルと、

前記ローの状態にプログラムされる第 2 のロー基準メモリセルと、

前記第 2 のハイ基準メモリセルに結合している第 1 の電流電極と、制御電極と、同制御電極に結合している第 2 の電流電極と、を有する第 1 の導電性タイプの第 7 のトランジスタと、

前記第 7 のトランジスタの第 2 の電流電極に結合している第 1 の電流電極と、制御電極と、前記電圧端子に結合している第 2 の電流電極とを有する第 2 の導電性タイプの第 8 のトランジスタと、

基準電圧を受信するための反転入力と、前記第 7 のトランジスタの前記第 1 の電流電極に結合している非反転入力と、前記第 8 のトランジスタの前記制御電極に結合している出力と、を有する演算増幅器と、

前記第 2 のロー基準メモリセルおよび前記第 7 のトランジスタの第 1 の電流電極に結合している第 1 の電流電極と、前記第 7 のトランジスタの制御電極に結合している制御電極と、前記第 8 のトランジスタの第 1 の電流電極に結合している第 2 の電流電極と、を有する第 1 の導電性タイプの第 9 のトランジスタと、

前記第 9 のトランジスタの第 2 の電流電極に結合している第 1 の電流電極と、前記演算増幅器の前記出力に結合している制御電極と、前記第 1 の電圧端子に結合している第 2 の電流電極と、を有する第 2 の導電性タイプの第 10 のトランジスタと、を備え、

前記第 1、第 3、第 5、第 7、および第 9 のトランジスタが第 1 のサイズを有し、前記第 2、第 4、第 6、第 8、および第 10 のトランジスタが第 2 のサイズを有する、請求項 2 に記載の検知増幅器。

【請求項 5】

前記第 1 のトランジスタ、前記第 3 のトランジスタおよび前記第 5 のトランジスタの前記第 2 の電流電極上の電圧を等化するための等化手段と、

前記第 1 のトランジスタ、前記第 3 のトランジスタ、および前記第 5 のトランジスタの第 1 の電流電極をプリチャージするための第 1 のプリチャージ手段と、

前記第 1 のトランジスタ、前記第 3 のトランジスタおよび前記第 5 のトランジスタの第 2 の電流電極をプリチャージするための第 2 のプリチャージ手段と、をさらに備える請求項 1 に記載の検知増幅器。