

(19) 日本国特許庁 (JP)

(12) 公表特許公報 (A)

(11) 特許出願公表番号

特表2016-513872

(P2016-513872A)

(43) 公表日 平成28年5月16日 (2016.5.16)

(51) Int. Cl.	F I	テーマコード (参考)
H O 1 L 25/10 (2006.01)	H O 1 L 25/14	Z
H O 1 L 25/11 (2006.01)	H O 1 L 25/08	C
H O 1 L 25/18 (2006.01)	H O 1 L 25/08	E
H O 1 L 25/065 (2006.01)	H O 1 L 25/08	H
H O 1 L 25/07 (2006.01)		

審査請求 未請求 予備審査請求 有 (全 17 頁)

(21) 出願番号 特願2015-561619 (P2015-561619)
 (86) (22) 出願日 平成26年3月5日 (2014.3.5)
 (85) 翻訳文提出日 平成27年8月28日 (2015.8.28)
 (86) 国際出願番号 PCT/US2014/020868
 (87) 国際公開番号 W02014/138285
 (87) 国際公開日 平成26年9月12日 (2014.9.12)
 (31) 優先権主張番号 13/791, 223
 (32) 優先日 平成25年3月8日 (2013.3.8)
 (33) 優先権主張国 米国 (US)

(71) 出願人 507364838
 クアルコム, インコーポレイテッド
 アメリカ合衆国 カリフォルニア 921
 21 サン ディエゴ モアハウス ドラ
 イブ 5775
 (74) 代理人 100108453
 弁理士 村山 靖彦
 (74) 代理人 100163522
 弁理士 黒田 晋平
 (72) 発明者 デュロダミ・ジョスリン・リスク
 アメリカ合衆国・カリフォルニア・921
 21・サン・ディエゴ・モアハウス・ドラ
 イヴ・5775

最終頁に続く

(54) 【発明の名称】 ビア使用パッケージオンパッケージ

(57) 【要約】

ビア使用パッケージオンパッケージ回路は、複数の基板貫通ビア (TSV) を有する第1のパッケージダイを含む第1のパッケージを含む。TSVは、少なくとも1つの第2のパッケージダイのための入力/出力信号を搬送するように構成されている。

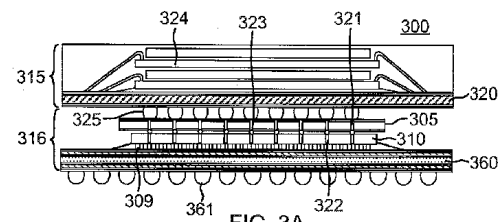


FIG. 3A

【特許請求の範囲】**【請求項 1】**

集積回路パッケージであって、

第 1 のパッケージ基板およびこれに搭載した第 1 のパッケージダイを含む第 1 のパッケージであって、前記第 1 のパッケージダイは複数の第 1 の基板貫通ビア (TSV) を含む第 1 のパッケージと、

第 2 のパッケージ基板、および、前記第 2 のパッケージ基板の第 1 の表面上に搭載した少なくとも 1 つの第 2 のパッケージダイを含む第 2 のパッケージであって、前記第 2 のパッケージ基板は複数の第 1 の相互接続体を取り付けた反対側の第 2 の表面を有する第 2 のパッケージと、を含み、

前記第 1 の TSV は、前記少なくとも 1 つの第 2 のパッケージダイのための入力 / 出力信号が前記第 1 の TSV により伝導するように、前記第 1 の相互接続体を介して前記少なくとも 1 つの第 2 のパッケージダイに結合するように構成される集積回路パッケージ。

【請求項 2】

前記第 1 のパッケージダイと前記第 2 のパッケージ基板との間に配列したインターポーザをさらに含み、前記インターポーザは複数の第 2 の相互接続体を介して前記第 1 の TSV に結合した複数の第 2 の TSV を含む請求項 1 に記載の集積回路パッケージ。

【請求項 3】

前記第 1 のパッケージダイはシリコンダイを含み、前記第 1 の TSV は第 1 のシリコン貫通ビアを含み、

前記インターポーザはシリコン基板を含み、前記第 2 の TSV は第 2 のシリコン貫通ビアを含む請求項 2 に記載の集積回路パッケージ。

【請求項 4】

前記少なくとも 1 つの第 2 のパッケージダイは複数の第 2 のパッケージダイを含む請求項 1 に記載の集積回路パッケージ。

【請求項 5】

前記第 2 のパッケージダイは前記第 2 のパッケージ基板の前記第 1 の表面にワイヤボンディングした請求項 4 に記載の集積回路パッケージ。

【請求項 6】

前記第 1 のパッケージダイは、複数の第 2 の相互接続体を介して前記第 1 のパッケージ基板の第 1 の表面に結合した能動第 1 の表面を有する請求項 1 に記載の集積回路パッケージ。

【請求項 7】

前記複数の第 2 の相互接続体はフリップチップ相互接続体を含む請求項 6 に記載の集積回路パッケージ。

【請求項 8】

前記インターポーザは複数の積層インターポーザを含む請求項 2 に記載の集積回路パッケージ。

【請求項 9】

前記インターポーザは、前記第 2 のパッケージ基板と前記第 1 のパッケージダイとの間の単一層内に平行に配列した複数のインターポーザを含む請求項 2 に記載の集積回路パッケージ。

【請求項 10】

前記インターポーザは複数の能動デバイスを含む請求項 2 に記載の集積回路パッケージ。

【請求項 11】

前記第 1 のパッケージダイは、前記第 1 のパッケージダイの反対側の第 2 の表面上に裏側再配分層を含む請求項 6 に記載の集積回路パッケージ。

【請求項 12】

前記集積回路パッケージは、セルラー電話、ラップトップ、タブレット、音楽プレーヤ

10

20

30

40

50

、通信デバイス、コンピュータ、および、ビデオプレーヤの少なくとも１つに組み込まれている請求項１に記載の集積回路パッケージ。

【請求項１３】

第１のパッケージ基板上に第１のパッケージダイを搭載するステップであって、前記第１のパッケージダイは複数の第１の基板貫通ビア（ＴＳＶ）を含み、前記第１のパッケージダイは前記第１のパッケージ基板に面した第１の表面および反対側の裏側表面を有するステップと、

前記複数の第１のＴＳＶが複数の相互接続体を介して複数の第２のＴＳＶに結合するように、前記複数の第２のＴＳＶを含むインターポーザを前記第１のパッケージダイの前記裏側表面に搭載するステップであって、前記第１のＴＳＶおよび前記第２のＴＳＶは少なくとも１つの第２のパッケージダイのための入力／出力信号を伝導するように構成されるステップと、を含む方法。

10

【請求項１４】

前記第１のパッケージダイを前記第１のパッケージ基板に搭載するステップは、前記第１のパッケージダイの前記第１の表面を前記第１のパッケージ基板の第１の表面にフリップチップ搭載するステップを含む請求項１３に記載の方法。

【請求項１５】

前記インターポーザを搭載するステップは、第１のパッケージを形成するために、前記インターポーザの第１の表面を前記複数の相互接続体を介して前記第１のパッケージダイの前記裏側表面に熱圧着ボンディングするステップを含む請求項１３に記載の方法。

20

【請求項１６】

少なくとも１つの第２のパッケージダイを含む第２のパッケージを前記第１のパッケージに搭載するステップをさらに含む請求項１５に記載の方法。

【請求項１７】

前記インターポーザはガラスを含み、

前記複数の第２のＴＳＶは複数のガラス貫通ビア（ＴＧＶ）を含む請求項１５に記載の方法。

【請求項１８】

パッケージオンパッケージ回路のための第１のパッケージであって、

第１のパッケージ基板と、

30

第１のパッケージ基板であって、少なくとも１つの第２のパッケージダイのための入力／出力信号を搬送するように構成される複数の第１の基板貫通ビア（ＴＳＶ）を含む第１のパッケージダイと、を含む第１のパッケージ。

【請求項１９】

前記複数の第１のＴＳＶに結合した複数の第２のＴＳＶを含むインターポーザをさらに含む請求項１７に記載の底部パッケージ。

【請求項２０】

前記インターポーザは複数のインターポーザを含む請求項１８に記載の第１のパッケージ。

【請求項２１】

40

集積回路パッケージであって、

第１のパッケージ基板および前記第１のパッケージ基板に搭載した第１のパッケージダイを含む第１のパッケージと、

第２のパッケージ基板および前記第２のパッケージ基板の第１の表面上に搭載した少なくとも１つの第２のパッケージダイを含む第２のパッケージと、を含み、

前記第１のパッケージダイは前記少なくとも１つの第２のパッケージダイのための入力／出力信号を搬送するための手段を含む集積回路パッケージ。

【請求項２２】

前記手段は複数の基板貫通ビア（ＴＳＶ）を含む請求項２１に記載の集積回路パッケージ。

50

【請求項 2 3】

前記手段は複数の露出した深い拡散領域を含む請求項 2 1 に記載の集積回路パッケージ。

【請求項 2 4】

前記手段と前記第 2 のパッケージ基板との間を結合した複数の基板貫通ビアを含むインターポーザをさらに含む請求項 2 1 に記載の集積回路パッケージ。

【請求項 2 5】

前記インターポーザはガラスインターポーザを含み、
前記基板貫通ビアはガラス貫通ビアである請求項 2 4 に記載の集積回路パッケージ。

【請求項 2 6】

前記インターポーザはシリコンインターポーザを含み、
前記基板貫通ビアはシリコン貫通ビアである請求項 2 4 に記載の集積回路パッケージ。

【請求項 2 7】

前記少なくとも 1 つの第 2 のパッケージダイは複数の第 2 のパッケージダイを含む請求項 2 1 に記載の集積回路パッケージ。

【請求項 2 8】

前記第 2 のパッケージダイは前記第 2 のパッケージ基板の前記第 1 の表面にワイヤボンディングした請求項 2 7 に記載の集積回路パッケージ。

【発明の詳細な説明】

【技術分野】

【0001】

関連出願の相互引用

本出願は、参照により全体が本明細書に組み込まれている 2013 年 3 月 8 日出願の米国非仮出願第 13 / 791223 号の優先権を主張するものである。

【0002】

本出願は集積回路パッケージングに関し、より詳細には、底部パッケージが基板貫通ビア (TSV) を含むパッケージオンパッケージ (PoP) 構造に関する。

【背景技術】

【0003】

回路基板空間を節約しなければならないセルラー電話および他の携帯デバイスなどの実用例に対して、パッケージオンパッケージ (PoP) 構造が開発されている。頂部パッケージは典型的にはメモリパッケージであり、これに対して、底部パッケージは一般にプロセッサパッケージである。PoP 技術は、積層ダイ回路などの他の手法に比べて非常に普及していることが明らかである。たとえば、特定のメモリへの結合とは対照的に、製造業者は PoP 回路内の様々なメモリパッケージを容易に交換することが可能であり、これはコストを低減する。さらに、頂部および底部のパッケージは独立に試験を行うことが可能である。対照的に、積層ダイの設計において不良なダイがあると、残りの良好なダイをも不合格とすることが必要となってしまう。

【0004】

PoP 構造を使用した集積回路のパッケージングは非常に普及しているが、このパッケージング工程には、頂部パッケージと底部パッケージとの間の相互接続体のピッチの低減などの課題が残っている。技術の進歩につれて、頂部パッケージと底部パッケージとの間のパス幅は広がっている。しかし、頂部基板と底部基板との間のボールのピッチまたはモールド貫通ビア (through molded via) のピッチは、特定の数の信号のみを収容可能である。小さなピッチへの要求に対処するために、成形埋込み PoP (molded-embedded PoP) (MEP) が開発されている。MEP において、追加の基板を頂部パッケージと底部パッケージとの間に含むことが可能である。たとえば、図 1 は、追加基板 110 に結合した頂部パッケージ 105 を含む MEP 100 を示す。この形式において、追加基板 110 は、頂部パッケージ 105 内のダイへの、および、ダイからのさらに増加した信号の収容を支援するために信号を再配分することが可能

10

20

30

40

50

である。しかし、追加基板 1 1 0 を使用しても、相互接続体 1 2 0 を底部パッケージダイ 1 1 5 の外側に配置しなければならないため、追加基板 1 1 0 と底部パッケージ基板 1 1 1 との間に配置可能なハンダボールまたはピラーなどの相互接続体 1 2 0 の数に関しては限界が残っている。図 2 は、底部ダイ 1 1 5 に面した領域 2 0 0 の周囲で追加基板 1 1 0 の底部表面上に相互接続体 1 2 0 をどのように配列したかを示す。相互接続体 1 2 0 は、領域 2 0 0 の外側の追加基板 1 1 0 の環状外側領域に制限されている。同様に、相互接続体 1 2 0 は底部パッケージ基板 1 1 1 の環状外側領域に制限されており、これは、続いて、頂部パッケージと底部パッケージとの間で交換可能な I / O 信号の数を制限している。類似する相互接続体の制約は他の従来の P o P にも存在している。

【発明の概要】

【発明が解決しようとする課題】

【0 0 0 5】

従って、当技術分野では、密度を高めるための改良した P o P アーキテクチャが必要とされている。

【課題を解決するための手段】

【0 0 0 6】

ビア使用パッケージオンパッケージ (P o P) 回路は、複数の基板貫通ビア (T S V) を有する第 1 のパッケージダイを含む。T S V は、隣接する第 2 のパッケージにおける少なくとも 1 つの第 2 のパッケージダイのための入力 / 出力信号を搬送するように構成される。本明細書で使用する「入力 / 出力信号」は、電源および接地を含めて第 2 のパッケージダイが受信するすべての電気信号を含む。同様に、「入力 / 出力信号」は第 2 のパッケージダイからのすべての出力信号を含む。

【0 0 0 7】

第 1 のパッケージダイの T S V が第 2 のパッケージダイのための入力 / 出力信号を搬送することで、第 2 のパッケージ基板と第 1 のパッケージ基板との間のモールド貫通ビア (t h r o u g h m o l d v i a) ピラー、または、ハンダボール相互接続体は、入力 / 出力信号の収容のためには不要となる。これは非常に有利である。なぜなら、第 1 のパッケージ基板は第 1 のパッケージダイをちょうど収容するようにサイズを決定可能だからである。対照的に、従来の P o P 底部パッケージ基板は、第 2 のパッケージ基板への相互接続体を収容するために、実質的に空いている第 1 のパッケージ基板領域を必要とする。

【0 0 0 8】

第 1 のパッケージダイは、第 2 のパッケージへの入力 / 出力信号のための経路決定の選択肢を増やすための裏側再配分層を含むことが可能であるが、T S V を含むインターポーザも、入力 / 出力信号の再配分を支援するために、第 2 のパッケージ基板と第 1 のパッケージダイとの間に配列可能である。インターポーザは受動性であってもよく、または、第 1 のパッケージダイ内のデバイスと類似した能動デバイスを含んでもよい。インターポーザを含むか否かにかかわらず、結果として得られる T S V 使用 P o P (T E P) は、底部パッケージダイの表面領域にわたる T S V のための高いピッチ密度によって、頂部パッケージへの多くの入力 / 出力信号を有利に収容可能である。

【図面の簡単な説明】

【0 0 0 9】

【図 1】従来技術の成形埋込み P o P (M E P) の断面図である。

【図 2】図 1 の M E P における追加基板のための表面に面した底部パッケージの平面図である。

【図 3 A】インターポーザを含むシリコン貫通積層 (t h r o u g h s i l i c o n s t a c k i n g) (T S S) 使用 P o P (T E P) の断面図である。

【図 3 B】インターポーザのない T E P の断面図である。

【図 4】図 3 A および図 3 B の T E P における頂部パッケージ基板のための底部パッケージに面した表面の平面図である。

【図 5】初期製造ステップにおける T E P 底部パッケージの断面図である。

10

20

30

40

50

【図 6】後続の製造ステップの後の図 5 の T E P 底部パッケージの断面図である。

【図 7】最終製造ステップの後の図 6 の T E P 底部パッケージの断面図である。

【図 8】図 7 の T E P 底部パッケージを含む完成した T E P の断面図である。

【図 9】複数のインターポーザを含む T E P の断面図である。

【図 10】本明細書に開示した実施形態に従った T E P を組み込んだ複数の電子システムを示す図である。

【発明を実施するための形態】

【0010】

頂部パッケージダイ（または複数のダイ）のための増加した入力および出力信号を収容するという当技術分野での必要性に対処するために、従来の P o P のパッケージツーパッケージ相互接続の制限の影響を受けない改良したパッケージオンパッケージ（P o P）構造を提供する。

10

【0011】

概要

本明細書に開示する改良した P o P において、第 1 のパッケージダイは、第 2 のパッケージダイ（または複数のダイ）の入力および出力信号の必要要素を収容するための複数の基板貫通ビア（T S V）を含む。第 1 のパッケージダイの領域全体は第 2 のパッケージへの相互接続体のために使用可能である。対照的に、図 1 の M E P 100 などの従来の P o P は、上記に検討したように第 1 のパッケージダイの外側の領域に制限されている。

【0012】

20

「頂部」に対する「底部」パッケージとは何かについてのいかなる曖昧さも回避するために、本明細書に開示する改良した P o P アーキテクチャのための底部パッケージは第 1 のパッケージと呼ばれる。同様に、頂部パッケージを第 2 のパッケージと呼ぶ。本明細書に開示する改良した P o P アーキテクチャは、第 2 のパッケージダイのための実質的にさらに多くの I / O 信号を収容可能である。なぜなら、第 1 のパッケージダイ領域は自身の T S V を介して I / O 信号を収容するために使用可能だからである。加えて、第 1 のパッケージ基板サイズは低減可能である。なぜなら、第 1 のパッケージダイの専有部分を収容するために必要な表面領域の外側には、第 1 のパッケージ基板のための実質的な表面が必要ないからである。対照的に、従来の P o P は、パッケージツーパッケージ相互接続体を収容するための十分なサイズを有するように、第 1 のパッケージダイの専有部分の外側に第 1 のパッケージ基板上の環状外側領域を必要とする。結果として得られた第 1 のパッケージ基板のサイズの増加は、従来の P o P については反りの可能性を高めている。しかし、本明細書に開示する改良した P o P は、第 1 のパッケージ基板のサイズの低減を介して反りを有利に低減可能である。さらに、開示する改良した P o P については、従来のパッケージツーパッケージ相互接続体を形成するために使用するモールド貫通ビア（m o l d t h r o u g h v i a）または他の技術が不要である。

30

【0013】

以下の検討では、第 1 のパッケージダイが、これが含む基板貫通ビアがシリコン貫通ビアとなるように、シリコンダイであることを一般性を失わずに想定する。しかし、本明細書に開示するパッケージングの概念およびアーキテクチャは他のタイプの半導体ダイに広範に適用可能であることが理解されるだろう。パッケージング技術において知られているように、シリコン貫通ビアを使用して積層デバイスを構築するために使用する工程は、シリコン貫通積層（T S S）工程として知られている。本明細書に開示する結果として得られた改良した P o P は、T S S 使用 P o P（T E P）で示される。T E P は、自身の第 1 のパッケージと第 2 のパッケージとの間の入力 / 出力（I / O）信号の再配分を強化するためにインターポーザを含んでよい。代案として、T E P はインターポーザを使用せずに相互接続体を介して一体に結合した第 1 および第 2 のパッケージを有してよい。インターポーザを含む実施形態を先ず検討し、続いて、直接結合の実施形態（インターポーザなし）を検討する。

40

【0014】

50

インターポーザを含む T S S 使用 P o P

図 3 A は例示的 T S S 使用 P o P (T E P) 3 0 0 を示す。第 2 のパッケージ 3 1 5 は、P o P 技術では従来から見られるように第 2 のパッケージ基板 3 2 0 を含む。第 1 のパッケージ 3 1 6 は第 1 のパッケージ基板 3 6 0 を含み、その上には、同じく P o P 技術では従来から見られるように、つぶれ制御チップ接続 (C 4) フリップチップパンプ 3 0 9 などの相互接続体を使用して第 1 のパッケージダイ 3 1 0 を搭載する。第 1 のパッケージ基板 3 6 0 および第 2 のパッケージ基板 3 2 0 は、有機基板や、シリコン、ガラス、セラミック、または、他の適した材料などの半導体基板をそれぞれ含んでよい。パッケージ基板を構築するためにどの材料を使用するかにかかわらず、第 2 のパッケージ 3 1 5 内に複数の第 2 のパッケージダイ 3 2 4 のための入力 / 出力 (I / O) 信号を収容するために、M E P 1 0 0 に関して検討した相互接続体 1 2 0 は不要である。代わりに、第 2 のパッケージダイ 3 2 4 のためのすべての I / O 信号を第 1 のパッケージダイ 3 1 0 のシリコン貫通ビア 3 2 2 に収容する。本明細書で使用している「入力 / 出力信号」は、電源および接地を含めて第 2 のパッケージダイが受信するすべての電気信号を含む。同様に、「入力 / 出力信号」は第 2 のパッケージダイからのすべての出力信号を含む。T E P 3 0 0 のための代替的な実施形態は、このような複数のダイの代わりに単一の第 2 のパッケージダイ 3 2 4 のみを含んでよい。

10

【 0 0 1 5 】

「第 1 のパッケージ」および「第 2 のパッケージ」という用語は、本明細書では P o P 技術で知られているように単に異なるパッケージを指し示すために使用している。この意味で、図 3 A の第 1 のパッケージ 3 1 6 は、この用語が P o P 技術で使用されているように「底部パッケージ」に対応している。同様に、第 2 のパッケージ 3 1 5 は、この用語が P o P 技術で使用されているように「頂部パッケージ」に対応している。しかし、このような「頂部」または「底部」への言及は、いずれの特定の参照システムにも結び付けていない。言い換えれば、単に P o P がひっくり返されるという理由では底部パッケージが頂部パッケージになることはない。

20

【 0 0 1 6 】

第 1 のパッケージ 3 1 0 の領域全体がシリコン貫通ビア 3 2 2 のために実質的に使用可能であることで、第 2 のパッケージダイ I / O に関した P o P 技術における相互接続の制約は回避されている。対照的に、従来技術の P o P アーキテクチャは、M E P 1 0 0 に関して上記に検討したように底部パッケージダイが底部パッケージ基板上の基板領域を専有することを回避するために、頂部パッケージ基板と底部パッケージ基板との間に相互接続体を必要とする。そのため、従来技術の P o P アーキテクチャは、本明細書に開示した改良した P o P に比べて、信号密度を限定している。なぜなら、パッケージツーパッケージ相互接続を底部パッケージ基板の周辺での配置に限定しないからである。

30

【 0 0 1 7 】

T E P 3 0 0 は、マイクロパンプ 3 2 3 などの対応する相互接続体を介して第 1 のパッケージダイ 3 1 0 におけるシリコン貫通ビア 3 2 2 に結合する基板貫通ビア (T S V) 3 2 1 を有するインターポーザ 3 0 5 を含む。インターポーザ 3 0 5 はシリコン、ガラス、または、他の適した材料などの半導体基板を含んで良い。インターポーザ 3 0 5 がシリコン基板を含む場合、T S V 3 2 1 はシリコン貫通ビアである。一方、インターポーザ 3 0 5 がガラスを含む場合、T S V 3 3 2 はガラス貫通ビア (T G V) である。以下の検討は、T S V 3 2 1 がシリコン貫通ビアであることを一般性を失わずに想定する。

40

【 0 0 1 8 】

インターポーザ 3 0 5 は、第 2 のパッケージダイ 3 2 4 への I / O 信号の追加の再配分を可能にする。或いは、インターポーザ 3 0 5 のシリコン貫通ビア 3 2 1 は、第 1 のパッケージダイ 3 1 0 の裏側の裏側再配分層 (図示せず) を介して第 1 のパッケージダイのシリコン貫通ビア 3 2 2 に結合可能である。第 2 のパッケージ基板 3 2 0 の下部表面上のパッド (図示せず) は、パンプ 3 2 5 などの相互接続体を介してインターポーザシリコン貫通ビア 3 2 1 に結合している。より全般的には、第 2 のパッケージ基板 3 2 0 は、第 1 の

50

表面および反対側の第２の表面を有すると考えてよい。第２のパッケージダイ３２４は第２のパッケージ基板３２０の第１の表面上に搭載される。これに対して、パンプ３２５は第２のパッケージ基板３２０の反対側の第２の表面に接続する。

【００１９】

ＴＥＰ ３００において、第２のパッケージダイ３２４は第２のパッケージ基板３２０にワイヤボンディングするが、表面実装などの他の実装技術も使用可能である。ワイヤボンディングは第２のパッケージダイ３２４と第２のパッケージ基板３２０との間でＩ／Ｏ信号を搬送する。続いて、第２のパッケージダイ３２４のためのＩ／Ｏ信号をパンプ３２５を介して第２のパッケージ基板３２０とインターポーザ３０５との間で搬送する。最後に、第２のパッケージダイ３２４のためのＩ／Ｏ信号を、インターポーザシリコン貫通ビア３２１および第１のパッケージダイのシリコン貫通ビア３２２を介してインターポーザ３０５と第１のパッケージダイ３１０との間で搬送する。第２のパッケージダイ３２４のための何らかのＩ／Ｏ信号は外部のデバイスに由来して、または、これに送信してよい。このような外部デバイスのＩ／Ｏは、第１のパッケージダイ３１０のシリコン貫通ビア３２２、パンプ３０９、第１のパッケージ基板３６０、および、第１のパッケージ基板３６０の下部表面上のボール３６１を介してインターポーザ３０５と外部デバイスとの間で搬送されるだろう。いくつかの実施形態において、インターポーザ３０５は能動デバイスおよび／または受動構成要素を含んでよい。

10

【００２０】

本明細書で使用している「パンプ」はハンダのボールまたは隆起などの構造体を指し示すために使用している。加えて、この用語は銅ピラーなどの構造体も含むように理解されるだろう。この点で、パンプ３２５は、第２のパッケージ基板３２０の底部表面上のパッドからインターポーザ３０５のシリコン貫通ビア３２１へ結合する相互接続構造体を一般的に指す。

20

【００２１】

直接結合ＴＳＳ使用ＰｏＰ（インターポーザなし）

図３ＢはＴＥＰ ３５０がインターポーザを含まない代替的实施形態を示す。第２のパッケージ基板３２０の下部表面のパッド上のパンプ３２５は、そのため、第１のパッケージダイパッド（図示せず）を介して直接に第１のパッケージダイのシリコン貫通ビア３２２に結合する（または、裏側再配分層を介してシリコン貫通ビア３２２に結合する）。ＴＥＰ ３００に比べて、ＴＥＰ ３５０が必要とする製造工程数は少ない。しかし、インターポーザ３０５は第２のパッケージダイ３２４へのＩ／Ｏ信号の追加の再配分を可能にする。パンプ３２５は、銅ピラー（マイクロパンプ）、直接金属間ボンディング、または、つぶれ制御チップ接続（４Ｃ）パンプ、または、ハンダボールなどの相互接続体を含んでよい。

30

【００２２】

ＭＥＰ １００などの従来のＰｏＰと直接対照すると、インターポーザが含まれているか否かにかかわらず、パンプ３２５は第１のパッケージダイ３１０が専有した領域の外側の環状領域に制限されていない。図４は、（ＴＥＰ ３５０などのインターポーザのない実施形態のための）第１のパッケージダイ３１０または（ＴＥＰ ３００などのインターポーザを含む実施形態における）インターポーザ３０５のいずれかに面した領域４００の全体をパンプ３２５がどのように使用可能であるかを示すための第２のパッケージ基板３２０の下部表面の平面図を示す。この形式では、従来のＰｏＰ実施形態に比べて実質的にさらに多くのＩ／Ｏ信号を収容可能である。さらに、第２のパッケージ基板３２０が、第１のパッケージダイ３１０（またはインターポーザ３０５）に面した表面領域４００の全体にわたってパンプ３２５を受け入れ可能であることで、第２のパッケージ基板３２０および第１のパッケージ基板３６０のサイズは、従って、低減可能である。対照的に、ＭＥＰ １００は、底部ダイ１１５の外側に自身の相互接続体１２０を配置しなければならないさらに大きなサイズの基板を必要とする。この形式において、本明細書に開示したＴＥＰは、類似のＭＥＰに比べて有利に反りが少なく、この反りは（中でも）頂部および底部

40

50

のパッケージの基板のサイズに依存している。

【 0 0 2 3 】

製造の例示的方法

図 5 から図 8 を参照してインターポーザを含む T E P の実施形態のための第 1 のパッケージの製造について検討する。製造工程は、第 1 のパッケージダイ 5 0 0 と第 2 のパッケージダイとの間の I / O 信号だけでなく第 2 のパッケージダイ（または複数のダイ）への外部 I / O 信号も収容するためのシリコン貫通ビア 5 0 5 を組み込んだ第 1 のパッケージダイ 5 0 0 を使用する。たとえば、シリコン貫通ビア 5 0 5 は第 2 のパッケージダイのための接地および電源といった必要要素を収容可能である。図 5 に示すように、第 1 のパッケージダイ 5 0 0 のための活性表面 5 0 1 上のパッド（図示せず）は、第 1 のパッケージ基板 5 2 0 上の対応するパッド（例示の明確さのために同じく図示せず）へのフリップチップ bumps 5 1 0 を介して実装する。しかし、代替的な実施形態において、第 1 のパッケージダイ 5 0 0 の活性表面の向きは逆でもよいことが理解されるだろう。言い換えれば、本明細書に開示する有利な T S S 使用 P o P の概念は、いずれの活性表面の向きにも適用可能である。エポキシまたは他のポリマー材料などのアンダーフィル 5 1 5 は、毛細管現象を使用して塗布可能である。或いは、アンダーフィル 5 1 5 は bumps 5 1 0 を設ける際に同時に事前塗布してもよい。

10

【 0 0 2 4 】

シリコン貫通ビアを組み込んだインターポーザ 6 0 0 は、図 6 に示すように第 1 のパッケージダイ 5 0 0 の裏側表面 6 0 5 にボンディング可能である。例示の明確さのために、インターポーザ 6 0 0 内のシリコン貫通ビアは示されない。bumps 6 1 0 は、熱圧着に応じて第 1 のパッケージダイ 5 0 0 上のパッドをインターポーザ 6 0 0 上の対応するパッドに結合している。或いは、インターポーザ 6 0 0 を第 1 のパッケージダイ 5 0 0 にボンディングするために、リフローおよびサーモソニックボンディングなどの他のボンディング技術も使用可能である。

20

【 0 0 2 5 】

図 7 に示すように、T E P 第 1 のパッケージ 7 0 0 を完成するためにモールド化合物 7 1 5 を塗布可能である。インターポーザ 6 0 0 の上部表面は、モールド化合物 7 1 5 がインターポーザ 6 0 0 を部分的にのみ包むようにモールド化合物 7 1 5 に露出している。この形式では、インターポーザ 6 0 0 の露出した表面上のパッド（図示せず）は、インターポーザを含む T E P 8 2 0 の製造を完成するために、第 2 のパッケージ 8 0 0 のための第 2 のパッケージ基板 8 1 0 の下部表面上の対応するパッドに相互接続体 8 0 5 を介して、図 8 に示すようにボンディング可能である。

30

【 0 0 2 6 】

追加の特徴および実施形態

上記に検討したように、インターポーザを含む T E P 実施形態について、インターポーザは受動性であってよく、または、能動要素を含んでもよい。この点で、能動インターポーザは、上記に検討した第 1 のパッケージダイに相当する他のダイを含む。T S V を含むいくつかのこのようなダイは第 1 のパッケージ内に積重ねが可能である。さらに、図 9 の T E P 9 0 0 について示すように複数のインターポーザを平行に使用可能である。特に、インターポーザ 9 0 5 およびインターポーザ 9 1 0 は両方とも第 1 のパッケージダイ 9 1 5 の裏側表面に面している。この点で、インターポーザ 9 0 5 およびインターポーザ 9 1 0 は、積重ねとは対照的に、単一層内に平行に配列されている。

40

【 0 0 2 7 】

第 1 のパッケージダイ 3 1 0 を再び参照すると、第 1 のパッケージダイ 3 1 0 は少なくとも 1 つの第 2 のパッケージダイのための入力 / 出力信号を搬送するための手段を含むと考えてよい。一実施形態において、このような手段は T S V 3 2 2 を含む。代替的实施形態において、この手段は、第 1 のパッケージダイ 3 1 0 の裏側表面上のパッドと第 1 のパッケージダイ 3 1 0 のための前側活性表面上の能動回路との間を結合する深い拡散領域を含んでよい。

50

【 0 0 2 8 】

例示的電子システム

本明細書に開示した T E P 構造が様々な電子システムに広範に組み込み可能であることが理解されるだろう。たとえば、図 1 0 に示すように、セルラー電話 1 0 0 0、ラップトップ 1 0 0 5、および、タブレット P C 1 0 1 0 はすべてが、本明細書に従って構築した T E P を含んでよい。音楽プレーヤ、ビデオプレーヤ、通信デバイス、および、パーソナルコンピュータなどの他の例示的な電子システムも、本開示に従った T E P を使用して構成可能である。

【 0 0 2 9 】

当業者が既に理解したように、かつ、手近の特定の応用例に依存して、本開示のデバイスの材料、装置、構成、および、使用方法において、および、これらに対して、それらの精神および範囲から逸脱せずに、多くの修正、置換、および、変形を行うことが可能である。これを踏まえて、本開示の範囲は本明細書に示し説明した特定の実施形態の範囲に限定しない。なぜなら、それらは、単にそれらを含むいくつかの例の方法によるにすぎないからであるが、むしろ、本開示の範囲は以下の従属する特許請求の範囲およびそれらの機能的均等物と完全に等しい。

10

【 符号の説明 】

【 0 0 3 0 】

- 3 0 0、3 5 0 T S S 使用 P o P (T E P)
- 3 0 5 インターポーザ
- 3 0 9、3 2 5 バンプ
- 3 1 0、3 1 6 第 1 のパッケージ
- 3 1 5 第 2 のパッケージ
- 3 2 0 第 2 のパッケージ基板
- 3 2 1、3 2 2 シリコン貫通ビア
- 3 2 3 マイクロバンプ
- 3 2 4 第 2 のパッケージダイ
- 3 6 0 第 1 のパッケージ基板
- 3 6 1 ボール

20

【図 1】

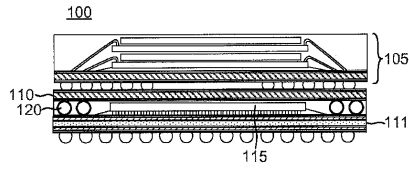


FIG. 1

【図 2】

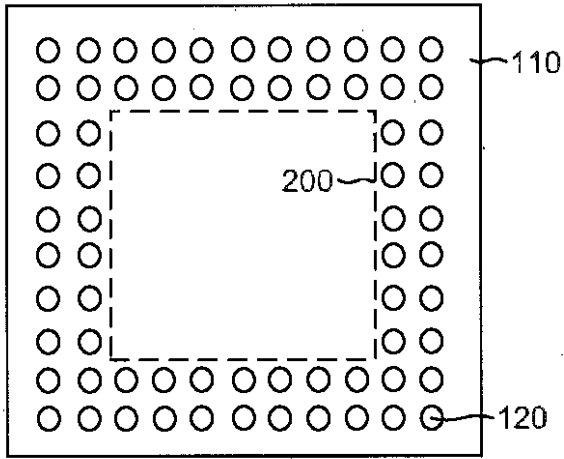


FIG. 2

【図 3 B】

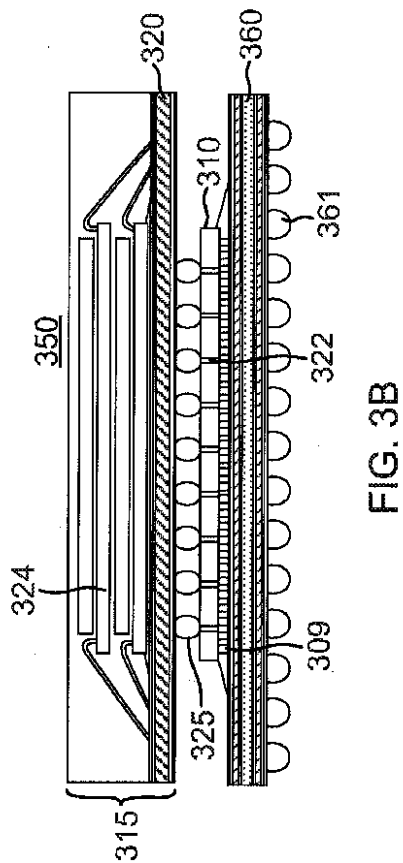


FIG. 3B

【図 3 A】

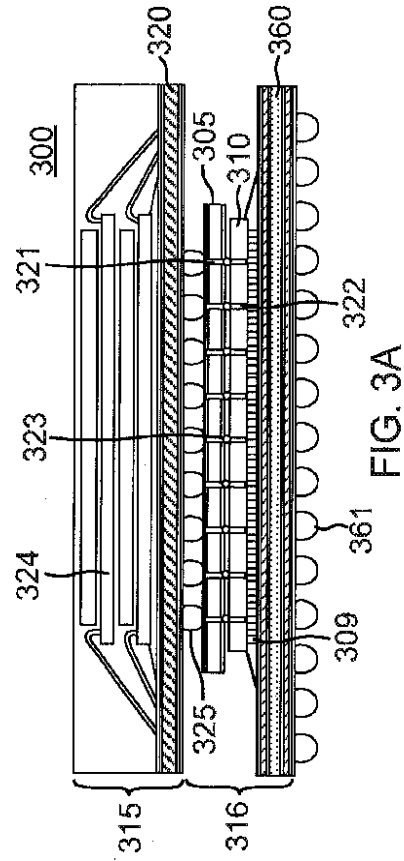


FIG. 3A

【図 4】

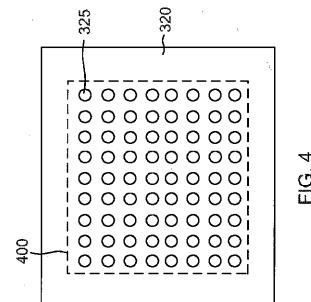


FIG. 4

【図 5】

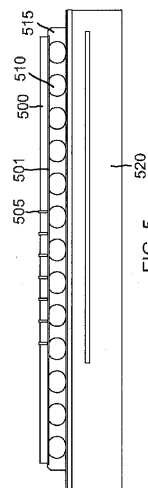


FIG. 5

【図 6】

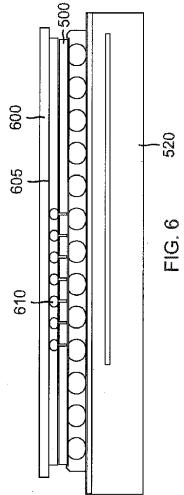


FIG. 6

【図 7】

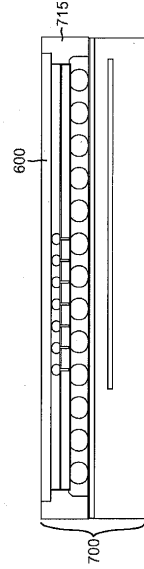


FIG. 7

【図 8】

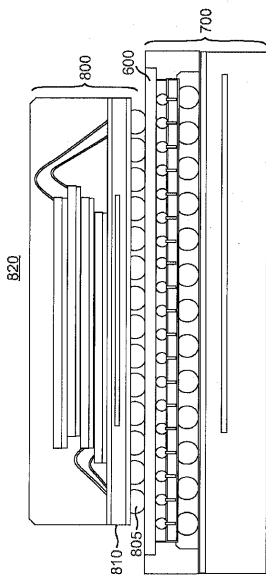


FIG. 8

【図 9】

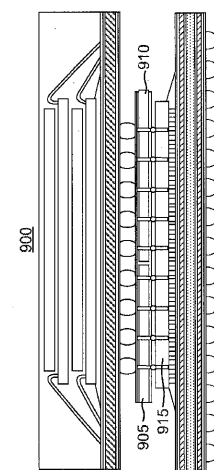


FIG. 9

【図 10】

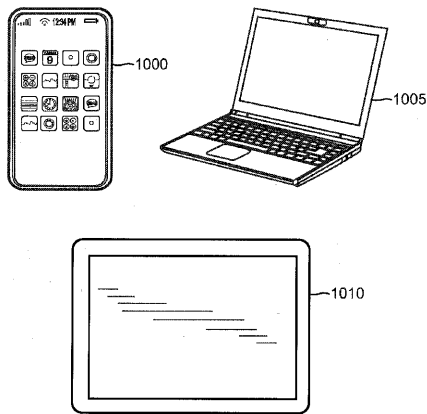


FIG. 10

【手続補正書】

【提出日】平成27年6月3日(2015.6.3)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

集積回路であって、

第 1 のパッケージ基板および前記第 1 のパッケージ基板に搭載した活性表面を有する第 1 のパッケージダイを含む第 1 のパッケージであって、前記第 1 のパッケージダイは複数の第 1 の基板貫通ビア (TSV) を含む第 1 のパッケージと、

第 2 のパッケージ基板および前記第 2 のパッケージ基板の第 1 の表面上に搭載した少なくとも 1 つの第 2 のパッケージダイを含む第 2 のパッケージであって、前記第 2 のパッケージ基板は複数の第 1 の相互接続体を取り付けた第 2 の表面を有する第 2 のパッケージと、を含み、

前記複数の第 1 の TSV は、前記少なくとも 1 つの第 2 のパッケージダイのためのすべての入力 / 出力信号が前記複数の第 1 の TSV により伝導するように、前記複数の第 1 の相互接続体を介して前記少なくとも 1 つの第 2 のパッケージダイに結合するように構成される集積回路。

【請求項 2】

前記第 1 のパッケージダイと前記第 2 のパッケージ基板との間に配列したインターポーザをさらに含み、前記インターポーザは複数の第 2 の相互接続体を介して前記複数の第 1 の TSV に結合した複数の第 2 の TSV を含む請求項 1 に記載の集積回路。

【請求項 3】

前記第 1 のパッケージダイはシリコンダイを含み、前記複数の第 1 の T S V は複数の第 1 のシリコン貫通ビアを含み、

前記インターポーザはシリコン基板を含み、前記複数の第 2 の T S V は複数の第 2 のシリコン貫通ビアを含む請求項 2 に記載の集積回路。

【請求項 4】

前記少なくとも 1 つの第 2 のパッケージダイは複数の第 2 のパッケージダイを含む請求項 1 に記載の集積回路。

【請求項 5】

前記第 2 のパッケージダイは前記第 2 のパッケージ基板の前記第 1 の表面にワイヤボンディングした請求項 4 に記載の集積回路。

【請求項 6】

前記第 1 のパッケージダイは、複数の第 2 の相互接続体を介して前記第 1 のパッケージ基板の第 1 の表面に結合した能動第 1 の表面を有する請求項 1 に記載の集積回路。

【請求項 7】

前記複数の第 2 の相互接続体はフリップチップ相互接続体を含む請求項 6 に記載の集積回路。

【請求項 8】

前記インターポーザは複数の積層インターポーザを含む請求項 2 に記載の集積回路。

【請求項 9】

前記インターポーザは、前記第 2 のパッケージ基板と前記第 1 のパッケージダイとの間の単一層内に平行に配列した複数のインターポーザを含む請求項 2 に記載の集積回路。

【請求項 10】

前記インターポーザは複数の能動デバイスを含む請求項 2 に記載の集積回路。

【請求項 11】

前記第 1 のパッケージダイは、前記第 1 のパッケージダイの反対側の第 2 の表面上に裏側再配分層を含む請求項 6 に記載の集積回路。

【請求項 12】

前記集積回路パッケージは、セルラー電話、ラップトップ、タブレット、音楽プレーヤ、通信デバイス、コンピュータ、および、ビデオプレーヤの少なくとも 1 つに組み込まれている請求項 1 に記載の集積回路。

【国際調査報告】

INTERNATIONAL SEARCH REPORT

International application No
PCT/US2014/020868

A. CLASSIFICATION OF SUBJECT MATTER INV. H01L25/10 ADD.		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H01L		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) EP0-Internal, WPI Data		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2010/327439 A1 (HWANG TAE-JOO [KR] ET AL) 30 December 2010 (2010-12-30) paragraphs [0005], [0054], [0055], [0064]; figures 4,7 -----	1-7, 10-16, 18,19, 21-24, 26-28
X	US 2008/105984 A1 (LEE MIN-HO [KR]) 8 May 2008 (2008-05-08) paragraphs [0005], [0048]; figure 10 -----	1-4,6-8, 10, 12-16, 18-24, 26,27
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents : "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 25 April 2014		Date of mailing of the international search report 09/05/2014
Name and mailing address of the ISA/ European Patent Office, P.B. 6818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016		Authorized officer Manook, Rhoda

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/US2014/020868

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 2010327439 A1	30-12-2010	US 2010327439 A1	30-12-2010
		US 2013200515 A1	08-08-2013
US 2008105984 A1	08-05-2008	DE 102007052515 A1	15-05-2008
		JP 2008118140 A	22-05-2008
		KR 100817073 B1	26-03-2008
		TW 200822338 A	16-05-2008
		US 2008105984 A1	08-05-2008

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US

(72)発明者 ヴィディヤ・ラマチャンドラン

アメリカ合衆国・カリフォルニア・9 2 1 2 1・サン・ディエゴ・モアハウス・ドライヴ・5 7 7 5

(72)発明者 ジェ・シク・リー

アメリカ合衆国・カリフォルニア・9 2 1 2 1・サン・ディエゴ・モアハウス・ドライヴ・5 7 7 5