



(12) 发明专利

(10) 授权公告号 CN 101091223 B

(45) 授权公告日 2011.06.08

(21) 申请号 200480044705.8

G11C 16/02(2006.01)

(22) 申请日 2004.12.24

(56) 对比文件

(85) PCT申请进入国家阶段日
2007.06.22

US 5774396 A, 1998.06.30, 全文.

CN 1053319 A, 1991.07.24, 全文.

(86) PCT申请的申请数据
PCT/JP2004/019329 2004.12.24

JP 特开 2001-84800 A, 2001.03.30, 全文.

JP 特开 2000-137991 A, 2000.05.16, 全文.

CN 1317800 A, 2001.10.17, 全文.

(87) PCT申请的公布数据
W02006/067853 JA 2006.06.29

审查员 齐爽

(73) 专利权人 斯班逊有限公司
地址 美国加利福尼亚州
专利权人 斯班逊日本有限公司

(72) 发明人 加藤健太 古山孝昭

(74) 专利代理机构 北京戈程知识产权代理有限
公司 11314

代理人 程伟

(51) Int. Cl.

G11C 29/00(2006.01)

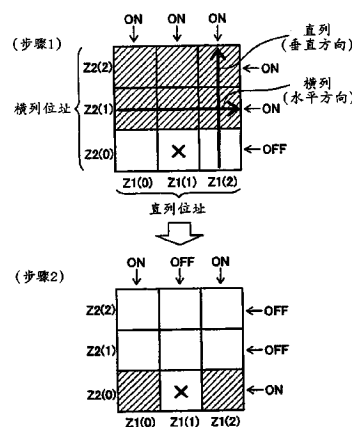
权利要求书 3 页 说明书 20 页 附图 17 页

(54) 发明名称

施加偏压至储存器件的方法与装置

(57) 摘要

在步骤1中,施加偏压(ON)至所有直列Z1(0)至Z1(2)。关于横列,不施加偏压(OFF)至有不良区段存在之横列Z2(0)并且施加偏压(ON)至其它的横列Z2(1)与Z2(2)。在横列Z2(1)与Z2(2)的区段上,施加电压应力且进行访问操作。在步骤2中,关于所述直列,不施加偏压(OFF)至有不良区段存在的直列Z1(1)且施加偏压(ON)至其它的直列Z1(0)与Z1(2)。关于所述横列,施加偏压(ON)至有不良区段存在的横列Z2(0),且不施加偏压(OFF)至其它的横列Z2(1)与Z2(2)。至于这两个步骤,可将电压应力施加至除了不良区段以外的区段一次。



1. 一种包含存储区块群的储存器件,其中所述存储区块群的存储区块为待访问的基本单位且沿着第一方向和第二方向中的至少一个方向展开配置,该第一方向与该第二方向彼此交叉,该储存器件包含:

第一电压控制部件,耦合至沿着该第一方向排列的各列以控制施加至同列的第一偏压;以及

第二电压控制部件,耦合至沿着该第二方向排列的各列以控制施加至同列的第二偏压,

其中除了任何不良的存储区块以外,同时访问所述存储区块的至少两个,所述存储区块配置在所述由第一电压控制部件所控制施加的、沿着该第一方向排列的各列与所述由第二电压控制部件所控制施加的、沿着该第二方向排列的各列的交叉部分。

2. 如权利要求 1 所述的储存器件,还包含不良存储区块位置信息通知部件,用以通知沿着该第一与第二方向中的至少一个方向排列的某些列的位置信息,该位置信息表示所述存储区块中的所述不良存储区块的配置位置,

其中耦合至对应于该第一方向的列位置信息的所述沿着第一方向排列的某些列的该第一电压控制部件控制该第一偏压藉此不将该第一偏压施加至所述沿着第一方向排列的某些列;

或耦合至对应于该第二方向的列位置信息的所述沿着第二方向排列的某些列的该第二电压控制部件控制该第二偏压藉此不将该第二偏压施加至所述沿着第二方向排列的某些列。

3. 如权利要求 2 所述的储存器件,其特征为,将该第一方向的列位置信息信号输入至该第一电压控制部件,且将该第二方向的列位置信息信号输入至该第二电压控制部件。

4. 如权利要求 2 所述的储存器件,其中当所述存储区块被分别沿该第一与第二方向展开,构成所述存储区块群时,所有该第一电压控制部件根据第一步骤信号施加该第一偏压至所有沿着该第一方向排列的各列,且在以该第二电压控制部件施加该第二偏压至该第二方向的列位置信息所指示的列以外的、沿着该第二方向排列的各列中的列时,不将该第二偏压施加至该第二方向的列位置信息所指示的列,

其中根据第二步骤信号,当以该第一电压控制部件施加该第一偏压至该第一方向的列位置信息所指示的列以外的、沿着该第一方向排列的各列中的列时,不将该第一偏压施加至该第一方向的列位置信息所指示的列,以及,当不以该第二电压控制部件施加该第二偏压至该第二方向的列位置信息所指示的列以外的、沿着该第二方向排列的各列中的列时,将该第二偏压施加至该第二方向的列位置信息所指示的列。

5. 如权利要求 4 所述的储存器件,还包含列译码器,用以译码地址信号以区别沿着该第一方向排列的各列或沿着该第二方向排列的各列,

其中该列译码器设有选择译码部件,用以响应该地址信号而选定该第一方向与第二方向排列的列中的任何一列;以及选择反相部件,用以根据该第一步骤信号与该第二步骤信号中的一者或两者,不选定该选择译码部件所选定的列而选定所有的其它列。

6. 如权利要求 5 所述的储存器件,其中将该第一与第二步骤信号中的一个信号、由该列译码器输出的列选择信号、以及沿着该第一与第二方向中的一个方向排列的所述第一与第二方向的列位置信息输入至所述第一与第二电压控制部件,且

其中根据该第一与第二步骤信号中的一个信号,选定不对应于该第一与第二方向的列位置信息但对应于该列选择信号的列。

7. 如权利要求 6 所述的储存器件,其中各个所述存储区块是由非易失性存储单元组成,且

其中当访问旨在进行擦除操作时,该第一电压控制部件施加该第一偏压至字线与井;该第二电压控制部件施加该第二偏压至字线与井。

8. 如权利要求 6 所述的储存器件,其中各个所述存储区块由非易失性存储单元组成,且

其中当访问旨在进行编程操作时,该第一电压控制部件施加该第一偏压至字线;该第二电压控制部件施加该第二偏压至字线。

9. 如权利要求 8 所述的储存器件,还包含副译码器,

其中该字线包含局域字线,连接至各个所述非易失性存储单元且配置于各个所述存储区块之内;以及全局字线,其配线超过各个所述存储区块,且

其中该副译码器是设成根据该全局字线与高阶电源线的组合而控制施加至该局域字线的高阶电力,且

其中第一电压控制部件施加该第一偏压至该全局字线,该第二电压控制部件施加该第二偏压至该高阶电源线。

10. 如权利要求 1 所述的储存器件,还包含转换部件,

其中对各个所述存储区块的访问旨在对各个所述存储区块进行施加应力测试与泄漏测试中的一者,且

其中该转换部件是设成在对各个所述存储区块进行该施加应力测试与该泄漏测试中的一者时,将该第一和第二偏压的施加路径转换至外部端子。

11. 如权利要求 1 所述的储存器件,其中各个所述存储区块由非易失性存储单元组成。

12. 如权利要求 11 所述的储存器件,其中访问是旨在进行擦除操作、编程操作、施加应力测试以及泄漏测试操作中的至少一者。

13. 一种用于储存器件的偏压施加方法,该储存器件设有存储区块群,所述存储区块群的存储区块是待访问的基本单位且沿着彼此交叉的第一方向和第二方向中的至少一个方向展开配置,该方法包含以下步骤:

通过控制施加至沿着该第一方向排列的各列的第一偏压以及沿着该第二方向排列的各列的第二偏压而施加该第一和第二偏压至所述存储区块群;以及

当所述存储区块群中有不良存储区块存在时,不施加该第一和第二偏压至对应于某些位置的列,所述某些位置为在沿着该第一与第二方向中的一个方向排列的各个列中有该不良存储区块存在的位置。

14. 如权利要求 13 所述的用于储存器件的偏压施加方法,其中当所述存储区块分别沿该第一与第二方向展开,构成所述存储区块群时,控制所有沿着该第一方向排列的各列以便将该第一偏压施加至所有的沿着该第一方向排列的所述各列,并且控制沿着该第二方向排列的所述各列以便不将该第二偏压施加至有不良存储区块存在的列,而将该第二偏压施加至沿着该第二方向排列的所述各列中的其它列;并且

控制沿着该第一方向排列的所述各列以便不将该第一偏压施加至有不良存储区块存

在的某些列而将该第一偏压施加至沿着该第一方向排列的所述各列中的其它列,并且控制沿着该第二方向排列的所述各列以便将该第二偏压施加至有不良存储区块存在的某些列而不将该第二偏压施加至沿着该第二方向排列的所述各列中的其它列。

15. 如权利要求 13 所述的用于储存器件的偏压施加方法,其中提供一对互补地址信号给地址信号中的各个位以区别沿着该第一方向排列的各列或沿着该第二方向排列的各列,其中该对互补地址信号中的一个信号是根据位信号的逻辑电平定义为有作用的逻辑电平,且

其中对任何不对应于有所述不良存储区块存在的某些位置的地址信号,将该对互补地址信号共同地定义为不起作用的逻辑电平,而对所有对应于所述不良存储区块存在的某些位置的地址信号,将该对互补地址信号中的一个信号定义为有作用的逻辑电平。

16. 如权利要求 13 所述的用于储存器件的偏压施加方法,其中当各个所述存储区块的访问旨在对所述存储区块进行施加应力测试与泄漏测试中的一者时,从该储存器件外施加该第一和第二偏压。

施加偏压至储存器件的方法与装置

[0001] 相关申请案之交互参照

[0002] 本申请案为申请于 2004 年 12 月 24 日且根据国际专利合作条约 (PCT) 第 21(2) 条未以英文公开的国际申请案第 PCT/JP2004/019329 号的延续。

技术领域

[0003] 本发明是有关于具有多个存储单元的半导体储存器件。更特定言之,本发明是有关于一种在施加偏压至在一群组 (group) 内之多个区段 (sector) 的同时用于施加偏压至储存器件之方法及装置。

背景技术

[0004] 日本未审查专利申请案第 2001-137991 号 (以下称作“专利文献 1”) 揭示一种在多个区域 (area) 内具有区段的非易失性半导体存储器,该存储器能够擦除一群组内的储存资料。该非易失性半导体存储器具有一用以产生待用于擦除数据之高电压的高电压产生电路以及多个晶体管,所述晶体管系连接于该高电压产生电路与多个区域内的区段之间。在一起擦除一群组的资料时,用恒定电流 (constant current) 操作多个晶体管以控制流到多个区域内之区段的电流。结果,即使所述区段中有不良区段,仍将待流通之电流调节成常数以便能维持擦除所需之高电压且能进行批次擦除。

[0005] 在日本未审查专利申请案第 H8-106796 号 (以下称作“专利文献 2”) 中所揭示的半导体储存器件中,因应处于测试模式时批次写入 / 批次擦除所有区块 (block) 的输入信号而永远将“选定”信号输出到在多个区块中未被切换构件切换为冗余 (redundant) 区块的区块,且将“非选定”信号输出到被切换为冗余区块的不良区块。该半导体储存器件具有一用于在区块批次写入 / 擦除模式时禁止施加批次写入 / 擦除电压至不良区块的区块选定电路。以此组态,不施加高电压至不良区块且电压值不会因电流泄漏而降低。

发明内容

[0006] 本发明所要解决的问题

[0007] 在专利文献 1 中,晶体管系连接一区段与该高电压产生电路且在批次擦除时执行恒定电流操作。在专利文献 2 中,区块选定电路在批次写入 / 擦除模式期间系禁止施加电压至不良区块。在专利文献 1 中,在有不良区段的情形下也把流动中的电流调节为常数。专利文献 2 系禁止施加电压至不良区块且防止偏压被超额电流拉低。

[0008] 不过,在专利文献 1 中,必须逐个区段执行电流的调节且必须逐个区段装设供调节电流用之晶体管。在专利文献 2 中,必须逐个区块执行施加电压的控制,且必须逐个区块装设用以控制施加电压的区块选定电路。

[0009] 结果,必须将电压控制单元 (例如,供调节电流用之晶体管) 或用以控制施加电压的区块选定电路配置于区段或区块在其中排列成矩阵的存储单元数组区。这可能对有效布置存储单元数组于一般存储单元数组区内有妨碍,因为该一般存储单元数组区的组态及设

计规则不同于用以作为电压控制单元之组件的控制电路的组件组态,且其中的存储单元已予最佳化排列。这可能造成芯片尺寸增加的问题。

[0010] 预料未来区段及区块的数目会随着容量增大而增加,因此,电压控制单元(例如,供调节电流用之晶体管)与用以控制施加电压的区块选定电路的数目会增加。由于电压控制单元所占用的面积随着区段及区块的数目增加而扩大,所以会扩大这个问题,从而大幅增加芯片尺寸。

[0011] 解决问题的方法

[0012] 本发明的完成系已考虑到先前技术的问题且本发明的目标是要提供一种用于储存器件的偏压施加方法以及一种储存器件,包含提供给在第一与第二方向中之列的电压控制单元,其中根据施加至在第一与第二方向之列的电压组合而施加偏压至存储区块。通过控制施加至在第一与第二方向之各列的偏压且避免施加偏压至不良的存储区块,能有效进行批次施加偏压至存储区块群。

[0013] 企图达成上述目标的本发明储存器件系设有存储区块群,其中所述存储区块是待访问的基本单位且沿着第一方向和第二方向中的至少一个方向展开配置,配置的第一方向与第二方向是彼此交叉,该储存器件包含:第一电压控制部件,耦合至沿着该第一方向排列的各列以控制施加至同列的偏压;以及,第二电压控制部件,耦合至沿着该第二方向排列的各列以控制施加至同列的偏压,其中除了任何不良的存储区块以外,同时访问所述多个存储区块的至少两个,所述存储区块配置在所述由第一电压控制部件所控制施加的、沿着该第一方向排列的列与所述由第二电压控制部件所控制施加的、沿着该第二方向排列的列的交叉部分。

[0014] 在本发明的储存器件中,依照存储区块群的存储区块配置的方向,该第一电压控制部件是执行施加偏压至沿着该第一方向排列的各列的控制,而该第二电压控制部件是执行施加偏压至沿着该第二方向排列的各列的控制。通过组合对在第一与第二方向的列的施加控制,将偏压施加至配置于交叉位置的存储区块。

[0015] 结果,为存储区块群的存储区块配置于其中的各列提供第一或第二电压控制部件就足够,且不需要为每一个存储区块提供电压控制部件。将第一与第二电压控制部件配置于存储单元数组区的周围就足够,且可将存储单元配置成集中于该存储单元数组区。与用以作为电压控制单元的组件的控制电路的组件组态不同的组态及设计规则,可有效率设计出存储单元数组区。同样地,在存储区块数增加的情形下,可减少所需电压控制部件的数目。因此,可控制芯片面积的增加。

[0016] 此外,根据企图达成上述目标的本发明之施加偏压至储存器件的方法,该储存器件包含存储区块群,所述存储区块是待访问的基本单位且沿着配置成彼此交叉的第一方向和第二方向中的至少一个方向展开配置,该方法是包含以下的步骤:通过控制施加至沿着该第一方向排列的各列以及沿着该第二方向排列的各列的偏压而施加偏压至所述存储区块群,且在所述存储区块群中有不良存储区块时,不施加该偏压至对应于某些位置的列,所述某些位置为在沿着该第一与第二方向中的一个方向排列的各个列中有不良存储区块存在的位置。

[0017] 在本发明的储存器件的偏压施加方法中,根据存储区块群中的存储区块的排列方向,对沿着该第一与第二方向之各列进行偏压施加控制。由于是依照第一与第二方向的列

的组合而施加偏压至存储区块,所以不施加偏压至在第一或第二方向中有不良存储区块存在的列。

[0018] 结果,在通过控制施加至沿着第一与第二方向的各列的偏压而同时施加偏压至存储区块群的时候,对于不施加偏压于第一或第二方向中有不良存储区块存在的列是不会有偏压可施加的。以此方式,可同时施加偏压至存储区块群的存储区块,但是不良存储区块或在有不良存储区块存在的列中的存储区块除外,也不对所述不良存储区块进行施压控制。除了不良存储区块以外,对每一存储区块可以两个步骤施加至少一次电压应力 (voltage stress),且可用少数几个步骤完成访问操作。

[0019] 本发明的效果

[0020] 本发明可提供一种用于储存器件的偏压施加方法以及一种根据本发明方法操作的储存器件,包含提供给在第一与第二方向中的列的电压控制部件,其中根据施加至在第一与第二方向的列的电压组合而施加偏压至存储区块。藉由控制施加至在第一与第二方向的各列的偏压且避免施加偏压至不良存储区块,可有效进行批次施加偏压至存储区块群。

附图说明

[0021] 图 1 为本发明第一偏压施加方法的示意图;

[0022] 图 2 为本发明第二偏压施加方法的示意图;

[0023] 图 3 为本发明储存器件之具体实施例的电路方块图;

[0024] 图 4 为本发明之内部地址输出控制单元;

[0025] 图 5 为本发明用于直列地址的译码器;

[0026] 图 6 为本发明用于横列地址的译码器;

[0027] 图 7 系根据本发明图标内部地址输出控制单元的操作波形 (1) (在正常访问期间无不良区段存在的情形);

[0028] 图 8 系根据本发明图标内部地址输出控制单元的操作波形 (2) (在正常访问期间有不良区段的情形);

[0029] 图 9 系根据本发明图标内部地址输出控制单元的操作波形 (3) (在批次访问中无不良区段存在的情形);

[0030] 图 10 系根据本发明图标内部地址输出控制单元的操作波形 (4) (在批次访问中有不良区段的情形);

[0031] 图 11 系电路方块图,其图标本发明之用于施加偏压至第 3 图电路方块图中之区段 S07 的控制电路;

[0032] 图 12 系根据本发明图标副译码器 (sub decoder) 之具体实施例;

[0033] 图 13 系根据本发明图标副译码器低电压电源开关之具体实施例;

[0034] 图 14 系根据本发明图标井电位控制单元 (well potential control unit) 之具体实施例;

[0035] 图 15 系根据本发明图标副译码器低电压电源控制单元之具体实施例;

[0036] 图 16 系根据本发明图标副译码器高电压电源控制单元之具体实施例;

[0037] 图 17 系根据本发明图标字线负电压供给单元之具体实施例;

[0038] 图 18 系根据本发明图标主译码器高电压电源控制单元之具体实施例;

- [0039] 图 19 系根据本发明图标主译码器之具体实施例；
- [0040] 图 20 系根据本发明图标在每一访问操作 (1) (擦除操作与编程操作) 期间之信号的偏压状态图；
- [0041] 图 21 系根据本发明图标在每一访问操作 (2) (HTRB 泄漏测试与第一芯片擦除操作) 期间之信号的偏压状态图；以及
- [0042] 图 22 系根据本发明图标包含电源开关单元的电路方块。
- [0043] 主要组件符号说明
- | | | | | |
|--------|--------------------|---------------|--------------|----------|
| [0044] | 11 | CAM 单元 | 13 | 冗余测定电路 |
| [0045] | 15 | 地址缓冲器 | 17 | 直列译码器部分 |
| [0046] | 19、21 | 转移栅极控制单元 | | |
| [0047] | 23 | 副译码器 | | |
| [0048] | 25 | 副译码器低电压电源开关 | | |
| [0049] | 31 | 井电位控制单元 | | |
| [0050] | 33 | 副译码器低电压电源控制单元 | | |
| [0051] | 35 | 副译码器高电压电源控制单元 | | |
| [0052] | 41 | 字线负电压供给单元 | | |
| [0053] | 43 | 主译码器高电压电源控制单元 | | |
| [0054] | 45 | 主译码器 | 51 | 切换单元 |
| [0055] | 53 | 接触垫 | ADD | 地址信号 |
| [0056] | ARY | 存储器数组 | | |
| [0057] | C1(0) 至 C1(3) | 直列电压控制单元 | | |
| [0058] | C2(0) 至 C2(7) | 横列电压控制单元 | | |
| [0059] | D1 至 D16 | NAND 栅极 | ER | 擦除操作控制信号 |
| [0060] | exAD(i) | 外部地址 | GWL、GWLb | 全局字线 |
| [0061] | I1 至 I12 | 反相器栅极 | inAD(i) | 同相内部地址信号 |
| [0062] | inADB(i) | 反相内部地址信号 | | |
| [0063] | L1 至 L2 | 闩锁电路 | M1 | 步骤 1 信号 |
| [0064] | M2 | 步骤 2 信号 | N1 至 N3 | 节点 |
| [0065] | NEGP | 负电压 | NEN | 控制信号 |
| [0066] | OFF | 无偏压 | ON | 有偏压 |
| [0067] | P2WL | 局域字线 | PGM | 编程操作控制信号 |
| [0068] | preAD(i)、preADB(i) | 地址 | | |
| [0069] | R1 | NOR 栅极 | R2 | NOR 栅极 |
| [0070] | R3 | NOR 栅极 /OR 栅极 | | |
| [0071] | R4 | NOR 栅极 | RA(i)、RAB(i) | 不良区段地址 |
| [0072] | RNEGP | 负电源 | | |
| [0073] | RZ1(0) 至 RZ1(3) | 直列不良信号 | | |
| [0074] | RZ2(0) 至 RZ2(7) | 横列不良信号 | | |
| [0075] | S00 至 S37 | 区段 | | |

[0076]	SN1	输出到节点 N1 之信号		
[0077]	SN2	输出到节点 N2 之信号		
[0078]	SN3	输出到节点 N3 之信号		
[0079]	SRED	冗余匹配信号	T1 至 T2	转移栅极
[0080]	XDS	副译码器低电压	VH	高电压
[0081]	VNW	井电位	VPXH	主译码器高电压
[0082]	VWL	副译码器高电压		
[0083]	Z1(i)、Z1(0) 至 Z1(3)	直列地址		
[0084]	Z2(0) 至 Z2(7)	横列地址		

具体实施方式

[0085] 以下根据本发明,参照图 1 至图 22,详述储存器件之偏压施加方法及储存器件之具体实施例的细节。

[0086] 图 1 与图 2 系示意图本发明偏压施加方法。本发明提供一种用于储存器件的偏压施加方法,该储存器件具有多个各为访问之基本单位且由多个存储单元构成的区段。在该储存器件中,以列为单位基础施加偏压至多个待访问之区段且可用最少的步骤施加电压应力至所有除不良区段以外的区段。

[0087] 例如,当该储存器件为非易失性储存器件时,擦除操作为访问实例,且区段为擦除操作的基本单位。不只在擦除操作期间会做访问,且在编程(programming)操作与应力测试操作期间也做访问。访问操作的意思是施加偏压应力至待访问之区段。对于多个待访问之区段,可进行所有区段的批次访问操作以及部份选定之区段群组的访问操作。例如,前项操作为批次擦除操作而后项为第一芯片擦除操作。

[0088] 图 1 的示意图系图标例如部份选定之区段群组的访问操作且图解说明在垂直方向排列成列的区段的情形。该群组系由有相同直列地址 Z1(i) 及不同横列地址 Z2(0)、Z2(1)、Z2(2) 的 3 个区段构成。所述区段中,区段 (Z1(i)、Z2(0)) 为不良区段。

[0089] 由于每一直列与横列设有电压控制单元,执行此情形的施加偏压方法的方式为施加偏压 (ON) 至直列 Z1(i),不施加偏压 (OFF) 至横列 Z2(0),以及施加偏压 (ON) 至横列 Z2(1) 与 Z2(2)。当垂直和水平方向都施加偏压时,施加电压应力至区段 (Z1(i)、Z2(1)) 以及区段 (Z1(i)、Z2(2)) (图 1 中划斜线的区段) 且对所述区段执行访问操作。关于区段 (Z1(i)、Z2(0)),施加垂直方向之偏压但不施加在横列 Z2(0) 之偏压。结果,对区段 (Z1(i)、Z2(0)) 不执行访问操作 (不施加电压应力)。以单一步骤施加偏压控制,访问除了不良区段以外的多个待访问之区段 (图 1 中画斜线的区段)。

[0090] 通常,就部份选定之区段群组包含不良区段的情形而言,有必要逐一访问所述区段 (就此情形而言,为图 1 中划斜线的区段区)。根据本发明,可用单一操作访问除不良区段以外的正常区段。

[0091] 图 2 的示意图系图标批次访问操作之实施例且图解说明将区段布置于直列地址为 Z1(0) 至 Z1(2) 及横列地址为 Z2(0) 至 Z2(2) 等位置的情形。假设不良区段的位置是在 (Z1(1)、Z2(0))。就此情形而言,可用两个步骤完成访问多个除不良区段以外的待访问之区段的操作。

[0092] 在步骤 1 中,施加偏压 (ON) 至所有直列 Z1(0) 至 Z1(2)。关于横列,不施加偏压 (OFF) 至有不良区段存在的横列 Z2(0) 且施加偏压 (ON) 至其它横列 Z2(1) 与 Z2(2)。对于横列 Z2(1) 与 Z2(2) 中垂直和水平方向都施加偏压的区段,亦即,排列于 (Z1(0)、Z2(1))、(Z1(0)、Z2(2))、(Z1(1)、Z2(1))、(Z1(1)、Z2(2))、(Z1(2)、Z2(1))、以及 (Z1(2)、Z2(2)) 的区段 (图 2 步骤 1 中划斜线的区段),都施加电压应力且执行访问操作。另一方面,对于横列 Z2(0) 的区段,亦即,位于 (Z1(0)、Z2(0))、(Z1(1)、Z2(0))、以及 (Z1(2)、Z2(0)) 的区段,虽然垂直方向有施加偏压,但水平方向不施加偏压。结果,不对所述区段进行访问操作 (不施加电压应力)。

[0093] 在步骤 2 中,至于在直列方面,不施加偏压 (OFF) 至有不良区段的直列 Z1(1) 且施加偏压 (ON) 至其它直列 Z1(0) 与 Z1(2)。关于横列,施加偏压 (ON) 至有不良区段存在的横列 Z2(0),且不偏压施加 (OFF) 至其它横列 Z2(1) 与 Z2(2)。对于横列 Z2(0) 中除不良区段以外的区段,亦即,排列于 (Z1(0)、Z2(0)) 与 (Z1(2)、Z2(0)) 的区段 (图 2 步骤 2 中划斜线的区段),藉由施加垂直方向的偏压以及水平方向的偏压而施加电压应力以及进行访问操作。对于直列 Z1(0) 与 Z1(2) 的其它区段,亦即,位于 (Z1(0)、Z2(1))、(Z1(0)、Z2(2))、(Z1(2)、Z2(1))、以及 (Z1(2)、Z2(2)) 的区段,虽然垂直方向中有施加偏压,但水平方向不施加偏压。结果,无电压应力施加至所述区段。

[0094] 对于一起访问在 3 条直列和 3 条横列中之区段的情形而言,即使内含不良区段,仍可用两个步骤访问除不良区段以外的区段 (可施加电压应力)。结果,可用少数几个步骤完成访问操作。对于除不良区段以外的区段只施加一次电压应力,藉此不施加过度的电压应力。

[0095] 习知上,就选定作为批次访问 (例如,批次擦除操作、正常区段的各种应力测试、或正常区段的泄漏测试) 之标的的区段群组中有不良区段的情形而言,有必要逐一访问所述区段 (就此情形而言,为图 2 步骤 1 与步骤 2 中划斜线的区段)。本发明可用两个步骤访问除不良区段以外的正常区段 (两次)。

[0096] 图 3 的电路方块图系图标本发明储存器件之具体实施例,其系具有多个区段的存储器数组 ARY 以及提供给该储存器件内之区段的直列及横列之电压控制单元。应用本发明的储存器件不取决于存储单元的存储特征且其应用与储存器件是否为易失性或非易失性无关。以下系以非易失性储存器件为例描述具体实施例。该具体实施例主要是描述以图标于图 2 的两个步骤进行批次访问操作。

[0097] 在存储单元数组 ARY 中,区段 S00 至 S37 系经排列成 4 条直列 (Z1(0) 至 Z1(3))、8 行横列 (Z2(0) 至 Z2(7))。

[0098] 在垂直方向,直列 (Z1(0) 至 Z1(3)) 分别设有直列电压控制单元 (C1(0) 至 C1(3))。将擦除操作控制信号 ER、编程操作控制信号 PGM、以及表示步骤 2 应力施加期间的步骤 2 信号 M2 输入到每一直列电压控制单元 (C1(0) 至 C1(3))。在直列方面,其系输入直列地址 Z1(0) 至 Z1(3) 以及各表示对应直列是否有不良区段的直列不良信号 RZ1(0) 至 RZ1(3)。直列电压控制单元 (C1(0) 至 C1(3)) 系控制垂直方向施加至配置电压控制单元于其中之直列 (Z1(0) 至 Z1(3)) 的偏压。具体言之,直列电压控制单元 C1(0) 控制施加至区段 S00 至 S07 的偏压。同样,直列电压控制单元 C1(1)、C1(2)、C1(3) 分别控制施加至区段 S10 至 S17、S20 至 S27、S30 至 S37 的偏压。

[0099] 在水平方向,横列 (Z2(0) 至 Z2(7)) 分别设有横列电压控制单元 (C2(0) 至 C2(7))。将擦除操作控制信号 ER、编程操作控制信号 PGM、以及表示步骤 1 应力施加期间的步骤 1 信号 M1 输入到每一横列电压控制单元 (C2(0) 至 C2(7))。在横列方面,其系输入横列地址 Z2(0) 至 Z2(7) 以及各表示对应横列是否有不良区段存在的横列不良信号 RZ2(0) 至 RZ2(7)。横列电压控制单元 (C2(0) 至 C2(7)) 控制水平方向施加至配置电压控制单元于其中之横列 (Z2(0) 至 Z2(7)) 的偏压。具体言之,横列电压控制单元 C2(0) 控制施加至区段 S00 至 S30 的偏压。同样,横列电压控制单元 C2(1)、C2(2)、C2(3)、C2(4)、C2(5)、C2(6)、C2(7) 分别控制施加至区段 S01 至 S31、S02 至 S32、S03 至 S33、S04 至 S34、S05 至 S35、S06 至 S36、S07 至 S37 的偏压。

[0100] 在垂直方向 (直列) 方面,数条局域位线 (local bit line) 在区段内延伸,数条全局位线 (global bit line) 延伸穿过所述多个区段。此外,多个区段所共享的井 (well) 在各条直列中延伸。在水平方向,局域字线 (为图 11 的 P2WL,将予以描述于后文) 在区段中延伸,而全局字线 (为图 11 的 GWL,将予以描述于后文) 延伸穿过所述多个区段。

[0101] 为了在垂直方向控制施加至直列电压控制单元 (C1(i)) 的偏压,使用各直列中多个区段所共享的井电位 VNW;副译码器高电压 VWL,其系用于控制配置于每一区段 (该局域字线延伸于其中) 的副译码器;以及,用于控制副译码器低电压电源开关的控制信号 NEN,该副译码器低电压电源开关系控制该副译码器的副译码器低电压 XDS。

[0102] 为了在水平方向控制施加至横列电压控制单元 (C2(i)) 的偏压,使用一对各列中多个区段所共享的全局字线 (GWL、GWLb);以及,用于控制副译码器低电压电源开关的负电源 RNEGP,该副译码器低电压电源开关系控制该副译码器的副译码器低电压 XDS。

[0103] 非易失性储存器件的擦除操作及编程操作系利用局域字线与该井两者之间的电压差所造成的存储单元之物理穿隧现象 (physical tunneling phenomenon) 以及局域字线与局域位线之间或存储单元电源线之间的存储单元物理穿隧现象。也有利用热载子 (hot carrier) 及其类似物而完成的编程操作。

[0104] 该擦除操作控制信号 ER 以及该编程操作控制信号 PGM 系用于控制操作状态之控制电路未图标所输出的信号,且因应一访问操作命令 (例如,外部命令) 而设定各访问操作的操作时序。就非易失性储存器件而言,在擦除操作与编程操作期间,交替重复施加电压应力至存储单元与所谓的验证操作 (其系在施加电压应力后验证格晶体管的临界电压)。该擦除操作控制信号 ER 以及该编程操作控制信号 PGM 均为用于指示偏压至存储单元的信号。

[0105] 分别表示步骤 1 与步骤 2 的应力施加期间的步骤 1 信号 M1 与步骤 2 信号 M2 均为由控制电路未图标在图 2 批次访问操作时所输出的信号,且为用以管理电压应力顺序的信号。如图 2 批次访问操作之偏压施加方法所示,在选定所有直列以及在步骤 2 施加偏压时,必须进行控制藉此在步骤 2 仅仅不施加偏压至有不良区段的直列。至于横列,施加偏压于有不良区段之列的控制和施加偏压于无不良区段之列的控制是彼此不同的。在步骤 1,仅仅不施加偏压至有不良区段的那一列。在步骤 2,必须改变施加偏压的控制。对于这种控制,如图 3 所示,将步骤 2 信号 M2 输入到直列电压控制单元 C1(0) 至 C1(3),且将步骤 1 信号 M1 输入到横列电压控制单元 C2(0) 至 C2(7)。

[0106] 此外,以下将结合图 4 至图 10,说明如何根据地址信号输出控制单元输出:指示直列与横列的直列 / 横列地址 (Z1(0) 至 Z1(3)、Z2(0) 至 Z2(7));以及,指示有不良区段之直

列 / 横列的直列 / 横列不良信号 (RZ1(0) 至 RZ1(3)、RZ2(0) 至 RZ2(7))。

[0107] 图 4 至图 6 图标直列地址信号输出控制单元。图 4 图标一控制单元,其系用于输出供输入外部地址 $exAD(i)$ (在此 $i = 0$ 至 4) 用之同相 / 反相内部地址信号 $inAD(i)$ / $inADB(i)$ (在此 $i = 0$ 至 4)。在以区段为单位基数进行正常访问操作期间,为每一外部地址 $exAD(i)$ 产生同相 / 反相内部地址信号 $inAD(i)$ / $inADB(i)$ 。所述内部地址信号中之一个变成高电平。此外,也进行冗余测定 (redundancy determination)。该输出控制单元系具有地址缓冲器 15、为非易失性储存器件或其类似物且已预先储存不良区段地址 $RA(i)$ (在此 $i = 0$ 至 4) 于其中的 CAM 单元 11、以及用于确定外部地址 $exAD(i)$ 是否与不良区段地址 $RA(i)$ 彼此匹配的冗余测定电路 13。

[0108] 该地址缓冲器 15 具有直接输入外部地址 $exAD(i)$ 的设定 (set) 以及输入用反相器 (inverter) 栅极 I9 使外部地址 $exAD(i)$ 反相所得到之地址的设定。由地址缓冲器 15 输出相位 (phase) 与外部地址 $exAD(i)$ 相同的内部地址信号 $inAD(i)$ (在此 $i = 0$ 至 4) 以及相位与外部地址 $exAD(i)$ 相反的内部地址信号 $inADB(i)$ (在此 $i = 0$ 至 4)。对于高电平外部地址 $exAD(i)$ 而言,同相 (in-phase) 的内部地址 $inAD(i)$ 变成高电平。对于低电平外部地址 $exAD(i)$ 而言,反相 (opposite-phase) 的内部地址信号 $inADB(i)$ 变成高电平。亦即,地址缓冲器 15 所输出的内部地址信号 $inAD(i)$ 与 $inADB(i)$ 均为对应至该外部地址 $exAD(i)$ 的信号。

[0109] 将输入的外部地址 $exAD(i)$ 及其反相 (inverted) 地址输入到 NOR 栅极 R1。对于 NOR 栅极 R1 的另一输入端子,步骤 2 信号 M2 系关于外部地址 $exAD(0)$ 及 $exAD(1)$ 而输入,且步骤 1 信号 M1 系关于外部地址 $exAD(2)$ 至 $exAD(4)$ 而输入。用反相器栅极 I3 使 NOR 栅极 R1 的输出信号反相,且将用于检查冗余测定是否匹配的地址 $preAD(i)$ (在此 $i = 0$ 至 4) 和地址 $preADB(i)$ (在此 $i = 0$ 至 4) 输出及供给至该冗余测定电路 13。

[0110] 冗余测定电路 13 检查储存于 CAM 单元 11 的不良区段地址 $RA(i)$ / $RAB(i)$ 与地址编号 i 相同且同相 / 反相的地址 $preAD(i)$ / $preADB(i)$ 是否彼此匹配。当所有地址编号 ($i = 0$ 至 4) 中有高电平的组合时,确定地址 $preAD(i)$ / $preADB(i)$ 与预先储存的不良区段之地址匹配,且输出冗余匹配信号 SRED 以及由匹配地址译码的不良区段的直列 / 横列中之直列及横列地址 $RZ1(i)$ 与 $RZ2(i)$ (在此 $i = 0$ 至 4)。

[0111] 由有 3 个输入的 NOR 栅极 R3 输出由地址缓冲器 15 输出的内部地址信号 $inAD(i)$ / $inADB(i)$ 。NOR 栅极 R3 的输入端子系分别经由节点 N1、N2、N3 连接至反相器栅极 I2、I6、I8 的输出端子。

[0112] 通到节点 N1 的路径系由反相器栅极 I1、该反相器栅极 I2、以及 NAND 栅极 D1 构成。将 CAM 单元 11 所输出的不良区段地址 $RA(i)$ / $RAB(i)$ 输入到该反相器栅极 I1,且将反相器栅极 I1 的输出端子连接到该 NAND 栅极 D1。将步骤 1 信号 M1 或步骤 2 信号 M2 与冗余匹配信号 SRED 输入到 NAND 栅极 D1。将 NAND 栅极 D1 的输出信号输入到反相器栅极 I2。

[0113] 将每一不良区段地址 $RA(i)$ / $RAB(i)$ 输入到对应于外部地址 $exAD(i)$ / 外部地址之反相地址的地址缓冲器 15。将步骤 1 信号 M1 输入到地址缓冲器 15 ($i = 2$ 至 4),且将步骤 2 信号 M2 输入到地址缓冲器 15 ($i = 0$ 至 1)。

[0114] 通到节点 N2 的路径系由反相器栅极 I4 与 I5、该反相器栅极 I6、以及 NAND 栅极 D2 构成。将外部地址 $exAD(i)$ 或其反相地址输入到反相器栅极 I4,且将步骤 1 信号 M1 或步骤

2 信号 M2 输入到反相器栅极 I5。将反相器栅极 I4 与 I5 的输出信号输入到 NAND 栅极 D2，且将 NAND 栅极 D2 的输出信号输入到反相器栅极 I6。

[0115] 以与节点 N1 路径之情形相同的方式，将外部地址 $exAD(i)$ 或其反相地址以及步骤 1 信号 M1 或步骤 2 信号 M2 输入到对应的地址缓冲器 15。

[0116] 通到节点 N3 的路径系由反相器栅极 I7、该反相器栅极 I8、NAND 栅极 D3 与 D4、以及 NOR 栅极 R2 构成。将冗余匹配信号 SRED 以及步骤 1 信号 M1 或步骤 2 信号 M2 输入到 NOR 栅极 R2 与 NAND 栅极 D3。经由反相器栅极 I7 而将 NOR 栅极 R2 的输出信号输入到 NAND 栅极 D4。将 NAND 栅极 D3 的输出信号直接输入到 NAND 栅极 D4。将 NAND 栅极 D4 的输出信号输入到反相器栅极 I8。

[0117] 以与节点 N1 与 N2 路径之情形相同的方式，将步骤 1 信号 M1 或步骤 2 信号 M2 输入到对应的地址缓冲器 15。

[0118] 图 5 与图 6 系图标列译码器，其系用于译码在图 4 中已被译码的内部地址信号 $inAD(i)$ 与 $inADB(i)$ 且选定所述区段配置于其中的直列地址 ($Z1(0)$ 至 $Z1(3)$) 及横列地址 ($Z2(0)$ 至 $Z2(7)$)。

[0119] 图 5 图标用于译码直列地址的直列译码器。以地址编号 ($i = 0$ 或 1) 识别直列中的位置。为内部地址信号 $inAD(0)$ 或 $inADB(0)$ 以及 $inAD(1)$ 或 $inADB(1)$ 的每一组合装设直列译码器部份 17。由所述直列译码器部份 17 输出直列地址 $Z1(0)$ 至 $Z1(3)$ 。

[0120] 直列译码器部份 17 具有：输入内部地址信号 $inAD(0)$ 或 $inADB(0)$ 以及内部地址信号 $inAD(1)$ 或 $inADB(1)$ 的 NAND 栅极 D5；以及，输入 NAND 栅极 D5 之输出信号的反相器栅极 I10。经由转移栅极 (transfergate) T1 与 T2 输出反相器栅极 I10 与 NAND 栅极 D5 的输出信号作为内部地址信号。

[0121] 特别把转移栅极 T1 与 T2 控制成导电以输出反相器栅极 I10 的输入信号或者是输出信号。转移栅极控制单元 19 系由 OR 栅极 R3 与反相器栅极 I11 构成。将步骤 1 信号 M1 与步骤 2 信号 M2 输入到 OR 栅极 R3。OR 栅极 R3 的输出信号系控制该转移栅极 T1 的 PMOS 晶体管以及转移栅极 T2 的 NMOS 晶体管。该反相器栅极 I11 的输出信号系控制该转移栅极 T1 的 NMOS 晶体管以及转移栅极 T2 的 PMOS 晶体管。

[0122] 在步骤 1 信号 M1 与步骤 2 信号 M2 两者都为低电平且不起作用 (inactive) 的情形下，OR 栅极 R3 的输出信号变成低电平且转移栅极 T1 变为导电。另一方面，当步骤 1 信号 M1 或者是步骤 2 信号 M2 为高电平且有作用 (active) 时，OR 栅极 R3 的输出信号变成高电平，且转移栅极 T2 变为导电。步骤 1 信号 M1 或者是步骤 2 信号 M2 为高电平的情形系与执行图标于图 2 之批次访问操作的情形相对应。

[0123] 反相器栅极 I10 的输出信号系因应内部地址信号的组合而被选定的信号且变成高电平。就其中不执行批次访问操作的正常访问操作而言，转移栅极 T1 变为导电，且选定因应内部地址信号之组合而被选定的直列地址 ($Z1(0)$ 至 $Z1(3)$) 中之一个。反之，就不是执行正常访问操作而是批次访问操作的情形而言，转移栅极 T2 变为导电，且选定根据内部地址信号之组合而不被选定的直列地址 ($Z1(0)$ 至 $Z1(3)$) 中之任何一个。

[0124] 图 6 系图标用于译码横列地址的横列译码器。横列的位置系以地址编号 $i = 2$ 至 4 识别。为内部地址信号 $inAD(2)$ 或 $inADB(2)$ 以及 $inAD(4)$ 或 $inADB(4)$ 的每一组合装设直列译码器部份 17，且输出横列地址 $Z2(0)$ 至 $Z2(7)$ 。

[0125] 图标于图 6 的横列地址译码器系具有转移栅极控制单元 21 以取代转移栅极控制单元 19。转移栅极控制单元 21 具有反相器栅极 I12。将步骤 1 信号 M1 输入到反相器栅极 I12。步骤 1 信号 M1 系控制转移栅极 T1 的 PMOS 晶体管与转移栅极 T2 的 NMOS 晶体管。反相器栅极 I12 的输出信号控制转移栅极 T1 的 NMOS 晶体管以及转移栅极 T2 的 PMOS 晶体管。

[0126] 就步骤 1 信号 M1 为低电平且不起作用的情形而言,转移栅极 T1 变为导电。另一方面,当步骤 1 信号 M1 为高电平且有作用时,转移栅极 T2 变为导电。步骤 1 信号 M1 为高电平的期间系与图 2 批次访问操作中步骤 1 的期间相对应。

[0127] 就其中不执行批次访问操作且步骤 2 为批次访问操作的情形而言,转移栅极 T1 变为导电,且选定根据内部地址信号之组合而选定的横列地址 (Z2(0) 至 Z2(7)) 中之一个。反之,在批次访问操作的步骤 1 期间,转移栅极 T2 变为导电,且选定根据内部地址信号之组合而不被选定的横列地址 (Z2(0) 至 Z2(7)) 中任何一个。

[0128] 图 7 至图 10 系图标图 4 部地址输出控制单元的操作波形。执行包括冗余匹配测定之用于地址信号的控制。尽管未图标,当待经受批次访问操作的区段中有不良区段时,用冗余测定电路 13 译码且输出不良区段的直列与横列地址 RZ1(i) 与 RZ2(i)。用直列与横列译码器译码该地址译码器 15 所输出的内部地址信号 inAD(i) 与 inADB(i) 的直列及横列地址 (图 5 图 6)。

[0129] 图 7 与图 8 图标在其中不进行批次访问操作之正常访问操作期间的操作波形。图 7 系图标没有待冗余修理 (redundancy repaired) 之不良区段的情形。图 8 系图标有待冗余修理之不良区段的情形。根据外部地址 exAD(i),输出用于检查匹配的地址 preAD(i)/preADB(i)。就外部地址 exAD(i) 为高电平的情形而言,地址 preAD(i) 变为高电平。就外部地址 exAD(i) 为低电平的情形而言,地址 preADB(i) 变为高电平。

[0130] 在冗余测定电路 13 中,用于检查匹配的地址 preAD(i)、preADB(i) 与不良区段地址 RA(i)、RAB(i) 做比较。如果不匹配 (图 7),冗余匹配信号 SRED 仍为低电平。如果匹配 (图 8),将冗余匹配信号 SRED 切换成高电平。

[0131] 图 7 与图 8 中,不执行批次访问操作,藉此使步骤 1 信号 M1 与步骤 2 信号 M2 保持低电平。结果,输出到节点 N1 的信号 SN1 仍为低电平。根据外部地址 exAD(i),输出到节点 N2 的信号 SN2。亦即,在输入外部地址 exAD(i) 的地址缓冲器 15 中,输出有信号电平且相位与外部地址 exAD(i) 相反的信号。在输入外部地址 exAD(i) 之反相信号的地址缓冲器 15 中,输出有逻辑电平且相位与外部地址 exAD(i) 相同的信号。

[0132] 另一方面,由于将步骤 1 信号 M1 与步骤 2 信号 M2 保持在低电平,输出—输出到节点 N3 且逻辑电平不同于冗余匹配信号 SRED 的信号 SN3。如果冗余匹配信号 SRED 为低电平 (图 7),则输出低电平信号。如果冗余匹配信号 SRED 为高电平 (图 8),则输出高电平信号。

[0133] 根据输入到 NOR 栅极 R3 之信号 SN1 至 SN3 的逻辑电平,如果为图 7 的情形,则输出信号 SN2 的反相信号。在输入外部地址 exAD(i) 的地址缓冲器 15 中,输出有信号电平且相位与外部地址 exAD(i) 相同的信号。在输入外部地址 exAD(i) 之反相信号的地址缓冲器 15 中,输出有逻辑电平且相位与外部地址 exAD(i) 的信号。具体言之,当外部地址 exAD(i) 为高电平时,以高电平输出内部地址信号 inAD(i)。当外部地址 exAD(i) 为低电平时,以高电平输出内部地址信号 inADB(i)。用直列译码器译码所述内部地址信号。

[0134] 如图 5 所示之直列译码器中,用转移栅极控制单元 19 进行控制且转移栅极 T1 变为导电。对应至用 NAND 栅极 D5 与反相器栅极 I10 译码的内部地址信号 inAD(i) 与 inADB(i) 的直列地址变成高电平,且被选定。

[0135] 就图 8 的情形而言,输出低电平信号以响应信号 SN3。由于外部地址 exAD(i) 与不良区段地址 RA(i) 匹配,所有根据外部地址 exAD(i) 而输出的内部地址信号 inAD(i) 与 inADB(i) 均保持在低电平,且禁止访问不良区段。根据用冗余测定电路 13 译码及输出的直列地址 RZ1(i),选定待访问供冗余修理用之冗余区段。

[0136] 如图 6 所示之横列译码器中,用转移栅极控制单元 21 执行控制且转移栅极 T1 变为导电。用 NAND 栅极 D5 与反相器栅极 I10 译码横列地址。保持所有内部地址信号 inAD(i) 与 inADB(i) 于低电平,且禁止对不良区段的访问。根据用冗余测定电路 13 译码及输出的横列地址 RZ2(i),选定待访问供冗余修理用之冗余区段。

[0137] 图 9 与图 10 系图标批次访问操作期间的操作波形。图 9 图标没有待冗余修理之不良区段的情形。图 10 图标有待冗余修理之不良区段的情形。由于步骤 1 信号 M1 或步骤 2 信号 M2 变成高电平,这与输入的外部地址 exAD(i) 无关,所有用于检查匹配的地址 preAD(i) 与 preADB(i) 变为高电平。

[0138] 在冗余测定电路 13 中,用于检查匹配的高电平地址 preAD(i)、preADB(i) 与不良区段地址 RA(i)、RAB(i) 相比较以检查是否匹配。如果不良区段的地址已储存于 CAM 单元 11,则预定的不良区段地址 RA(i) 与 RAB(i) 为高电平,藉此确定地址是否匹配。就没有储存地址的情形而言,所有不良区段地址 RA(i) 与 RAB(i) 显示出低电平且判定为不匹配。就不匹配的情形而言(图 9),冗余匹配信号 SRED 保持低电平。就匹配的情形而言(图 10),将冗余匹配信号 SRED 反相成高电平。

[0139] 图 9 与图 10 系图标批次访问操作以及步骤 1 信号 M1 或步骤 2 信号 M2 变成高电平的情形。结果,输出到节点 N2 的信号 SN2 变成低电平。就图 9 的情形而言,由于冗余匹配信号 SRED 为低电平,待输出至节点 N1 的信号 SN1 变成低电平。就图 10 的情形而言,由于冗余匹配信号 SRED 为高电平,输入储存于 CAM 单元 11 之不良区段地址 RA(i) 与 RAB(i) 的地址缓冲器 15 变成低电平。其它地址缓冲器 15 变为高电平。此外,就图 9 的情形而言,由于冗余匹配信号 SRED 为低电平,输出到节点 N3 的信号 SN3 变成高电平。就图 10 的情形而言,冗余匹配信号 SRED 为高电平,使得信号 SN3 变成低电平。结果,在图 9 的情形下,在所有的地址之下,待输出的内部地址信号 inAD(i) 与 inADB(i) 变成低电平。在图 10 的情形下,对应至储存于 CAM 单元 11 的不良区段地址 RA(i) 与 RAB(i) 的信号变为高电平,且对应至其它地址的信号变为低电平。

[0140] 如图 5 所示,其中系以转移栅极控制单元 19 控制直列译码器。在批次访问操作期间,转移栅极 T2 变为导电。输出 NAND 栅极 D5 的信号作为直列地址 Z1(0) 至 Z1(3) 而不被反相器栅极 I10 反相。在没有不良区段的情形下,如图 9 所示,对于所有内部地址信号 inAD(i) 与 inADB(i),NAND 栅极 D5 所输出的信号都变为高电平。在有不良区段的情形下,如图 10 所示,内部地址信号 inAD(i) 与 inADB(i) 中对应至不良区段的地址信号变为低电平。其它地址信号变为高电平。不选定不良区段的直列地址且选定其它直列地址。在批次访问操作期间的步骤 1 与 2 中,选定所有除不良区段的直列地址以外的直列地址 Z1(0) 至 Z1(3)。

[0141] 如图 6 所示,其中系以转移栅极控制单元 21 控制横列译码器。在批次访问操作的步骤 1 期间,转移栅极 T2 变为导电。在步骤 2 期间,转移栅极 T1 变为导电。在步骤 2 期间,经由反相器栅极 I10 输出信号。在步骤 1 期间,由 NAND 栅极 D5 输出信号而不被反相器栅极 I10 反相。在没有不良区段的情形下,如图 9 所示,所有内部地址信号 inAD(i) 与 inADB(i) 变为低电平。在步骤 1 期间,所有横列地址 Z2(0) 至 Z2(7) 变为高电平。在步骤 2 期间,所有横列地址 Z2(0) 至 Z2(7) 变为低电平。在有不良区段的情形下,如图 10 所示,在步骤 1 期间,只有不良区段的横列地址变为低电平而其它横列地址变为高电平。在步骤 2 期间,只有不良区段的横列地址变为高电平,而其它横列地址变为低电平。

[0142] 图 11 系与图 3 的电路方块图有关且为图标用于施加偏压至区段 S07 的控制电路之电路组态的电路方块图。该控制电路包含:副译码器 23,其系用于控制该区段 S07 中之局域字线 P2WL(07);副译码器低电压电源开关 25,其系用于输出低电压至该副译码器 23;井电位控制单元 31,其系用于控制区段 S07 的井电位;副译码器低电压电源控制单元 33,其系用于控制该副译码器低电压电源开关 25 的切换;副译码器高电压电源控制单元 35,其系用于在编程及数据选取时输出高电压至该副译码器 23;字线负电压供给单元 41,其系用于输出负电力至该副译码器低电压电源开关 25 与主译码器 45;主译码器高电压电源控制单元 43,其系用于输出高电压至该主译码器 45;以及该主译码器 45,其系用于控制全局字线 GWL(7) 与 GWLB(7)。

[0143] 直列电压控制单元 C1(0) 包含该井电位控制单元 31、副译码器低电压电源控制单元 33、以及副译码器高电压电源控制单元 35。该横列电压控制单元 C2(7) 包含该字线负电压供给单元 41、主译码器高电压电源控制单元 43、以及主译码器 45。图 12 至图 19 系图标该电路方块之具体实施例。在图 12 至图 19 的电路方块中,没有表示位置的字尾。

[0144] 图 12 图标副译码器 23 的具体实施例。在副译码器 23 中,经由 NMOS 晶体管(其系连接至彼此有互补信号的全局字线 GWL 与 GWLB),供给副译码器高电压 VWL 或副译码器低电压 XDS 至局域字线 P2WL。

[0145] 图 13 图标副译码器低电压电源开关 25 的具体实施例。副译码器低电压电源开关 25 所采用的形式为使用接地电压作为高电压端电力且由字线负电压供给单元 41 输出负电力 RNEGP 作为低电压端电力的反相器栅极,且根据该副译码器低电压电源控制单元 33 所输出的控制信号 NEN,输出该副译码器低电压 XDS。

[0146] 图 14 图标井电位控制单元 31 的具体实施例。该井电位控制单元 31 具有:输入直列不良信号 RZ1 与步骤 2 信号 M2 的 NAND 栅极 D6;以及,输入 NAND 栅极 D6 之输出信号、直列地址 Z1、擦除操作控制信号 ER 的 NAND 栅极 D7。该井电位控制单元 31 系以 NAND 栅极 D7 控制且经由电位转换器(level shifter)与闩锁电路将彼之结果输出作为井电位 VNW。当 NAND 栅极 D7 的输出信号为低电平时,输出高电压 VH(例如,9V)。当输出信号为高电平时,输出接地电压。

[0147] 图 15 图标副译码器低电压电源控制单元 33 的具体实施例。该副译码器低电压电源控制单元 33 具有:输入直列不良信号 RZ1 与步骤 2 信号 M2 的 NOR 栅极 R4、输入该 NOR 栅极 R4 之输出信号与直列地址 Z1 的 NAND 栅极 D8、以及输入该 NAND 栅极 D8 之输出信号与擦除操作控制信号 ER 的 NAND 栅极 D9。该副译码器低电压电源控制单元 33 系以 NAND 栅极 D9 控制且经由电位转换器与该闩锁电路 L1 输出控制信号 NEN。当该 NAND 栅极 D9 的输出

信号为低电平时,输出负电压 NEGP(例如, -9V)。当输出信号为高电平时,当执行擦除访问操作且擦除操作控制信号 ER 为高电平时输出接地电压,而当执行除擦除访问操作以外的访问操作且擦除操作控制信号 ER 为低电平时输出电源电压。

[0148] 图 16 图标该副译码器高电压电源控制单元 35 的具体实施例。该副译码器高电压电源控制单元 35 有 NAND 栅极 D10,其系输入直列不良信号 RZ1 与步骤 2 信号 M2 ;以及, NAND 栅极 D11,其系输入该 NAND 栅极 D10 之输出信号、编程操作控制信号 PGM、以及直列地址 Z1。该副译码器高电压电源控制单元 35 系以该 NAND 栅极 D11 的输出信号控制且经由电位转换器与该门锁电路 L2 输出副译码器高电压 VWL。如果 NAND 栅极 D11 的输出信号为低电平,输出高电压 VH(例如, 9V)。如果输出信号为高电平时,输出接地电压。

[0149] 图 17 图标该字线负电压供给单元 41 的具体实施例。该字线负电压供给单元 41 具有 :NAND 栅极 D18,其系输入横列不良信号 RZ2 与步骤 1 信号 M1 ;以及, NAND 栅极 D12,其系输入该 NAND 栅极 D18 之输出信号、擦除操作控制信号 ER、以及横列地址 Z2。该字线负电压供给单元 41 系以该 NAND 栅极 D12 之输出信号控制且经由电位转换器与该门锁电路 L1 输出负电压 RNEGP。如果该 NAND 栅极 D12 的输出信号为低电平,输出低电压 NEGP(例如, -9V)。如果输出信号为高电平时,输出接地电压。

[0150] 图 18 图标该主译码器高电压电源控制单元 43 之具体实施例。该主译码器高电压电源控制单元 43 具有 :NAND 栅极 D13,其系输入横列不良信号 RZ2 与步骤 1 信号 M1 ;以及, NAND 栅极 D14,其系输入该 NAND 栅极 D13 之输出信号、横列地址 Z2、以及编程操作控制信号 PGM。该主译码器高电压电源控制单元 43 系以该 NAND 栅极 D14 之输出信号控制且经由电位转换器与该门锁电路 L2 输出主译码器高电压 VPXH。如果该 NAND 栅极 D14 的输出信号为低电平,输出高电压 VH(例如, 9V)。如果输出信号为高电平,输出接地电压。

[0151] 图 19 系图标该主译码器 45 之具体实施例。该主译码器 45 具有 :NAND 栅极 D15,其系输入横列不良信号 RZ2 与步骤 1 信号 M1 ;以及, NAND 栅极 D16,其系输入该 NAND 栅极 D15 之输出信号、编程操作控制信号 PGM、除指派地址之 Z1 或 Z2 以外的地址信号 ADD、以及横列地址 Z2。该主译码器 45 系以该 NAND 栅极 D16 之输出信号控制且输出电压(例如, 9V)至全局字线 GWL。如果该 NAND 栅极 D16 的输出信号为低电平,输出主译码器高电压 VPXH。如果输出信号为高电平,输出负电压(例如, -9V)。

[0152] 该擦除操作控制信号 ER 的逻辑系以反相器栅极 I13 反相且将所得之信号输入到 NAND 栅极 D17。也将该 NAND 栅极 D16 的输出信号输入到 NAND 栅极 D17。该 NAND 栅极 D17 之输出信号系以反相器栅极 I14 反相且将所得之信号输出到全局字线 GWLB。

[0153] 图 20 与图 21 系图标不同访问操作之信号的偏压状态。以下将使用在图 2 批次访问操作中以两个步骤施加偏压至除不良区段以外的区段为例说明偏压状态。图中的偏压状态,区段 S07 为不良区段,区段 S06 与 S17 为周边区段。当以两个步骤施加偏压的访问操作时,访问操作包括 :擦除 (ER) 应力操作、编程 (PGM) 应力操作、以及以应力测试进行的泄漏电流测试 (HTRB 泄漏)。至于以一个步骤施加偏压的访问操作,以第一芯片擦除 (ER) 操作表示。图 20 与图 21 的说明将参考图 3 与图 11 至图 19。

[0154] 首先,在图 20 中,描述擦除 (ER) 访问操作。在步骤 1 中,不施加偏压至包含不良区段 S07 的直列 Z2(7)。区段 S07 与 S17 的 Z2 方格为“0”V。

[0155] 关于用字线负电压供给单元 41 施加偏压的正常区段 S06,其系将横列地址信号 Z2

与擦除操作控制信号 ER 设定成高电平,且负电压 RNEGP 变成 -9V。将井电位控制单元 31、直列地址 Z1、以及擦除操作控制信号 ER 设定成高电平,且井电位 VNW 变成 9V。将副译码器低电压电源控制单元 33、直列地址 Z1、以及擦除操作控制信号 ER 设定成高电平,且控制信号 NEN 变成接地电压。至于副译码器低电压电源开关 25,由于负电压 RNEGP 为 -9V 且控制信号 NEN 为接地电压,所以副译码器低电压 XDS 变为 -9V。至于副译码器 23,全局字线 GWL 变为 -9V,全局字线 GWLB 与副译码器高电压 VWL 变为接地电压,且局域字线 P2WL 变为 -9V。在主译码器高电压电源控制单元 43 中,由于访问操作不是编程操作,主译码器高电压 VPXH 为接地电位。至于主译码器 45,负电压 RNEGP 为 -9V,全局字线 GWL 为 -9V,擦除操作控制信号 ER 为高电平,且全局字线 GWLB 变为接地电压。在副译码器高电压电源控制单元 35 中,由于访问操作不是编程操作,副译码器高电压 VWL 为接地电位。

[0156] 不将偏压施加至不良区段 S07。至于该字线负电压供给单元 41,横列地址 Z2 变为接地电压且负电压 RNEGP 变为接地电压。至于井电位控制单元 31,直列地址 Z1 与擦除操作控制信号 ER 变为高电平,且井电位 VNW 变为 9V。至于副译码器低电压电源控制单元 33,直列地址 Z1 与擦除操作控制信号 ER 变为高电平且控制信号 NEN 变为接地电压。至于副译码器低电压电源开关 25,由于负电压 RNEGP 与控制信号 NEN 为接地电压,副译码器低电压 XDS 变为接地电压。至于副译码器 23,全局字线 GWL 与 GWLB 为接地电压,副译码器高电压 VWL 为接地电压,且局域字线 P2WL 变为浮动状态。由于在主译码器高电压电源控制单元 43 中访问操作不是编程操作,主译码器高电压 VPXH 为接地电位。至于主译码器 45,访问操作不是编程操作,负电压 RNEGP 为接地电压,全局字线 GWL 为接地电压,以及擦除操作控制信号 ER 为高电平,使得全局字线 GWLB 变为接地电压。在副译码器高电压电源控制单元 35 中,由于访问操作不是编程操作,所以副译码器高电压 VWL 为接地电位。

[0157] 在不施加偏压的正常区段 S17 中,关于该字线负电压供给单元 41,横列地址 Z2 变为接地电压而且负电压 RNEGP 变为接地电压。至于井电位控制单元 31,直列地址 Z1 与擦除操作控制信号 ER 两者都变为高电平且井电位 VNW 变为 9V。至于副译码器低电压电源控制单元 33,直列地址 Z1 与擦除操作控制信号 ER 变为高电平,且控制信号 NEN 变为接地电压。至于副译码器低电压电源开关 25,负电压 RNEGP 与控制信号 NEN 均为接地电压,使得副译码器低电压 XDS 变为接地电压。至于副译码器 23,全局字线 GWL 与 GWLB 均为接地电压,副译码器高电压 VWL 为接地电压,且局域字线 P2WL 变为浮动状态。由于在主译码器高电压电源控制单元 43 中访问操作不是编程操作,主译码器高电压 VPXH 为接地电位。至于主译码器 45,访问操作不是编程操作,负电压 RNEGP 为接地电压,全局字线 GWL 为接地电压,且擦除操作控制信号 ER 为高电平,使得全局字线 GWLB 变为接地电压。在副译码器高电压电源控制单元 35 中,由于访问操作不是编程操作,副译码器高电压 VWL 为接地电位。

[0158] 在擦除 (ER) 访问操作的步骤 2 中,关于横列,仅仅不施加偏压至包含不良区段 S07 的横列 Z2 (7)。关于直列,仅仅不施加偏压至直列 Z1 (0)。

[0159] 不将偏压施加至正常区段 S06。至于该字线负电压供给单元 41,将横列地址 Z2 设定成接地电压而且负电压 RNEGP 变为接地电压。至于井电位控制单元 31,将直列地址 Z1 设定成接地电压,且井电位 VNW 变为接地电压。至于副译码器低电压电源控制单元 33,将直列地址 Z1 设定成接地电压,且控制信号 NEN 变为 -9V。至于副译码器低电压电源开关 25,负电压 RNEGP 变为接地电压,且控制信号 NEN 变为 -9V,使得副译码器低电压 XDS 变为接地电

压。至于副译码器 23, 将全局字线 GWL 与 GWLB 设定成接地电压, 副译码器高电压 VWL 变为接地电压, 且局域字线 P2WL 进入浮动状态。在主译码器高电压电源控制单元 43 中, 由于访问操作不是编程操作, 主译码器高电压 VPXH 为接地电位。至于主译码器 45, 访问操作不是编程操作, 负电压 RNEGP 为接地电压, 全局字线 GWL 也变为接地电压, 且擦除操作控制信号 ER 为高电平, 使得全局字线 GWLB 变为接地电压。在副译码器高电压电源控制单元 35 中, 由于访问操作不是编程操作, 副译码器高电压 VWL 为接地电位。

[0160] 不将偏压施加至不良区段 S07。至于该字线负电压供给单元 41, 将横列地址 Z2 与擦除操作控制信号 ER 设定成高电平, 且负电压 RNEGP 变为 $-9V$ 。至于井电位控制单元 31, 直列地址 Z1 变为接地电压, 且井电位 VNW 变为接地电压。至于副译码器低电压电源控制单元 33, 直列地址 Z1 变为接地电压, 且控制信号 NEN 变为 $-9V$ 。至于副译码器低电压电源开关 25, 负电压 RNEGP 变为 $-9V$, 控制信号 NEN 变为 $-9V$, 且副译码器低电压 XDS 变为接地电压。至于副译码器 23, 全局字线 GWL 变为 $-9V$, 全局字线 GWLB 变为接地电压, 副译码器高电压 VWL 为接地电压, 且局域字线 P2WL 变为浮动状态。由于在主译码器高电压电源控制单元 43 中访问操作不是编程操作, 主译码器高电压 VPXH 为接地电位。至于主译码器 45, 负电压 RNEGP 与全局字线 GWL 变为 $-9V$, 且擦除操作控制信号 ER 为高电平, 使得全局字线 GWLB 变为接地电压。在副译码器高电压控制单元 35 中, 由于访问操作不是编程操作, 副译码器高电压 VWL 为接地电位。

[0161] 将偏压施加至正常区段 S17。至于字线负电压供给单元 41, 将横列地址 Z2 与擦除操作控制信号 ER 设定为高电平, 且负电压 RNEGP 变为 $-9V$ 。至于井电位控制单元 31, 直列地址 Z1 与擦除操作控制信号 ER 两者都变为高电平且井电位 VNW 变为 $9V$ 。至于副译码器低电压电源控制单元 33, 直列地址 Z1 与擦除操作控制信号 ER 变为高电平, 且控制信号 NEN 变为接地电压。至于副译码器低电压电源开关 25, 负电压 RNEGP 变为 $-9V$ 且控制信号 NEN 变为接地电压, 使得副译码器低电压 XDS 变为 $-9V$ 。至于副译码器 23, 全局字线 GWL 变为 $-9V$, 全局字线 GWLB 变为接地电压, 副译码器高电压 VWL 为接地电压, 以及局域字线 P2WL 变为 $-9V$ 。由于主译码器高电压控制单元 43 的访问操作不是编程操作, 主译码器高电压 VPXH 为接地电位。至于主译码器 45, 负电压 RNEGP 变为 $-9V$, 全局字线 GWL 变为 $-9V$, 以及擦除操作控制信号 ER 为高电平, 使得全局字线 GWLB 变为接地电压。在副译码器高电压电源控制单元 35 中, 由于访问操作不是编程操作, 副译码器高电压 VWL 为接地电位。

[0162] 以与擦除 (ER) 应力操作方式类似的两个步骤执行一起擦除所有区段的批次访问操作 (例如, 批次擦除操作) 未图标于第 20 图。以下为施加 (第一与第二次) ER 应力的方式。将储存器件的外部电压 ($+9V$) 施加至井 WELL 且将储存器件的自行产生电压 ($-9V$) 施加至局域字线 P2WL, 从而在 WELL 与 P2WL 之间施加应力。在 (第一次的) 批次擦除操作时, 自行产生电压 ($+9V/-9V$) 用来作为施加至 WELL 的电压以及施加至 P2WL 的电压。

[0163] 接下来, 描述编程 (PGM) 访问操作。在步骤 1 中, 不将偏压施加至包含不良区段 S07 的横列 Z2(7)。区段 S07 与 S17 的 Z2 方格为“0”V。

[0164] 关于施加偏压的正常区段 S06, 对字线负电压供给单元 41 而言, 由于访问操作不是擦除 (ER) 操作, 供给接地电压作为负电压 RNEGP。至于井电位控制单元 31, 由于访问操作不是擦除 (ER) 操作, 将接地电压设定为井电位 VNW。至于副译码器低电压电源控制单元 33, 由于访问操作不是擦除 (ER) 操作, 将控制信号 NEN 设定成高电平。至于副译码器低电

压电源开关 25, 将负电压 RNEGP 设定为接地电压且将控制信号 NEN 设定为高电平, 使得副译码器低电压 XDS 被设定成接地电压。至于副译码器 23, 将全局字线 GWL 设定为 9V, 将全局字线 GWLB 设定为接地电压, 将副译码器高电压 VWL 设定为 9V, 且将局域字线 P2WL 设定为 9V。在主译码器高电压电源控制单元 43 中, 将横列地址 Z2 与编程操作控制信号 PGM 设定为高电平, 且将主译码器高电压 VPXH 设定为 9V。至于主译码器 45, 将横列地址 Z2、编程操作控制信号 PGM、以及地址信号 ADD 设定为高电平, 将全局字线 GWL 设定为 9V, 且将全局字线 GWLB 设定为接地电压。在副译码器高电压电源控制单元 35 中, 将直列地址 Z1、编程操作控制信号 PGM、以及地址信号 ADD 设定为高电平, 且将副译码器高电压 VWL 设定为 9V。

[0165] 不将偏压施加至不良区段 S07。至于该字线负电压供给单元 41, 由于访问操作不是擦除 (ER) 操作, 将负电压 RNEGP 设定为接地电压。至于井电位控制单元 31, 由于访问操作不是擦除 (ER) 操作, 井电位 VNW 变为接地电压。至于副译码器低电压电源控制单元 33, 由于访问操作不是擦除 (ER) 操作, 控制信号 NEN 变成高电平。至于副译码器低电压电源开关 25, 由于负电压 RNEGP 被设定成接地电压, 将控制信号 NEN 设定为高电平, 且将副译码器低电压 XDS 设定为接地电压。至于副译码器 23, 将全局字线 GWL 设定为接地电压, 将全局字线 GWLB 设定为高电平, 副译码器高电压电源 VWL 为 9V, 且将局域字线 P2WL 设定为接地电压。在主译码器高电压电源控制单元 43 中, 将横列地址 Z2 设定为接地电压, 且将主译码器高电压 VPXH 设定为接地电位。至于主译码器 45, 将横列地址 Z2 设定为接地电压, 将全局字线 GWL 设定为接地电压, 且全局字线 GWLB 变成高电平。在副译码器高电压电源控制单元 35 中, 将直列地址 Z1、编程操作控制信号 PGM、以及地址信号 ADD 设定为高电平, 且将副译码器高电压 VWL 设定为 9V。在不施加偏压的正常区段 S17 中, 对字线负电压供给单元 41 而言, 由于访问操作不是擦除 (ER) 操作, 将负电压 RNEGP 设定为接地电压。至于井电位控制单元 31, 由于访问操作不是擦除 (ER) 操作, 将井电位 VNW 设定为接地电压。至于副译码器低电压电源控制单元 33, 由于访问操作不是擦除 (ER) 操作, 将控制信号 NEN 设定为高电平。至于副译码器低电压电源开关 25, 将负电压 RNEGP 设定为接地电压, 将控制信号 NEN 设定为高电平, 且将副译码器低电压 XDS 设定为接地电压。至于副译码器 23, 将全局字线 GWL 设定为接地电压, 将全局字线 GWLB 设定为高电平, 将副译码器高电压 VWL 设定为 9V, 且将局域字线 P2WL 设定为接地电压。在主译码器高电压电源控制单元 43 中, 直列地址 Z2 变为接地电压, 且主译码器高电压 VPXH 为接地电位。至于主译码器 45, 将横列地址 Z2 设定为接地电压, 将全局字线 GWL 设定为接地电压, 且全局字线 GWLB 变成高电平。在副译码器高电压电源控制单元 35 中, 直列地址 Z1、编程操作控制信号 PGM、以及地址信号 ADD 都变为高电平, 且副译码器高电压 VWL 变为 9V。

[0166] 在编程 (PGM) 访问操作的步骤中, 关于横列, 只施加偏压至包含不良区段 S07 的横列 Z2 (7)。关于直列, 仅仅不施加偏压至直列 Z1 (0)。

[0167] 不将偏压施加至正常区段 S06。至于该字线负电压供给单元 41, 由于访问操作不是擦除 (ER) 操作, 负电压 RNEGP 变为接地电压。至于井电位控制单元 31, 由于访问操作不是擦除 (ER) 操作, 将井电位 VNW 设定为接地电压。至于副译码器低电压电源控制单元 33, 由于访问操作不是擦除 (ER) 操作, 将控制信号 NEN 设定为高电平。至于副译码器低电压电源开关 25, 将负电压 RNEGP 设定为接地电压, 将控制信号 NEN 设定为高电平, 且将副译码器低电压 XDS 设定为接地电压。至于副译码器 23, 将全局字线 GWL 设定为接地电压, 将全局字

线 GWLB 设定为高电平,将副译码器高电压 VWL 设定为接地电压,且将局域字线 P2WL 设定为接地电压。在主译码器高电压电源控制单元 43 中,将横列地址 Z2 设定为接地电压,且将主译码器高电压 VPXH 设定为接地电位。至于主译码器 45,将横列地址 Z2 设定为接地电压,将负电压 RNEGP 设定为接地电压,也将全局字线 GWL 设定为接地电压,且将全局字线 GWLB 设定为高电平。在副译码器高电压控制单元 35 中,将直列地址 Z1 设定为接地电压,将编程操作控制信号 PGM 与地址信号 ADD 设定为高电平,且将副译码器高电压 VWL 设定为 9V。

[0168] 不将偏压施加至不良区段 S07。至于该字线负电压供给单元 41,由于访问操作不是擦除 (ER) 操作,将负电压 RNEGP 设定为接地电压。至于井电位控制单元 31,由于访问操作不是擦除 (ER) 操作,将井电位 VNW 设定为接地电压。至于副译码器低电压电源控制单元 33,由于访问操作不是擦除 (ER) 操作,将控制信号 NEN 设定为高电平。至于副译码器低电压电源开关 25,将负电压 RNEGP 设定为接地电压,将控制信号 NEN 设定为高电平,且将副译码器低电压 XDS 设定为接地电压。至于副译码器 23,将全局字线 GWL 设定为 9V,将全局字线 GWLB 设定为接地电压,将副译码器高电压 VWL 设定为接地电压,且将局域字线 P2WL 设定为接地电压。在主译码器高电压电源控制单元 43 中,将横列地址 Z2 与编程操作控制信号 PGM 设定为高电平,且将主译码器高电压 VPXH 设定为 9V。至于主译码器 45,将横列地址 Z2、编程操作控制信号 PGM、以及地址信号 ADD 变为高电平,将全局字线 GWL 设定为 9V,且将全局字线 GWLB 设定为接地电压。在副译码器高电压电源控制单元 35 中,将直列地址 Z1 设定为接地电压,且将副译码器高电压 VWL 设定为接地电位。

[0169] 将偏压施加至正常区段 S17。至于该字线负电压供给单元 41,由于访问操作不是擦除 (ER) 操作,将负电压 RNEGP 设定为接地电压。至于井电位控制单元 31,由于访问操作不是擦除 (ER) 操作,将井电位 VNW 设定为接地电压。至于副译码器低电压电源控制单元 33,由于访问操作不是擦除 (ER) 操作,将控制信号 NEN 设定为高电平。至于副译码器低电压电源开关 25,将负电压 RNEGP 设定为接地电压且将控制信号 NEN 设定为高电平,藉此将副译码器低电压 XDS 设定为接地电压。至于副译码器 23,将全局字线 GWL 设定为 9V,将全局字线 GWLB 设定为接地电压,将副译码器高电压 VWL 设定为 9V,且将局域字线 P2WL 设定为 9V。在主译码器高电压电源控制单元 43 中,将横列地址 Z2 与编程操作控制信号 PGM 设定为高电平,且将主译码器高电压 VPXH 设定为 9V。至于主译码器 45,将横列地址 Z2、编程操作控制信号 PGM、以及地址信号 ADD 设定为高电平,将全局字线 GWL 设定为 9V,且将全局字线 GWLB 设定为接地电压。在副译码器高电压电源控制单元 35 中,将直列地址 Z1、编程操作控制信号 PGM、以及地址信号 ADD 设定为高电平,且将副译码器高电压 VWL 设定为 9V。

[0170] 在图 21 中,在以应力测试进行的泄漏电流测试 (HTRB 泄漏) 中,施加偏压的方式与编程访问操作的情形类似。就此情形而言,系由外部端子 (例如,接触垫) (随后在图 22 将予以说明) 供给电压以取代 9V 的高电压。当外部端子所施加的电压约为 6V 时,可侦测在电压应力之后是否有新的泄漏电流。

[0171] 现在描述第一芯片擦除 (ER)。就此情形而言,直列 Z1 (0) 为待擦除之标的,以便以一个步骤完成擦除访问操作。尽管未将偏压施加至包含不良区段 S07 的横列 Z2 (7),仍将偏压施加至直列 Z1 (0)。

[0172] 关于以字线负电压供给单元 41 施加偏压的正常区段 S06,将横列地址信号 Z2 与擦除操作控制信号 ER 设定为高电平,且将负电压 RNEGP 设定为 -9V。至于井电位控制单元

31,将直列地址 Z1 与擦除操作控制信号 ER 设定为高电平,且将井电位 VNW 设定为 9V。至于副译码器低电压电源控制单元 33,将直列地址 Z1 与擦除操作控制信号 ER 设定为高电平且将控制信号 NEN 设定为接地电压。至于副译码器低电压电源开关 25,将负电压 RNEGP 设定为 -9V 且将控制信号 NEN 设定为接地电压,使得副译码器低电压 XDS 变为 -9V。至于副译码器 23,将全局字线 GWL 设定为 -9V,将全局字线 GWLB 设定为接地电压,将副译码器高电压 VWL 设定为接地电压,且将局域字线 P2WL 设定为 -9V。在主译码器高电压电源控制单元 43 中,由于访问操作不是编程 (PGM) 操作,主译码器高电压 VPXH 为接地电位。至于主译码器 45,由于访问操作不是编程 (PGM) 操作,将擦除操作控制信号 ER 设定为高电平,且全局字线 GWL 与 GWLB 两者都设定为接地电压。在副译码器高电压控制单元 35 中,由于访问操作不是编程 (PGM) 操作,副译码器高电压 VWL 为接地电位。

[0173] 不将偏压施加至不良区段 S07。至于该字线负电压供给单元 41,将横列地址 Z2 设定为接地电压,且将负电压 RNEGP 变为接地电压。至于井电位控制单元 31,将直列地址 Z1 与擦除操作控制信号 ER 设定为高电平,且井电位 VNW 变为 9V。至于副译码器低电压电源控制单元 33,将直列地址 Z1 与擦除操作控制信号 ER 都设定为高电平且将控制信号 NEN 变为接地电压。至于副译码器低电压电源开关 25,将负电压 RNEGP 与控制信号 NEN 设定为接地电压,将副译码器低电压 XDS 设定为接地电压。至于副译码器 23,将全局字线 GWL 与 GWLB 都设定为接地电压,将副译码器高电压 VWL 设定为接地电压,且局域字线 P2WL 变为浮动状态。在主译码器高电压电源控制单元 43 中,由于访问操作不是编程 (PGM) 操作,主译码器高电压 VPXH 为接地电位。至于主译码器 45,由于访问操作不是编程 (PGM) 操作,将擦除操作控制信号 ER 设定为高电平且将全局字线 GWL 与 GWLB 都设定为接地电压。在副译码器高电压电源控制单元 35 中,由于访问操作不是编程 (PGM) 操作,将副译码器高电压 VWL 设定为接地电位。

[0174] 在不施加偏压的正常区段 S17 中,用字线负电压供给单元 41,将横列地址 Z2 设定为接地电压,且将负电压 RNEGP 设定为接地电压。至于井电位控制单元 31,直列地址 Z1 与井电位 VNW 两者都设定为接地电压。至于副译码器低电压电源控制单元 33,将直列地址 Z1 设定为接地电压,且将控制信号 NEN 设定为 -9V。至于副译码器低电压电源开关 25,将负电压 RNEGP 设定为接地电压,将控制信号 NEN 设定为 -9V,且将副译码器低电压 XDS 设定为接地电压。至于副译码器 23,将全局字线 GWL、GWLB 与副译码器高电压 VWL 都设定为接地电压,且将局域字线 P2WL 设定为浮动状态。在主译码器高电压电源控制单元 43 中,由于访问操作不是编程 (PGM) 操作,主译码器高电压 VPXH 为接地电位。至于主译码器 45,由于访问操作不是编程 (PGM) 操作,擦除操作控制信号 ER 为高电平,且将全局字线 GWL 与 GWLB 都设定为接地电压。在副译码器高电压电源控制单元 35 中,由于访问操作不是编程 (PGM) 操作,将副译码器高电压 VWL 设定为接地电压。

[0175] 图 22 图标电路组态之范例,该电路系用于经由作为外部端子的接触垫 53 而在内部供给高电压 VH(例如,9V)与外部供给电压之间切换高电压。该组态是在实行一种被称为 HTRB 之泄漏测试时用来侦测泄漏电流,其系伴随因施加高电压之应力测试而产生的新晶体缺陷 (crystal defect) 或其类似物。通常,藉由经由接触垫 53 供给的电力以取代内部供给之高电压,可侦测在施加偏压后是否有泄漏电流。

[0176] 在图 22 中,待供给至副译码器高电压电源控制单元 35 及主译码器高电压电源控

制单元 43 的高电压是在内部供给高电压 VH 与用切换单元 51 经由接触垫 53 供给的电压之间切换。在应力测试的时候,测试信号 MEAS 控制该切换单元 51 以使接触垫 53 的高电压连接至该副译码器高电压电源控制单元 35 以及该主译码器高电压电源控制单元 43。该副译码器高电压电源控制单元 35 以及该主译码器高电压电源控制单元 43 系接收高电压且分别输出副译码器高电压 VWL 与主译码器高电压 VPXH。该副译码器高电压 VWL 以及该主译码器高电压 VPXH 分别在副译码器 23 与主译码器 45 中变为高电平电压,且将高电压供给至局域字线 P2WL 与全局字线 GWL。藉由侦测泄漏电流,可侦测局域字线 P2WL 与全局字线 GWL 中有没有泄漏电流。

[0177] 由以上的描述可了解,根据该具体实施例,在由多个区段 S00 至 S37 构成作为存储区块之例子的存储单元数组 ARY 中,以区段之直列与横列中的第一与第二电压控制部件为例,提供直列电压控制单元 (C1(0) 至 C1(3)) 与横列电压控制单元 (C2(0) 至 C2(7)) 是足够的。不需要为每一个区段提供电压控制单元。在存储单元数组 ARRY 的周边部份中配置直列电压控制单元 (C1(0) 至 C1(3)) 以及横列电压控制单元 (C2(0) 至 C2(7)) 就足够,且可将所述存储单元集中配置于存储器数组 ARY。以与用于作为电压控制单元之组件的控制电路的组件组态不同的组态及设计规则,可对该存储单元数组 ARY 做有效的设计。同样在区段数增加的情况下,可减少电压控制单元之需求数。因此,可控制芯片面积的增加。

[0178] 在藉由控制施加至横列与直列中之各列的偏压而同时施加偏压至多个区段的时候,为了控制偏压不会被施加至不良区段的直列或者是横列,所以不会施加偏压。可同时将偏压施加至区段群组中之区段,除了不良区段以及直列 / 横列中有该不良区段且控制方式为不施加偏压的区段以外。

[0179] 本发明可防止应力电压因不良存储区块中有泄漏所造成的下降。

[0180] 此外,藉由只对每一正常存储区块执行一次访问操作,可防止进行两次访问操作而施加过度的应力,过度的擦除、过度的编程、或其类似者所造成的存储单元阈值异常,以及访问操作的测试时间增加。

[0181] 再者,藉由控制施加至第一与第二方向中之各列的偏压同时避免施加偏压至不良存储区块,在泄漏测试时不会发生不良存储区块所造成的泄漏。因此,可确实测量多个正常存储区块所造成的泄漏。

[0182] 此外,对所有区段的批次访问操作(例如,批次擦除操作)以及对部份选定之区段群组的访问操作(例如,第一芯片擦除),即使待访问区段中有不良区段,仍可以最少的步骤完成处理。因此,使用者可获得缩短的擦除时间。

[0183] 显然,本发明不受限于前述具体实施例,且可对所述具体实施例做出各种改良及修改而不脱离本发明的主旨。

[0184] 例如,在进行图 2 与图 3 中的批次访问操作时,对于存在一个不良区段的情况已予描述。不过,本发明不受限于此一情形。就同一直列或横列中存在多个不良区段的情况而言,可完成参照图 2 所描述的两步骤之批次访问操作。同样,就同一直列或横列中不存在多个不良区段的情况而言,可使用与图 1 之方法类似的以直列或横列为单位基础的连续式施加偏压的方法。

[0185] 在前述具体实施例中,于步骤 1,选定所有直列,将偏压施加至直列但不将偏压施加至有不良区段之列,且在步骤 2,将偏压施加至尚未施加偏压的正常区段。本发明不受限

于该具体实施例。在步骤 1 与 2 中,可颠倒经受施加控制的直列与横列。

[0186] 也可颠倒内部信号的正电压逻辑和负电压逻辑以及内部地址输出控制单元的输出信号、直列地址译码器、横列地址译码器、以及其它电路。

[0187] 井系表示在非易失性存储单元的信道正下方的节点,且不受限于任何制程结构(process structure)。

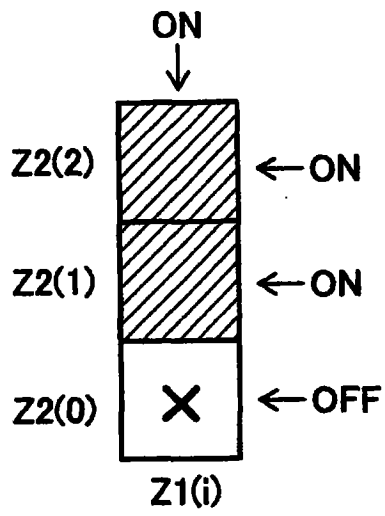


图 1

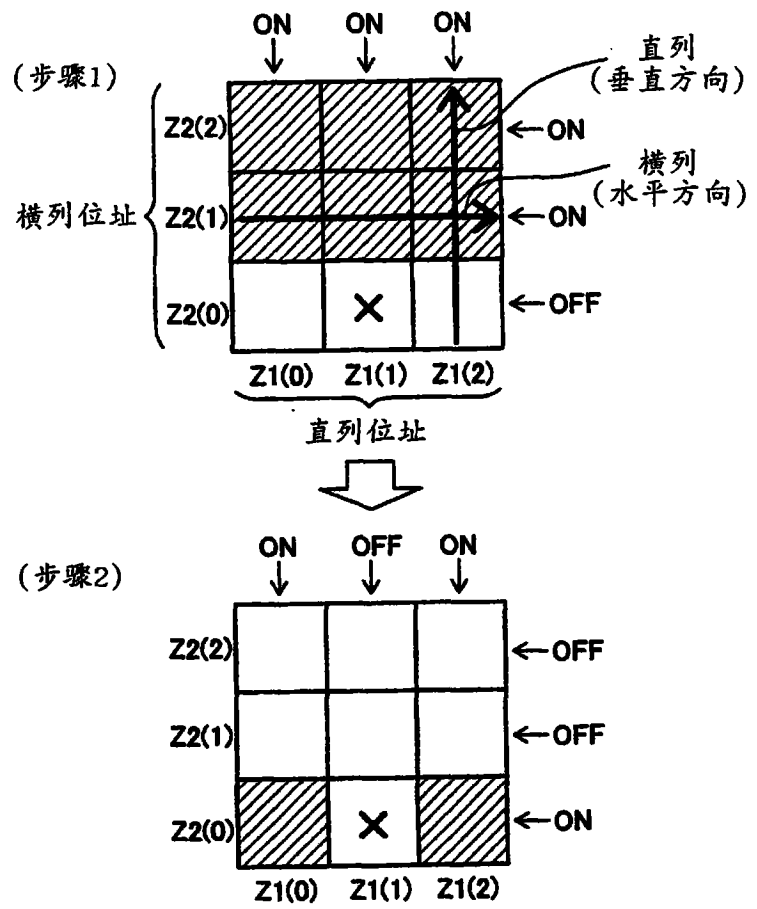


图 2

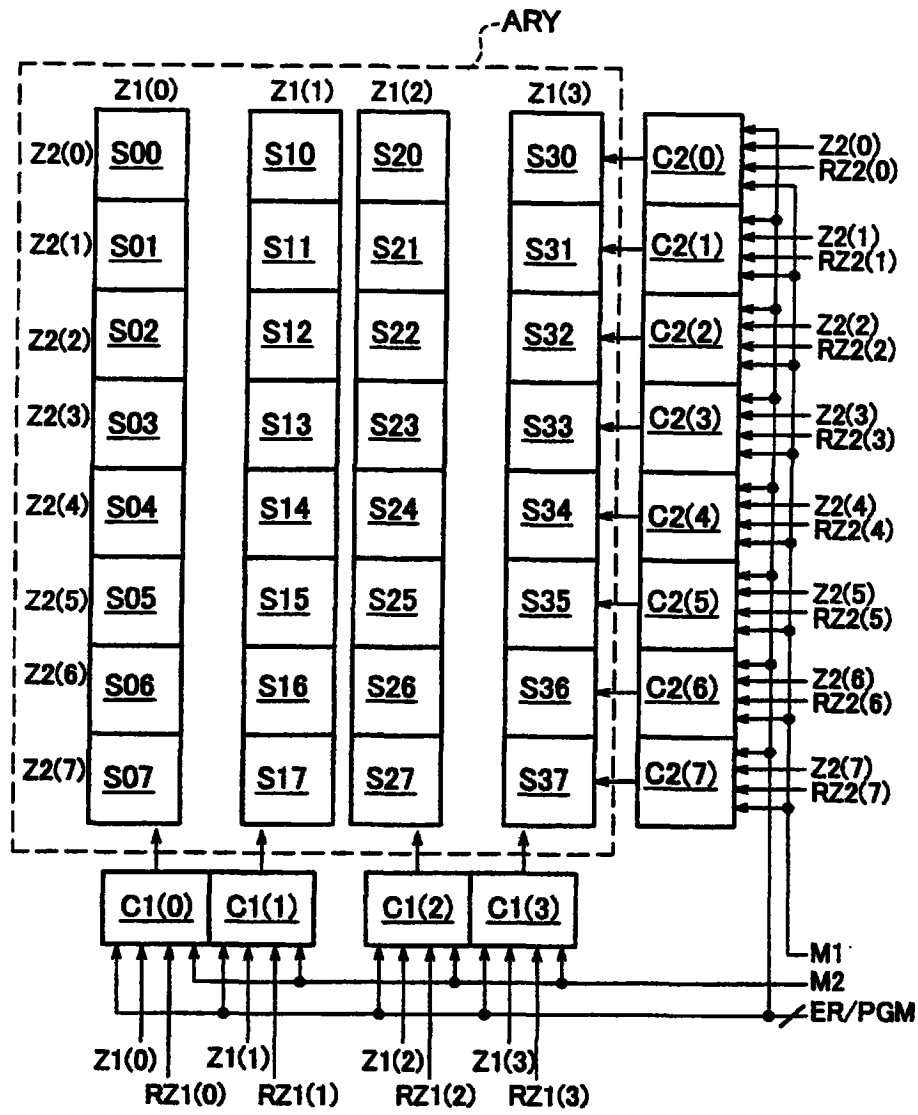


图 3

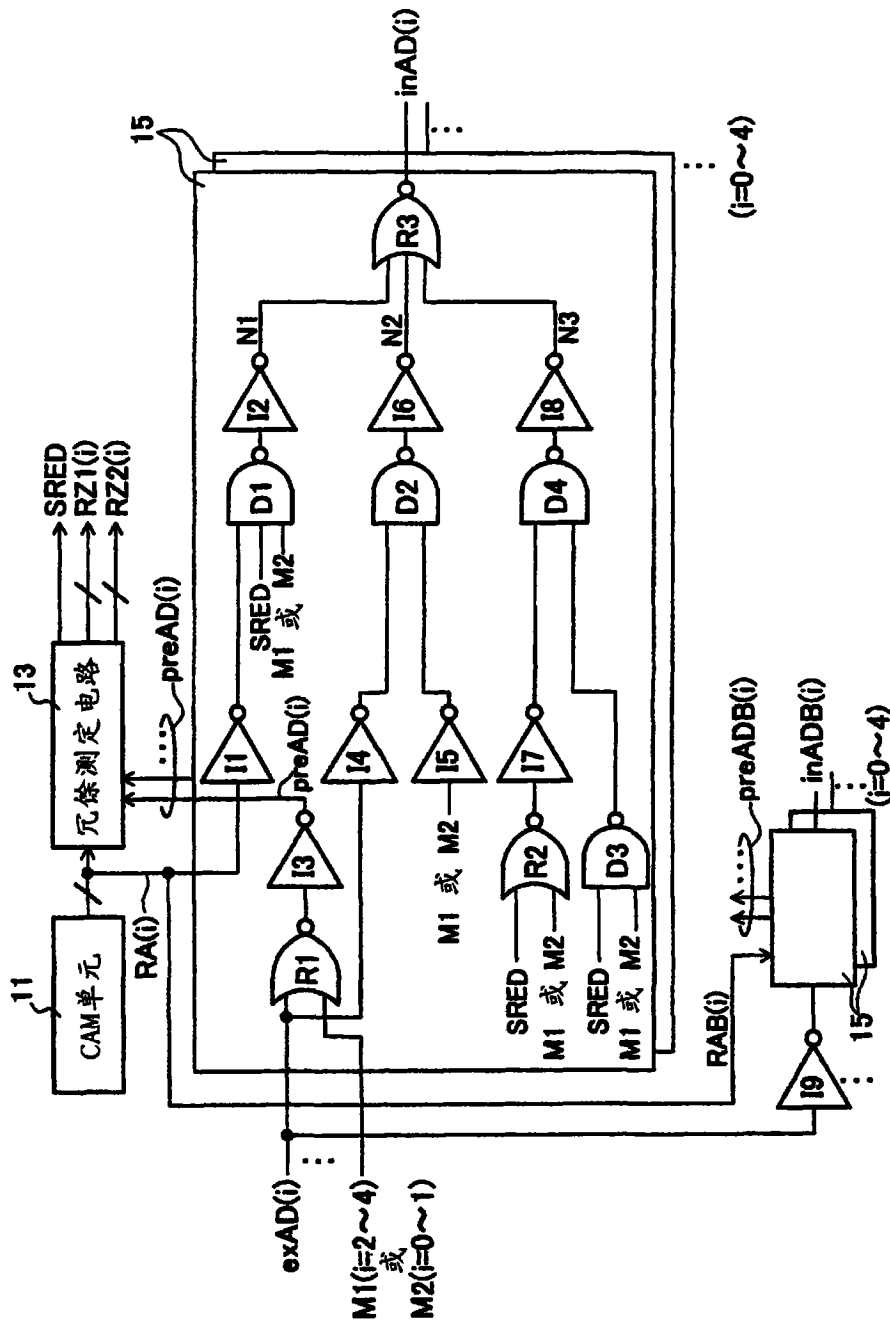


图4

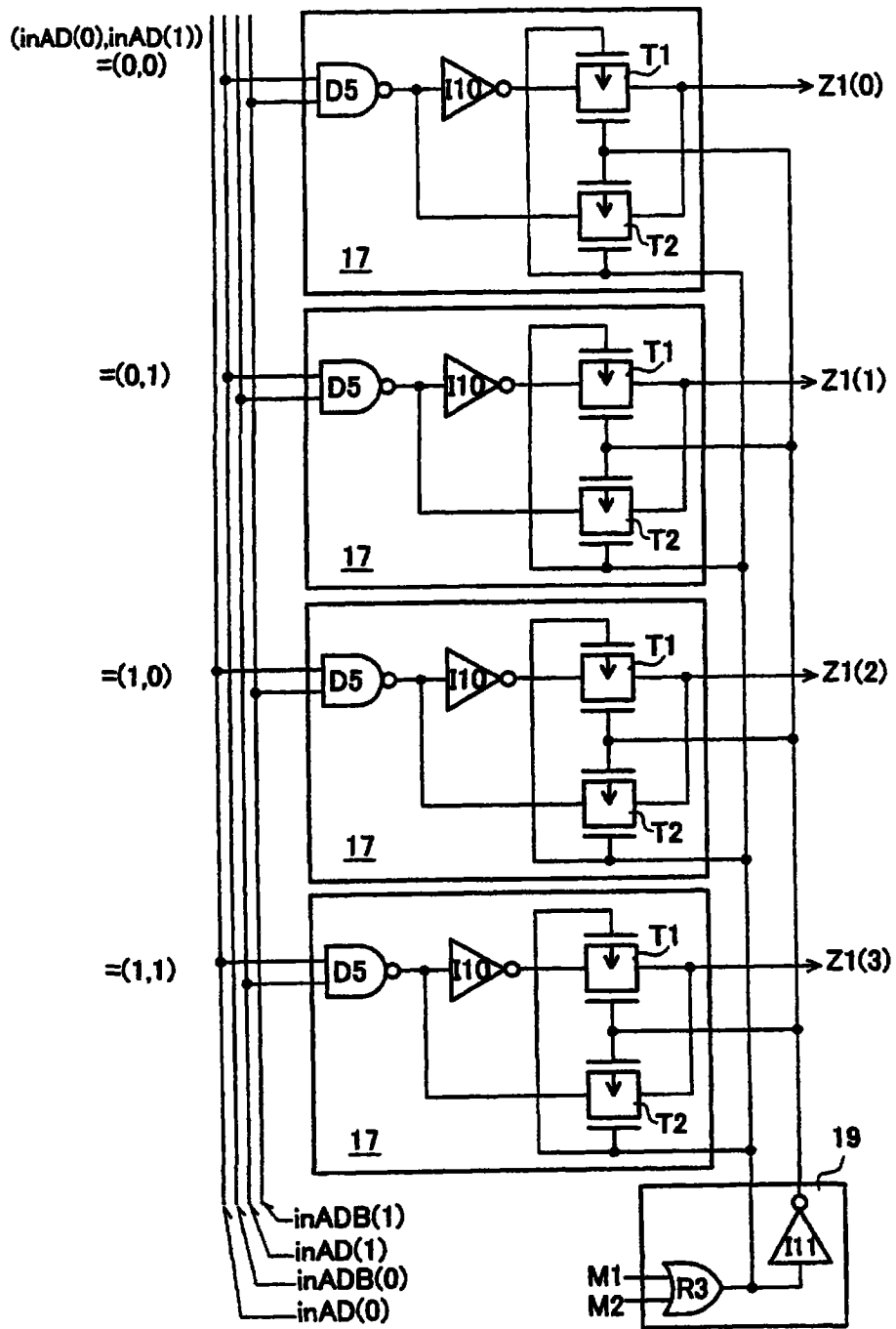


图 5

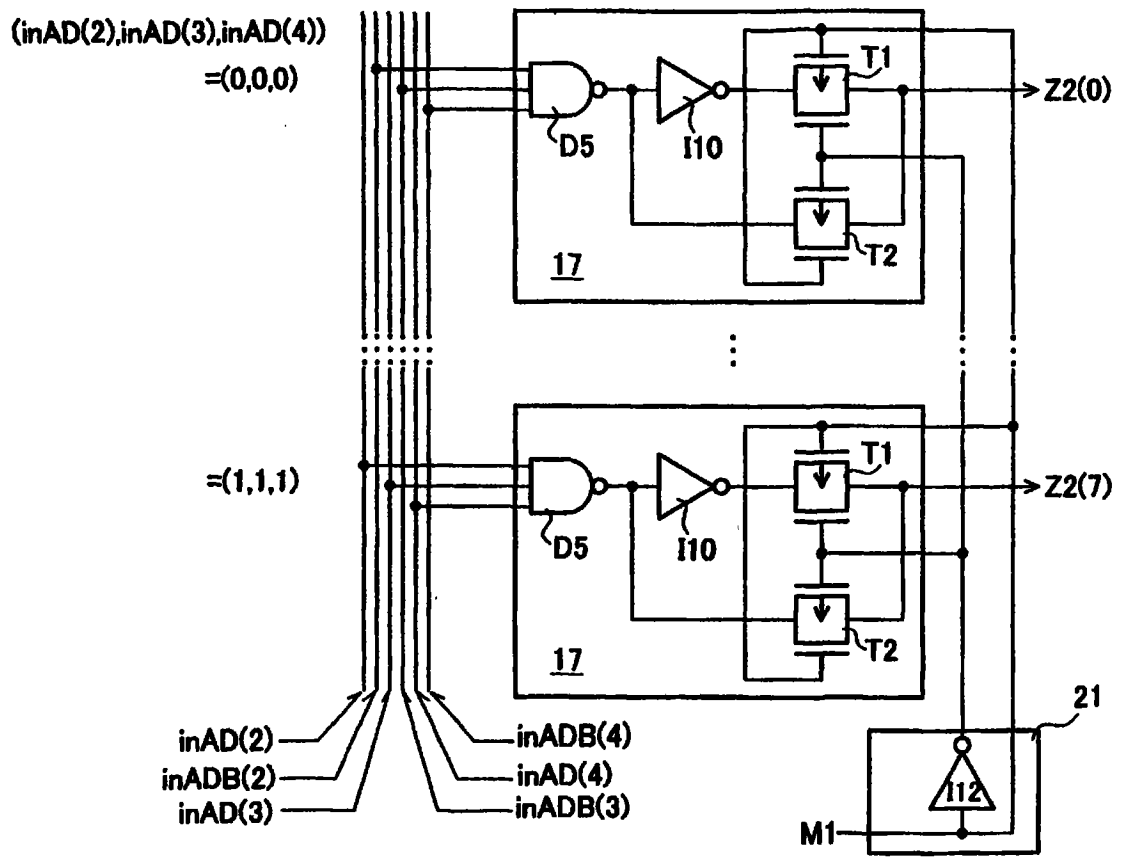


图6

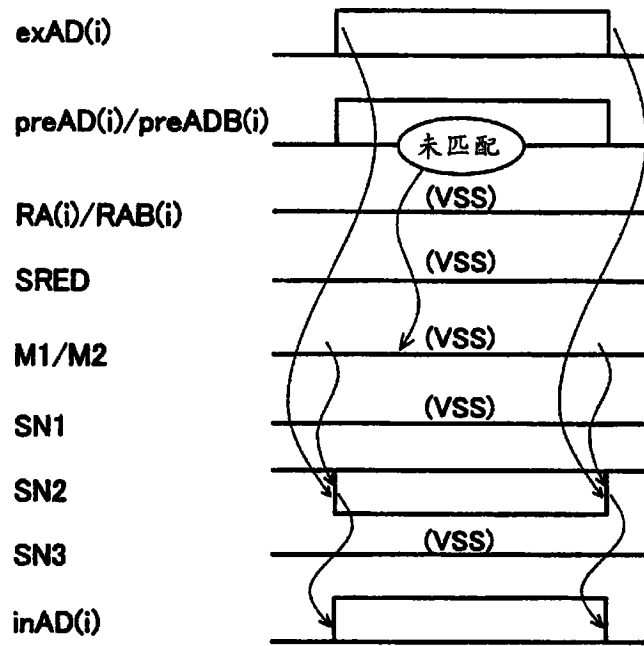


图 7

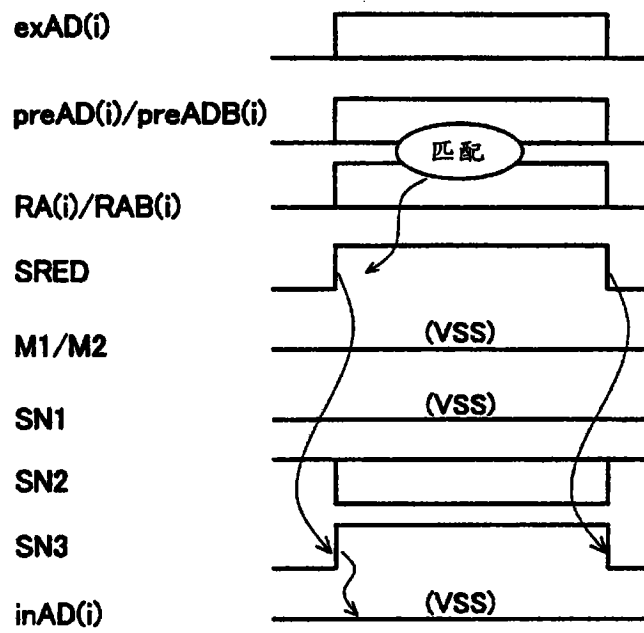


图 8

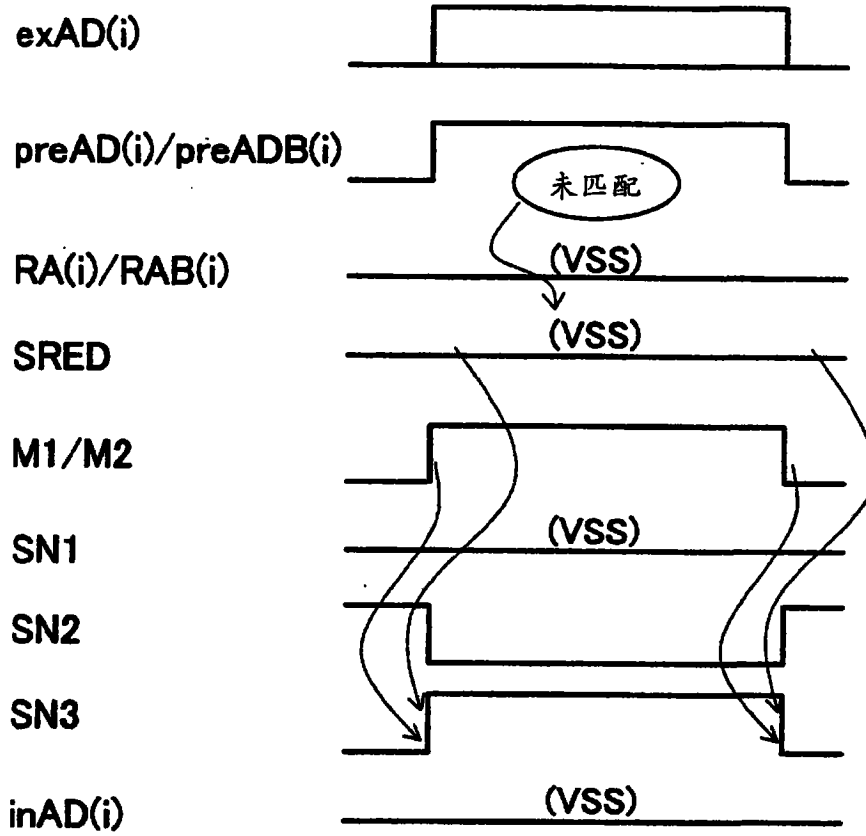


图 9

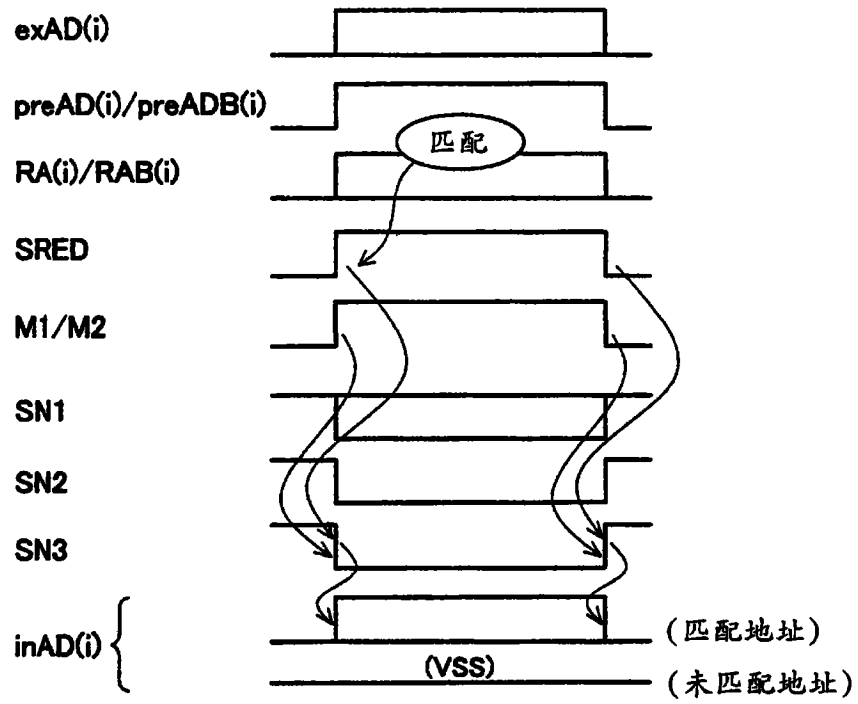


图 10

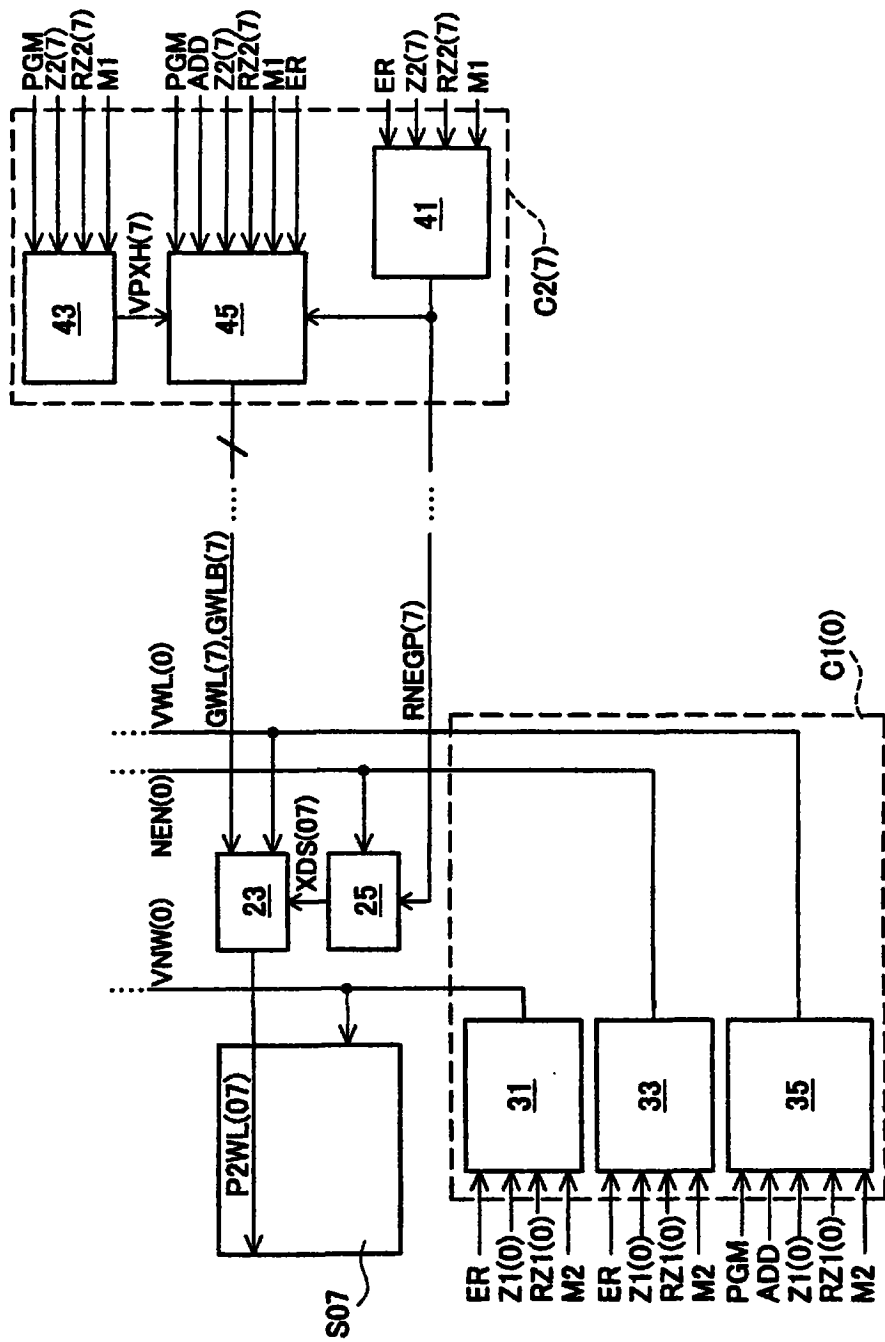


图11

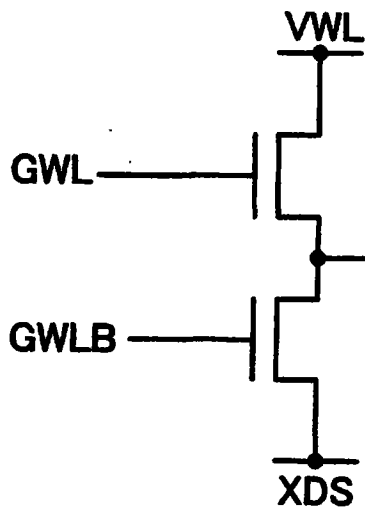


图 12

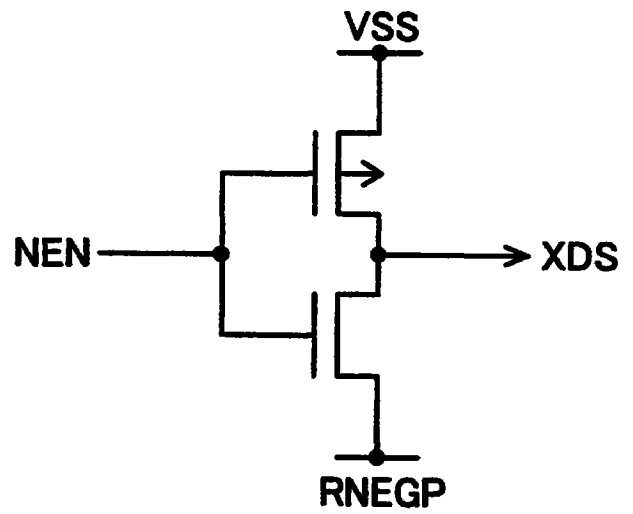


图 13

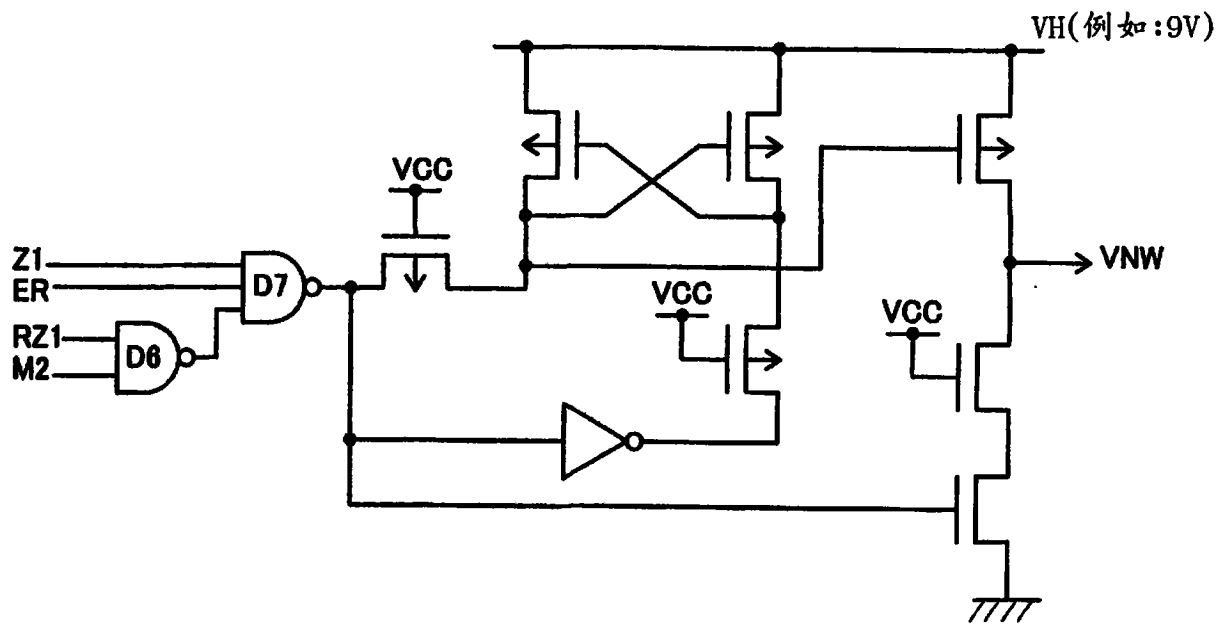


图 14

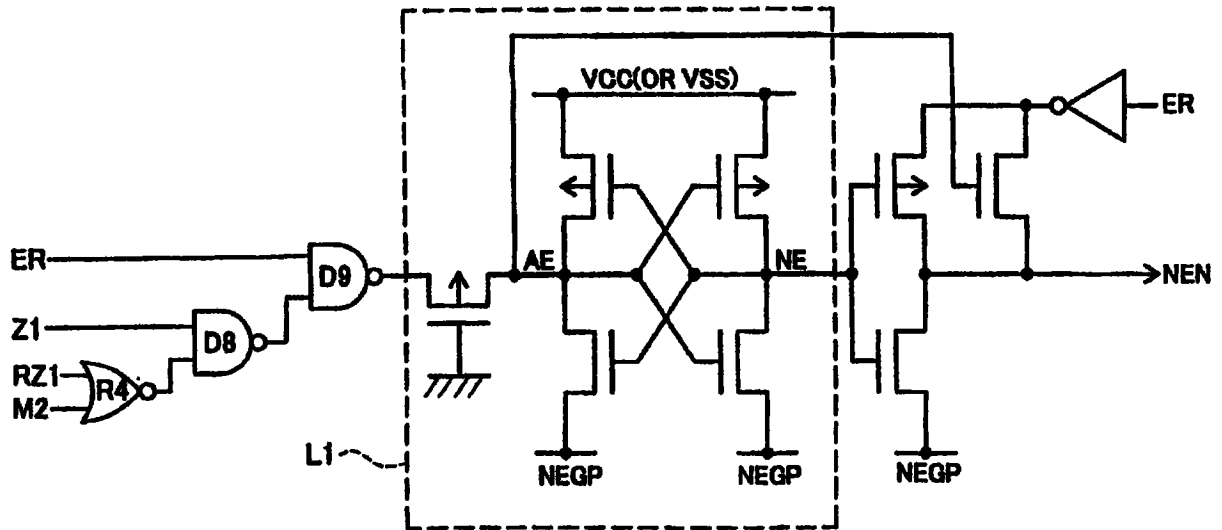


图 15

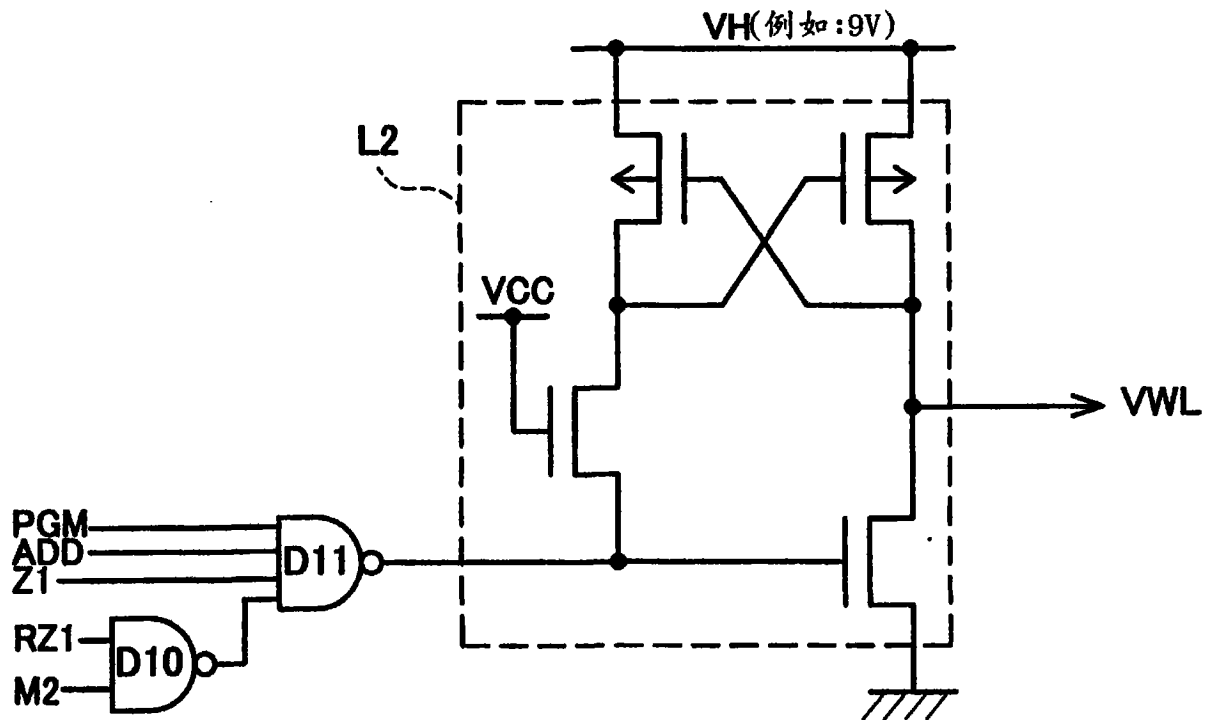


图 16

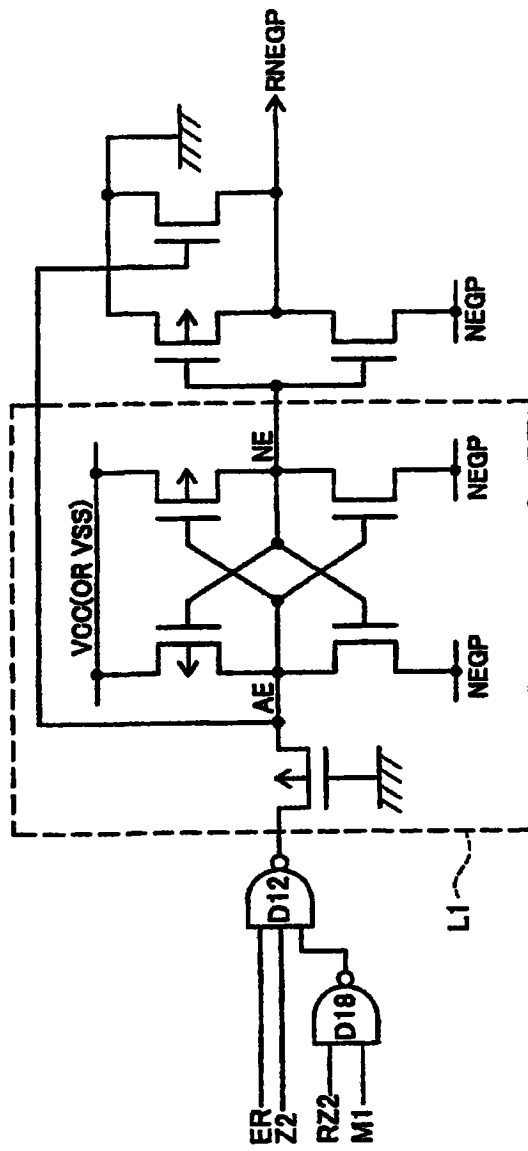


图17

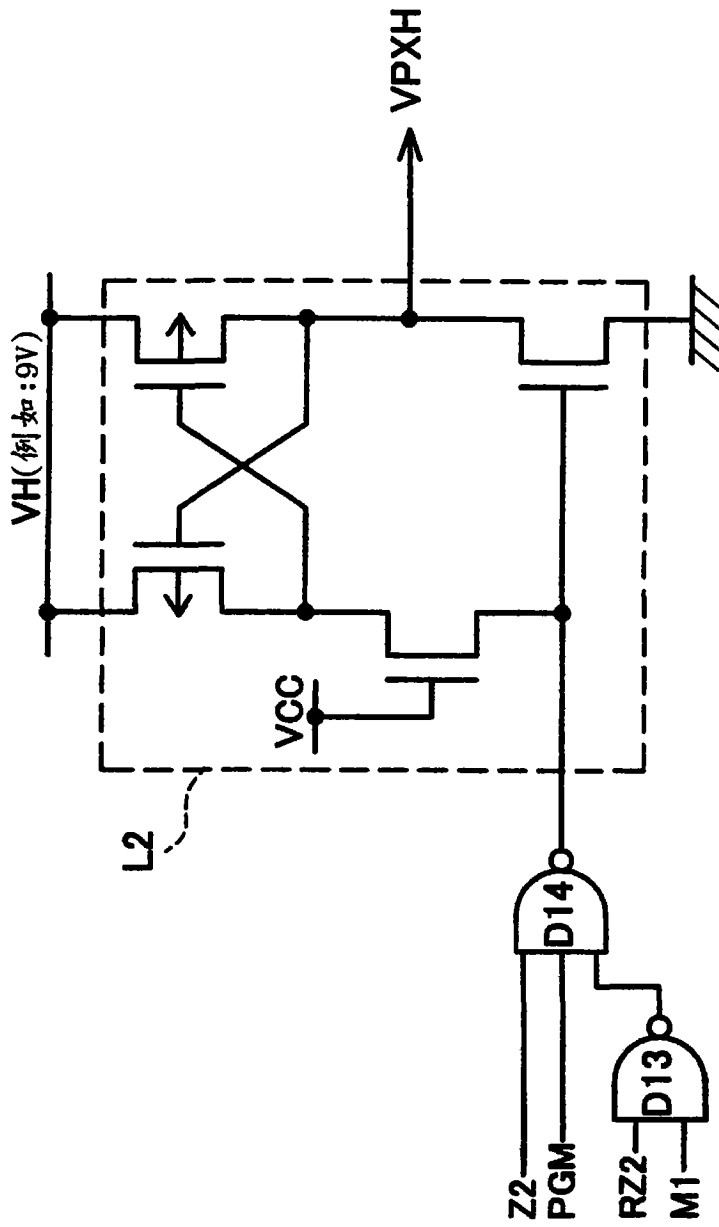


图18

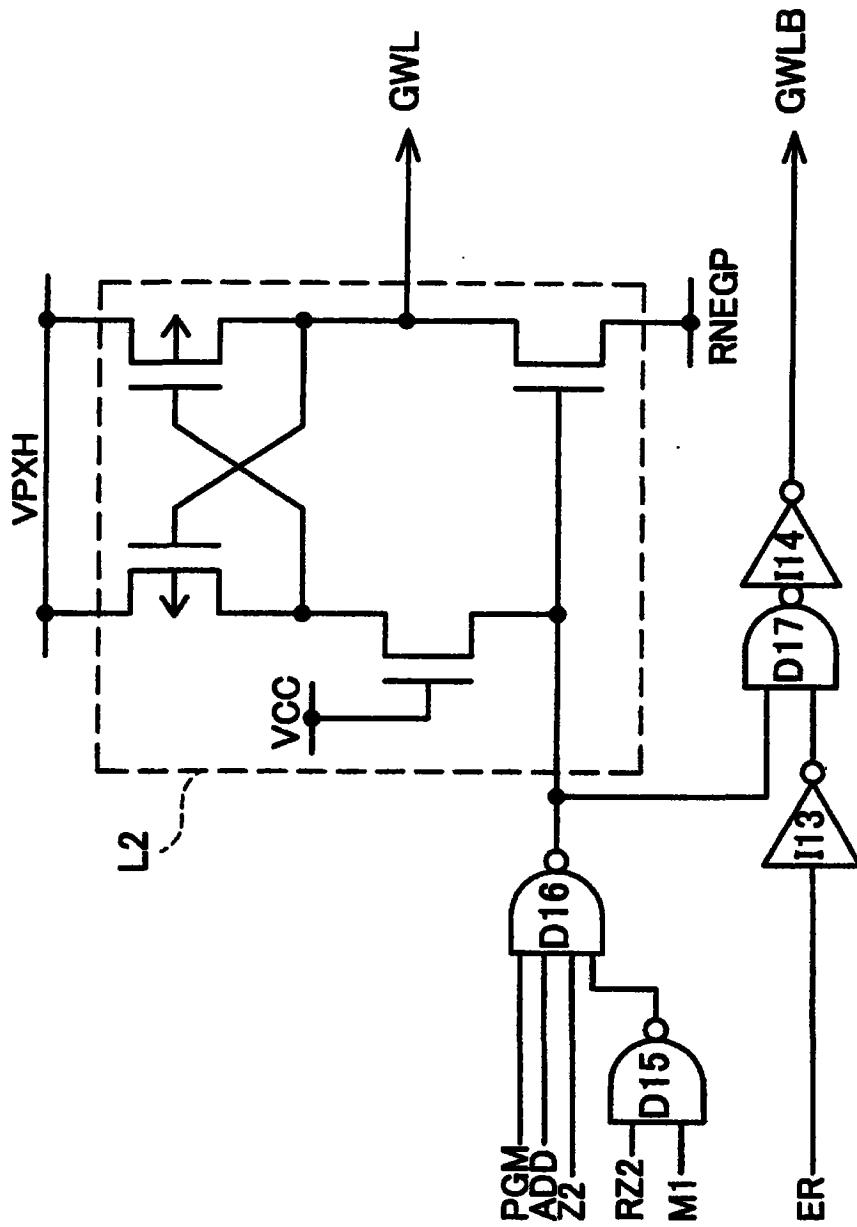


图 19

模式	区段	Z1	Z2	VPXH	VPXV	RNEGP	NEN	XDS	GWL	GWLB	VWL	P2WL	WELL	[应力]
ER 应力 (第一)	S06(正常)	VCC	VCC	0	0	-9	0	-9	-9	0	0	-9	9	施压
	S07(不良)	VCC	0	0	0	0	0	0	0	0	0	Float	9	未施压
	S17(正常)	VCC	0	0	0	0	0	0	0	0	0	Float	9	未施压
ER 应力 (第二)	S06(正常)	0	0	0	0	0	-9	0	0	0	0	Float	0	未施压
	S07(不良)	0	VCC	0	0	-9	-9	0	-9	0	0	Float	0	未施压
	S17(正常)	VCC	VCC	0	0	-9	0	-9	9	0	0	-9	9	施压
PGM 应力 (第一)	S06(正常)	VCC	VCC	9	9	0	VCC	0	9	0	9	9	0	施压
	S07(不良)	VCC	0	0	9	0	VCC	0	0	VCC	9	0	0	未施压
	S17(正常)	VCC	0	0	9	0	VCC	0	0	VCC	9	0	0	未施压
PGM 应力 (第二)	S06(正常)	0	0	0	0	0	VCC	0	0	VCC	0	0	0	未施压
	S07(不良)	0	VCC	9	0	0	VCC	0	9	0	0	0	0	未施压
	S17(正常)	VCC	VCC	9	9	0	VCC	0	9	0	9	9	0	施压

图 20

模式	区段	Z1	Z2	VPXH	VPXV	RNEGP	NEN	XDS	GWL	GWLB	VWL	P2WL	WELL	[应力]
HTRB 泄漏测量 (第一)	S06(正常)	VCC	VCC	P	P	0	VCC	0	P	0	P	P	0	测量
	S07(不良)	VCC	0	0	P	0	VCC	0	0	VCC	P	0	0	未测量
	S17(正常)	VCC	0	0	P	0	VCC	0	0	VCC	P	0	0	未测量
HTRB 泄漏测量 (第二)	S06(正常)	0	0	0	0	0	VCC	0	0	VCC	0	0	0	未测量
	S07(不良)	0	VCC	P	0	0	VCC	0	P	0	0	0	0	未测量
	S17(正常)	VCC	VCC	P	P	0	VCC	0	P	0	P	P	0	测量
第一晶片 ER	S06(正常)	VCC	VCC	0	0	-9	0	-9	-9	0	0	-9	9	施压
	S07(不良)	VCC	0	0	0	0	0	0	0	0	0	浮动	9	未施压
	S17(正常)	0	0	0	0	0	-9	0	0	0	0	浮动	0	未施压

(P:表示连接至接触垫的电压)

图21

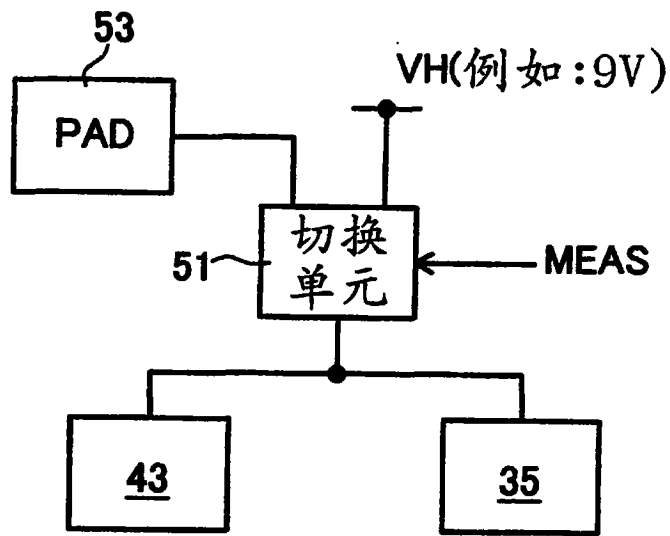


图 22