



FEDERÁLNÍ ÚŘAD
PRO VYNÁLEZY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

265 159

(11) (B1)

{13}

(51) Int. Cl.⁴

H 03 L 7/10

(22) Přihlášeno 30 06 87

(21) PV 4924-87.B

(40) Zveřejněno 12 01 89

(45) Vydáno 15 12 89

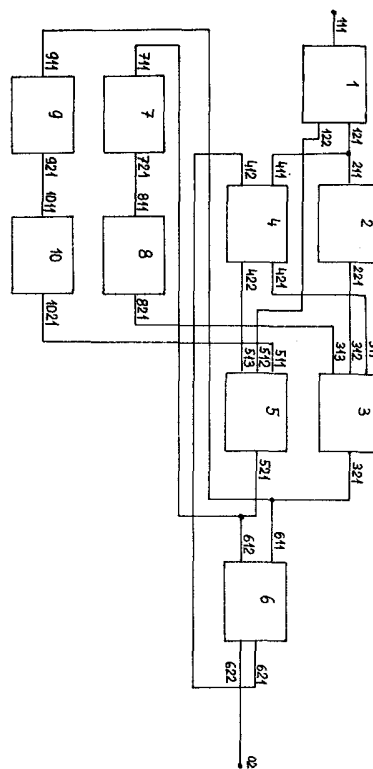
(75)

Autor vynálezu

LOUTOCKÝ DUŠAN ing., PRAHA

(54) Zapojení fázového závěsu pro vyhodnocení sériových dat

(57) Řešení umožňuje zrychlit synchronizační proces při počátečním připojení sledované frekvence a rozšířit povolené pásmo sledované frekvence u systémů, které používají řízeného oscilátoru a fázového detektoru s proporcionální složkou, pracujícího v režimu modulo 360° . Po dobu určenou druhým, respektive třetím monostabilním obvodem, nepodléhá fázový závěs vlivu nežádoucí odchylky, vzniklé přechodem fáze přes 360° ve fázovém detektoru. Zapojení může nalézt uplatnění v oblasti elektrotechniky a výpočetní a měřicí techniky.



Vynález řeší problém zrychlení synchronizačního procesu při počátečním připojení cílové frekvence a rozšíření povoleného pásma cílové frekvence u systémů, které používají řízeného oscilátoru a fázového detektoru s proporcionální složkou, pracujícího v režimu modulo 360 stupňů.

Dosud známé systémy fázových závěsů pracujících s fázovým detektorem o rozsahu 360 stupňů procházejí při náběhu do synchronizace jak fázovým úhlem, který frekvenci řízeného oscilátoru zvyšuje, tak i fázovým úhlem, který frekvenci řízeného oscilátoru snižuje, a to až do okamžiku, kdy dojde k zachycení proporcionální složkou. Po dobu, kdy je fázovým detektorem generovaná odchylka opačná k odchylce žádané, je synchronizační proces zdržován a oscilátor se dokonce vzdaluje od cílové frekvence. Přitom může navíc při velké odchylce cílové frekvence dojít k zasynchronizování řízeného oscilátoru na frekvenci, jejíž poměr k frekvenci sledované je možno vyjádřit jako poměr dvou malých celých čísel. Jsou-li v signálu nesoucím cílovou frekvenci nakódována data, není jejich vyhodnocení možné.

Tyto nevýhody odstraňuje zapojení fázového závěsu pro vyhodnocení sériových dat podle vynálezu, jehož podstata spočívá v tom, že vstupní svorka celého zapojení je připojena k vstupu prvního monostabilního obvodu, jehož první výstup je připojen ke vstupu zpožďovacího členu a k prvnímu vstupu klopného obvodu. Druhý výstup prvního monostabilního obvodu je připojen k druhému vstupu druhého hradla. Výstup zpožďovacího členu je připojen k druhému vstupu prvního součinnového hradla, jehož výstup je připojen k prvnímu vstupu řízeného oscilátoru a ke vstupu druhého časového diskriminátoru. První výstup klopného obvodu je připojen k prvnímu vstupu prvního součinnového hradla a druhý výstup klopného obvodu je připojen k třetímu vstupu druhého součinnového hradla, jehož výstup je připojen k druhému vstupu řízeného oscilátoru a ke vstupu prvního časového diskriminátoru, jehož výstup je připojen ke vstupu druhého monostabilního obvodu, jehož výstup je připojen k třetímu vstupu prvního součinnového hradla. Výstup druhého časového diskriminátoru je připojen ke vstupu třetího monostabilního obvodu, jehož výstup je připojen k prvnímu vstupu druhého součinnového hradla. První výstup řízeného oscilátoru je připojen k druhému vstupu klopného obvodu a druhý výstup řízeného oscilátoru je připojen k výstupní svorce celého zapojení.

Hlavní výhodou zapojení podle vynálezu je, že po dobu určenou druhým, respektive třetím monostabilním obvodem, nepodléhá fázový závěs vlivu nežádoucí odchylky vzniklé přechodem fáze přes úhel 360° ve fázovém detektoru. Tím se jednak urychlí přechodový jev, jednak se rozšíří pásmo zachycení, protože řízený oscilátor nemigruje nežádoucím směrem.

Na připojených výkresech je na obr. 1 znázorněno blokové schéma zapojení fázového závěsu pro vyhodnocení sériových dat a na obr. 2 je diagram jeho funkce. Vstupní svorka 011 celého zapojení je připojena ke vstupu 111 prvního monostabilního obvodu 1, jehož první výstup 121 je připojen ke vstupu 211 zpožďovacího členu 2 a k prvnímu vstupu 411 klopného obvodu 4, přičemž druhý výstup 122 prvního monostabilního obvodu 1 je připojen k druhému vstupu 512 druhého součinnového hradla 5, přičemž výstup 221 zpožďovacího členu 2 je připojen k druhému vstupu 312 prvního součinnového hradla 3, jehož výstup 321 je připojen k prvnímu vstupu 611 řízeného oscilátoru 6 a ke vstupu 911 druhého časového diskriminátoru 9, přičemž první výstup 421 klopného obvodu 4 je připojen k prvnímu vstupu 311 prvního součinnového hradla 3 a druhý výstup 422 klopného obvodu 4 je připojen k třetímu vstupu 513 druhého součinnového hradla 5 jehož výstup je připojen k druhému vstupu 612 řízeného oscilátoru 6 a ke vstupu 711 prvního časového diskriminátoru 7, jehož výstup 721 je připojen ke vstupu 811 druhého monostabilního obvodu 8, jehož výstup 221 je připojen k třetímu vstupu 313 prvního součinnového hradla 3, přičemž výstup 921 druhého časového diskriminátoru 9 je připojen ke vstupu 1 011 třetího monostabilního obvodu 10, jehož výstup 1 021 je připojen k prvnímu vstupu 511 druhého součinnového hradla 5, přičemž první výstup 621 řízeného oscilátoru 6 je připojen k druhému vstupu 412 klopného obvodu 4 a druhý výstup 622 řízeného oscilátoru 6 je připojen k výstupní svorce 021 celého zapojení.

Funkce zapojení podle vynálezu je následující:

Hrana signálu cílové frekvence spustí první monostabilní obvod 1 a zároveň nastaví klopný obvod 4. Klopný obvod 4 je nulován příchodem signálu z prvního výstupu 621 řízeného oscilátoru 6.

Prvé součinné hradlo 3 generuje pulsy, které způsobují snížení frekvence řízeného oscilátoru 6, druhé součinné hradlo 5 generuje pulsy, které způsobují zvýšení frekvence řízeného oscilátoru 6. Tyto pulsy se v řízeném oscilátoru 6 zpracovávají zvláštním filtrem a integrují se. Budeme předpokládat, že změna frekvence řízeného oscilátoru je tak pomalá, že za námi uvažovaný časový interval se neprojeví.

Zpoždovací člen 2 má jednak za úkol odstranit nežádoucí pulsy, které by mohly vzniknout na výstupu 321 prvního součinného hradla 3 a na výstupu 521 druhého součinného hradla 5, jednak ve stavu zasynchronizování zvýšit citlivost na malé změny fáze. Při vysvětlení funkce je možno jej zanedbat. Jestliže je druhý monostabilní obvod 8 odpojen od vstupu 313 prvního součinného hradla 3 a současně je třetí monostabilní obvod 10 odpojen od vstupu 511 druhého součinného hradla 5, dostaneme na výstupu 321 hradla 3 průběh označený v diagramu U, na výstupu 521 hradla 5 průběh označený P. Je vidět, že kladné pulsy U se v jednotlivých taktech stále rozšiřují a v okamžiku přeskočení fáze se změny z nejširších pulsů U na nejširší pulsy P, které se pak dále zužují. Z nejužších pulsů P se přechází do nejužších pulsů U, které se opět rozšiřují.

Existence pulsů P je v našem případě nežádoucí, protože vzdaluje frekvenci řízeného oscilátoru od požadované cílové frekvence. Je možno předpokládat, že zahradlováním pulsů signálu P nebo alespoň zahradlováním nejširších pulsů signálu P, které mají na frekvenci řízeného oscilátoru největší vliv, by se průběh synchronizačního procesu zlepšil.

K zahradlování širokých pulsů signálu P je použito časového diskriminátoru 9 a monostabilního obvodu 10. Na výstupu 921 časového diskriminátoru 9 se objeví puls pouze tehdy, je-li na vstupu 911 puls, jehož šířka je větší než prahová hodnota, která je nastavena tak, aby časovým diskriminátorem prošly pulsy U těsně před přeskokem fáze. Tyto pulsy spustí monostabilní obvod 10. Tento obvod může být znovu odstartován během své aktivní periody. Délka pulsu tohoto monostabilního obvodu je volena tak, aby hradlem 5 neprošlo prvních několik (širokých) pulsů signálu P, zbývající úzké pulsy signálu P mají na průběh synchronizace malý vliv. Řídící signály oscilátoru pak mají průběhy podle obr. 2.

Zcela obdobným způsobem pracuje časový diskriminátor 7 a monostabilní obvod 8 v případě, že cílová frekvence je vyšší než frekvence řízeného oscilátoru.

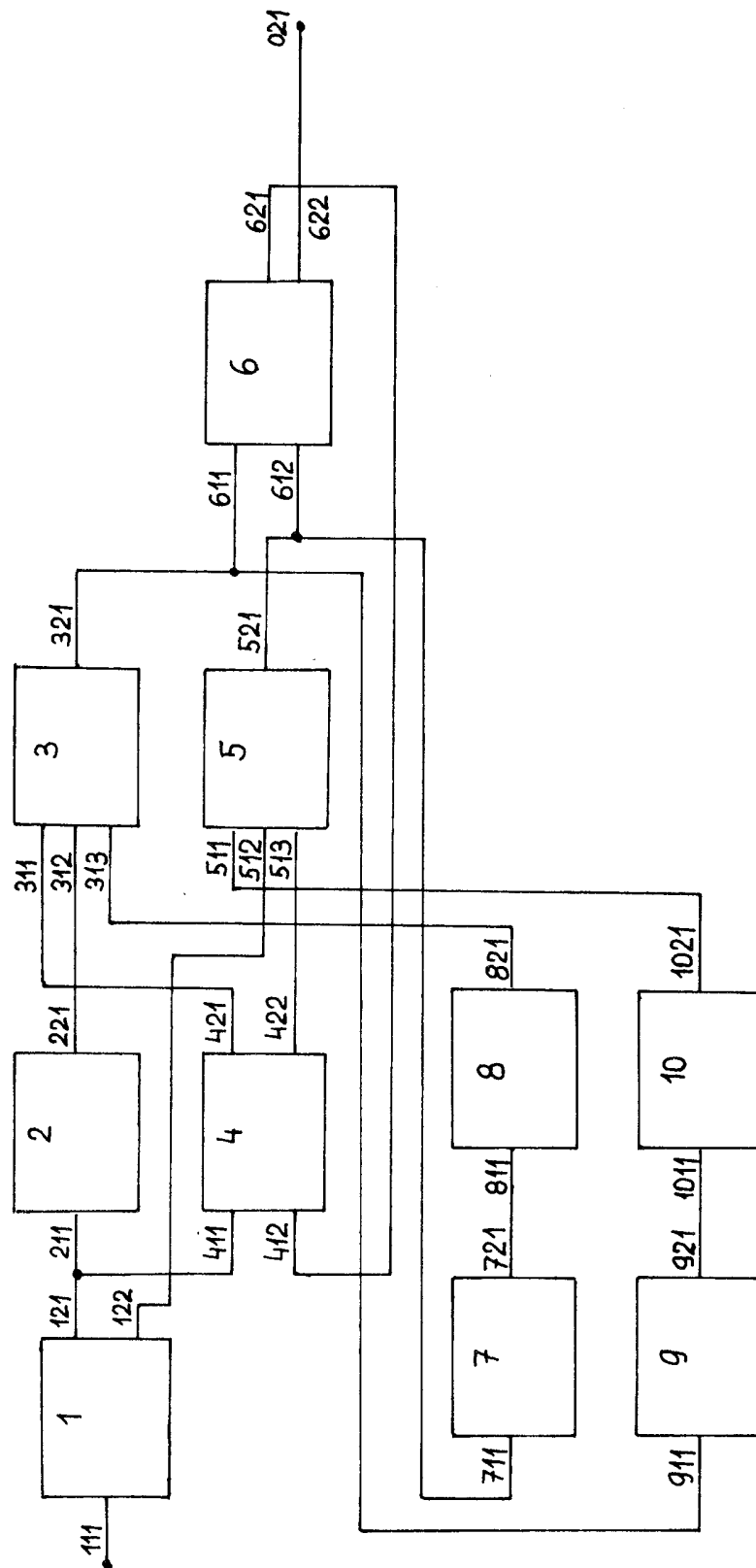
Vynález může nalézt uplatnění v oblasti výpočetní a měřicí techniky při vyhodnocování informace v sériovém kódu, zejména pro magnetické diskové paměti, magnetické páskové paměti a podobně.

P Ř E D M Ě T V Y N Á L E Z U

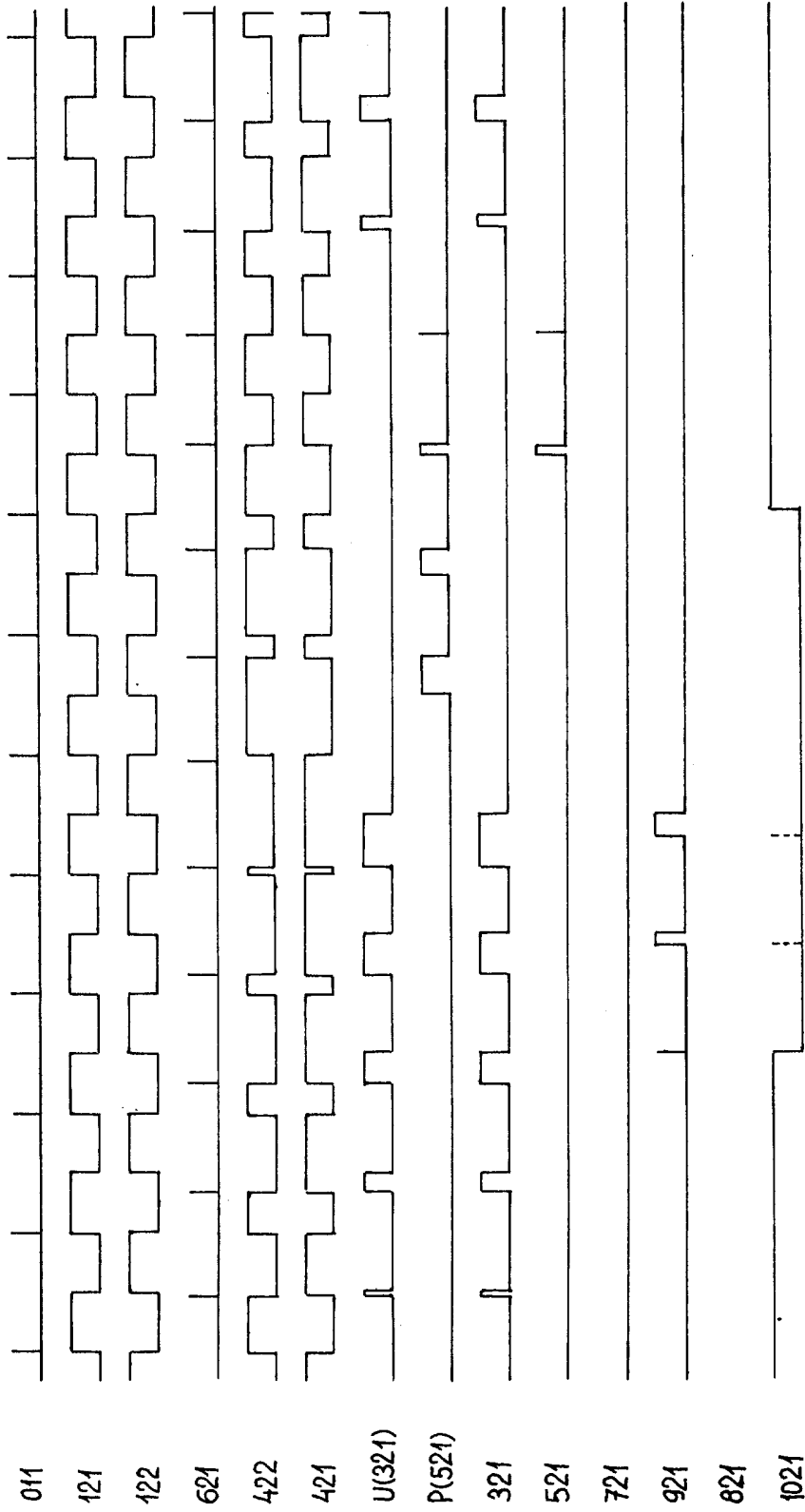
Zapojení fázového závěsu pro vyhodnocení sériových dat vyznačené tím, že vstupní svorka (011) celého zapojení je připojena ke vstupu (111) prvního monostabilního obvodu (1), jehož první výstup (121) je připojen ke vstupu (211) zpoždovacího členu (2) a k prvnímu vstupu (411) klopného obvodu (4), přičemž druhý výstup (122) prvního monostabilního obvodu (1) je připojen k druhému vstupu (512) druhého součinného hradla (5), přičemž výstup (221) zpoždovacího členu (2) je připojen k druhému vstupu (312) prvního součinného hradla (3), jehož výstup (321) je připojen k prvnímu vstupu (611) řízeného oscilátoru (6) a ke vstupu (911) druhého časového diskriminátoru (9), přičemž první výstup (421) klopného obvodu (4) je připojen k prvnímu vstupu (311) prvního součinného hradla (3) a druhý výstup (422) klopného obvodu (4) je připojen k třetímu vstupu (513) druhého součinného hradla (5), jehož výstup (521) je připojen k druhému vstupu (612) řízeného oscilátoru (6) a ke vstupu (711) prvního

časového diskriminátoru (7), jehož výstup (721) je připojen ke vstupu (811) druhého monostabilního obvodu (8), jehož výstup (821) je připojen k třetímu vstupu (313) prvního součinného hradla (3), přičemž výstup (921) druhého časového diskriminátoru (9) je připojen ke vstupu (1 011) třetího monostabilního obvodu (10), jehož výstup (1 021) je připojen k prvnímu vstupu (511) druhého součinného hradla (5), přičemž první výstup (621) řízeného oscilátoru (6) je připojen k druhému vstupu (412) klopného obvodu (4) a druhý výstup (622) řízeného oscilátoru (6) je připojen k výstupní svorce (021) celého zapojení.

2 výkresy



0BR-1



OBR. 2