



- (51) 국제특허분류:
H01L 21/768 (2006.01) H01L 21/02 (2006.01)
H01L 21/48 (2006.01) H01L 21/288 (2006.01)
H01L 21/268 (2006.01) H01L 21/285 (2006.01)
- (21) 국제출원번호: PCT/KR2017/002529
- (22) 국제출원일: 2017년 3월 8일 (08.03.2017)
- (25) 출원언어: 한국어
- (26) 공개언어: 한국어
- (30) 우선권정보:
10-2016-0027539 2016년 3월 8일 (08.03.2016) KR
- (71) 출원인: 주식회사 아모센스 (AMOSENSE CO., LTD.)
[KR/KR]; 31040 충청남도 천안시 서북구 직산읍 4산
단 5길 90, 19-1 블록 (천안제4지방산업단지), Chung-
cheongnam-do (KR).
- (72) 발명자: 우경환 (WOO, Kyung-Whan); 17072 경기도
용인시 기흥구 금화로 82번길 14, 105동 1004호,
Gyeonggi-do (KR). 박익성 (PARK, Ik-Seong); 08726 서

울특별시 관악구 관악로 285, 108동 2304호, Seoul
(KR). 조현준 (CHO, Hyeon-Choon); 13260 경기도 성남
시 수정구 수정로 289, 110동 808호, Gyeonggi-do
(KR).

(74) 대리인: 한양특허법인 (HANYANG PATENT FIRM);
06296 서울특별시 강남구 논현로 38길 12, 한양빌딩, Seoul
(KR).

(81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의
국내 권리의 보호를 위하여): AE, AG, AL, AM, AO,
AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ,
CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM,
DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT,
HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KH, KN,
KP, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD,
ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI,
NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU,
RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH,
TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA,
ZM, ZW.

[다음 쪽 계속]

(54) Title: METHOD FOR FILLING VIA HOLE OF CERAMIC SUBSTRATE AND CERAMIC SUBSTRATE VIA HOLE
FILLER FORMED THEREBY

(54) 발명의 명칭: 세라믹 기판의 비아홀 충전 방법 및 이를 이용하여 충전된 세라믹 기판의 비아홀 충전체

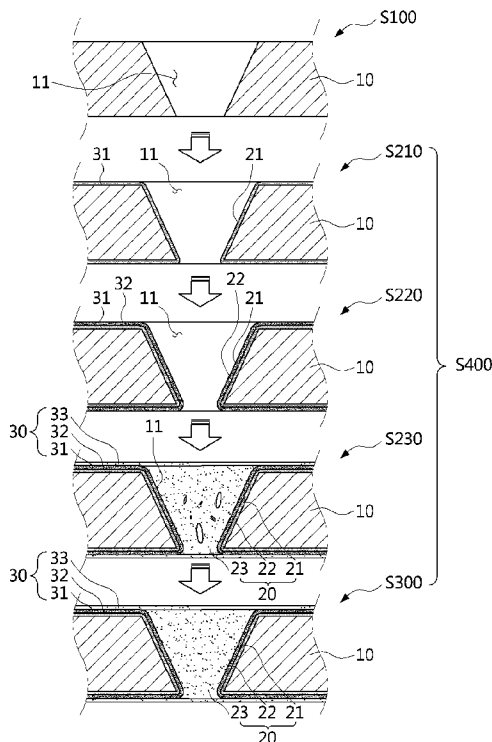


FIG. 2

(57) Abstract: The present invention relates to a method for filling a via hole of a ceramic substrate and a ceramic substrate via hole filler formed thereby. A via hole is formed on a ceramic substrate, a conductor is formed inside the via hole, and the conductor is then melted in a vacuum state and cooled again. As such, the via hole of the ceramic substrate can be simply filled with a conductor without a pore. Consequently, the ceramic substrate manufacturing process is simplified, manufacturing costs are reduced, the operating reliability of the ceramic substrate is improved, and stable operating reliability is ensured when used for a high-power semiconductor module.

(57) 요약서: 본 발명은 세라믹 기판의 비아홀 충전 방법 및 이를 이용하여 충전된 세라믹 기판의 비아홀 충전체에 관한 것으로 세라믹 기판에 비아홀을 형성하고, 상기 비아홀 내에 도전체를 형성한 후 진공 상태에서 상기 도전체를 펠딩시키고 다시 냉각시킴으로써 세라믹 기판의 비아홀을 기공없이 간단하게 도전체로 충전시킬 수 있어 세라믹 기판의 제조과정을 단순화하고, 제조 비용을 절감하며, 세라믹 기판의 작동 신뢰성을 향상시키고, 고전력 반도체 모듈에서 사용 시 안정적인 작동 신뢰성을 확보한다.



(84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK,

SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

공개:

— 국제조사보고서와 함께 (조약 제 21 조(3))

명세서

발명의 명칭: 세라믹 기판의 비아홀 충전 방법 및 이를 이용하여 충진된 세라믹 기판의 비아홀 충전체

기술분야

- [1] 본 발명은 세라믹 기판의 비아홀 충전 방법 및 이를 이용하여 충진된 세라믹 기판의 비아홀 충전체에 관한 것으로 더 상세하게는 세라믹 기판의 비아홀을 기공없이 충전시킬 수 있게 하는 세라믹 기판의 비아홀 충전 방법 및 이를 이용하여 충진된 세라믹 기판의 비아홀 충전체(Plugging Method for Via Hall of Ceramic Board and Filler for Via Hall of Ceramic Board using the same)에 관한 것이다.

배경기술

- [2] 일반적으로 세라믹 기재의 일 예로, 세라믹 기재에 동박과 같은 금속박을 일체로 부착시킨 세라믹 DBC(Direct Bonded Copper) 기판 또는 세라믹 기재 상에 구리 도금층을 형성한 세라믹 DPC가 많이 이용되고 있으며, 상기 세라믹 DBC 기판 또는 세라믹 DBC 기판은 반도체 전력 모듈 등에서 사용되는 것으로서 리드를 기존의 방열소재 위에 배치하는 경우 보다 높은 방열 특성을 가질 뿐만 아니라, 방열판의 접착상태에 대한 검사 공정을 필요로 하지 않기 때문에 신뢰성이 향상되고 생산성과 일관성이 향상된 반도체 전력 모듈 등을 제공할 수 있다는 장점을 가진 기판이다.
- [3] 상기 세라믹 DBC 기판 또는 세라믹 DBC 기판은 전기 자동차의 증가와 함께 자동차의 전력 반도체 모듈로 사용 범위가 점차 확산되고 있다.
- [4] 상기 세라믹 DBC 기판 또는 세라믹 DBC 기판은 세라믹 기재와 구리 동박을 고온의 소성 공정을 통한 계면 결합으로 제조되고 있다.
- [5] 상기 세라믹 DBC 기판 또는 세라믹 DBC 기판을 포함한 세라믹 기판에서 세라믹 기재의 양면에 형성되는 회로패턴을 전기적으로 연결하기 위한 비아홀은 주로 레이저 가공으로 형성된 후 내부에 도전체를 도금으로 형성하거나 도전성 페이스트로 형성하고 있다.
- [6] 그러나, 레이저로 가공되는 상기 세라믹 기판의 비아홀은 세라믹 기재의 일면에서 타면 측으로 점차 직경이 좁아지는 형태로 형성되어 도금이나 도전성 페이스트를 이용하여 내부에 도전체를 형성하는 경우 도전체가 완전히 충전되지 못하고 내부에 기공이 다수 형성되는 문제점이 있었다.
- [7] 반도체 전력 모듈 등에 사용되는 상기 세라믹 기판의 경우 사용 전력의 크기가 커질수록 안정적인 작동 신뢰성을 확보해야 하는데 상기 비아홀 내에 기공이 형성되는 경우 사용되는 전력의 크기가 기설정 이상인 경우 작동 신뢰성을 확보하기 어려운 문제점이 있다.
- [8] 또한, 상기 세라믹 기판의 경우 상기 비아홀 내에 도전체를 형성하는 과정에서

도전체 내에 큰 공동이 형성될 수도 있어 이 경우 세라믹 기판의 작동 신뢰성을 크게 저하시키는 문제점이 있다.

발명의 상세한 설명

기술적 과제

- [9] 본 발명은 상기와 같은 점을 감안하여 안출한 것으로, 비아홀 내의 도전체를 진공 멜팅시켜 세라믹 기판의 비아홀을 기공없이 충전시킬 수 있게 하는 세라믹 기판의 비아홀 충전 방법 및 이를 이용하여 충전된 세라믹 기판의 비아홀 충전체를 제공하는 데 그 목적이 있다.

과제 해결 수단

- [10] 본 발명의 일 실시예에 따른 세라믹 기판의 비아홀 충전 방법은 세라믹 기재에 비아홀을 형성하는 비아홀 형성단계, 비아홀 내에 도전체를 형성하는 도전체 형성단계 및 진공 상태에서 도전체를 멜팅시키고 다시 냉각시키는 진공 멜팅단계를 포함한다.
- [11] 비아홀 형성단계는 레이저 가공을 통해 세라믹 기재의 양면을 관통하는 비아홀을 형성할 수 있다. 이때, 비아홀은 일면에서 다른 면으로 갈수록 직경이 점차 작아지게 형성될 수 있다.
- [12] 도전체 형성단계는 비아홀의 내주면에 물리증착법으로 제1증착 도전층을 형성하는 제1증착과정, 비아홀의 내부에서 제1증착 도전층 상에 물리증착법으로 제2증착 도전층을 형성하는 제2증착과정 및 비아홀 내에 도금으로 도금체를 형성하는 도금과정을 포함하며, 진공 멜팅단계는 도금체를 진공 멜팅시킬 수 있다.
- [13] 이때, 물리증착법은 진공증착, 열증착(Evaporation), 이빔(ebeam)증착, 레이저(laser) 증착, 스퍼터링(Sputtering), 아크이온플레이팅(Arc Ion Plating) 중 선택된 하나일 수 있다.
- [14] 도전체를 형성하는 단계는 세라믹 기재의 양면에 각각 회로패턴 형성을 위한 전극층을 함께 형성할 수 있다.
- [15] 제1증착과정은 제1증착 도전층과 함께 세라믹 기재의 일면에 제1증착 전극층을 증착하여 형성하고, 제2증착과정은 제2증착 도전층과 함께 제1증착 전극층 상에 제2증착 전극층을 증착하여 형성하고, 도금과정은 도전체와 함께 제2증착 전극층 상에 도금 전극층을 도금으로 형성하여 세라믹 기재의 양면에 각각 회로패턴 형성을 위한 전극층을 함께 형성할 수 있다.
- [16] 본 발명의 일 실시예에 따른 세라믹 기판의 비아홀 충전 방법은 세라믹 기판의 비아홀 충전 방법은 진공 멜팅단계 이후에 전극층을 연마하여 평탄화하는 단계를 더 포함할 수 있다.
- [17] 본 발명의 일 실시예에 따른 세라믹 기판의 비아홀 충전체는 세라믹 기재의 비아홀 내에 충전되는 도전체를 포함하는 세라믹 기판의 비아홀 충전체이며, 도전체는 금속이 멜팅된 후 다시 경화된 멜팅조직을 가진다.

- [18] 도전체는 비아홀 내부를 완전히 채우게 형성될 수 있고, 비아홀의 내주면에 증착되어 형성되는 제1증착 도전층, 제1증착 도전층 상에 증착되어 형성되는 제2증착 도전층 및 비아홀 내에 형성되는 도금체를 포함하며, 도금체는 제2증착 도전층과 맞붙어 비아홀 내에 충전되며, 금속이 멜팅된 후 다시 경화된 멜팅조직을 가질 수 있다.
- [19] 본 발명의 일 실시예에 따른 세라믹 기판의 비아홀 충전체는 세라믹 기재의 양면에 각각 회로패턴 형성을 위해 형성되는 전극층을 더 포함할 수 있다.
- [20] 전극층은 세라믹 기재의 양면에 각각 증착된 제1증착 전극층, 세라믹 기재의 양면에서 제1증착 전극층 상에 증착된 제2증착 전극층 및 제2증착 전극층 상에 도금된 도금 전극층을 포함할 수 있다.
- [21] 비아홀은 일면에서 다른 면으로 갈수록 직경이 점차 작아지게 형성될 수 있다.

발명의 효과

- [22] 본 발명은 비아홀 내의 도전체를 진공 멜팅시켜 세라믹 기판의 비아홀을 기공없이 간단하게 충전시킬 수 있어 세라믹 기판의 제조과정을 단순화하고, 제조 비용을 절감하는 효과가 있다.
- [23] 본 발명은 세라믹 기판의 비아홀 내에 도전체를 기공없이 완전히 충전하여 세라믹 기판의 작동 신뢰성을 향상시키고, 고전력 반도체 모듈에서 사용 시 안정적인 작동 신뢰성을 확보하는 효과가 있다.

도면의 간단한 설명

- [24] 도 1은 본 발명에 따른 세라믹 기판의 비아홀 충전 방법의 일 실시예를 도시한 공정도.
- [25] 도 2는 본 발명에 따른 세라믹 기판의 비아홀 충전 방법의 일 실시예를 도시한 개략도.
- [26] 도 3은 본 발명에 따른 세라믹 기판의 비아홀 충전체의 일 실시예를 도시한 단면도.

발명의 실시를 위한 형태

- [27] 본 발명을 첨부된 도면을 참조하여 상세히 설명하면 다음과 같다. 여기서, 반복되는 설명, 본 발명의 요지를 불필요하게 흐릴 수 있는 공지 기능, 및 구성에 대한 상세한 설명은 생략한다. 본 발명의 실시형태는 당 업계에서 평균적인 지식을 가진 자에게 본 발명을 보다 완전하게 설명하기 위해서 제공되는 것이다. 따라서, 도면에서의 요소들의 형상 및 크기 등은 보다 명확한 설명을 위해 과장될 수 있다.
- [28] 도 1은 본 발명에 따른 세라믹 기판의 비아홀 충전 방법의 일 실시예를 도시한 공정도이고, 도 2는 본 발명에 따른 세라믹 기판의 비아홀 충전 방법의 일 실시예를 도시한 개략도이다.
- [29] 도 1 및 도 2를 참고하면, 본 발명의 일 실시예에 의한 세라믹 기판의 비아홀 충전 방법은 세라믹 기재(10)에 비아홀(11)을 형성하는 비아홀 형성단계(S100),

비아홀(11) 내에 도전체(20)를 형성하는 도전체 형성단계(S200), 진공 상태에서 도전체(20)를 멜팅시키고 다시 냉각시키는 진공 멜팅단계(S300)를 포함한다.

- [30] 비아홀 형성단계(S100)는 레이저 가공을 통해 세라믹 기재(10)의 양면을 관통하는 비아홀(11)을 형성하는 것을 일 예로 한다.
- [31] 비아홀 형성단계(S100)는 레이저 가공 이외에 드릴 가공으로 형성될 수도 있다.
- [32] 비아홀 형성단계(S100)는 드릴 가공 및 레이저 가공 중 선택된 하나의 방법을 이용하여 세라믹 기재(10)의 필요한 부분(즉, 기설정된 회로설계에 따른 위치)에 비아홀을 형성한다. 비아홀(11)은 세라믹 기재(10)의 양면에 각각 형성되는 회로패턴을 전기적으로 연결하기 위해 형성되는 것이다.
- [33] 비아홀 형성단계(S100)는 레이저를 이용하여 비아홀(11)을 형성하는 경우 일면에서 다른 면으로 갈수록 직경이 점차 작아지는 형상을 가지도록 형성되는 것을 일 예로 한다.
- [34] 도전체 형성단계(S200)는 비아홀(11) 내에 세라믹 기재(10)의 양면에 각각 형성되는 회로패턴을 전기적으로 연결하기 위한 도전체(20)를 형성한다. 도전체 형성단계(S200)는 도금으로 비아홀(11) 내에 도전체(20)를 형성하는 것을 일례로 한다. 도전체 형성단계(S200)는 도전성 분말과 바인더를 포함하는 도전성 페이스트를 비아홀(11) 내에 채워 도전체(20)를 형성하는 것을 다른 일 예로 한다.
- [35] 도전체 형성단계(S200)는 비아홀(11)의 내주면에 물리증착법으로 제1증착 도전층(21)을 형성하는 제1증착과정(S210), 비아홀(11)의 내부에서 제1증착 도전층(21) 상에 물리증착법으로 제2증착 도전층(22)을 형성하는 제2증착과정(S220), 비아홀(11) 내에 도금으로 도금체(23)를 형성하는 도금과정(S230)을 포함할 수 있다.
- [36] 도전체 형성단계(S200)는 물리증착법을 이용하여 0초과 10 μ m 이하의 두께로 각각 제1증착 도전층(21)과 제1증착 도전층(21)을 형성한다. 이때, 물리증착법은 진공증착, 열증착(Evaporation), 이빔(ebeam)증착, 레이저(laser) 증착, 스퍼터링(Sputtering), 아크이온플레이팅(Arc Ion Plating) 중 어느 하나인 것을 일 예로 한다.
- [37] 제1증착과정(S210)은 타겟재료를 비아홀(11)의 내주면에 물리 증착하여 세라믹 기재(10)와 결합력이 우수한 제1증착 도전층(21)을 형성하는 것이다. 이때, 타겟재료는 티타늄(Ti) 등과 같이 세라믹 기재(10)와의 결합력이 우수한 재료인 것을 일례로 한다.
- [38] 또한, 제2증착과정(S220)은 타겟재료를 비아홀(11)의 내주면에서 물리 증착하여 제2증착 도전층(22)을 형성하는 것이다. 제2증착과정(S220)은 비아홀(11)의 내주면에서 제1증착 도전층(21) 상에 타겟재료를 물리 증착하여 도금체(23)와 결합력이 우수한 제2증착 도전층(22)을 형성하는 것이다.
- [39] 이때, 제2증착과정(S220)에서는 비아홀(11) 내에 형성되는 도금체(23)와 결합력이 우수한 구리(Cu), 은(Ag), 금(Au), 알루미늄(Al) 등을 타겟재료로 한다.

- [40] 제2증착과정(S220)에서의 타겟재료는 도금되어 형성되는 도금체(23)에 따라 다양하게 변형실시될 수 있음을 밝혀둔다.
- [41] 도전체 형성단계(S200)는 세라믹 기재(10)의 양면에 각각 회로패턴 형성을 위한 전극층(30)을 함께 형성할 수도 있음을 밝혀둔다.
- [42] 즉, 제1증착과정(S210), 제2증착과정(S220) 및 도금과정(S230)을 통해 세라믹 기재(10)의 양면에 각각 회로패턴을 형성하기 위한 전극층(30)이 각각 함께 형성될 수 있는 것이다.
- [43] 제1증착과정(S210)은 제1증착 도전층(21)과 함께 세라믹 기재(10)의 일면에 제1증착 전극층(31)을 증착하여 형성한다.
- [44] 제2증착과정(S220)은 제2증착 도전층(22)과 함께 제1증착 전극층(31) 상에 제2증착 전극층(32)을 증착하여 형성한다.
- [45] 도금과정(S230)은 도전체(20)와 함께 제2증착 전극층(32) 상에 도금 전극층(33)을 도금으로 형성한다.
- [46] 또한, 세라믹 기재(10)의 양면을 마스크한 상태에서 도금과정(S230)을 수행하여 세라믹 기재(10)의 양면에 회로패턴을 형성하기 위한 전극층(30)을 별도의 과정을 통해 형성할 수도 있음을 밝혀둔다.
- [47] 이 경우 세라믹 기재(10)의 양면에서 비아홀(11)의 주변에 형성된 제1증착 전극층(31)과 제2증착 전극층(32)은 필요에 따라 에칭으로 제거될 수 있다.
- [48] 도금과정(S230)은 전해도금 및 무전해도금 중 선택된 하나의 방법으로 비아홀(11) 내에 도금체(23)를 형성한다.
- [49] 이때, 도금체(23)는 구리(Cu), 은(Ag), 금(Au) 및 알루미늄(Al) 중 선택된 하나이거나, 구리(Cu), 은(Ag), 금(Au), 알루미늄(Al) 중 선택된 하나 이상을 포함한 합금인 것을 일 예로 한다.
- [50] 이외에도 도금과정(S230)은 도금으로 비아홀(11) 내에서 세라믹 기재(10)의 양면에 형성되는 회로패턴을 전기적으로 연결하는 도금체(23)를 형성할 수 있는 어떠한 재료도 사용이 가능함을 밝혀둔다.
- [51] 도금과정(S230)에서 도금체(23) 내에는 기공 또는 공동(cavity)이 형성될 수 있다. 특히, 비아홀(11)이 일면에서 다른 면으로 갈수록 직경이 점차 작아지는 형상을 가지는 경우 도금체(23) 내에 기공 또는 공동이 더 많이 형성될 수 있다. 이는 도금 시 직경이 작은 부분이 먼저 채워지고 직경이 큰 부분이 나중에 채워지게 됨으로써 도금체(23) 내에 기공 또는 공동이 더 쉽게 발생하는 것이다.
- [52] 진공 멜팅단계(S300)는 진공 상태의 진공챔버 내에서 세라믹 기재(10)를 배치하고 도전체(20)를 가열하여 멜팅한다. 이때, 멜팅은 용융시키는 과정 및 용융된 도전체(20)를 냉각시켜 경화시키는 과정을 포함한다.
- [53] 이를 통해, 진공 멜팅단계(S300)는 도전체(20) 내에 형성된 기공 또는 공동을 제거함으로써 도전체(20)가 비아홀(11) 내에 완전히 충전되게 한다.
- [54] 진공 멜팅단계(S300)는 도금체(23)를 진공 멜팅시키는 것으로 도금체(23)가 구리인 경우 800 ~ 1200°C 내로 도금체(23)를 가열하여 용융시키는 것을 일 예로

한다.

- [55] 진공 멜팅단계(S300)는 진공상태에서 도전체(20)를 용융점 이상으로 가열하여 멜팅(즉, 용융)시킴으로써 도전체(20) 내의 기공 또는 공동을 제거하는 것이다.
- [56] 진공 멜팅단계(S300)는 도금체(23)만 국부적으로 가열할 수 있다.
- [57] 또한, 도전체(20)를 형성하는 단계(S200)는 세라믹 기재(10)의 양면에 각각 회로패턴 형성을 위한 전극층(30)이 함께 형성된 경우 진공 멜팅단계(S300) 이후에 전극층(30)을 연마하여 평탄화하는 단계(미도시)를 더 포함할 수도 있다.
- [58] 이는 진공 멜팅단계(S300)에서 도전체(20)와 함께 전극층(30)의 일부가 멜팅되어 표면에 불규칙한 돌기가 형성될 수 있기 때문이다.
- [59] 도 3은 본 발명에 따른 세라믹 기판의 비아홀 충전체의 일 실시예를 도시한 단면도이다.
- [60] 도 3을 참고하면, 본 발명에 따른 세라믹 기판의 비아홀 충전 방법을 이용하여 충전된 세라믹 기판의 비아홀 충전체는 세라믹 기재(10)의 비아홀(11) 내에 충전되는 도전체(20)를 포함한다. 이때, 도전체(20)는 금속이 멜팅된 후 다시 경화된 멜팅조직을 가지게 된다.
- [61] 또한, 도전체(20)는 비아홀(11)의 내주면에 증착되어 형성되는 제1증착 도전층(21), 제1증착 도전층(21) 상에 증착되어 형성되는 제2증착 도전층(22), 및 비아홀(11) 내에 형성되는 도금체(23)를 포함한다. 이때, 도금체(23)는 제2증착 도전층(22)과 맞붙어 비아홀(11) 내에 충전되는 것을 일 예로 한다.
- [62] 또한, 본 발명에 따른 세라믹 기판의 비아홀 충전체는 세라믹 기재(10)의 양면에 각각 회로패턴 형성을 위해 형성되는 전극층(30)을 포함한다. 전극층(30)은 세라믹 기재(10)의 양면에 각각 증착된 제1증착 전극층(31), 세라믹 기재(10)의 양면에서 제1증착 전극층(31) 상에 증착된 제2증착 전극층(32), 및 제2증착 전극층(32) 상에 도금된 도금 전극층(33)을 포함할 수도 있다.
- [63] 도전체(20)는 비아홀(11) 내부를 완전히 채우게 형성되어 내부에 기공 또는 공동이 없는 형태인 것이다.
- [64] 본 발명 실시예는 비아홀(11) 내의 도전체(20)를 진공 멜팅시켜 세라믹 기판의 비아홀(11)을 기공없이 간단하게 충전시킬 수 있어 세라믹 기판의 제조과정을 단순화하고, 제조 비용을 절감한다.
- [65] 본 발명의 실시예는 세라믹 기판의 비아홀(11) 내에 도전체(20)를 기공없이 완전히 충전하여 세라믹 기판의 작동 신뢰성을 향상시키고, 고전력 반도체 모듈에서 사용 시 안정적인 작동 신뢰성을 확보한다.
- [66] 이와 같은 본 발명의 기본적인 기술적 사상의 범주 내에서, 당업계의 통상의 지식을 가진 자에게 있어서는 다른 많은 변형이 가능함은 물론이고, 본 발명의 권리범위는 첨부한 특허청구 범위에 기초하여 해석되어야 할 것이다.

청구범위

- [청구항 1] 세라믹 기재에 비아홀을 형성하는 비아홀 형성단계;
상기 비아홀 내에 도전체를 형성하는 도전체 형성단계; 및
진공 상태에서 상기 도전체를 멜팅시키고 다시 냉각시키는 진공
멜팅단계를 포함하는 것을 특징으로 하는 세라믹 기판의 비아홀 충전
방법.
- [청구항 2] 제1항에 있어서,
상기 비아홀 형성단계는 레이저 가공을 통해 상기 세라믹 기재의 양면을
관통하는 비아홀을 형성하는 것을 특징으로 하는 세라믹 기판의 비아홀
충진 방법.
- [청구항 3] 제1항에 있어서,
상기 비아홀은 일면에서 다른 면으로 갈수록 직경이 점차 작아지게
형성되는 것을 특징으로 하는 세라믹 기판의 비아홀 충전 방법.
- [청구항 4] 제1항에 있어서,
상기 도전체 형성단계는,
상기 비아홀의 내주면에 물리증착법으로 제1증착 도전층을 형성하는
제1증착과정;
상기 비아홀의 내부에서 상기 제1증착 도전층 상에 물리증착법으로
제2증착 도전층을 형성하는 제2증착과정; 및
상기 비아홀 내에 도금으로 도금체를 형성하는 도금과정을 포함하며,
상기 진공 멜팅단계는 상기 도금체를 진공 멜팅시키는 것을 특징으로
하는 세라믹 기판의 비아홀 충전 방법.
- [청구항 5] 제4항에 있어서,
상기 물리증착법은 진공증착, 열증착(Evaporation), 이빔(ebeam)증착,
레이저(laser) 증착, 스퍼터링(Sputtering) 및 아크이온플레이팅(Arc Ion
Plating) 중 선택된 하나인 것을 특징으로 하는 세라믹 기판의 비아홀 충전
방법.
- [청구항 6] 제4항에 있어서,
상기 제1증착과정은 상기 제1증착 도전층과 함께 상기 세라믹 기재의
일면에 제1증착 전극층을 증착하여 형성하고, 상기 제2증착과정은 상기
제2증착 도전층과 함께 상기 제1증착 전극층 상에 제2증착 전극층을
증착하여 형성하고, 상기 도금과정은 상기 도전체와 함께 상기 제2증착
전극층 상에 도금 전극층을 도금으로 형성하여 상기 세라믹 기재의
양면에 각각 회로패턴 형성을 위한 전극층을 함께 형성하는 것을
특징으로 하는 세라믹 기판의 비아홀 충전 방법.
- [청구항 7] 제1항에 있어서,
상기 도전체를 형성하는 단계는 상기 세라믹 기재의 양면에 각각

회로패턴 형성을 위한 전극층을 함께 형성하는 것을 특징으로 하는 세라믹 기판의 비아홀 충전 방법.

- [청구항 8] 제6항 또는 제7항에 있어서,
상기 진공 멜팅단계 이후에 상기 전극층을 연마하여 평탄화하는 단계를 더 포함하는 것을 특징으로 하는 세라믹 기판의 비아홀 충전 방법.
- [청구항 9] 세라믹 기재의 비아홀 내에 충전되는 도전체를 포함하는 세라믹 기판의 비아홀 충전체이며,
상기 도전체는 금속이 멜팅된 후 다시 경화된 멜팅조직을 가지는 것을 특징으로 하는 세라믹 기판의 비아홀 충전체.
- [청구항 10] 제9항에 있어서,
상기 도전체는 상기 비아홀 내부를 완전히 채우게 형성되는 것을 특징으로 하는 세라믹 기판의 비아홀 충전체.
- [청구항 11] 제9항에 있어서,
상기 도전체는 상기 비아홀의 내주면에 증착되어 형성되는 제1증착 도전층, 상기 제1증착 도전층 상에 증착되어 형성되는 제2증착 도전층, 및 상기 비아홀 내에 형성되는 도금체를 포함하고,
상기 도금체는 상기 제2증착 도전층과 맞붙어 상기 비아홀 내에 충전되며, 금속이 멜팅된 후 다시 경화된 멜팅조직을 가지는 것을 특징으로 하는 세라믹 기판의 비아홀 충전체.
- [청구항 12] 제9항에 있어서,
상기 세라믹 기재의 양면에 각각 회로패턴 형성을 위해 형성되는 전극층을 포함하는 것을 특징으로 하는 세라믹 기판의 비아홀 충전체.
- [청구항 13] 제12항에 있어서,
상기 전극층은,
상기 세라믹 기재의 양면에 각각 증착된 제1증착 전극층;
상기 세라믹 기재의 양면에서 상기 제1증착 전극층 상에 증착된 제2증착 전극층; 및
상기 제2증착 전극층 상에 도금된 도금 전극층을 포함하는 것을 특징으로 하는 세라믹 기판의 비아홀 충전체.
- [청구항 14] 제9항에 있어서,
상기 비아홀은 일면에서 다른 면으로 갈수록 직경이 점차 작아지게 형성되는 것을 특징으로 하는 세라믹 기판의 비아홀 충전체.

[도1]

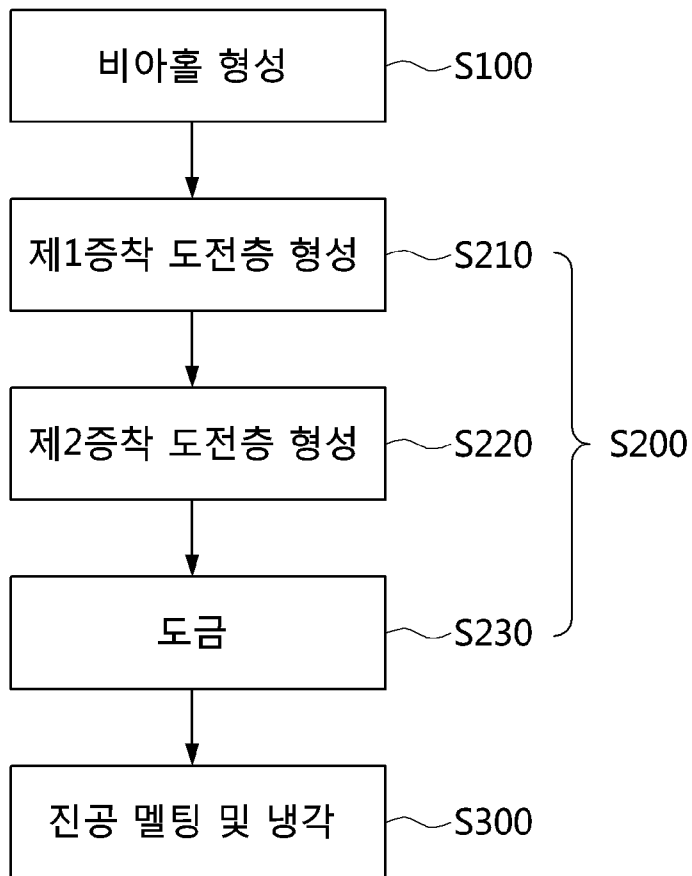


FIG. 1

[도2]

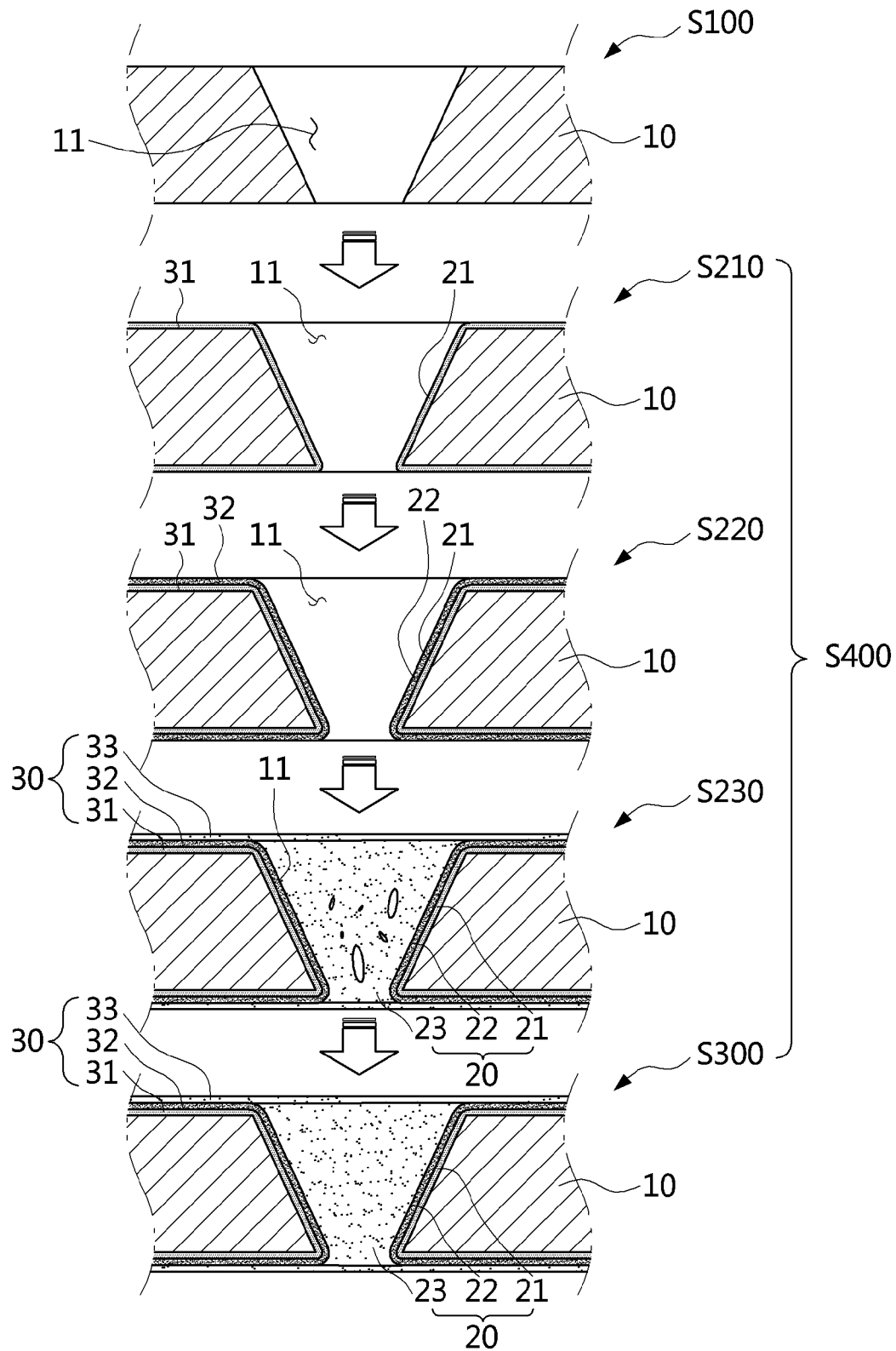


FIG. 2

[도3]

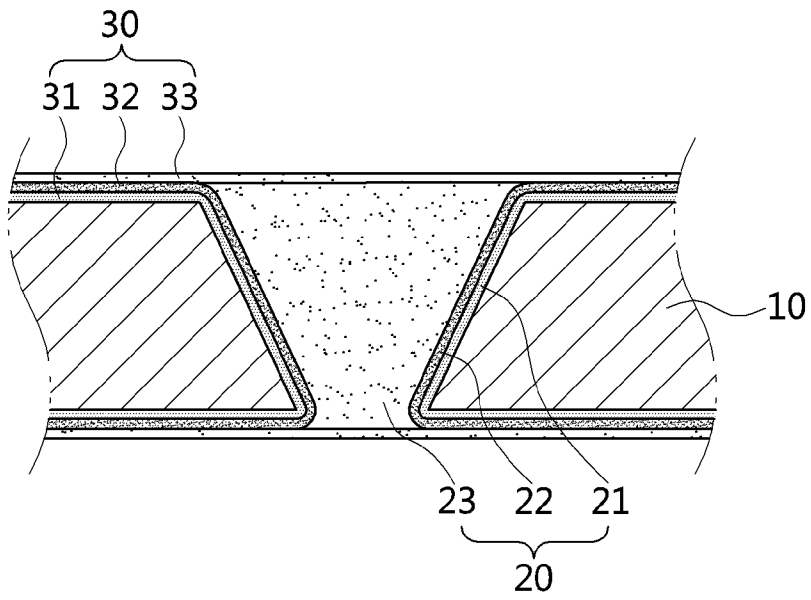


FIG. 3

INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2017/002529**A. CLASSIFICATION OF SUBJECT MATTER****H01L 21/768(2006.01)i, H01L 21/48(2006.01)i, H01L 21/268(2006.01)i, H01L 21/02(2006.01)i, H01L 21/288(2006.01)i, H01L 21/285(2006.01)i**

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L 21/768; H01L 21/60; H05K 3/06; H05K 3/42; H01L 21/28; H05K 3/18; H05K 1/09; H05K 3/16; H01L 21/44; H01L 21/48; H01L 21/268; H01L 21/02; H01L 21/288; H01L 21/285

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Korean Utility models and applications for Utility models: IPC as above

Japanese Utility models and applications for Utility models: IPC as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

eKOMPASS (KIPO internal) & Keywords: ceramic, substrate, via, conduction, vacuum

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	KR 10-2007-0006667 A (MICRON TECHNOLOGY, INC.) 11 January 2007 See paragraphs [0028]-[0043] and figures 5a-5g.	1-14
Y	US 2006-0246721 A1 (PREUSSE, Axel et al.) 02 November 2006 See paragraph [0050] and figure 2b.	1-14
A	KR 10-2010-0063526 A (SAMSUNG ELECTRO-MECHANICS CO., LTD.) 11 June 2010 See paragraphs [0016]-[0034] and figures 1-10.	1-14
A	KR 10-2009-0110712 A (RESEARCH & BUSINESS FOUNDATION SUNGKYUNKWAN UNIVERSITY) 22 October 2009 See paragraphs [0024]-[0050] and figures 1-6.	1-14
A	US 2011-0079418 A1 (FURUICHI, Wataru et al.) 07 April 2011 See paragraphs [0090]-[0115] and figures 4-6C.	1-14



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

28 JUNE 2017 (28.06.2017)

Date of mailing of the international search report

28 JUNE 2017 (28.06.2017)

Name and mailing address of the ISA/KR

Korean Intellectual Property Office
Government Complex-Daejeon, 189 Seonsa-ro, Daejeon 302-701,
Republic of Korea

Facsimile No. +82-42-481-8578

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/KR2017/002529

Patent document cited in search report	Publication date	Patent family member	Publication date
KR 10-2007-0006667 A	11/01/2007	CN 1853262 A	25/10/2006
		EP 1668689 A2	14/06/2006
		EP 2393109 A1	07/12/2011
		JP 2007-520051 A	19/07/2007
		JP 2012-235134 A	29/11/2012
		JP 5093563 B2	12/12/2012
		JP 5639120 B2	10/12/2014
		TW 200512877 A	01/04/2005
		TW 1293793 B	21/02/2008
		US 2005-0064707 A1	24/03/2005
		US 2007-0166991 A1	19/07/2007
		US 2007-0170595 A1	26/07/2007
		US 2010-0133661 A1	03/06/2010
		US 2012-0156871 A1	21/06/2012
		US 7345350 B2	18/03/2008
		US 7608904 B2	27/10/2009
		US 7666788 B2	23/02/2010
		US 8148263 B2	03/04/2012
		US 9287207 B2	15/03/2016
		WO 2005-031811 A2	07/04/2005
		WO 2005-031811 A3	02/06/2005
US 2006-0246721 A1	02/11/2006	CN 100541761 C	16/09/2009
		CN 101189715 A	28/05/2008
		GB 2439884 A	09/01/2008
		KR 10-1273929 B1	11/06/2013
		TW 200723445 A	16/06/2007
		TW 1416662 B	21/11/2013
		US 2006-0223311 A1	05/10/2006
		US 7375031 B2	20/05/2008
		WO 2006-105320 A1	05/10/2006
KR 10-2010-0063526 A	11/06/2010	JP 2010-135734 A	17/06/2010
		JP 5263835 B2	14/08/2013
		KR 10-1019154 B1	04/03/2011
KR 10-2009-0110712 A	22/10/2009	KR 10-0964030 B1	15/06/2010
		KR 10-1036651 B1	24/05/2011
		KR 10-2010-0073614 A	01/07/2010
US 2011-0079418 A1	07/04/2011	CN 102030565 A	27/04/2011
		EP 2306501 A2	06/04/2011
		EP 2306501 A3	03/04/2013
		JP 2011-097038 A	12/05/2011

A. 발명이 속하는 기술분류(국제특허분류(IPC))

H01L 21/768(2006.01)i, H01L 21/48(2006.01)i, H01L 21/268(2006.01)i, H01L 21/02(2006.01)i, H01L 21/288(2006.01)i, H01L 21/285(2006.01)i

B. 조사된 분야

조사된 최소문헌(국제특허분류를 기재)

H01L 21/768; H01L 21/60; H05K 3/06; H05K 3/42; H01L 21/28; H05K 3/18; H05K 1/09; H05K 3/16; H01L 21/44; H01L 21/48; H01L 21/268; H01L 21/02; H01L 21/288; H01L 21/285

조사된 기술분야에 속하는 최소문헌 이외의 문헌

한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC
일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우))

eKOMPASS(특허청 내부 검색시스템) & 키워드: 세라믹, 기판, 비아, 도전, 진공

C. 관련 문헌

카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
Y	KR 10-2007-0006667 A (마이크론 테크놀로지 인코포레이티드) 2007.01.11 단락 [0028]-[0043] 및 도면 5a-5g 참조.	1-14
Y	US 2006-0246721 A1 (AXEL PREUSSE 등) 2006.11.02 단락 [0050] 및 도면 2b 참조.	1-14
A	KR 10-2010-0063526 A (삼성전기주식회사) 2010.06.11 단락 [0016]-[0034] 및 도면 1-10 참조.	1-14
A	KR 10-2009-0110712 A (성균관대학교산학협력단) 2009.10.22 단락 [0024]-[0050] 및 도면 1-6 참조.	1-14
A	US 2011-0079418 A1 (WATARU FURUICHI 등) 2011.04.07 단락 [0090]-[0115] 및 도면 4-6C 참조.	1-14

☐ 추가 문헌이 C(계속)에 기재되어 있습니다.

☒ 대응특허에 관한 별지를 참조하십시오.

* 인용된 문헌의 특별 카테고리:

“A” 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌

“T” 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌

“E” 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌

“X” 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다.

“L” 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌

“Y” 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다.

“O” 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌

“&” 동일한 대응특허문헌에 속하는 문헌

“P” 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌

국제조사의 실제 완료일

2017년 06월 28일 (28.06.2017)

국제조사보고서 발송일

2017년 06월 28일 (28.06.2017)

ISA/KR의 명칭 및 우편주소



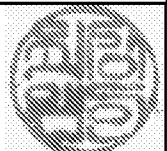
대한민국 특허청
(35208) 대전광역시 서구 청사로 189,
4동 (둔산동, 정부대전청사)

팩스 번호 +82-42-481-8578

심사관

최상원

전화번호 +82-42-481-8291



국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
KR 10-2007-0006667 A	2007/01/11	CN 1853262 A EP 1668689 A2 EP 2393109 A1 JP 2007-520051 A JP 2012-235134 A JP 5093563 B2 JP 5639120 B2 TW 200512877 A TW I293793 B US 2005-0064707 A1 US 2007-0166991 A1 US 2007-0170595 A1 US 2010-0133661 A1 US 2012-0156871 A1 US 7345350 B2 US 7608904 B2 US 7666788 B2 US 8148263 B2 US 9287207 B2 WO 2005-031811 A2 WO 2005-031811 A3	2006/10/25 2006/06/14 2011/12/07 2007/07/19 2012/11/29 2012/12/12 2014/12/10 2005/04/01 2008/02/21 2005/03/24 2007/07/19 2007/07/26 2010/06/03 2012/06/21 2008/03/18 2009/10/27 2010/02/23 2012/04/03 2016/03/15 2005/04/07 2005/06/02
US 2006-0246721 A1	2006/11/02	CN 100541761 C CN 101189715 A GB 2439884 A KR 10-1273929 B1 TW 200723445 A TW I416662 B US 2006-0223311 A1 US 7375031 B2 WO 2006-105320 A1	2009/09/16 2008/05/28 2008/01/09 2013/06/11 2007/06/16 2013/11/21 2006/10/05 2008/05/20 2006/10/05
KR 10-2010-0063526 A	2010/06/11	JP 2010-135734 A JP 5263835 B2 KR 10-1019154 B1	2010/06/17 2013/08/14 2011/03/04
KR 10-2009-0110712 A	2009/10/22	KR 10-0964030 B1 KR 10-1036651 B1 KR 10-2010-0073614 A	2010/06/15 2011/05/24 2010/07/01
US 2011-0079418 A1	2011/04/07	CN 102030565 A EP 2306501 A2 EP 2306501 A3 JP 2011-097038 A	2011/04/27 2011/04/06 2013/04/03 2011/05/12