



(12) 发明专利申请

(10) 申请公布号 CN 119045243 A

(43) 申请公布日 2024. 11. 29

(21) 申请号 202310620215.2

(22) 申请日 2023.05.29

(71) 申请人 京东方科技集团股份有限公司

地址 100015 北京市朝阳区酒仙桥路10号

申请人 武汉京东方光电科技有限公司

(72) 发明人 周焱 朱宁 王超 李云 陈晓晓
张毅

(74) 专利代理机构 北京市柳沈律师事务所
11105

专利代理师 孙琦

(51) Int. Cl.

G02F 1/1362 (2006.01)

H01L 27/12 (2006.01)

G02F 1/1343 (2006.01)

G02F 1/1345 (2006.01)

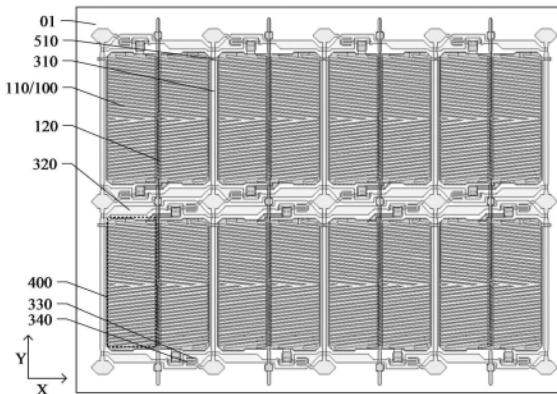
权利要求书4页 说明书18页 附图22页

(54) 发明名称

阵列基板以及显示装置

(57) 摘要

本公开实施例提供一种阵列基板以及显示装置。阵列基板包括衬底基板以及位于衬底基板上的第一电极层、多条第一信号线以及多条第二信号线。多条第一信号线沿第一方向排列，多条第二信号线沿第二方向排列，第一方向与第二方向相交。第一电极层包括沿第一方向和第二方向阵列排布的多个第一电极，位于同一条第一信号线两侧且相邻的两个第一电极之间设置有连接部，连接部被配置为连接两个第一电极；相对于经过第一电极的中心区域且沿第一方向延伸的直线，连接部更靠近第二信号线。本公开提供的阵列基板，通过将连接部设置的更靠近第二信号线，以在降低显示装置负载的同时，既不影响开口率，又可以降低漏光的风险。



1. 一种阵列基板,包括:

衬底基板以及位于所述衬底基板上的第一电极层、多条第一信号线以及多条第二信号线,所述多条第一信号线沿第一方向排列,所述多条第二信号线沿第二方向排列,所述第一方向与所述第二方向相交;

其中,所述第一电极层包括沿所述第一方向和所述第二方向阵列排布的多个第一电极,位于同一条第一信号线两侧且相邻的两个第一电极之间设置有连接部,所述连接部被配置为连接所述两个第一电极;

相对于经过所述第一电极的中心区域且沿所述第一方向延伸的直线,所述连接部更靠近所述第二信号线。

2. 根据权利要求1所述的阵列基板,其中,在所述第二方向上,所述第一电极与所述第二信号线之间的距离不大于所述连接部与所述第二信号线之间的距离。

3. 根据权利要求1所述的阵列基板,其中,所述阵列基板包括多个子像素,所述多个子像素至少包括第一颜色子像素和第二颜色子像素,且所述第一颜色子像素和所述第二颜色子像素均包括多畴,所述第一颜色子像素和所述第二颜色子像素之一的出光区设置有突起部,所述突起部位于所述多畴中相邻两畴之间。

4. 根据权利要求3所述的阵列基板,其中,所述第一颜色子像素和所述第二颜色子像素中,所述第一电极包括多个条状电极,且相邻两畴中条状电极的延伸方向相交;

沿垂直于所述衬底基板的方向,所述突起部与所述相邻两畴至少之一的所述条状电极交叠,或者所述突起部与所述条状电极没有交叠。

5. 根据权利要求3所述的阵列基板,其中,所述突起部与所述第一信号线和所述第二信号线之一同层设置。

6. 根据权利要求3所述的阵列基板,其中,所述第一颜色子像素和所述第二颜色子像素之一为红色子像素,另一个为蓝色子像素。

7. 根据权利要求3所述的阵列基板,其中,在垂直于所述衬底基板的方向上,所述突起部的边缘与相邻子像素的出光区没有交叠,且所述突起部在所述相邻两畴的排列方向上的尺寸为1.5~6微米。

8. 根据权利要求4所述的阵列基板,其中,所述连接部的宽度大于所述条状电极的宽度,且所述连接部的宽度不大于10微米。

9. 根据权利要求5所述的阵列基板,还包括与所述第一电极层层叠设置的第二电极层,所述第二电极层包括多个第二电极,每个子像素包括一个第二电极。

10. 根据权利要求1-9任一项所述的阵列基板,其中,在沿所述第一方向上,所述两个第一电极之间设置的所述连接部的数量至少为一个。

11. 根据权利要求1-9任一项所述的阵列基板,其中,所述连接部与所述两个第一电极为一体化的结构。

12. 根据权利要求1-9任一项所述的阵列基板,其中,相邻两条第一信号线之间设置有沿所述第一方向排列的两个子像素,且沿所述第二方向排列的相邻两个子像素之间设置有两第二信号线,所述第一信号线为数据线,所述第二信号线为栅线。

13. 根据权利要求12所述的阵列基板,其中,位于相邻两条第一信号线之间且沿所述第一方向排列的相邻子像素的第一电极为一体化设置的结构,位于所述第一信号线两侧且沿

所述第一方向排列的相邻子像素的第一电极之间设置有间隔,且所述第一信号线位于所述间隔中。

14. 根据权利要求1-9任一项所述的阵列基板,包括:显示区和位于所述显示区至少一侧的非显示区,

其中,所述多个子像素、所述多条第一信号线和所述多条第二信号线均位于所述显示区,所述阵列基板还包括位于所述非显示区的且与所述第二信号线同层设置的多条信号传输线,以及与所述信号传输线电连接的连接走线,所述连接走线沿所述第一方向延伸,所述信号传输线沿所述第二方向延伸,所述连接走线与所述第一信号线同层设置;

沿垂直于所述衬底基板的方向,至少一条信号传输线与所述连接走线交叠,且所述信号传输线中与所述连接走线交叠部分的边缘包括凹口以使所述交叠部分在所述连接走线的延伸方向上的尺寸小于与所述信号传输线中除所述交叠部分以外的至少部分位置在所述连接走线的延伸方向上的尺寸。

15. 一种显示装置,包括:

权利要求1-14任一项所述的阵列基板;

对置基板,与所述阵列基板相对设置,所述对置基板包括遮光层,所述遮光层包括多个开口以限定子像素的出光区;

其中,所述第一信号线在所述衬底基板上的正投影包括第一正投影,所述连接部在所述衬底基板上的正投影包括第二正投影,所述第二正投影位于所述遮光层在所述衬底基板上的正投影内;

所述开口在所述衬底基板上的正投影包括第三正投影,所述第一正投影与所述第三正投影的彼此靠近的边缘之间的距离为第一距离,所述第一正投影包括与所述第二正投影交叠的交叠边缘,所述交叠边缘与所述第三正投影中最靠近所述交叠边缘的边缘之间的距离为第二距离,所述第二距离大于所述第一距离。

16. 根据权利要求15所述的显示装置,其中,所述第一信号线沿所述第二方向延伸,所述开口包括沿所述第二方向延伸且最靠近所述第一信号线的开口边缘,所述连接部位于所述开口边缘和最靠近所述开口边缘的所述第二信号线之间。

17. 根据权利要求16所述的显示装置,其中,经过所述连接部且沿所述第一方向延伸的直线不经过所述开口边缘。

18. 一种阵列基板,包括:

衬底基板,包括显示区以及位于所述显示区至少一侧的第一非显示区;

多个子像素,位于所述衬底基板的显示区,各子像素包括层叠设置的第一电极和第二电极;

多条数据线,位于所述衬底基板的显示区且被配置为与所述第二电极电连接,所述多条数据线沿第一方向排列;

多条栅线,位于所述衬底基板的显示区且沿第二方向排列,所述第二方向与所述第一方向相交;

多条公共电极线,位于所述衬底基板的显示区且与所述第一电极电连接,所述多条公共电极线与所述多条数据线沿所述第一方向交替设置;

其中,所述阵列基板还包括位于所述第一非显示区的公共信号传输线,所述公共信号

传输线包括第一公共信号传输线和第二公共信号传输线,所述第二公共信号传输线设置在所述第一公共信号传输线远离所述显示区的一侧,所述公共信号传输线沿所述第一方向延伸,所述第一公共信号传输线与所述多条公共电极线的一部分电连接,所述第二公共信号传输线与所述多条公共电极线的另一部分电连接,所述第一非显示区还包括焊盘区,所述焊盘区被配置为与电路板电连接。

19. 根据权利要求18所述的阵列基板,还包括第二非显示区,所述第一非显示区、所述显示区和所述第二非显示区沿所述第二方向依次排布,

所述公共信号传输线还包括位于所述第二非显示区的第三公共信号传输线和第四公共信号传输线,所述第四公共信号传输线位于所述第三公共信号传输线远离所述显示区的一侧,所述第三公共信号传输线和所述第二公共信号传输线电连接,所述第四公共信号传输线和所述第一公共信号传输线电连接。

20. 根据权利要求19所述的阵列基板,其中,沿所述第二方向排列的相邻两个子像素之间设置有条栅线,相邻两条数据线之间设置有沿所述第一方向排列的两个子像素,所述两个子像素的第一电极为一体化设置的结构。

21. 根据权利要求19所述的阵列基板,还包括:

转接部,至少一条公共电极线通过所述转接部与所述公共信号传输线电连接,

其中,所述至少一条公共电极线包括层叠设置的第一导电层和第二导电层,所述第一导电层与所述数据线同层设置,所述第二导电层与所述第一电极同层设置,所述公共信号传输线的至少部分与所述栅线同层设置;

所述转接部包括层叠设置的第一转接层和第二转接层,所述第一转接层与所述第一导电层同层设置,所述第二转接层与所述第二导电层同层设置。

22. 根据权利要求19-21任一项所述的阵列基板,还包括:

第三非显示区和第四非显示区,所述第三非显示区、所述显示区以及所述第四非显示区沿所述第一方向依次排列,

其中,所述第三非显示区设置有连接所述第二公共信号传输线和所述第三公共信号传输线的第一连接线,所述第四非显示区设置有连接所述第一公共信号传输线和所述第四公共信号传输线的第二连接线,所述第一连接线的至少部分、所述第二连接线的至少部分以及所述公共信号传输线的至少部分为同层设置的结构。

23. 根据权利要求22所述的阵列基板,其中,所述第三非显示区设置有第五公共信号传输线、第一栅极驱动电路以及第一公共信号反馈线,所述第五公共信号传输线和所述第一公共信号反馈线均与所述第三公共信号传输线电连接,所述第一栅极驱动电路与所述多条栅线电连接,所述第五公共信号传输线和所述第一公共信号反馈线均位于所述第一栅极驱动电路远离所述显示区的一侧,所述第一连接线位于所述第一栅极驱动电路与所述显示区之间。

24. 根据权利要求22所述的阵列基板,其中,所述第四非显示区设置有第六公共信号传输线、第二栅极驱动电路以及第二公共信号反馈线,所述第六公共信号传输线和所述第二公共信号反馈线均与所述第四公共信号传输线电连接,所述第二栅极驱动电路与所述多条栅线电连接,所述第六公共信号传输线和所述第二公共信号反馈线均位于所述第二栅极驱动电路远离所述显示区的一侧,所述第二连接线位于所述第二栅极驱动电路与所述显示区

之间。

25. 根据权利要求18-21任一项所述的阵列基板, 其中, 位于相邻数据线之间的两列子像素的第一电极与同一条公共电极线电连接, 分别位于同一条数据线两侧且与所述同一条数据线距离最近的两列子像素的第一电极间隔设置, 且分别与所述第一公共信号传输线和所述第二公共信号传输线电连接。

26. 根据权利要求18-21任一项所述的阵列基板, 其中, 所述第一公共信号传输线和所述第二公共信号传输线被配置为传输不同电信号。

27. 一种显示装置, 包括权利要求18-26任一项所述的阵列基板。

阵列基板以及显示装置

技术领域

[0001] 本公开实施例涉及一种阵列基板以及显示装置。

背景技术

[0002] 随着显示技术的发展,人们对于显示装置的尺寸以及显示效果要求越来越高,采用高级超维场(Advanced Super Dimension Switching,ADS)显示模式的大尺寸显示装置具有高开口率、高分辨率以及高透过率等特点,受到了广泛的应用。

发明内容

[0003] 本公开实施例提供一种阵列基板以及显示装置。

[0004] 本公开实施例提供的阵列基板,包括:衬底基板以及位于所述衬底基板上的第一电极层、多条第一信号线以及多条第二信号线,所述多条第一信号线沿第一方向排列,所述多条第二信号线沿第二方向排列,所述第一方向与所述第二方向相交;所述第一电极层包括沿所述第一方向和所述第二方向阵列排布的多个第一电极,位于同一条第一信号线两侧且相邻的两个第一电极之间设置有连接部,所述连接部被配置为连接所述两个第一电极;相对于经过所述第一电极的中心区域且沿所述第一方向延伸的直线,所述连接部更靠近所述第二信号线。

[0005] 例如,根据本公开实施例,在所述第二方向上,所述第一电极与所述第二信号线之间的距离不大于所述连接部与所述第二信号线之间的距离。

[0006] 例如,根据本公开实施例,所述阵列基板包括多个子像素,所述多个子像素至少包括第一颜色子像素和第二颜色子像素,且所述第一颜色子像素和所述第二颜色子像素均包括多畴,所述第一颜色子像素和所述第二颜色子像素之一的出光区设置有突起部,所述突起部位于所述多畴中相邻两畴之间。

[0007] 例如,根据本公开实施例,所述第一颜色子像素和所述第二颜色子像素中,所述第一电极包括多个条状电极,且相邻两畴中条状电极的延伸方向相交;沿垂直于所述衬底基板的方向,所述突起部与所述相邻两畴至少之一的所述条状电极交叠,或者所述突起部与所述条状电极没有交叠。

[0008] 例如,根据本公开实施例,所述突起部与所述第一信号线和所述第二信号线之一同层设置。

[0009] 例如,根据本公开实施例,所述第一颜色子像素和所述第二颜色子像素之一为红色子像素,另一个为蓝色子像素。

[0010] 例如,根据本公开实施例,在垂直于所述衬底基板的方向上,所述突起部的边缘与相邻子像素的出光区没有交叠,且所述突起部在所述相邻两畴的排列方向上的尺寸为1.5~6微米。

[0011] 例如,根据本公开实施例,所述连接部的宽度大于所述条状电极的宽度,且所述连接部的宽度不大于10微米。

[0012] 例如,根据本公开实施例,阵列基板还包括与所述第一电极层层叠设置的第二电极层,所述第二电极层包括多个第二电极,每个子像素包括一个第二电极。

[0013] 例如,根据本公开实施例,在沿所述第一方向上,所述两个第一电极之间设置的所述连接部的数量至少为一个。

[0014] 例如,根据本公开实施例,所述连接部与所述两个第一电极为一体化设置的结构。

[0015] 例如,根据本公开实施例,相邻两条第一信号线之间设置有沿所述第一方向排列的两个子像素,且沿所述第二方向排列的相邻两个子像素之间设置有两第二信号线,所述第一信号线为数据线,所述第二信号线为栅线。

[0016] 例如,根据本公开实施例,位于相邻两条第一信号线之间且沿所述第一方向排列的相邻子像素的第一电极为一体化设置的结构,位于所述第一信号线两侧且沿所述第一方向排列的相邻子像素的第一电极之间设置有间隔,且所述第一信号线位于所述间隔中。

[0017] 例如,根据本公开实施例,阵列基板包括显示区和位于所述显示区至少一侧的非显示区。所述多个子像素、所述多条第一信号线和所述多条第二信号线均位于所述显示区,所述阵列基板还包括位于所述非显示区的且与所述第二信号线同层设置的多条信号传输线,以及与所述信号传输线电连接的连接走线,所述连接走线沿所述第一方向延伸,所述信号传输线沿所述第二方向延伸,所述连接走线与所述第一信号线同层设置;沿垂直于所述衬底基板的方向,至少一条信号传输线与所述连接走线交叠,且所述信号传输线中与所述连接走线交叠部分的边缘包括凹口以使所述交叠部分在所述连接走线的延伸方向上的尺寸小于与所述信号传输线中除所述交叠部分以外的至少部分位置在所述连接走线的延伸方向上的尺寸。

[0018] 本公开另一实施例提供一种显示装置,包括上述阵列基板以及对置基板;对置基板与所述阵列基板相对设置,所述对置基板包括遮光层,所述遮光层包括多个开口以限定子像素的出光区。所述第一信号线在所述衬底基板上的正投影包括第一正投影,所述连接部在所述衬底基板上的正投影包括第二正投影,所述第二正投影位于所述遮光层在所述衬底基板上的正投影内;所述开口在所述衬底基板上的正投影包括第三正投影,所述第一正投影与所述第三正投影的彼此靠近的边缘之间的距离为第一距离,所述第一正投影包括与所述第二正投影交叠的交叠边缘,所述交叠边缘与所述第三正投影中最靠近所述交叠边缘的边缘之间的距离为第二距离,所述第二距离大于所述第一距离。

[0019] 例如,根据本公开实施例,所述第一信号线沿所述第二方向延伸,所述开口包括沿所述第二方向延伸且最靠近所述第一信号线的开口边缘,所述连接部位于所述开口边缘和最靠近所述开口边缘的所述第二信号线之间。

[0020] 例如,根据本公开实施例,经过所述连接部且沿所述第一方向延伸的直线不经过所述开口边缘。

[0021] 本公开另一实施例提供一种阵列基板,包括:衬底基板、位于衬底基板上的多个子像素、多条数据线、多条栅线以及多条公共电极线。衬底基板包括显示区以及位于所述显示区至少一侧的第一非显示区;多个子像素位于所述衬底基板的显示区,各子像素包括层叠设置的第一电极和第二电极;多条数据线位于所述衬底基板的显示区且被配置为与所述第二电极电连接,所述多条数据线沿第一方向排列;多条栅线位于所述衬底基板的显示区且沿第二方向排列,所述第二方向与所述第一方向相交;多条公共电极线位于所述衬底基板

的显示区且与所述第一电极电连接,所述多条公共电极线与所述多条数据线沿所述第一方向交替设置。所述阵列基板还包括位于所述第一非显示区的公共信号传输线,所述公共信号传输线包括第一公共信号传输线和第二公共信号传输线,所述第二公共信号传输线设置在所述第一公共信号传输线远离所述显示区的一侧,所述公共信号传输线沿所述第一方向延伸,所述第一公共信号传输线与所述多条公共电极线的一部分电连接,所述第二公共信号传输线与所述多条公共电极线的另一部分电连接,所述第一非显示区还包括焊盘区,所述焊盘区被配置为与电路板电连接。

[0022] 例如,根据本公开实施例,阵列基板还包括第二非显示区,所述第一非显示区、所述显示区和所述第二非显示区沿所述第二方向依次排布,所述公共信号传输线还包括位于所述第二非显示区的第三公共信号传输线和第四公共信号传输线,所述第四公共信号传输线位于所述第三公共信号传输线远离所述显示区的一侧,所述第三公共信号传输线和所述第二公共信号传输线电连接,所述第四公共信号传输线和所述第一公共信号传输线电连接。

[0023] 例如,根据本公开实施例,沿所述第二方向排列的相邻两个子像素之间设置有两条栅线,相邻两条数据线之间设置有沿所述第一方向排列的两个子像素,所述两个子像素的第一电极为一体化设置的结构。

[0024] 例如,根据本公开实施例,阵列基板还包括:转接部,至少一条公共电极线通过所述转接部与所述公共信号传输线电连接。所述至少一条公共电极线包括层叠设置的第一导电层和第二导电层,所述第一导电层与所述数据线同层设置,所述第二导电层与所述第一电极同层设置,所述公共信号传输线的至少部分与所述栅线同层设置;所述转接部包括层叠设置的第一转接层和第二转接层,所述第一转接层与所述第一导电层同层设置,所述第二转接层与所述第二导电层同层设置。

[0025] 例如,根据本公开实施例,阵列基板还包括:第三非显示区和第四非显示区,所述第三非显示区、所述显示区以及所述第四非显示区沿所述第一方向依次排列。所述第三非显示区设置有连接所述第二公共信号传输线和所述第三公共信号传输线的第一连接线,所述第四非显示区设置有连接所述第一公共信号传输线和所述第四公共信号传输线的第二连接线,所述第一连接线的至少部分、所述第二连接线的至少部分以及所述公共信号传输线的至少部分为同层设置的结构。

[0026] 例如,根据本公开实施例,所述第三非显示区设置有第五公共信号传输线、第一栅极驱动电路以及第一公共信号反馈线,所述第五公共信号传输线和所述第一公共信号反馈线均与所述第三公共信号传输线电连接,所述第一栅极驱动电路与所述多条栅线电连接,所述第五公共信号传输线和所述第一公共信号反馈线均位于所述第一栅极驱动电路远离所述显示区的一侧,所述第一连接线位于所述第一栅极驱动电路与所述显示区之间。

[0027] 例如,根据本公开实施例,所述第四非显示区设置有第六公共信号传输线、第二栅极驱动电路以及第二公共信号反馈线,所述第六公共信号传输线和所述第二公共信号反馈线均与所述第四公共信号传输线电连接,所述第二栅极驱动电路与所述多条栅线电连接,所述第六公共信号传输线和所述第二公共信号反馈线均位于所述第二栅极驱动电路远离所述显示区的一侧,所述第二连接线位于所述第二栅极驱动电路与所述显示区之间。

[0028] 例如,根据本公开实施例,位于相邻数据线之间的两列子像素的第一电极与同一

条公共电极线电连接,分别位于同一条数据线两侧且与所述同一条数据线距离最近的两列子像素的第一电极间隔设置,且分别与所述第一公共信号传输线和所述第二公共信号传输线电连接。

[0029] 例如,根据本公开实施例,所述第一公共信号传输线和所述第二公共信号传输线被配置为传输不同电信号。

[0030] 本公开另一实施例提供一种显示装置,包括上述任一阵列基板。

附图说明

[0031] 为了更清楚地说明本公开实施例的技术方案,下面将对实施例的附图作简单地介绍,显而易见地,下面描述中的附图仅仅涉及本公开的一些实施例,而非对本公开的限制。

[0032] 图1为一种显示装置的局部平面结构示意图。

[0033] 图2为图1所示显示装置中的公共电极层的示意图。

[0034] 图3为图1所示显示装置中的黑矩阵的示意图。

[0035] 图4为根据本公开实施例提供的阵列基板的局部平面结构示意图。

[0036] 图5为图4所示阵列基板中的第二电极层的示意图。

[0037] 图6为图4所示阵列基板中的第二信号线所在层的示意图。

[0038] 图7为图4所示阵列基板中的有源层的示意图。

[0039] 图8为图4所示阵列基板中的第一信号线所在层的示意图。

[0040] 图9为图4所示阵列基板中过孔示意图。

[0041] 图10A为图4所示阵列基板中第一电极层所在层的示意图。

[0042] 图10B为根据本公开实施例的另一示例提供的第一电极所在层的示意图。

[0043] 图11为包括上述阵列基板的显示装置的局部结构图。

[0044] 图12为图11所示显示装置中的黑矩阵以及阵列基板的平面关系图。

[0045] 图13为图11所示显示装置中的黑矩阵的平面图。

[0046] 图14为图12的部分位置放大图。

[0047] 图15为根据本公开实施例的另一示例提供的阵列基板的局部平面结构示意图。

[0048] 图16为图15所示阵列基板的局部放大图。

[0049] 图17为图15所示阵列基板中第一信号线所在层的示意图。

[0050] 图18为根据本公开实施例提供的阵列基板的平面结构示意图。

[0051] 图19为一种阵列基板中的信号传输线和连接走线的示意图。

[0052] 图20为根据本公开实施例提供的信号传输线、连接走线以及连接结构的示意图。

[0053] 图21为图20所示信号传输线的示意图。

[0054] 图22为图20所示连接走线的示意图。

[0055] 图23和图24为图20所示过孔以及连接结构的示意图。

[0056] 图25为一种阵列基板的局部平面结构示意图。

[0057] 图26至图28为图25所示阵列基板中不同膜层的示意图。

[0058] 图29为根据本公开实施例提供的阵列基板的平面结构示意图。

[0059] 图30为图29所示阵列基板中的显示区和第二非显示区的局部放大图。

[0060] 图31为图30所示阵列基板的子像素的第二电极所在层的示意图。

- [0061] 图32为图30所示阵列基板的栅线所在层的示意图。
- [0062] 图33为图30所示阵列基板的数据线所在层的示意图。
- [0063] 图34为图30所示阵列基板的过孔的示意图。
- [0064] 图35为图30所示阵列基板的子像素的第一电极所在层的示意图。

具体实施方式

[0065] 为使本公开实施例的目的、技术方案和优点更加清楚,下面将结合本公开实施例的附图,对本公开实施例的技术方案进行清楚、完整地描述。显然,所描述的实施例是本公开的一部分实施例,而不是全部的实施例。基于所描述的本公开的实施例,本领域普通技术人员在无需创造性劳动的前提下所获得的所有其它实施例,都属于本公开保护的范围。

[0066] 除非另外定义,本公开使用的技术术语或者科学术语应当为本公开所属领域内具有一般技能的人士所理解的通常意义。本公开中使用的“第一”、“第二”以及类似的词语并不表示任何顺序、数量或者重要性,而只是用来区分不同的组成部分。“包括”或者“包含”等类似的词语意指出现该词前面的元件或者物件涵盖出现在该词后面列举的元件或者物件及其等同,而不排除其他元件或者物件。本公开实施例中使用的“平行”、“垂直”以及“相同”等特征均包括严格意义的“平行”、“垂直”、“相同”等特征,以及“大致平行”、“大致垂直”、“大致相同”等包含一定误差的情况,考虑到测量和与特定量的测量相关的误差(例如,测量系统的限制),表示在本领域的普通技术人员所确定的对于特定值的可接受的偏差范围内。例如,“大致”能够表示在一个或多个标准偏差内,或者在所述值的10%或者5%内。在本公开实施例的下文中没有特别指出一个成分的数量时,意味着该成分可以是一个也可以是多个,或可理解为至少一个。“至少一个”指一个或多个,“多个”指至少两个。本公开中所称的“同层设置”是指两种(或两种以上)结构通过同一道沉积工艺形成并通过同一道构图工艺得以图案化而形成的结构,它们的材料可以相同或不同。

[0067] 图1为一种显示装置的局部平面结构示意图。图2为图1所示显示装置中的公共电极层的示意图。图3为图1所示显示装置中的黑矩阵的示意图。

[0068] 如图1至图3所示,显示装置可以为采用双栅(dual gate)结构的显示装置,如沿X方向排列的相邻两条数据线13之间设置有两列子像素,沿Y方向排列的相邻两行子像素之间设置有两条栅线16。通过采用双栅技术,有利于减少数据线数量,进而减少源极驱动芯片的数量,以降低成本。显示装置还包括黑矩阵14,黑矩阵14包括多个开口15以限定子像素的出光区。

[0069] 采用双栅设计的大尺寸显示装置的显示面板中,通常采用顶层透明导电层,如氧化铟锡(ITO)为公共电极的像素结构,如图2所示的公共电极11。位于数据线13两侧的公共电极11通过连接部12电连接,如连接部12位于相邻子像素的中部之间的区域。

[0070] 在研究中,本申请的发明人发现,采用双栅技术的大尺寸显示面板容易出现负载较大的问题,对此可以通过增加像素电极与数据线之间的距离,或者增加公共电极与数据线之间的距离以解决负载较大问题。然而,位于数据线两侧的公共电极通过连接部电连接,由于像素电极或者公共电极与数据线之间的距离增大,该连接部附近的液晶受到的电场作用变弱;用于遮挡数据线的黑矩阵的宽度受开口率限制,不能在连接部位置处设置较大宽度,此时,如果数据线与黑矩阵对位出现偏差,会极大增加连接部位置处的漏光风险。

[0071] 本公开提供一种阵列基板以及显示装置。

[0072] 本公开实施例提供的一种阵列基板包括衬底基板以及位于衬底基板上的第一电极层、多条第一信号线以及多条第二信号线。多条第一信号线沿第一方向排列，多条第二信号线沿第二方向排列，第一方向与第二方向相交。第一电极层包括沿第一方向和第二方向阵列排布的多个第一电极，位于同一条第一信号线两侧且相邻的两个第一电极之间设置有连接部，连接部被配置为连接两个第一电极；相对于经过第一电极的中心区域且沿第一方向延伸的直线，连接部更靠近第二信号线。本公开提供的阵列基板，通过将连接部设置的更靠近第二信号线，以在降低显示装置负载的同时，既不影响开口率，又可以降低漏光的风险。

[0073] 本公开实施例提供的另一种阵列基板包括衬底基板以及位于衬底基板上的多个子像素、多条数据线以及多条公共电极线。衬底基板包括显示区以及位于显示区至少一侧的第一非显示区；多个子像素位于显示区，各子像素包括层叠设置的第一电极和第二电极；多条数据线位于显示区且被配置为与第二电极电连接，多条数据线沿第一方向排列；多条栅线位于显示区且沿第二方向排列，第二方向与第一方向相交；多条公共电极线位于显示区且与第一电极电连接，多条公共电极线与多条数据线沿第一方向交替设置。阵列基板还包括位于第一非显示区的公共信号传输线，公共信号传输线包括第一公共信号传输线和第二公共信号传输线，第二公共信号传输线设置在第一公共信号传输线远离显示区的一侧，公共信号传输线沿第一方向延伸，第一公共信号传输线与多条公共电极线的一部分电连接，第二公共信号传输线与多条公共电极线的另一部分电连接，第一非显示区还包括焊盘区，焊盘区被配置为与电路板电连接。本公开提供的阵列基板，通过设置两条传输不同电信号的第一公共信号传输线和第二公共信号传输线，有利于改善显示亮度不均匀、线性mura等问题。

[0074] 下面结合附图对本公开实施例提供的阵列基板以及显示装置进行描述。

[0075] 图4为根据本公开实施例提供的阵列基板的局部平面结构示意图。图5为图4所示阵列基板中的第二电极层的示意图。图6为图4所示阵列基板中的第二信号线所在层的示意图。图7为图4所示阵列基板中的有源层的示意图。图8为图4所示阵列基板中的第一信号线所在层的示意图。图9为图4所示阵列基板中过孔示意图。图10A为图4所示阵列基板中第一电极层所在层的示意图。

[0076] 如图4至图10A所示，阵列基板包括衬底基板01以及位于衬底基板01上的第一电极层100、多条第一信号线310以及多条第二信号线320，多条第一信号线310沿第一方向排列，多条第二信号线320沿第二方向排列，第一方向与第二方向相交。例如，第一方向可以为图中的X方向，第二方向可以为图中的Y方向，但不限于此，第一方向与第二方向可以互换。例如，第一方向与第二方向之间的夹角可以为80~100度，如第一方向与第二方向垂直。

[0077] 如图4和图10A所示，第一电极层100包括沿第一方向和第二方向阵列排布的多个第一电极110。

[0078] 在一些示例中，如图4所示，阵列基板包括多个子像素400。例如，多个子像素400沿第一方向和第二方向阵列排布。

[0079] 在一些示例中，如图4和图5所示，阵列基板还包括与第一电极层100层叠设置的第二电极层200，第二电极层200包括多个第二电极210，每个子像素400包括一个第二电极

210。例如,第二电极210可以为像素电极。例如,第二电极210可以采用透明导电材料,如氧化铟锡(ITO)。

[0080] 在一些示例中,如图4和图10A所示,相邻两条第一信号线310之间设置有沿第一方向排列的两个子像素400,且沿第二方向排列的相邻两个子像素400之间设置有两第二信号线320,第一信号线310为数据线,第二信号线320为栅线。本公开提供的阵列基板采用了双栅(Dual Gate)技术,如将数据线的数量减少一半,栅线的数量增加一倍的驱动技术,即,将与数据线连接的源极驱动集成电路(integrated circuit, IC)的数量减半,将与栅线连接的栅极驱动集成电路的数量加倍,从而实现成本的降低。

[0081] 在一些示例中,如图4、图8和图10A所示,位于相邻两条第一信号线310之间且沿第一方向排列的相邻子像素400的第一电极110为一体化设置的结构,位于第一信号线310两侧且沿第一方向排列的相邻子像素400的第一电极110之间设置有间隔,且第一信号线310位于间隔中。

[0082] 例如,如图4、图8和图10A所示,各子像素400包括晶体管,晶体管包括第一极330、第二极340、有源层350以及栅极360。例如,栅极360与有源层350交叠,栅极360可以为第二信号线320的一部分。例如,同一条第一信号线310与位于该第一信号线310同一侧且同一行的两个相邻子像素400的晶体管的第一极330连接,上述两个相邻子像素400的第二电极210与晶体管的第二极340连接,可选的,第二极沿着第一方向延伸,在垂直于衬底基板的方向上,与栅线有交叠,上述两个相邻子像素400的晶体管的栅极360与不同第二信号线320电连接,且上述不同第二信号线320分别位于上述两个相邻子像素400在Y方向上的两侧。

[0083] 例如,如图4、图5和图10A所示,相邻两条第一信号线310之间设置有沿第一方向排列的两个第二电极210,一个第一电极110对应两个第二电极210。例如,位于相邻两条第一信号线310之间且沿第一方向排列的两个第二电极210之间的距离小于分别位于第一信号线310两侧且相邻设置的两个第二电极210之间的距离。

[0084] 例如,如图5和图6所示,第二电极210与第二信号线320可以为同层设置的结构。例如,第二电极210与第二信号线320可以采用同一个掩模板形成。例如,第二电极210与第二信号线320的材料不同。例如,第二电极210所在层与第二信号线320所在层之间没有设置绝缘层。例如,第二信号线320所在层包括层叠部3200,该层叠部3200与第二电极210的第二电极连接部211层叠设置,两者之间没有设置绝缘层,且直接接触以实现电连接,有利于提高第二电极的电学性能。

[0085] 例如,如图4、图5、图8以及图9所示,相邻两条第一信号线310之间设置的沿第一方向排列的相邻两个第二电极210中用于与晶体管的第二极340电连接的第二电极连接部211的形状不同,且第二电极连接部211通过贯穿位于第二电极210与晶体管的第二极240之间的绝缘层中的过孔361与晶体管的第二极240电连接。例如,第二电极连接部211在衬底基板01上的正投影位于遮光层(后续描述),如黑矩阵在衬底基板01上的正投影内。

[0086] 例如,如图4和图5所示,相邻两条第一信号线310之间设置的沿第一方向排列的相邻两个第二电极210还包括除第二电极连接部211以外的两个第二电极主体部212,这两个第二电极主体部212相对于公共电极线120(后续描述)基本呈对称分布,有利于提高像素开口率。

[0087] 如图4和图10A所示,位于同一条第一信号线310两侧且相邻的两个第一电极110之

间设置有连接部510,连接部510被配置为连接两个第一电极110。

[0088] 如图4和图10A所示,相对于经过第一电极110的中心区域且沿第一方向延伸的直线,可选的,相对于经过第一电极110的中心且沿第一方向延伸的直线,连接部510更靠近第二信号线320。例如,上述第一电极的“中心区域”可以指包括第一电极的几何中心的区域,该区域可以为围绕几何中心的圆形区域或方形区域等,该区域的面积不超过第一电极的面积10%,如不超过5%,如不超过2%等。

[0089] 本公开提供的阵列基板,通过将连接部设置的更靠近第二信号线,以在降低显示装置负载的同时,既不影响开口率,又可以降低漏光的风险。

[0090] 例如,如图4所示,连接部510与经过第一电极110的中心区域,如位于中心区域的中心,且沿第一方向延伸的直线之间的距离与第一电极110在第二方向上的尺寸之比不小于0.1,如不小于0.2,如不小于0.3,如不小于0.4,且不大于0.5。

[0091] 在一些示例中,如图4和图10A所示,连接部510与两个第一电极110为一体化设置的结构。例如,在垂直于衬底基板01的方向,连接部510与第一信号线310交叠。例如,第一电极层100为公共电极层,连接部510的数量为多个,以用于连接沿第一方向排列的多个第一电极110。例如,公共电极层材料可以采用透明导电材料,如氧化铟锡(ITO)。例如,连接部510在第一方向上的尺寸大于其在第二方向上的尺寸。例如,连接部510可以为沿第一方向延伸的条状。例如,连接部510的沿第二方向延伸的边缘为第一电极110的沿第二方向延伸的边缘的一部分。但不限于此,还可以将第一电极层所在膜层中与第一信号线交叠的部分作为连接部,该连接部两侧的部分作为第一电极。

[0092] 在一些示例中,如图4和图10A所示,在沿第一方向上,相邻两个第一电极110之间设置的连接部510的数量至少为一个。例如,连接部510可以位于子像素500靠近上下两侧第二信号线320的至少一侧的位置。

[0093] 图10A示意性的示出相邻两个第一电极之间设置有一个连接部,但不限于此。图10B为根据本公开实施例的另一示例提供的第一电极所在层的示意图,如图10B所示,至少两个相邻的第一电极之间还可以设置两个连接部511和512,如两个连接部511和512相对于经过第一电极的中心且沿第一方向延伸的直线对称分布;如两个连接部511和512分别靠近位于第一电极110两侧的两条第二信号线320,且两个连接部511和512与两条第二信号线320之间的最小距离之比为0.9~1.1。例如,两个连接部511和512在衬底基板上的正投影均落入黑矩阵(后续描述)在衬底基板上的正投影内。当然,两个连接部511和512也可以为相对于经过第一电极的中心且沿第一方向延伸的直线非对称分布的两个结构,且两个连接部511和512在衬底基板上的正投影均落入黑矩阵在衬底基板上的正投影内。通过在阵列基板中设置两个或两个以上的第一连接部,有利于在降低显示装置负载,既不影响开口率,又可以降低漏光的风险的同时,提高相邻第一电极的电连接效果。

[0094] 在一些示例中,如图4所示,在第二方向上,第一电极110与第二信号线320之间的距离不大于连接部510与第二信号线320之间的距离。例如,第一电极110与第二信号线320之间的最短距离与连接部510与同一条第二信号线320之间的最短距离之比可以为0.1~1,如0.3~0.8,如0.2~0.7,如0.4~0.9,如0.5~0.6等,可以根据需求对连接部与第二信号线之间的距离进行设置。例如,连接部510的沿第一方向延伸且最靠近第二信号线320的边缘可以与第一电极110的最靠近同一条第二信号线320的边缘的至少部分齐平。

[0095] 在一些示例中,如图4和图10A所示,至少部分子像素400中,第一电极包括多个条状电极111,如多个条状电极111间隔设置。例如,至少部分子像素400中包括多畴,通过在一个子像素中设置多畴,增加了采用该阵列基板的显示装置中液晶旋转方向的多样性以缓解显示装置在大视角下的色偏问题。

[0096] 在一些示例中,如图4和图10A所示,同一子像素400中,相邻两畴中条状电极111的延伸方向相交。例如,至少部分子像素400中包括两畴,每畴中的条状电极的延伸方向与第一方向和第二方向均相交。当然,本公开实施例不限于此,如至少部分子像素还可以包括四畴、八畴等;如至少部分子像素中至少部分条状电极可以与第一方向和第二方向至少之一平行。

[0097] 例如,如图4所示,相邻两个子像素的一体化设置的第一电极110中,一个子像素的第一电极110中的至少一个条状电极111与另一个子像素的第一电极110中的至少一个条状电极111位于同一直线上,且两个子像素的第一电极110的中部设置有沿第二方向延伸的分隔部,该分隔部为第一公共电极线层121的一部分。

[0098] 在一些示例中,如图4和图10A所示,连接部510的宽度大于条状电极111的宽度,且连接部510的宽度不大于10微米。例如,连接部510的宽度不大于9微米。例如,连接部510的宽度不大于8微米。例如,连接部510的宽度可以为5微米。例如,条状电极111的宽度可以为2微米。

[0099] 在一些示例中,如图4和图10A所示,连接部510的宽度不小于条状电极111的宽度,且连接部510的宽度不大于第一信号线310的最小线宽。通过对连接部、第一信号线以及条状电极的宽度关系的设置,可以在实现相邻第一电极之间较好电连接效果的同时,尽量降低连接部位置处产生的电场对液晶偏转的影响,以防止漏光。

[0100] 例如,如图4和图6所示,位于相邻两行子像素(如沿X方向排列的多个子像素可以为一行子像素)之间设置的两条第二信号线320的形状不同,如两者在部分位置处的形状互补以提升阵列基板中像素排布的紧凑性。

[0101] 例如,如图4、图8至图10A所示,阵列基板还包括多条公共电极线120,多条公共电极线120和多条第一信号线310沿第一方向交替设置。例如,公共电极线120包括与第一电极110同层设置的第一公共电极线层121,该第一公共电极线层121与第一电极110为一体化的设置的结构,且位于相邻子像素400之间。例如,公共电极线120还包括与第一信号线310同层设置的第二公共电极线层122,第一公共电极线层121通过位于第一公共电极线层121与第二公共电极线层122之间的绝缘层中的过孔362与第二公共电极线层122电连接。例如,相邻设置的一条公共电极线120、一条第一信号线310以及两条第二信号线320限定的区域为子像素400所在的像素区,子像素400所在的区域为用于显示图像的区域。

[0102] 图11为包括上述阵列基板的显示装置的局部结构图。图12为图11所示显示装置中的黑矩阵以及阵列基板的平面关系图。图13为图11所示显示装置中的黑矩阵的平面图。图14为图12的部分位置放大图。图11所示阵列基板可以包括图10A或图10B所示的第一电极所在层的结构。

[0103] 如图11至图14所示,显示装置包括上述任一示例中的阵列基板001以及与阵列基板001相对设置的对置基板002,对置基板002包括遮光层600,遮光层600包括多个开口610以限定子像素400的出光区。例如,遮光层600可以为黑矩阵。例如,对置基板002还包括位于

开口610位置处的彩膜层(未示出)、黑矩阵面向阵列基板一侧的配向膜(未示出)等结构。

[0104] 例如,如图11所示,显示装置可以为液晶显示装置,阵列基板001与对置基板002之间设置有液晶层003。

[0105] 如图11和图13所示,第一信号线310在衬底基板01上的正投影包括第一正投影,连接部510在衬底基板01上的正投影包括第二正投影,第二正投影位于遮光层600在衬底基板01上的正投影内。例如,连接部510完全被遮光层600覆盖。

[0106] 如图12至图14所示,开口610在衬底基板01上的正投影包括第三正投影,第一正投影与第三正投影的彼此靠近的边缘之间的距离为第一距离D1,第一正投影包括与第二正投影交叠的交叠边缘311,交叠边缘311与第三正投影中最靠近交叠边缘的边缘之间的距离为第二距离D2,第二距离D2大于第一距离D1。例如,第一信号线310与开口610的彼此靠近的边缘在第一方向上的最小距离为D1。例如,连接部510与第一信号线310交叠的位置和与其距离最近的开口610之间在平行于XY面上的距离为第二距离D2。

[0107] 例如,如图12所示,第一电极110与第一信号线310之间的距离大于5微米,如5.5~6微米。第二电极210与第一信号线310之间的距离为大于5微米,如5.5~6微米。

[0108] 相对于一般第一电极或第二电极与第一信号线之间的距离为5微米的阵列基板,本公开提供的显示装置,通过增加第一电极或第二电极与第一信号线之间的距离的同时,将连接部的位置设置为其距离遮光层的开口的距离较大,以在降低显示装置负载且不影响开口率的同时,即使黑矩阵出现对位偏差,漏光的风险仍很低。

[0109] 在一些示例中,如图12至图14所示,第一信号线310沿第二方向延伸,开口610包括沿第二方向延伸且最靠近第一信号线310的开口边缘611,连接部510位于开口边缘611和最靠近开口边缘611的第二信号线320之间。

[0110] 在一些示例中,如图11所示,经过连接部510且沿第一方向延伸的直线不经过开口边缘611。例如,连接部510在沿第二方向延伸的直线上的正投影与开口边缘611在沿第二方向延伸的直线上的正投影没有交叠。例如,开口边缘611在衬底基板01上的正投影没有延伸至经过连接部510在衬底基板上的正投影且沿第一方向延伸的直线。

[0111] 通过对连接部与开口边缘的位置关系的设置,有利于增加连接部与开口边缘之间的距离,降低显示装置的漏光风险。

[0112] 图15为根据本公开实施例的另一示例提供的阵列基板的局部平面结构示意图。图16为图15所示阵列基板的局部放大图。图17为图15所示阵列基板中第一信号线所在层的示意图。图15所示阵列基板在一示例中,除第一信号线所在层外的其它层可以与图4至图10B所示阵列基板的各层具有相同的特征,在此不再赘述。

[0113] 在一些示例中,如图15至图17所示,多个子像素400至少包括第一颜色子像素410和第二颜色子像素420,且第一颜色子像素410和第二颜色子像素420均包括多畴。例如,第一颜色子像素410和第二颜色子像素420包括的畴的数量相同。例如,第一颜色子像素410和第二颜色子像素420均包括两畴。但不限于此,第一颜色子像素和第二颜色子像素还可以均包括四畴、八畴等。

[0114] 在一些示例中,如图15至图17所示,第一颜色子像素410和第二颜色子像素420之一的出光区设置有突起部520,突起部520位于多畴中相邻两畴之间。例如,多畴的数量可以为两个,两个畴沿第二方向排列,突起部520位于两个畴之间。

[0115] 在一些示例中,如图15至图17所示,第一颜色子像素410和第二颜色子像素420之一为红色子像素,另一个为蓝色子像素。例如,出光区设置有突起部520的子像素可以为红色子像素或者蓝色子像素。

[0116] 采用负性液晶的显示装置偏振片(POL)对红光和蓝光的吸收率不同,容易产生大视角色偏问题,如大视角偏蓝或者大视角偏红。

[0117] 以出光区设置有突起部的子像素为红色子像素为例,相对于没有设置突起部的显示装置,如显示过程中大视角下会出现偏蓝的问题的显示装置,本公开提供的阵列基板中,通过在红色子像素的出光区设置突起部,使得配向膜在配向过程中,对应突起部的位置处的配向异常,进而使得液晶在对应突起部的位置处无法被正常配向而漏出少量红光,漏出的少量红光可以中和部分蓝光,降低大视角下显示装置偏蓝的影响。

[0118] 以出光区设置有突起部的子像素为蓝色子像素为例,相对于没有设置突起部的显示装置,如显示过程中大视角下会出现偏红的问题的显示装置,本公开提供的阵列基板中,通过在蓝色子像素的出光区设置突起部,使得配向膜在配向过程中,对应突起部的位置处的配向异常,进而使得液晶在对应突起部的位置处无法被正常配向而漏出少量蓝光,漏出的少量蓝光可以中和部分红光,可以降低大视角下显示装置偏红的影响。

[0119] 例如,如图15至图17所示,第一颜色子像素410的出光区设置有突起部520,第二颜色子像素420的出光区不设置突起部520,第一颜色子像素410的数量为多个,至少一个第一颜色子像素410的出光区设置有突起部520,如每个第一颜色子像素410的出光区均设置突起部520,突起部520的数量为多个,且多个突起部520均匀设置。

[0120] 例如,如图15所示,多个子像素400还包括第三颜色子像素,第三颜色子像素可以为绿色子像素。例如,绿色子像素的出光区不设置突起部。

[0121] 在一些示例中,如图15和图16所示,沿垂直于衬底基板01的方向,突起部520与相邻两畴至少之一中的条状电极111交叠,或者突起部520与条状电极111没有交叠。例如,突起部520可以包括多个子部,每个子部仅与相邻条状电极111之间的间隔交叠。

[0122] 在一些示例中,如图15和图16所示,在垂直于衬底基板01的方向上,突起部520的边缘与相邻子像素400的出光区没有交叠,以防止对与突起部520所在子像素400相邻的子像素400的出光区产生影响。例如,突起部520的边缘位于子像素400的出光区内。但不限于此,突起部的边缘也可以与黑矩阵交叠。例如,突起部520在第一方向上的尺寸大于1微米。例如,突起部520在第一方向上的尺寸大于1.5微米。

[0123] 在一些示例中,如图15和图16所示,突起部520在相邻两畴的排列方向上的尺寸为1.5~6微米。

[0124] 例如,突起部520在相邻两畴的排列方向上的尺寸不大于4.8微米。例如,突起部520在相邻两畴的排列方向上的尺寸不大于4.5微米。例如,突起部520在相邻两畴的排列方向上的尺寸不大于4.2微米。例如,突起部520在相邻两畴的排列方向上的尺寸不大于4微米。例如,突起部520在相邻两畴的排列方向上的尺寸可以为2微米。例如,突起部520在相邻两畴的排列方向上的尺寸可以为2.5微米。例如,突起部520在相邻两畴的排列方向上的尺寸可以为3微米。

[0125] 例如,如图15和图16所示,突起部520的延伸方向与位于其两侧的相邻两畴的排列方向相交。例如,突起部520沿第一方向延伸,相邻两畴沿第二方向排列。例如,突起部520在

第一方向上的尺寸不大于其所在出光区在第一方向上的尺寸。

[0126] 通过对突起部的尺寸以及位置的设置,有利于实现其所在子像素漏出一定量光,进而中和另一颜色光,以缓解大角度下色偏现象。

[0127] 例如,图15和图16示意性的示出同一个出光区设置的突起部的数量为一个,但不限于此,同一个出光区设置的突起部的数量可以为多个,如两个、三个或者更多个,且多个突起部中位于最边缘的两端不超过出光区的边缘。

[0128] 在一些示例中,如图15至图17所示,突起部520与第一信号线310和第二信号线320之一同层设置。例如,突起部520与第一信号线310同层设置。例如,突起部520不与任何信号线电连接,如处于浮置(floating)状态。

[0129] 当然,本公开实施例不限于此,突起部还可以与第二信号线同层设置。在其他示例中,突起部也可以为绝缘层中的一部分,如通过半色调掩模工艺等在绝缘层中形成厚度较其他位置较大的突起部。

[0130] 本公开实施例示意性的示出第二电极层与第二信号线位于不同层,但不限于此,第二电极层还可以与第二信号线位于同一层,此时突起部与第一信号线同层设置。例如,第二电极与第一信号线和第二信号线之一同层设置,突起部与第一信号线和第二信号线中的另一个同层设置。

[0131] 需要说明的是,本案中示意了双栅结构,这样设置可以减少数据线的数量,当然本案也可以是单栅结构,即同一行栅线对应一行像素行,且相邻两列子像素列连接不同的数据线,具体显示架构本案不限定。

[0132] 图18为根据本公开实施例提供的阵列基板的平面结构示意图。图18所示阵列基板可以包括上述任一示例中的阵列基板。

[0133] 在一些示例中,如图18所示,阵列基板包括显示区10和位于显示区10至少一侧的非显示区20,多个子像素400、多条第一信号线310和多条第二信号线320均位于显示区10。

[0134] 在一些示例中,如图18所示,阵列基板还包括位于非显示区20的且与第二信号线320同层设置的多条信号传输线710,以及与信号传输线710电连接的连接走线720,连接走线720沿第一方向延伸,信号传输线710沿第二方向延伸,连接走线720与第一信号线310同层设置。例如,信号传输线710通过连接走线720与第二信号线320电连接。

[0135] 图19为一种阵列基板中的信号传输线和连接走线的示意图。

[0136] 在研究中,本申请的发明人发现:如图19所示,连接走线720通过转接部702实现信号传输线710与连接走线720的电连接,至少一条连接走线720需要跨过位于其与显示区之间的信号传输线710以与相应的第二信号线320电连接,被连接走线720跨越的位置设置有开口701以减小两者交叠面积,进而降低信号线负载,但是连接走线720位于信号传输线710远离衬底基板的一侧,连接走线720跨越一条信号传输线710则需要爬坡两次,连接走线720跨越的信号传输线710的数量越多,爬坡的次数越多,不仅影响非显示区位置处的平坦性,还容易导致连接走线出现断线风险。

[0137] 图20为根据本公开实施例提供的信号传输线、连接走线以及连接结构的示意图。图21为图20所示信号传输线的示意图。图22为图20所示连接走线的示意图。图23和图24为图20所示过孔以及连接结构的示意图。

[0138] 在一些示例中,如图18、图20至图24所示,沿垂直于衬底基板01的方向,至少一条

信号传输线710与连接走线720交叠,且信号传输线710中与连接走线720交叠部分的边缘包括凹口711,以使交叠部分在连接走线720的延伸方向上的尺寸小于与信号传输线710中除交叠部分以外的至少部分位置在连接走线720的延伸方向上的尺寸。例如,信号传输线710可以包括时钟信号(clock)线,用于给设置在显示面板非显示区的栅极驱动电路提供时钟信号,栅极驱动电路用于给显示面板显示区域的栅线电连接,可选的,信号传输线还可以包括用于给栅极驱动电路提供的直流信号,例如VGH或这VGL信号,或者还包括用于给栅极驱动电路提供初始信号(STV)等,在此不限定。

[0139] 例如,如图21所示,交叠部分在第一方向上的尺寸为D01,交叠部分以外且与交叠部分距离最近的部分在第一方向上的尺寸为D02,如D02可以为信号传输线710的线宽(其在第一方向上宽度最大的位置处的尺寸)D01小于D02。例如,D01与D02之比可以为0.1~0.9,如0.3~0.8,如0.4~0.6以平衡电容和电阻。

[0140] 相对于图19所示的在信号传输线与连接走线交叠位置设置开口的方案,本公开提供的阵列基板中,通过在信号传输线中与连接走线的边缘位置设置凹口,可以在不改变电阻和电容的情况下,减少连接走线跨越信号传输线时爬坡的次数,以降低连接走线出现断线的风险。

[0141] 例如,如图20至图24所示,连接走线720通过位于其与连接结构731之间的绝缘层中的过孔733与连接结构731连接,信号传输线710通过位于其与连接结构731之间的绝缘层中的过孔732与连接结构731连接,从而实现连接走线720与信号传输线710的连接。例如,连接结构731可以与第一电极层和第二电极层之一同层设置。例如,过孔733的数量可以为多个,过孔732的数量可以为多个。

[0142] 例如,如图20所示,每条信号传输线710包括多个凹口711,且信号传输线710的沿第二方向延伸的两条边缘均设置凹口711,上述多个凹口711相对于每条信号传输线710的沿第二方向延伸的中心线对称分布。

[0143] 例如,参考图20,信号传输线通过连接结构和连接走线实现电连接,在连接结构位置处,连接走线和连接结构连接处至少部分设置在凹口位置。

[0144] 例如,如图20所示,信号传输线710的数量为多条,不同信号传输线710中的凹口711的具有相同的分布,以方便制作。

[0145] 例如,如图20所示,信号传输线710中位于在沿第一方向上排列的两个凹口711之间的部分为收窄部712。例如,至少一条信号传输线710包括多个收窄部712,多个收窄部712在第二方向上均匀设置。

[0146] 例如,如图20所示,至少一条信号传输线710的至少一个收窄部712与连接走线720没有交叠。例如,至少一条信号传输线710的各收窄部712均与连接走线720没有交叠。例如,至少一条信号传输线710的多个收窄部712中与连接走线720交叠的数量可以小于、等于或者大于多个收窄部712中没有与连接走线720交叠的数量。

[0147] 例如,如图20和图22所示,连接走线720包括沿第一方向延伸的第一连接走线部721和沿第二方向延伸的第二连接走线部722,第一连接走线部721和第二连接走线部722可以为一体化设置的结构。例如,第一连接走线部721与第二连接走线部722形成的拐角处与凹口711交叠,如第一连接走线部721与第二连接走线部722形成的拐角处与信号传输线710没有交叠。

[0148] 例如,如图20和图21所示,至少一些信号传输线710中不与信号传输线交叠的部分设置有开槽713。例如,相邻收窄部712之间设置有多个开槽713。例如,相邻收窄部712之间的多个开槽713沿第一方向和第二方向阵列排布。

[0149] 图25为一种阵列基板的局部平面结构示意图。图26至图28为图25所示阵列基板中不同膜层的示意图。

[0150] 如图25至图28所示,该阵列基板可以包括上述实施例中的子像素400、第一信号线310、第二信号线320以及公共电极线120,子像素400共用第一电极层100,上述子像素400、第一信号线310、第二信号线320以及公共电极线120均位于显示区。图25至图28所示阵列基板还包括位于非显示区的公共信号传输线80,各公共电极线120均与同一条公共信号传输线80电连接。

[0151] 在研究中,本申请的发明人发现:显示装置可以为液晶显示装置,随着液晶光效的不断提高,液晶中大极性单体的含量不断提高,由于受到液晶层包括的液晶中大极性单体成分的影响,在显示装置长期显示棋盘格或其他类似黑白格画面时,黑色画面与白色画面交叠位置容易出现线性污渍问题。

[0152] 本公开实施例提供一种阵列基板,该阵列基板包括衬底基板以及位于衬底基板上的多个子像素、多条数据线以及多条公共电极线。衬底基板包括显示区以及位于显示区至少一侧的第一非显示区;多个子像素位于显示区,各子像素包括层叠设置的第一电极和第二电极;多条数据线位于显示区且被配置为与第二电极电连接,多条数据线沿第一方向排列;多条栅线位于显示区且沿第二方向排列,第二方向与第一方向相交;多条公共电极线位于显示区且与第一电极电连接,多条公共电极线与多条数据线沿第一方向交替设置。阵列基板还包括位于第一非显示区的公共信号传输线,公共信号传输线包括第一公共信号传输线和第二公共信号传输线,第二公共信号传输线设置在第一公共信号传输线远离显示区的一侧,公共信号传输线沿第一方向延伸,第一公共信号传输线与多条公共电极线的一部分电连接,第二公共信号传输线与多条公共电极线的另一部分电连接,第一非显示区还包括焊盘区,焊盘区被配置为与电路板电连接。本公开提供的阵列基板,通过设置第一公共信号传输线和第二公共信号传输线,有利于改善显示亮度不均匀、线性mura等问题。

[0153] 在一些示例中,第一公共信号传输线和第二公共信号传输线被配置为传输不同电信号,通过设置传输不同电信号的第一公共信号传输线和第二公共信号传输线,有利于改善显示亮度不均匀、线性mura等问题。

[0154] 图29为根据本公开实施例提供的阵列基板的平面结构示意图。图30为图29所示阵列基板中的显示区和第二非显示区的局部放大图。图31为图30所示阵列基板的子像素的第二电极所在层的示意图。图32为图30所示阵列基板的栅线所在层的示意图。图33为图30所示阵列基板的数据线所在层的示意图。图34为图30所示阵列基板的过孔的示意图。图35为图30所示阵列基板的子像素的第一电极所在层的示意图。

[0155] 如图29所示,阵列基板包括衬底基板01,衬底基板01包括显示区10以及位于显示区10至少一侧的第一非显示区21。阵列基板包括位于衬底基板01上的多个子像素400、多条数据线310、多条栅线320以及多条公共电极线120。多个子像素400、多条数据线310、多条栅线320以及多条公共电极线120均位于显示区10。

[0156] 如图29至图31以及图34所示,各子像素400包括层叠设置的第一电极110和第二电

极210。图29至图34所示阵列基板中子像素400包括的第二电极210可以与图4至图17所示阵列基板中的子像素400包括的第二电极210具有相同的特征,在此不再赘述。

[0157] 如图29、图30、图32和图33所示,多条数据线310被配置为与子像素400的第二电极210电连接,且多条数据线沿第一方向排列;多条栅线320沿第二方向排列,第二方向与第一方向相交。

[0158] 在一些示例中,如图29至图35所示,沿第二方向排列的相邻两个子像素400之间设置有两条栅线320,相邻两条数据线310之间设置有沿第一方向排列的两个子像素400,两个子像素400的第一电极110为一体化设置的结构。

[0159] 图29至图35所示阵列基板中的数据线310与图4至图17所示阵列基板中的第一信号线310具有相同的特征,图29至图35所示阵列基板中的栅线320与图4至图17所示阵列基板中的第二信号线320具有相同的特征,在此不再赘述。图29至图35所示阵列基板中的第一方向与第二方向可以参考图4至图17所示阵列基板中的第一方向与第二方向,在此不再赘述。图29至图35所示阵列基板中子像素400、数据线310以及栅线320的位置关系可以参考图4至图17所示阵列基板中子像素400、数据线310以及栅线320的位置关系。

[0160] 例如,图29至图35所示阵列基板还包括图4至图17所示阵列基板中的晶体管,晶体管与数据线、栅线以及子像素的第一电极的连接关系均可参考图4至图17所示阵列基板中的相应连接关系。

[0161] 如图29、图30、图33以及图35所示,多条公共电极线120与子像素400的第一电极110电连接,且多条公共电极线120与多条数据线310沿第一方向交替设置。

[0162] 在一些示例中,如图29、图30、图33以及图35所示,至少一条公共电极线120包括层叠设置的第一导电层122和第二导电层121,第一导电层122与数据线310同层设置,第二导电层121与第一电极110同层设置。

[0163] 图33所示公共电极线120的第一导电层122与图8所示公共电极线120的第二公共电极线层122具有相同的特征,图33所示公共电极线120的第一导电层122可参考图8所示公共电极线120的第二公共电极线层122的相关描述;图35所示公共电极线120的第二导电层121与图10A或图10B所示公共电极线120的第一公共电极线层121具有相同的特征,图35所示公共电极线120的第二导电层121可参考图10A或图10B所示公共电极线120的第一公共电极线层121的相关描述。

[0164] 如图29所示,阵列基板还包括位于第一非显示区21的公共信号传输线800,公共信号传输线800包括第一公共信号传输线810和第二公共信号传输线820,第二公共信号传输线820设置在第一公共信号传输线810远离显示区10的一侧,公共信号传输线800沿第一方向延伸。例如,第一公共信号传输线810与所述第二公共信号传输线820平行设置。

[0165] 如图29所示,第一公共信号传输线810和第二公共信号传输线820被配置为传输不同电信号,第一公共信号传输线810与多条公共电极线120的一部分电连接,第二公共信号传输线820与多条公共电极线120的另一部分电连接。例如,多条公共电极线120的数量为N,其中M条公共电极线120与第一公共信号传输线810电连接,(N-M)条公共电极线120与第二公共信号传输线820电连接,M和N均为正整数,且M小于N。例如,与第一公共信号传输线810电连接的公共电极线120的数量等于与第二公共信号传输线820电连接的公共电极线120的数量。但不限于此,根据显示需求,与第一公共信号传输线和与第二公共信号传输线电连接

的公共电极线的数量可以不同。

[0166] 如图29所示,第一非显示区21还包括焊盘区910,焊盘区910被配置为与电路板电连接。例如,第二公共信号传输线820位于第一公共信号传输线810与焊盘区910之间。例如,焊盘区910包括与电路板电连接的多个焊盘。例如,电路板可以为柔性电路板(Flexible Printed Circuit,FPC)、印刷电路板(Printed circuit boards,PCB)等。

[0167] 本公开提供的阵列基板,通过设置两条传输不同电信号的第一公共信号传输线 and 第二公共信号传输线,可以通过灵活调节两者传输的电信号的差异,以降低包括该阵列基板的显示装置显示时出现亮度不均匀的程度。

[0168] 在一些示例中,如图29和图30所示,阵列基板还包括第二非显示区22,第一非显示区21、显示区10和第二非显示区22沿第二方向依次排布。例如,第一非显示区21和第二非显示区22位于显示区10在第二方向上的两侧。公共信号传输线800还包括位于第二非显示区22的第三公共信号传输线830和第四公共信号传输线840,第四公共信号传输线840位于第三公共信号传输线830远离显示区10的一侧,第三公共信号传输线830和第二公共信号传输线820电连接,第四公共信号传输线840和第一公共信号传输线810电连接。

[0169] 在一些示例中,如图29、图30以及图32所示,公共信号传输线800的至少部分与栅线320同层设置。例如,第一公共信号传输线810、第二公共信号传输线820、第三公共信号传输线830以及第四公共信号传输线840可以为同层设置的结构。例如,第三公共信号传输线830与第四公共信号传输线840平行设置。

[0170] 例如,如图29所示,至少一条公共电极线120的两端分别与第一公共信号传输线810和第四公共信号传输线840连接;至少一条公共电极线120的两端分别与第二公共信号传输线820和第三公共信号传输线830连接。

[0171] 在一些示例中,如图29所示,阵列基板还包括第三非显示区23和第四非显示区24,第三非显示区23、显示区10以及第四非显示区24沿第一方向依次排列。例如,显示区10位于第三非显示区23和第四非显示区24之间。例如,第一非显示区21、第二非显示区22、第三非显示区23以及第四非显示区24形成围绕显示区10的一圈非显示区。

[0172] 在一些示例中,如图29所示,第三非显示区23设置有连接第二公共信号传输线820和第三公共信号传输线830的第一连接线801,第四非显示区24设置有连接第一公共信号传输线810和第四公共信号传输线840的第二连接线802,第一连接线801的至少部分、第二连接线802的至少部分以及公共信号传输线800的至少部分为同层设置的结构。例如,第一公共信号传输线810、第四公共信号传输线840以及第二连接线802可以为一体化设置的结构,第二公共信号传输线820、第三公共信号传输线830以及第一连接线801可以为一体化设置的结构。当然,本公开实施例不限于此,第一连接线和第二连接线至少之一还可以通过其它转接层与公共信号传输线连接。

[0173] 在一些示例中,如图29、图30以及图35所示,位于相邻数据线310之间的两列子像素400的第一电极110与同一条公共电极线120电连接,且分别位于同一条数据线310两侧且与同一条数据线310距离最近的两列子像素400的第一电极110间隔设置,且分别与第一公共信号传输线810和第二公共信号传输线820电连接。例如,位于数据线310两侧且沿第一方向排列的两个子像素400的第一电极110绝缘设置,以分别与第三公共信号线830和第四公共信号线840电连接。本公开中的行与列可以互换。

[0174] 例如,如图29、图30以及图35所示,多条公共电极线120中的第奇数条公共电极线120与第三公共信号传输线830和第四公共信号传输线840之一电连接,第偶数条公共电极线120与第三公共信号传输线830和第四公共信号传输线840中的另一条电连接。通过将第奇数条和第偶数条公共电极线分开引出,并从外部电路获得两个独立的公共电平电压,以根据线性污渍的位置设置不同电平,从而微调黑白边界处的像素亮度,改善线性污渍问题。

[0175] 当然,本公开实施例不限于此,可以根据现实需要,对公共电极线与公共信号传输线的连接关系进行设置,如对多条公共电极线进行分组,每组包括至少两条且相邻设置的公共电极线,每组公共电极线连接至同一条公共信号传输线,如不同组公共电极线的数量可以相同,也可以不同。公共电极线的奇偶分离不局限于上述沿第一方向排列的多条公共电极线。如果公共电极线沿第二方向排列,则同样可将奇偶行的公共电极线进行分离。

[0176] 在一些示例中,如图29、图30、图33和图35所示,阵列基板还包括转接部920,至少一条公共电极线120通过转接部920与公共信号传输线800电连接,转接部920包括层叠设置的第一转接层921和第二转接层922,第一转接层921与第一导电层122同层设置,第二转接层922与第二导电层121同层设置。

[0177] 例如,如图33所示,第一转接层921与第一导电层122可以为一体化设置的结构。

[0178] 例如,如图35所示,部分第二转接层922与第二导电层121可以为一体化设置的结构,该部分第二转接层922与第三公共信号传输线830连接,另一部分第二转接层922与第二导电层121间隔设置,该部分第二转接层922与第四公共信号传输线840连接。

[0179] 例如,如图30至图35所示,第二转接层922通过多个过孔363的一部分与第一转接层921电连接,第一转接层921通过多个过孔363的另一部分与第三公共信号传输线830以及第四公共信号传输线840连接。

[0180] 例如,如图32所示,第三公共信号传输线830与第四公共信号传输线840之间的间隔的尺寸小于第三公共信号传输线830和第四公共信号传输线840至少之一的宽度。例如,第三公共信号传输线830与第四公共信号传输线840的宽度之比为0.9~1.1,如第三公共信号传输线830与第四公共信号传输线840的宽度相等。

[0181] 例如,第三公共信号传输线830和第四公共信号传输线840至少之一可以设置多个开槽(图中未示出)以提高配向膜配向的均匀性。

[0182] 在一些示例中,如图29所示,第三非显示区23设置有第五公共信号传输线850、第一栅极驱动电路930以及第一公共信号反馈线940,第五公共信号传输线850和第一公共信号反馈线940均与第三公共信号传输线830电连接,第一栅极驱动电路930与多条栅线320电连接,第五公共信号传输线850和第一公共信号反馈线840均位于第一栅极驱动电路930远离显示区10的一侧,第一连接线801位于第一栅极驱动电路930与显示区10之间。

[0183] 例如,栅线320可以通过图22所示的连接走线720与第一栅极驱动电路930。例如,第一栅极驱动电路930可以包括图20所示的信号传输线710。例如,第一栅极驱动电路930可以是GOA栅极驱动电路。

[0184] 例如,显示区远离电路板的区域为远端,显示区靠近电路板的区域为近端,第一公共信号反馈线940可以用于检测远端的公共信号,当第一公共信号反馈线940检测到远端的公共信号的波形有较大的起伏时,可以通过第五公共信号传输线850对上述远端的公共信号进行补偿;当第一公共信号反馈线940检测到远端的公共信号正常时,第五公共信号传输

线850被输入一般的公共信号。例如,当检测到远端的公共信号的波形相对于公共信号平衡点的电压向上波动时,补偿方式采用反向互补,补偿信号作用在上述波形时,可以将上述向上波动拉回到平衡点。

[0185] 在一些示例中,如图29所示,第四非显示区24设置有第六公共信号传输线860、第二栅极驱动电路950以及第二公共信号反馈线960,第六公共信号传输线860和第二公共信号反馈线960均与第四公共信号传输线840电连接,第二栅极驱动电路950与多条栅线320电连接,第六公共信号传输线860和第二公共信号反馈线960均位于第二栅极驱动电路950远离显示区10的一侧,第二连接线802位于第二栅极驱动电路950与显示区10之间。

[0186] 例如,如图29所示,阵列基板采用双边栅极驱动技术。例如,第二栅极驱动电路950可以与第一栅极驱动结构930具有相同的特征,第二公共信号反馈线960可以与第一公共信号反馈线940具有相同的特征,第六公共信号传输线860可以与第五公共信号传输线850具有相同的特征,在此不再赘述。

[0187] 例如,如图29所示,阵列基板还包括接地线(GND) 972、测试信号线(如增强信号线, Addition Line, ADD) 971、ESD静电释放电路975、静电释放环(inner short ring) 973和974。例如,阵列基板中的公共信号传输线还包括传输线871和872,但不限于此,传输线871和872也可以省去。

[0188] 本公开另一实施例提供一种显示装置,包括图29至图35任一项所示的阵列基板。

[0189] 例如,显示装置还可以包括对置基板。例如,对置基板设置有黑矩阵以及彩膜层。例如,显示装置还包括位于阵列基板与对置基板之间的液晶层。

[0190] 例如,本公开实施例提供的上述任一显示装置可以为:手机、平板电脑、电视机、显示器、笔记本电脑、数码相框、导航仪、智能手表、健身腕带、个人数字助理等任何具有显示功能的产品或部件。该显示装置包括但不限于:射频单元、网络模块、音频输出&输入单元、传感器、用户输入单元、接口单元、存储器、处理器、以及电源等部件。另外,本领域技术人员可以理解的是,上述结构并不构成对本公开实施例提供的上述显示装置的限定,换言之,在本公开实施例提供的上述显示装置中可以包括上述更多或更少的部件,或者组合某些部件,或者不同的部件布置。

[0191] 有以下几点需要说明:

[0192] (1) 本公开的实施例附图中,只涉及到与本公开实施例涉及到的结构,其他结构可参考通常设计。

[0193] (2) 在不冲突的情况下,本公开同一实施例及不同实施例中的特征可以相互组合。

[0194] 以上所述仅是本公开的示范性实施方式,而非用于限制本公开的保护范围,本公开的保护范围由所附的权利要求确定。

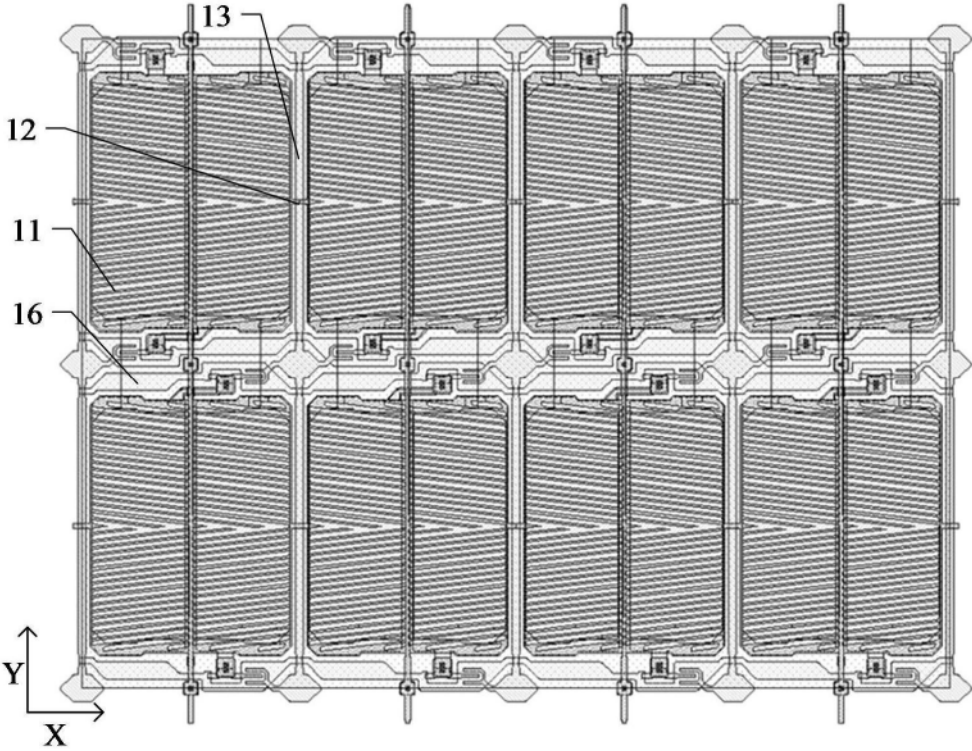


图1

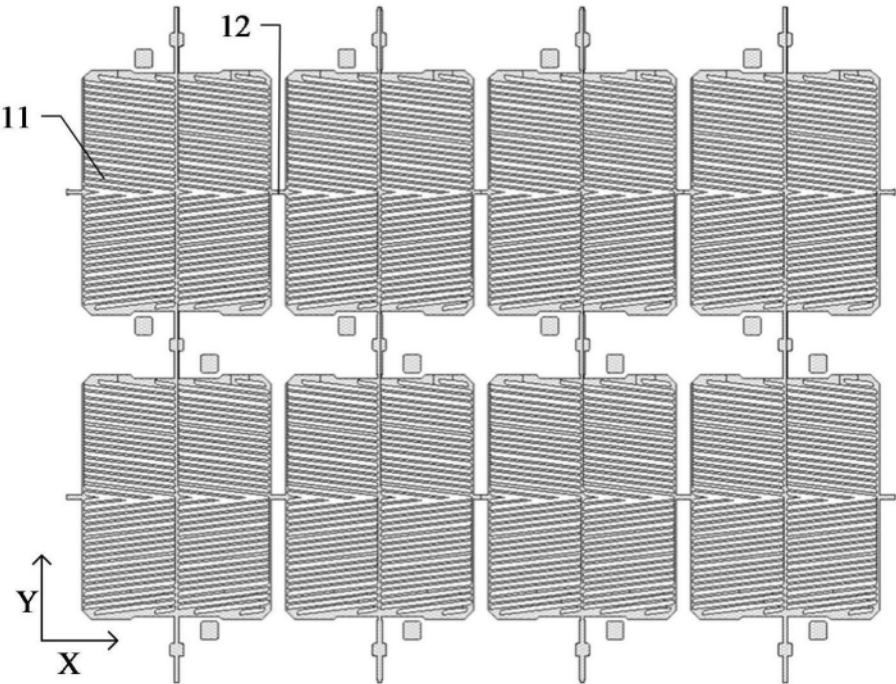


图2

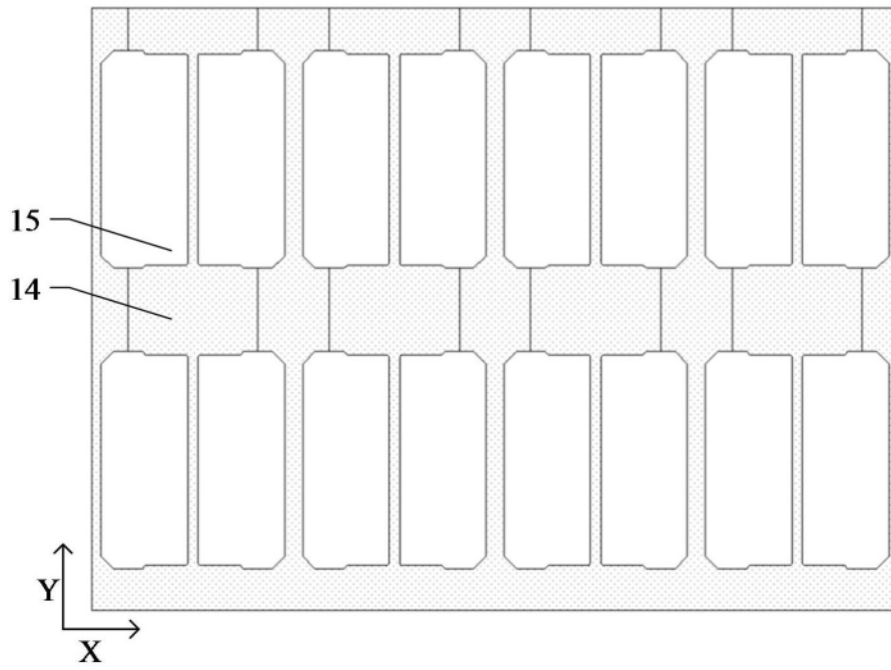


图3

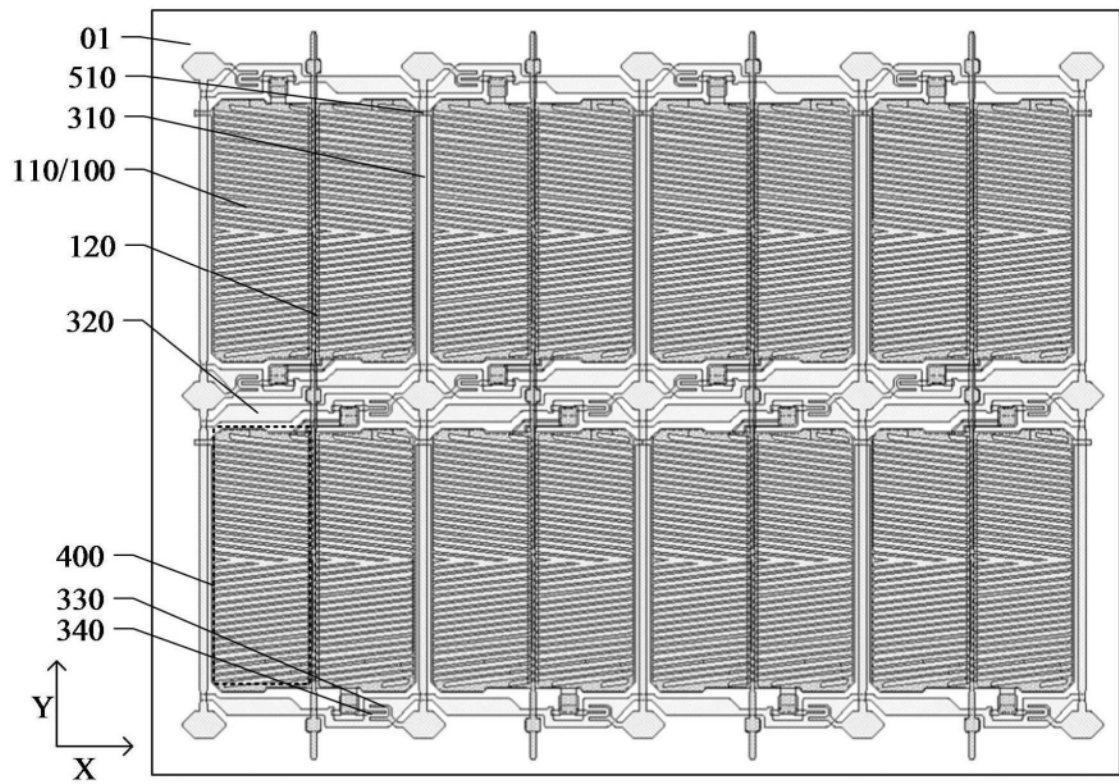


图4

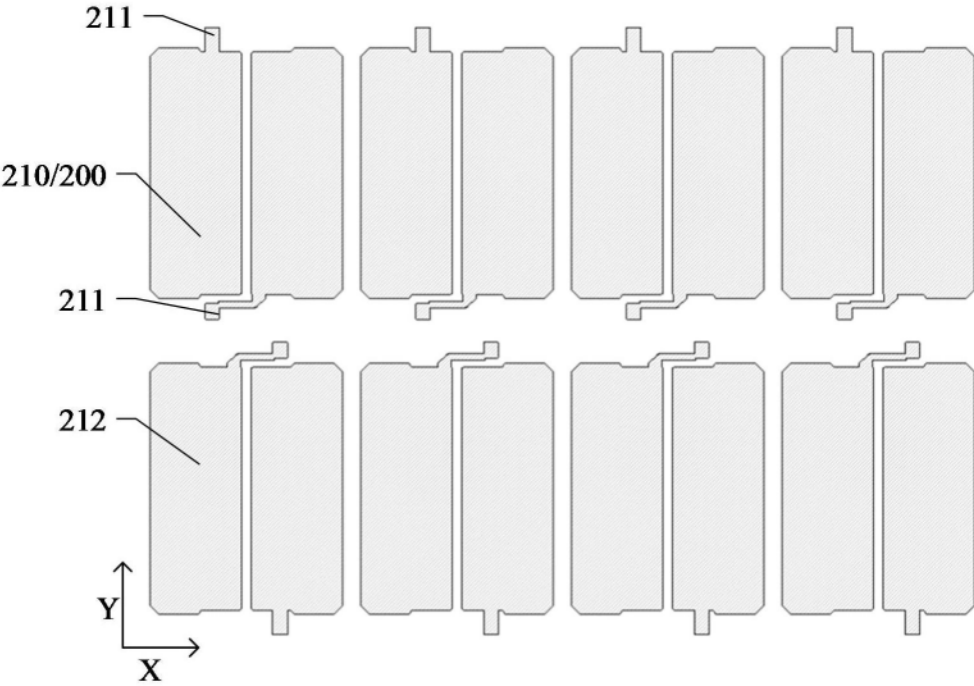


图5

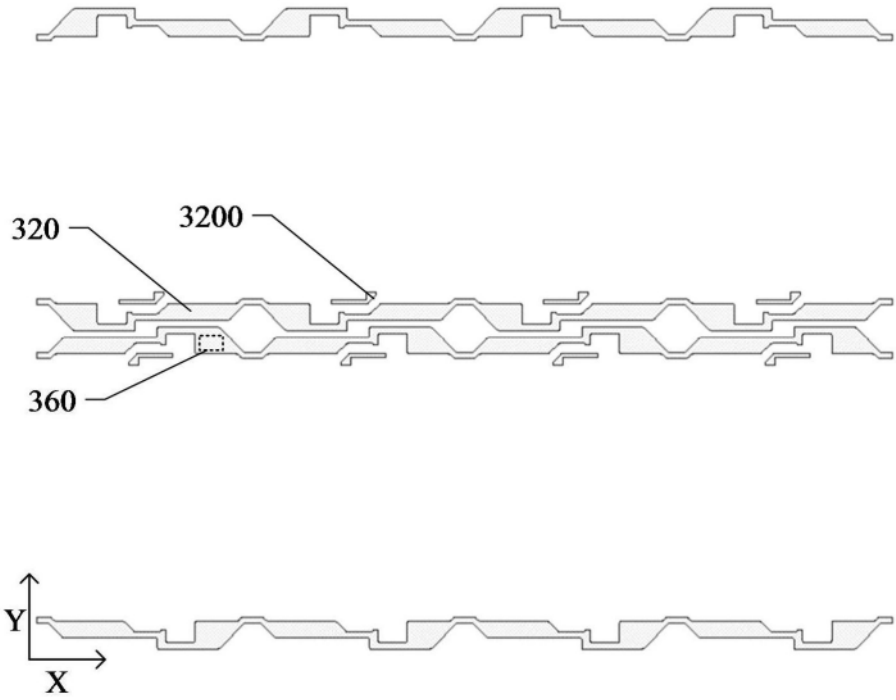


图6

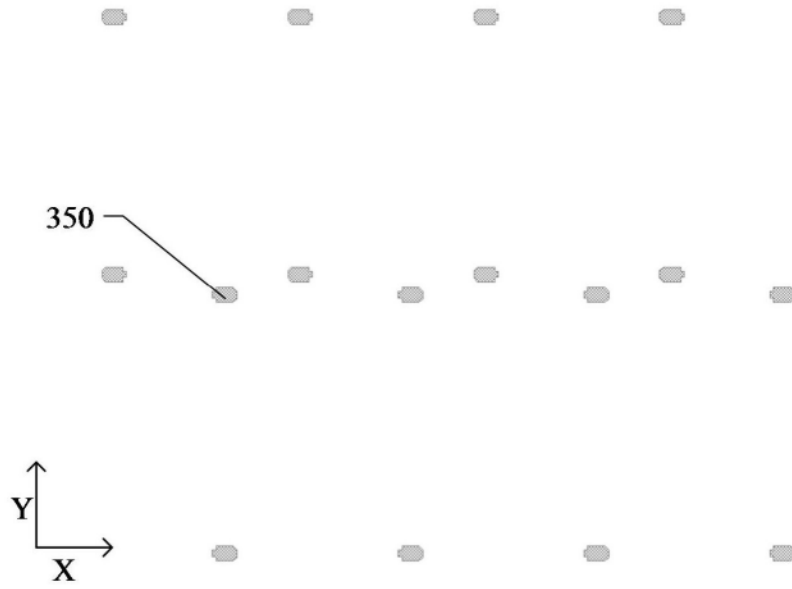


图7

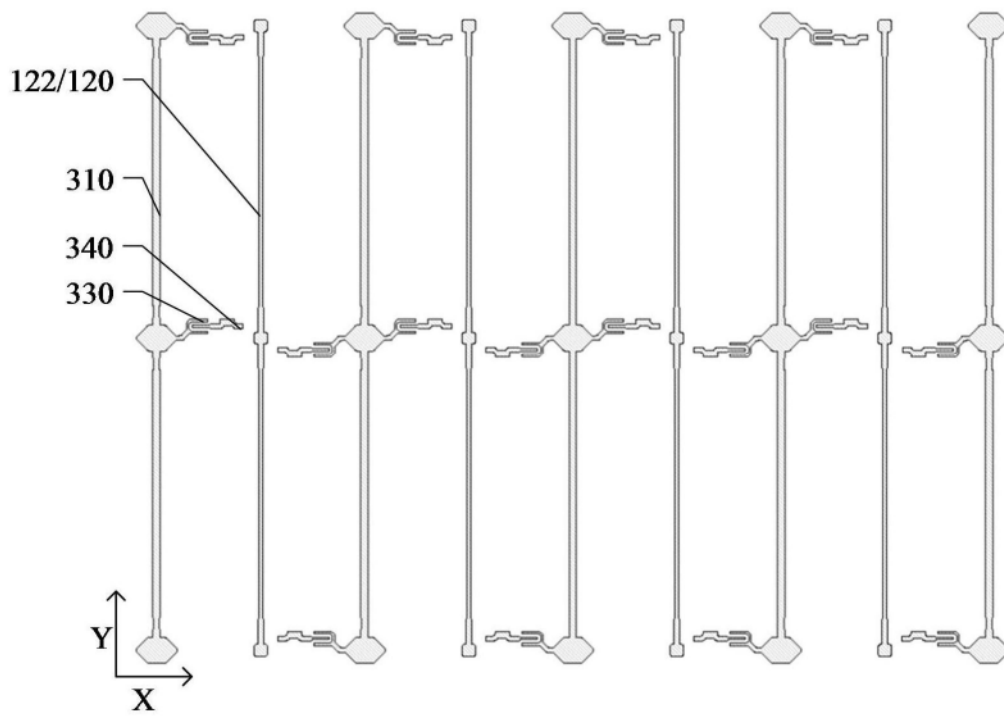


图8

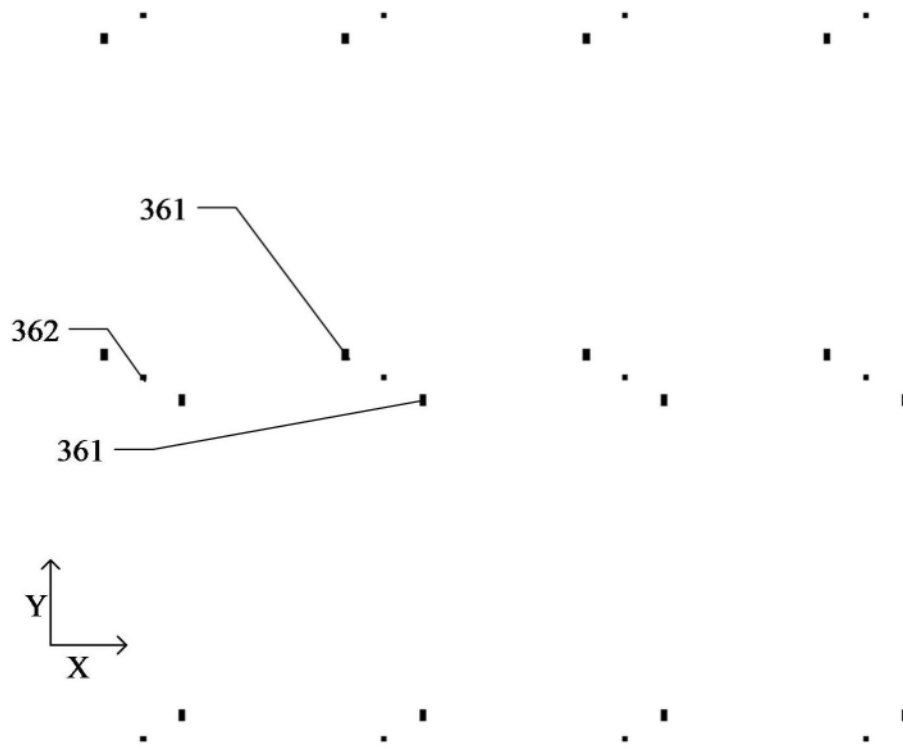


图9

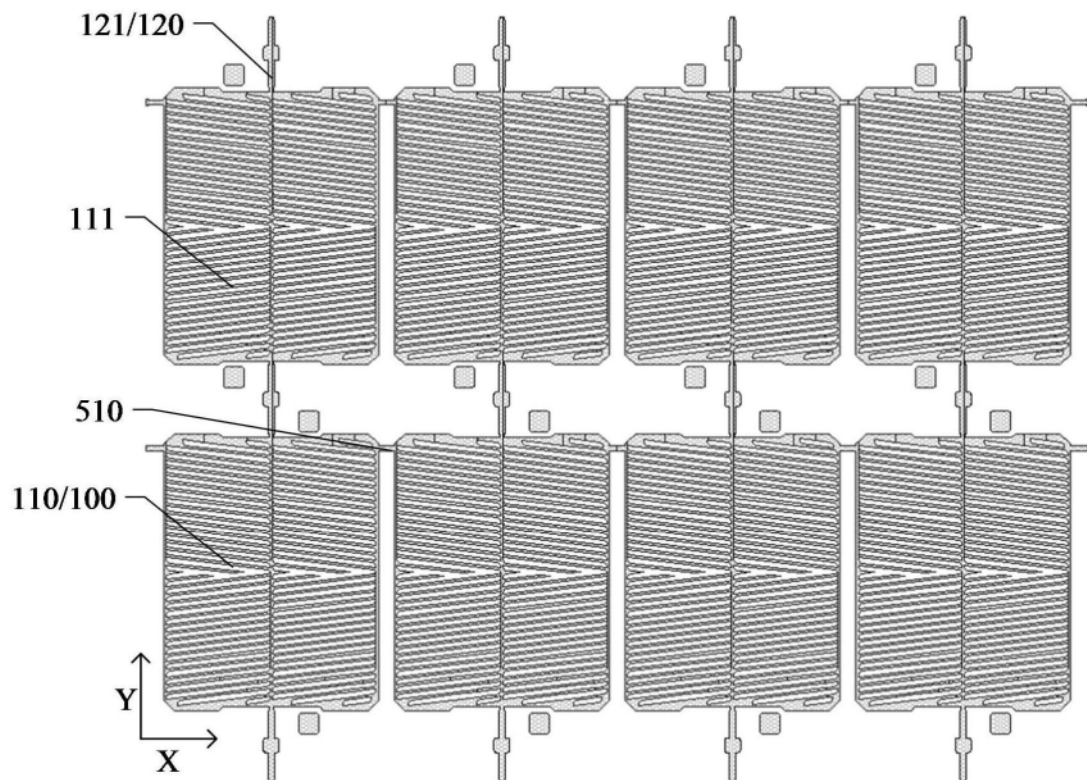


图10A

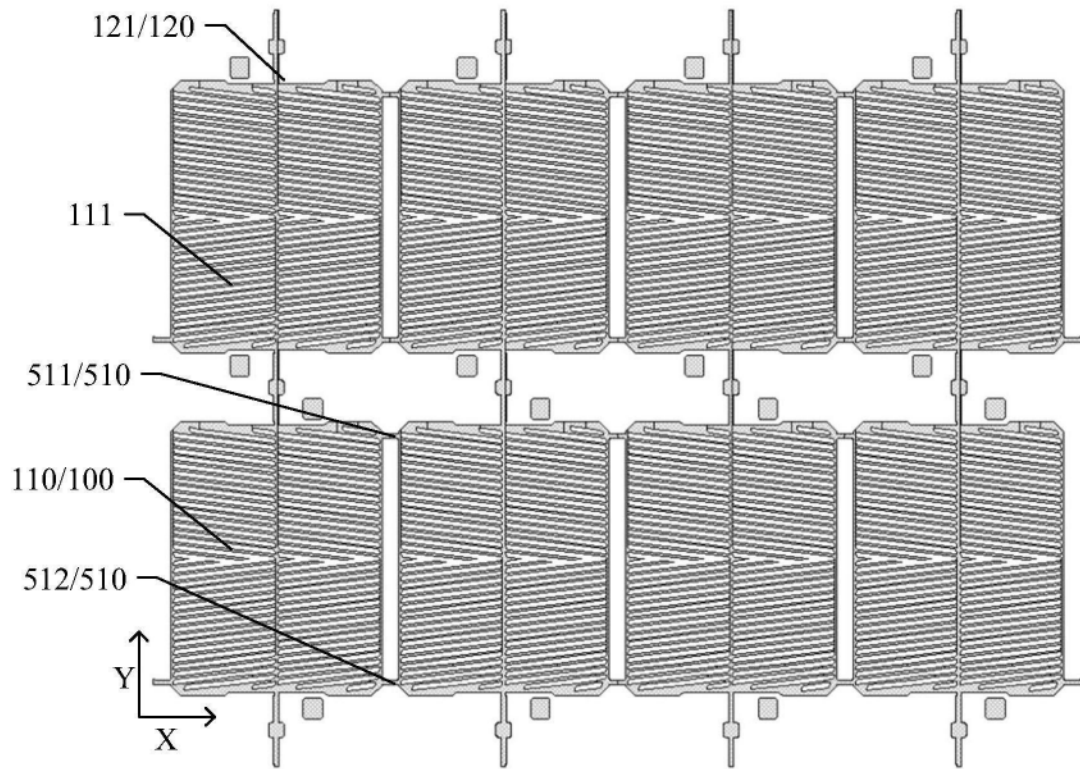


图10B

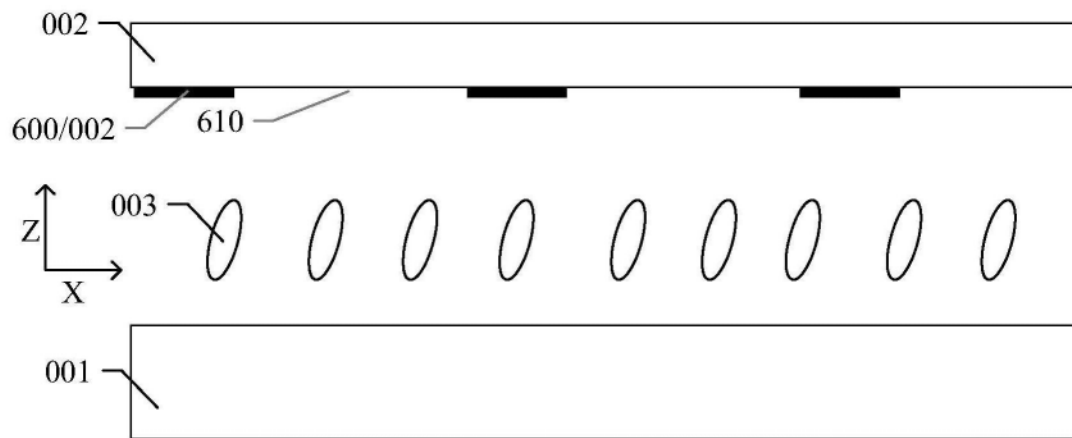


图11

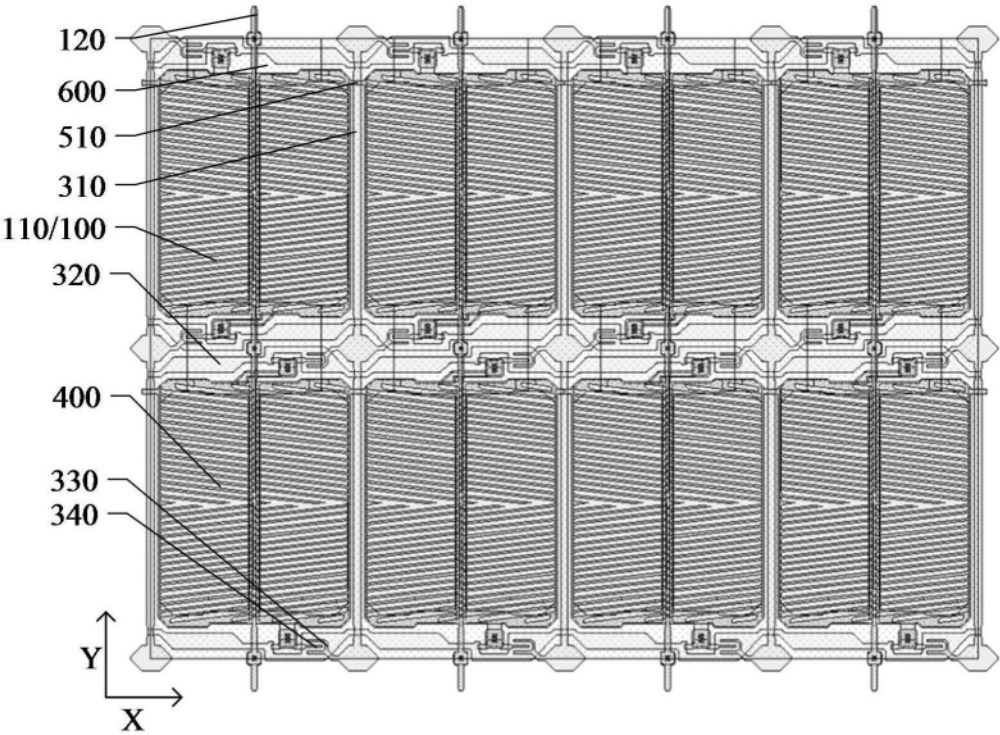


图12

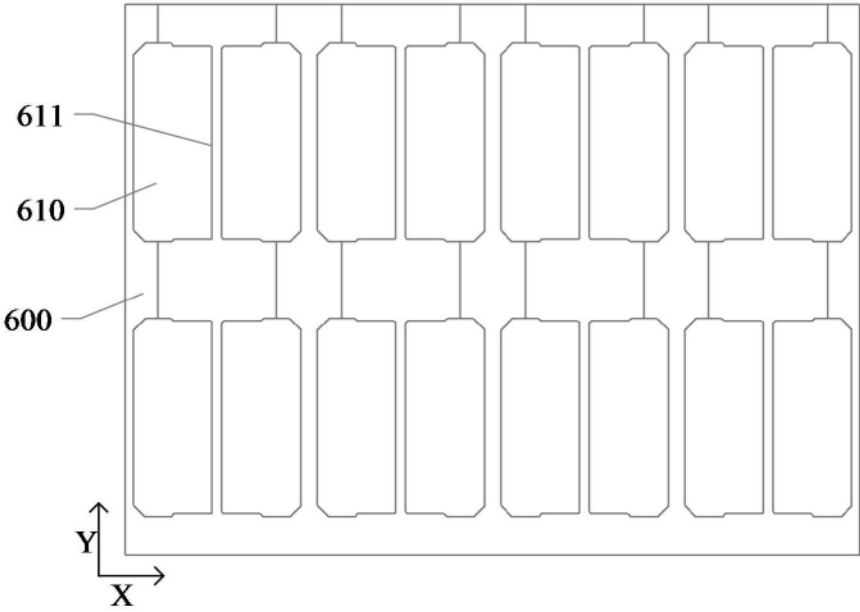


图13

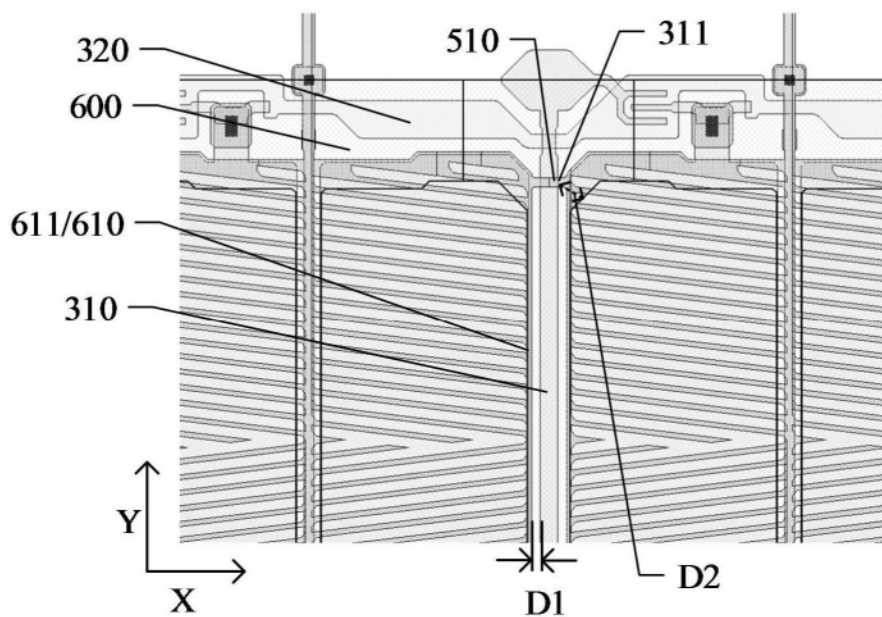


图14

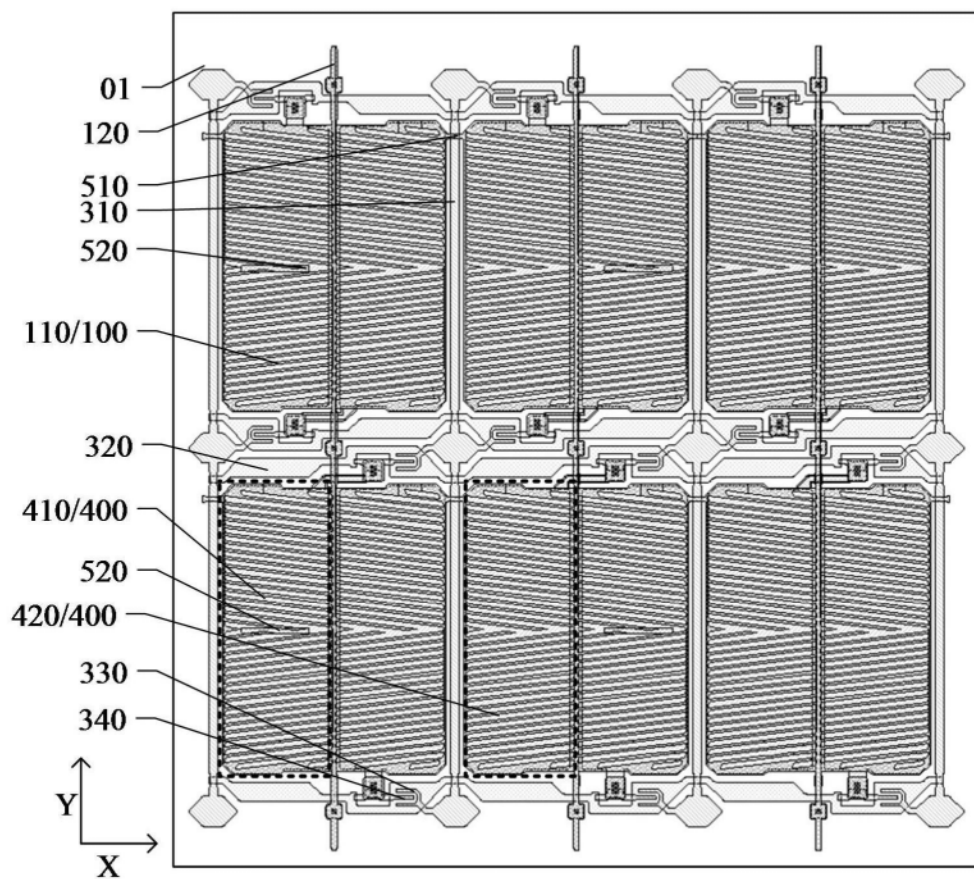


图15

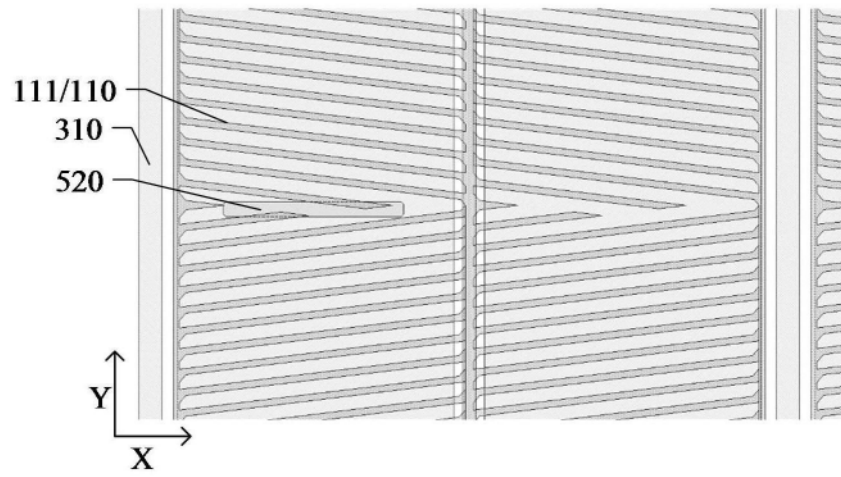


图16

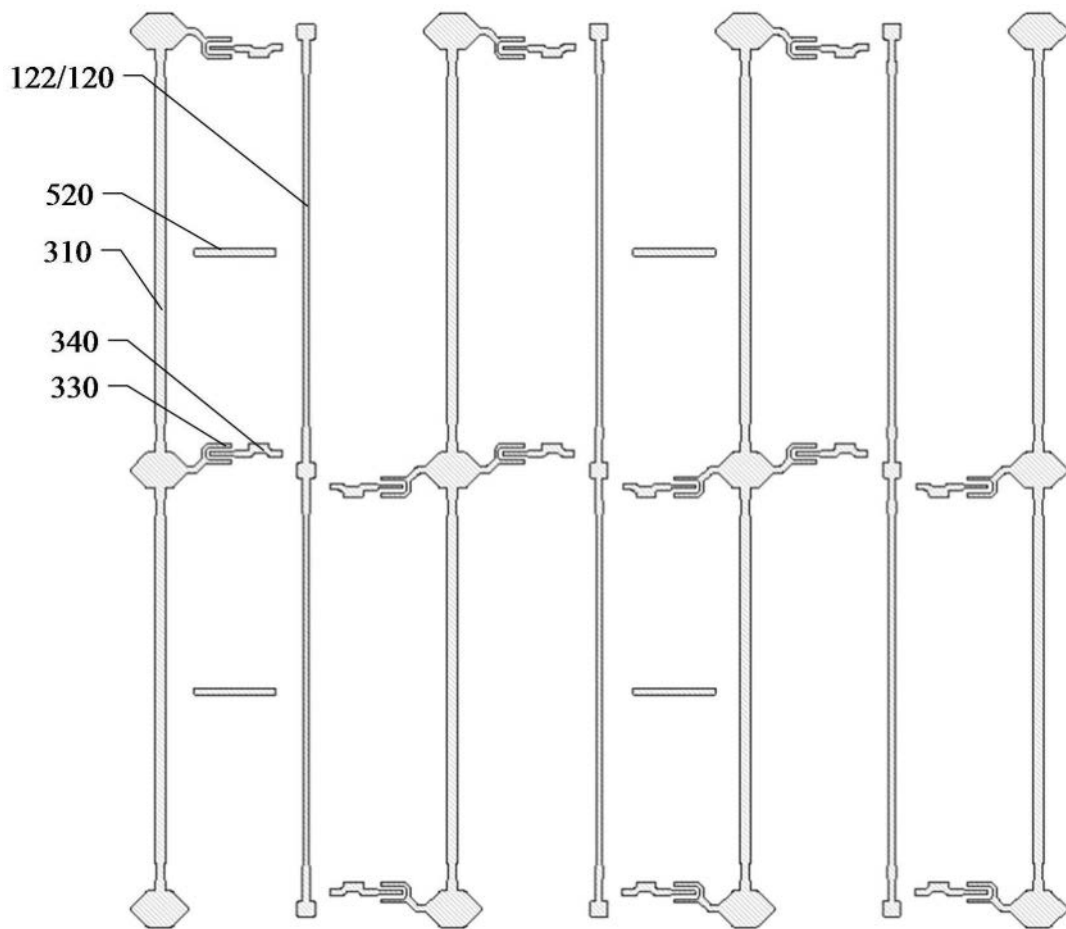


图17

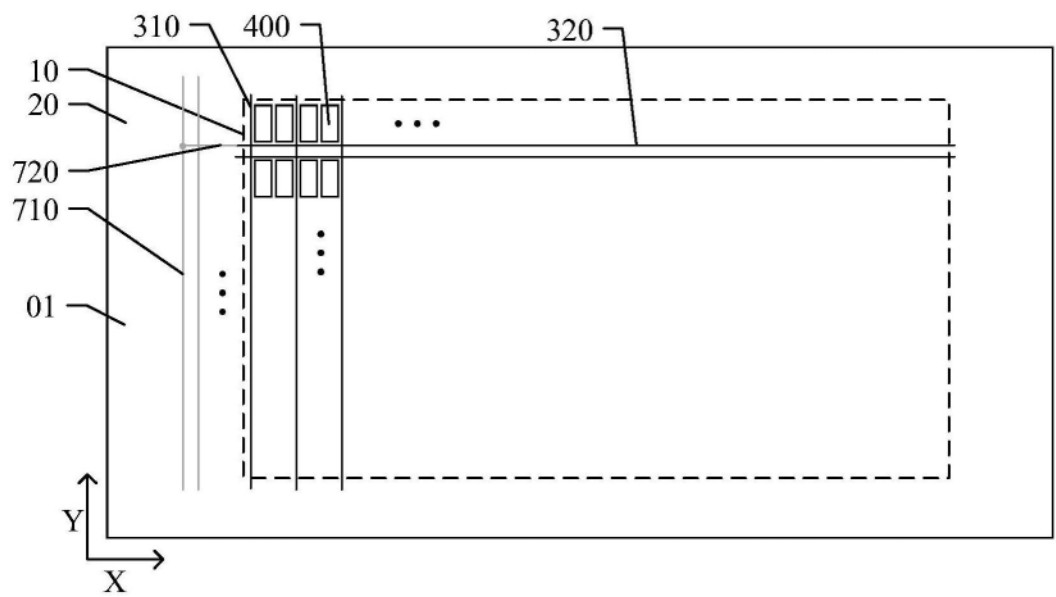


图18

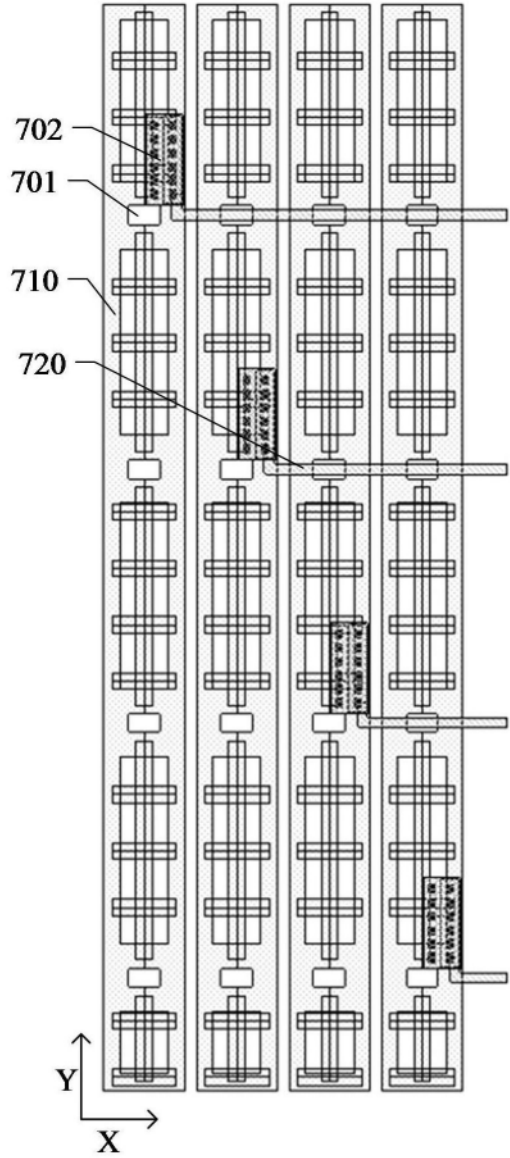


图19

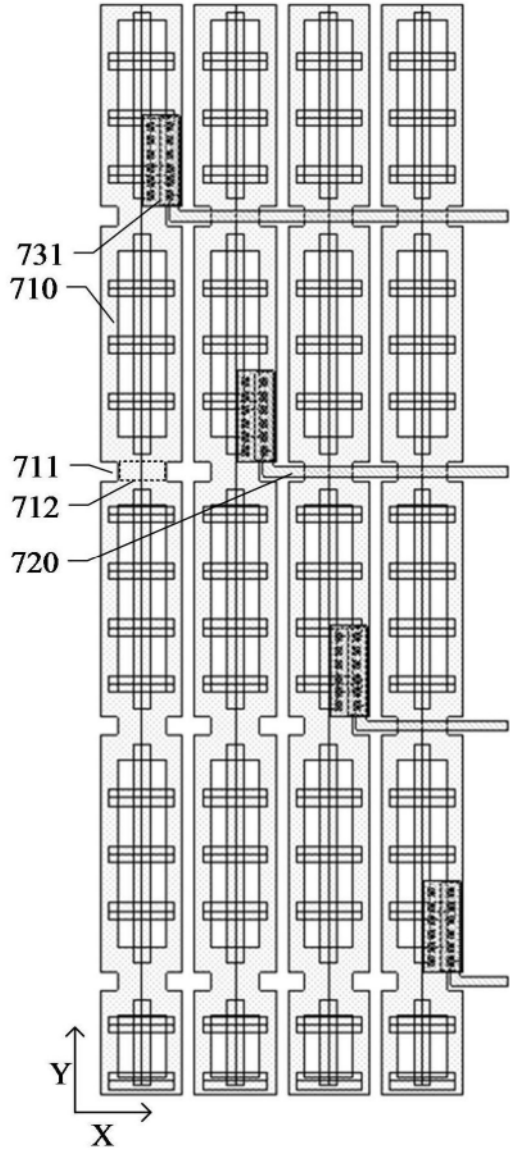


图20

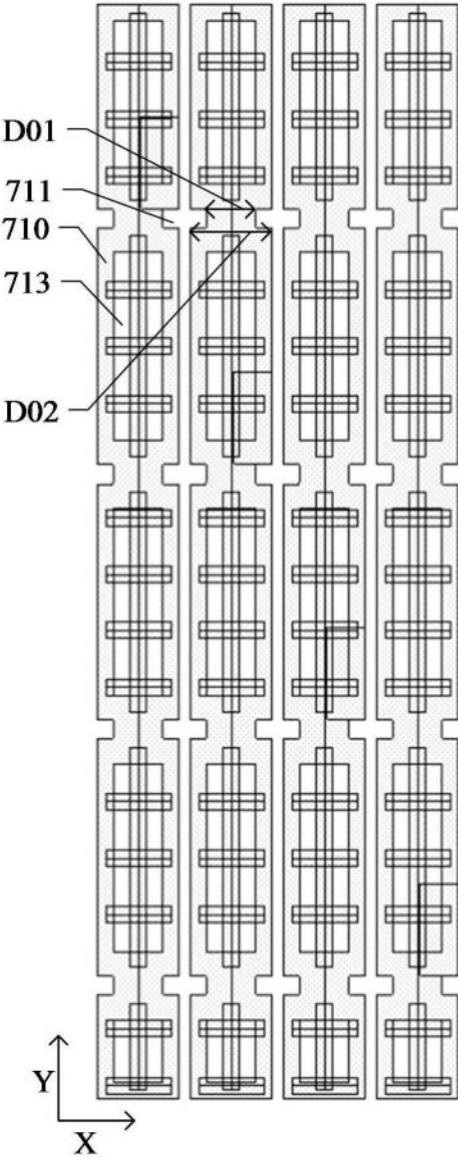


图21

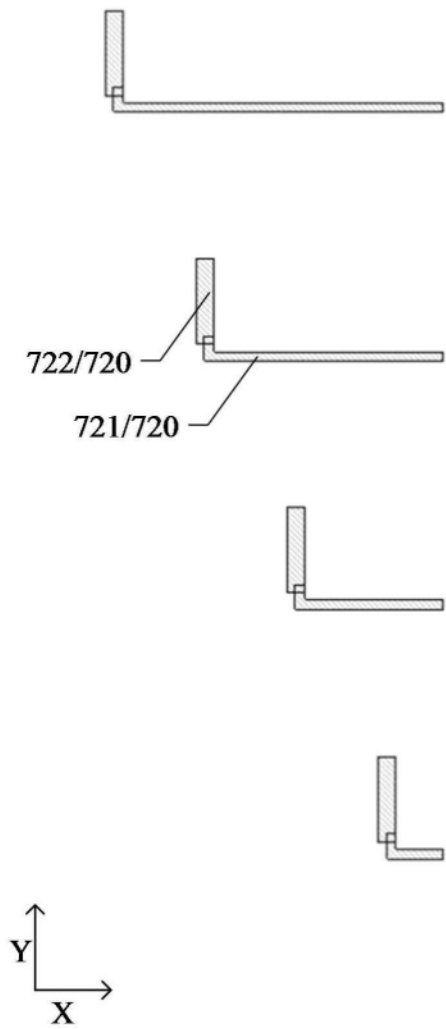


图22

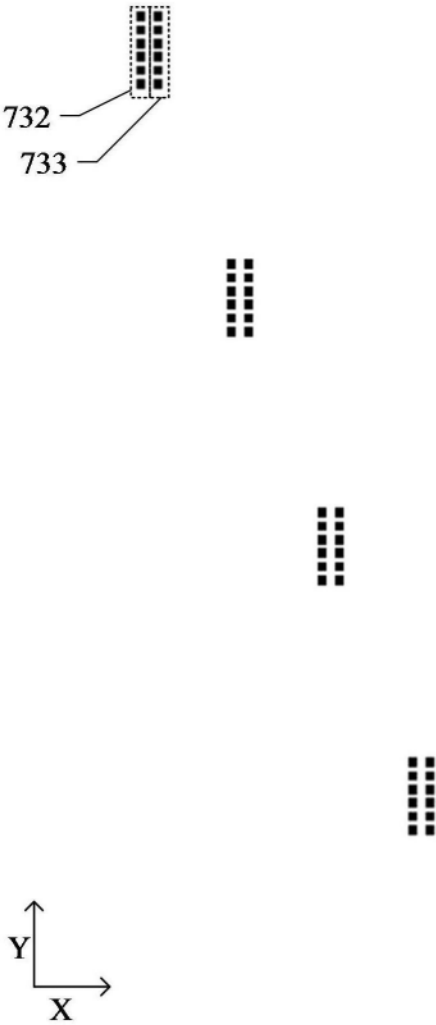


图23

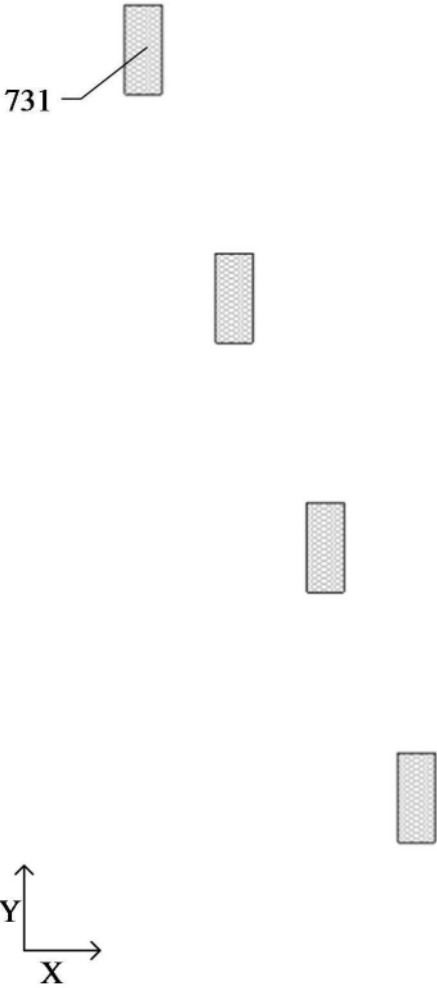


图24

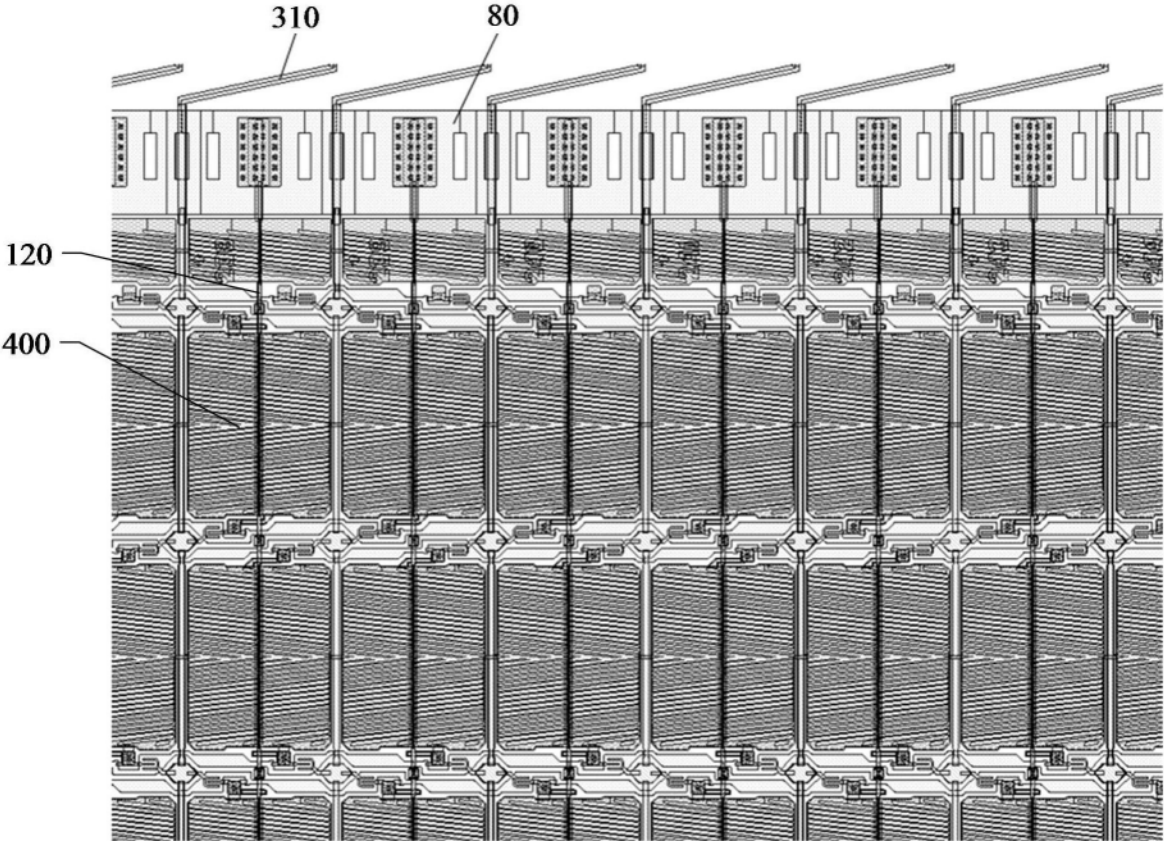


图25

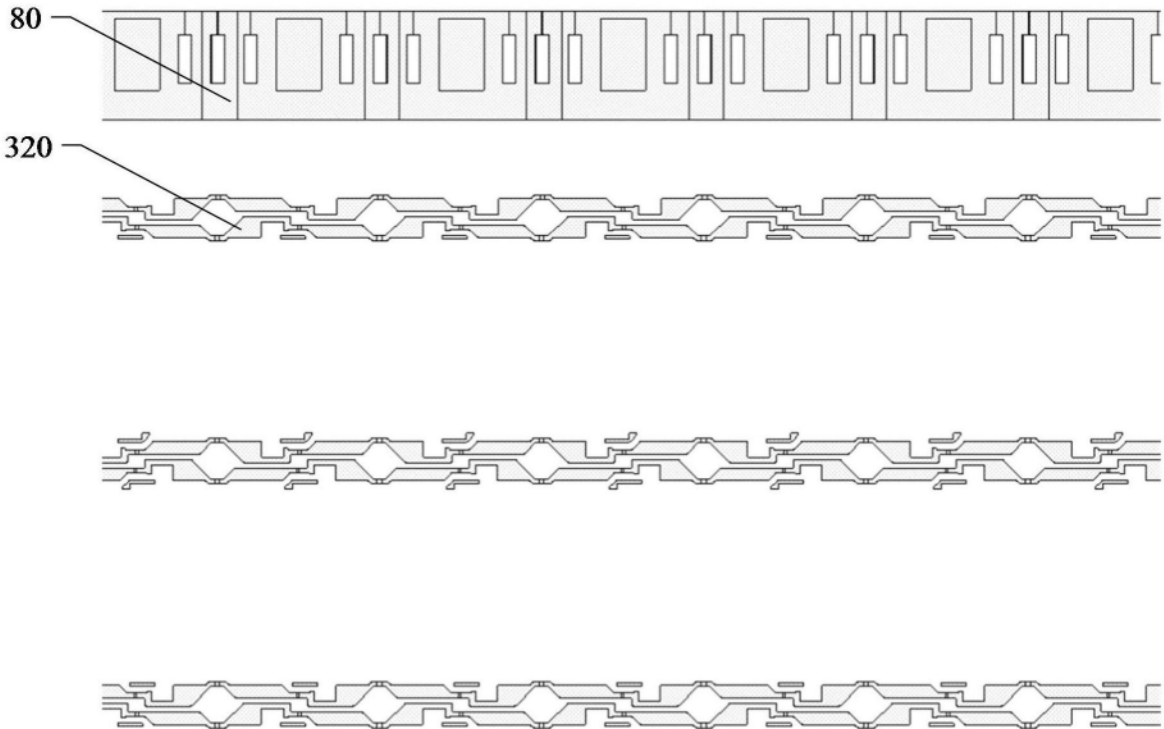


图26

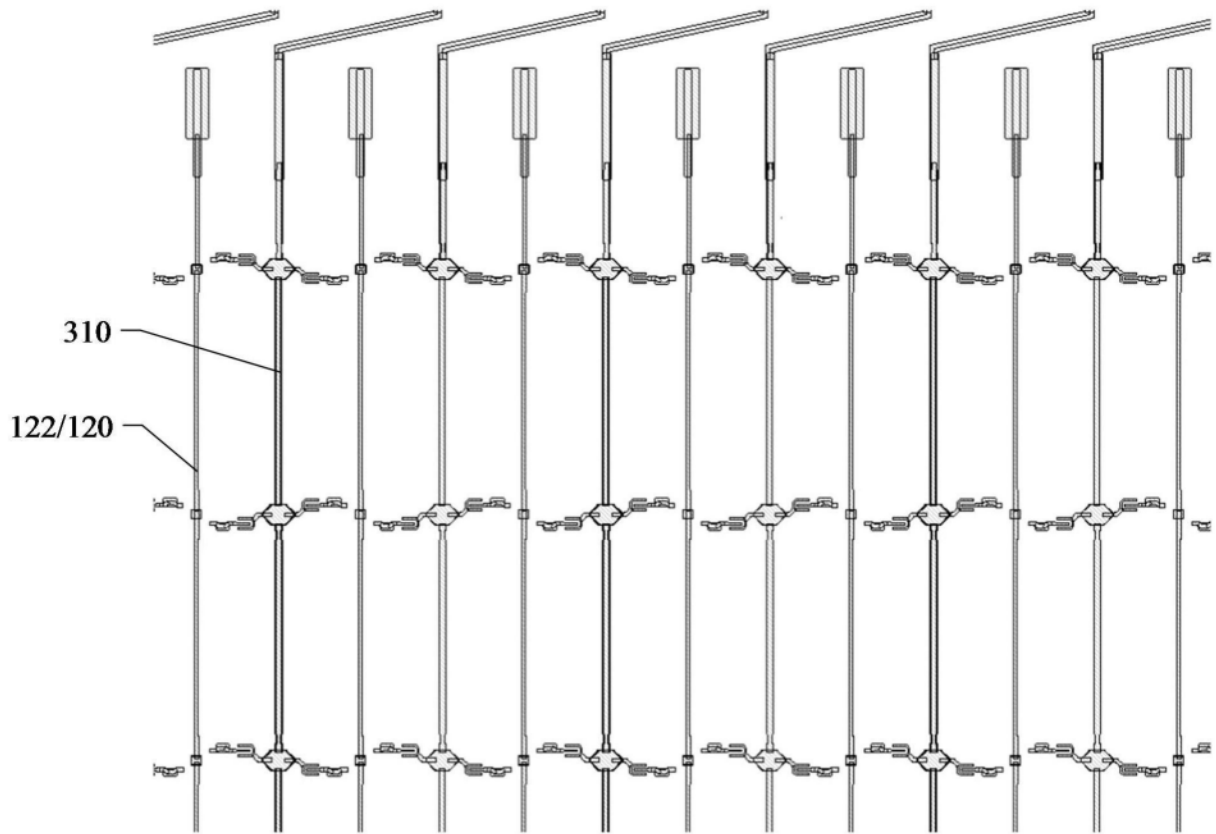


图27

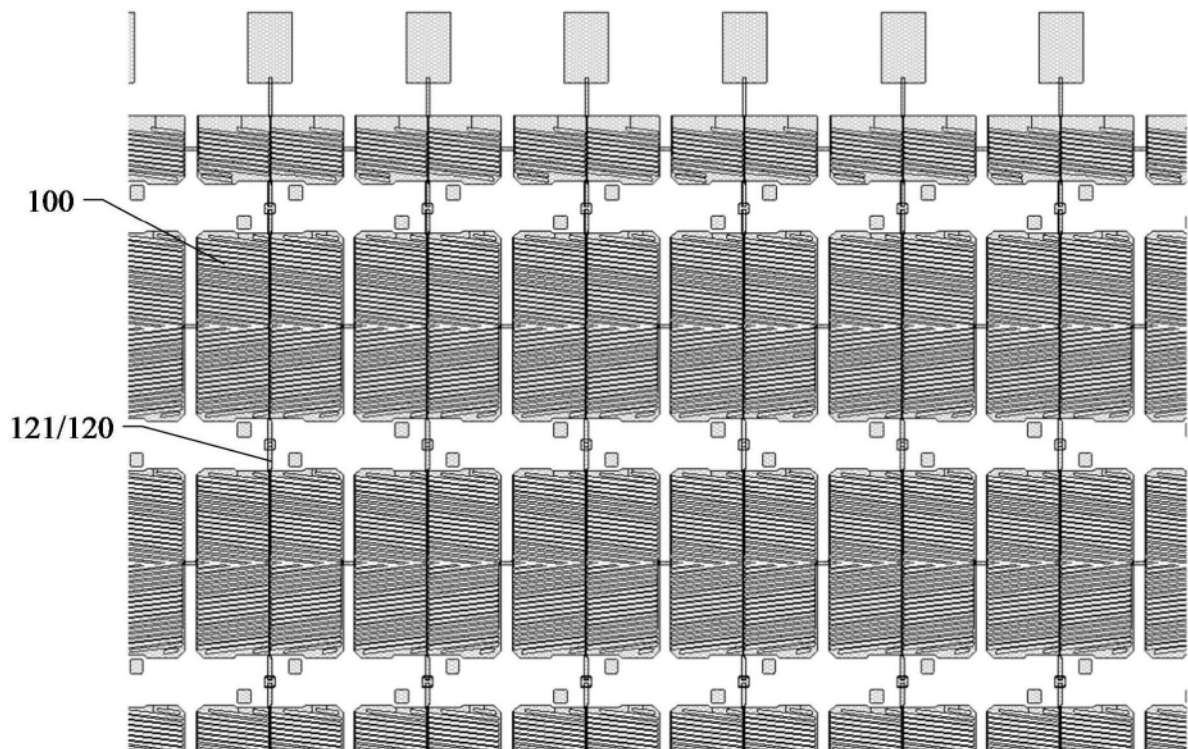


图28

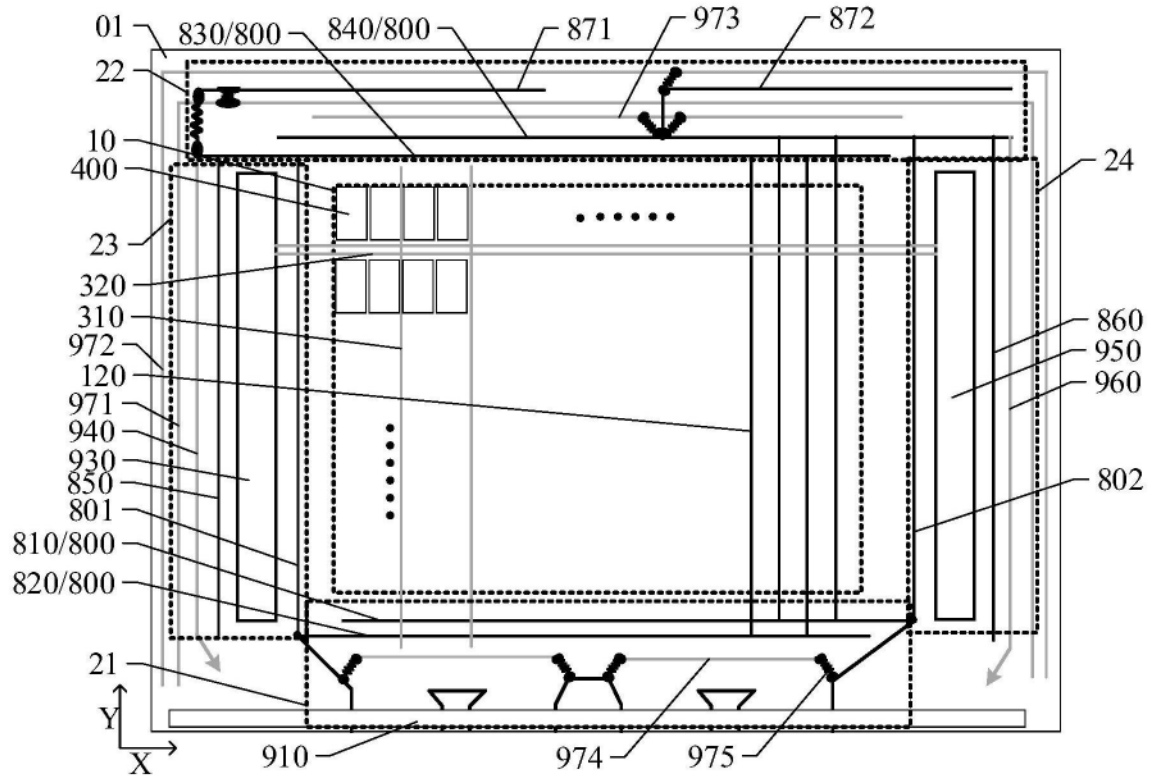


图29

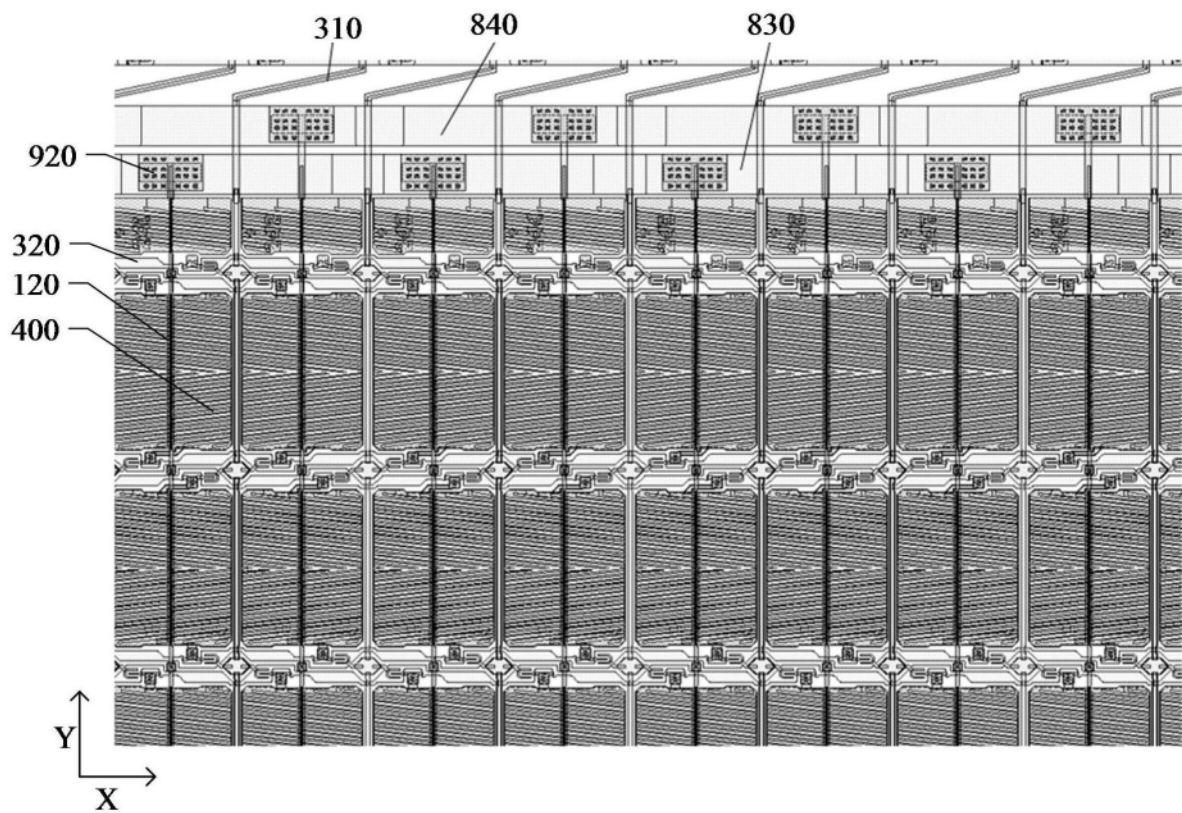


图30

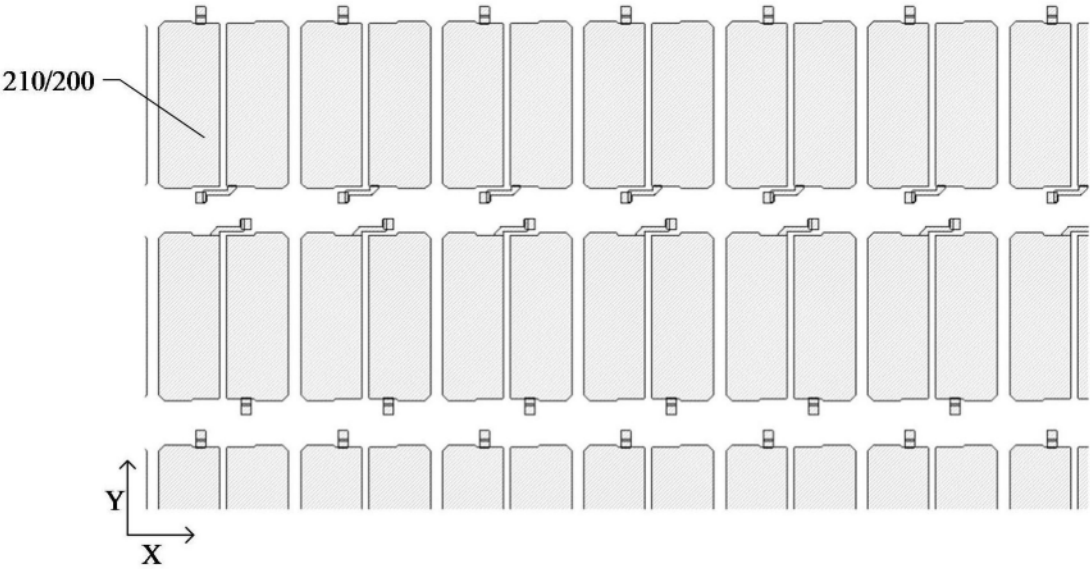


图31

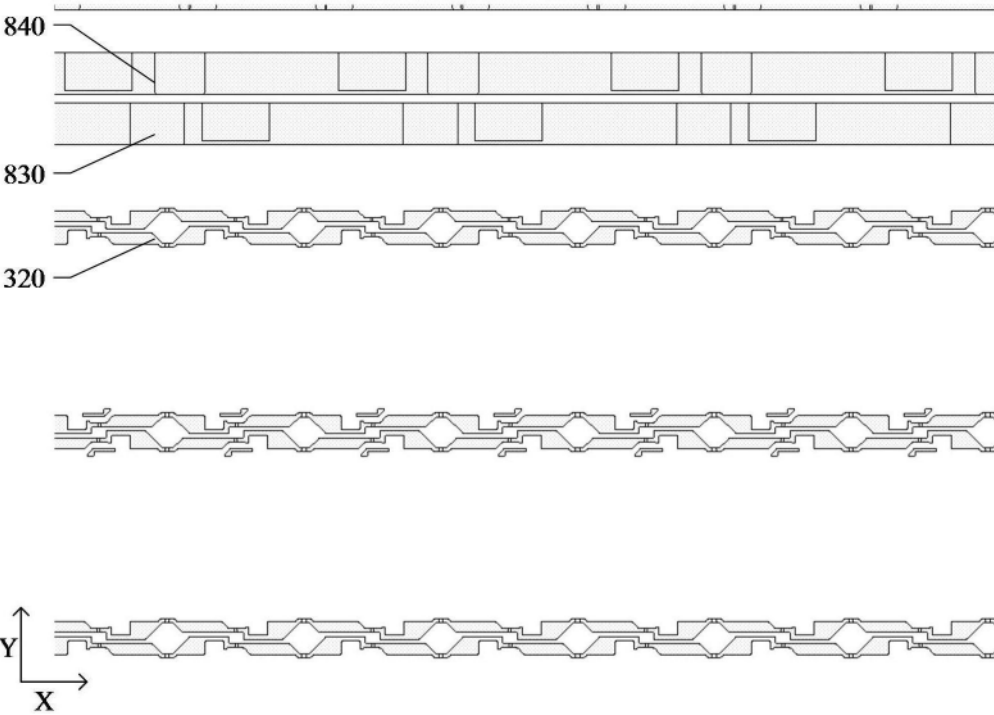


图32

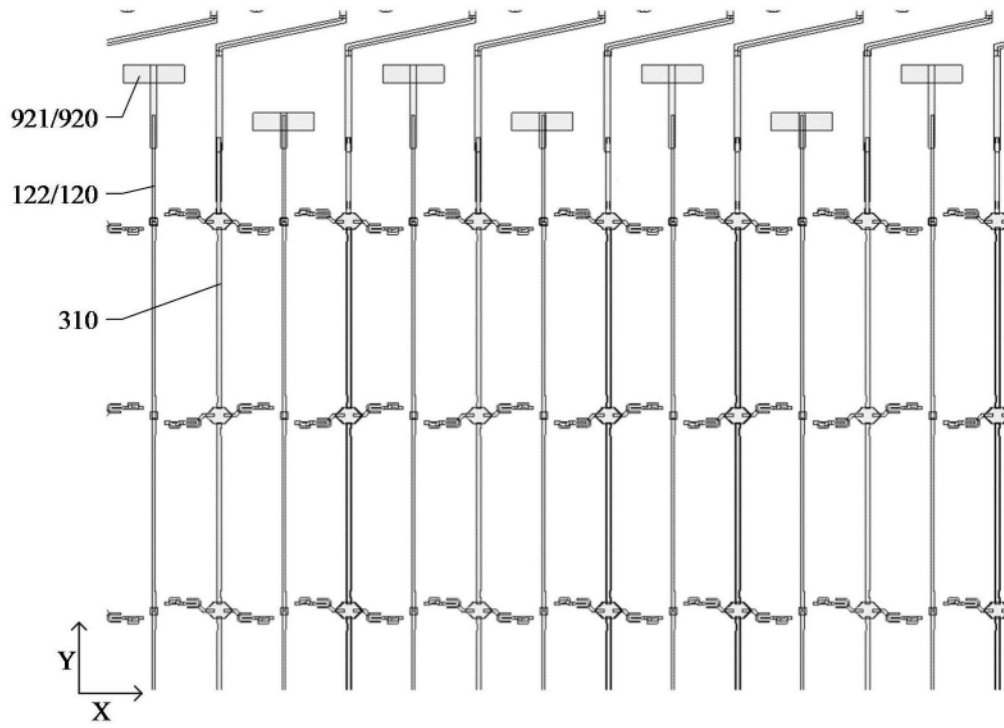


图33



图34

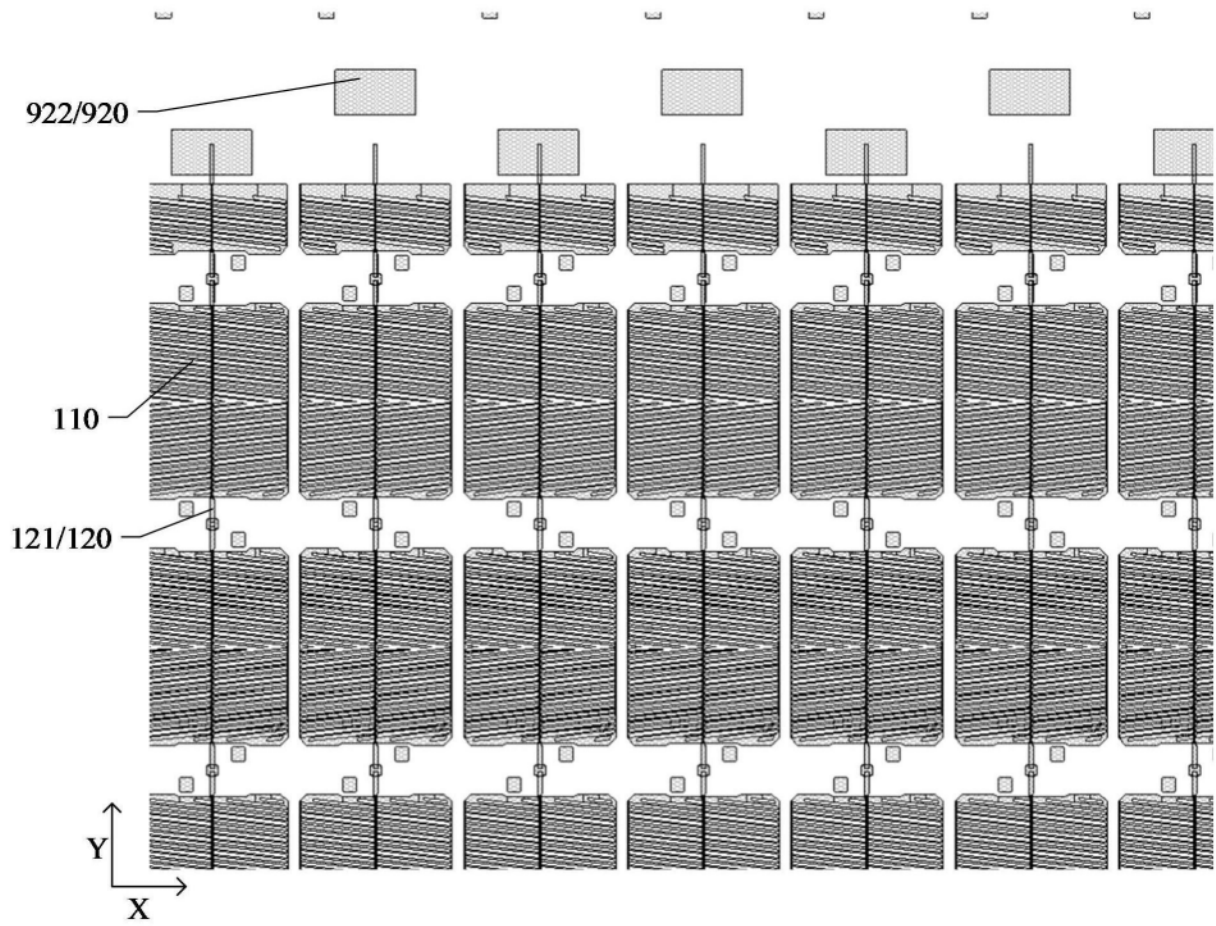


图35