

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2019-95692

(P2019-95692A)

(43) 公開日 令和1年6月20日 (2019.6.20)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/3225 (2016.01)	G09G 3/3225	3K107
G09G 3/20 (2006.01)	G09G 3/20 611H	5C080
HO1L 27/32 (2006.01)	G09G 3/20 642A	5C380
HO1L 51/50 (2006.01)	G09G 3/20 624B	
	G09G 3/20 622K	

審査請求 未請求 請求項の数 11 O L (全 30 頁) 最終頁に続く

(21) 出願番号 特願2017-226859 (P2017-226859)
 (22) 出願日 平成29年11月27日 (2017.11.27)

(71) 出願人 502356528
 株式会社ジャパンディスプレイ
 東京都港区西新橋三丁目7番1号
 (74) 代理人 110002147
 特許業務法人酒井国際特許事務所
 (72) 発明者 富谷 央
 東京都港区西新橋三丁目7番1号 株式会
 社ジャパンディスプレイ内
 Fターム(参考) 3K107 AA01 BB01 CC33 EE03 HH04
 HH05
 5C080 AA06 BB05 BB06 DD05 DD14
 EE19 FF11 FF12 JJ02 JJ03
 JJ04 JJ07

最終頁に続く

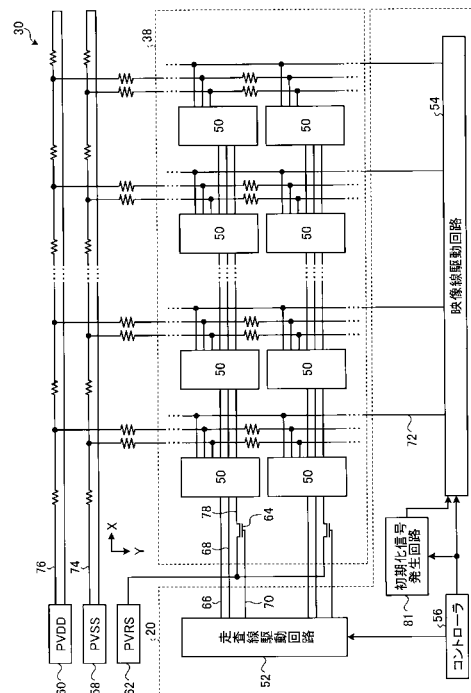
(54) 【発明の名称】 表示装置

(57) 【要約】

【課題】輝度ムラを抑制することができる表示装置を提供する。

【解決手段】表示装置は、複数の画素が第1方向及び第1方向とは異なる第2方向に並ぶ表示部と、制御部と、を有する。制御部は、駆動トランジスタのゲートに初期化電位を書き込んだ後、駆動トランジスタのゲートに映像信号に基づく映像書き込み電位の書き込みを行う。保持容量には、映像書き込み電位と初期化電位との差分に比例した電圧と駆動トランジスタのしきい値電圧とを加算した電圧が設定され、発光素子の発光期間において、映像書き込み電位と初期化電位との差分に比例した電圧に応じた電流が発光素子に流れる。制御部は、画素毎に、初期化電位を設定する。

【選択図】 図2



【特許請求の範囲】**【請求項 1】**

複数の画素が第 1 方向及び前記第 1 方向とは異なる第 2 方向に並ぶ表示部と、制御部と、を有し、

前記画素は、電流を流すことにより発光する発光素子と、駆動トランジスタと、保持容量と、を有し、

前記発光素子の一方の端子は、前記駆動トランジスタのソースまたはドレインのいずれか一方に接続され、前記発光素子の他方の端子には、第 1 電位が供給され、

前記駆動トランジスタのソースまたはドレインのいずれか他方には、前記第 1 電位よりも高い第 2 電位が供給され、

前記保持容量は、前記駆動トランジスタのソースとゲートとの間に接続され、

前記制御部は、

前記駆動トランジスタのゲートに初期化電位を書き込んだ後、前記駆動トランジスタのゲートに映像信号に基づく映像書き込み電位の書き込みを行い、前記保持容量には、前記映像書き込み電位と前記初期化電位との差分に比例した電圧と前記駆動トランジスタのしきい値電圧とを加算した電圧が設定され、前記発光素子の発光期間において、前記映像書き込み電位と前記初期化電位との差分に比例した電圧に応じた電流が前記発光素子に流れ、前記画素毎に、前記初期化電位を設定する

表示装置。

【請求項 2】

前記制御部は、

前記駆動トランジスタのドレインとソースとの間の電圧に応じて、前記初期化電位を設定する

請求項 1 に記載の表示装置。

【請求項 3】

前記制御部は、

複数の前記画素に書き込む前記映像書き込み電位が同一である場合に、前記映像書き込み電位によって前記表示部に表示される画像の前記第 2 方向の輝度が略均一となるように、各前記画素ごとに供給する前記初期化電位を設定する

請求項 1 又は請求項 2 に記載の表示装置。

【請求項 4】

前記制御部は、

複数の前記画素に書き込む前記映像書き込み電位が同一である場合に、前記映像書き込み電位によって前記表示部に表示される画像の前記第 1 方向の輝度が略均一となるように、各前記画素ごとに供給する前記初期化電位を設定する

請求項 3 に記載の表示装置。

【請求項 5】

前記制御部は、

各前記画素ごとに個別の前記初期化電位を設定する

請求項 3 又は請求項 4 に記載の表示装置。

【請求項 6】

前記制御部は、

前記第 1 方向に並ぶ前記画素に対し、同一の前記初期化電位を設定する

請求項 3 に記載の表示装置。

【請求項 7】

前記制御部は、

前記表示部を複数の領域に分割した画素群ごとに含まれる前記画素に対し、同一の前記初期化電位を設定する

請求項 3 又は請求項 4 に記載の表示装置。

【請求項 8】

10

20

30

40

50

前記映像信号を解析する画像解析部を備え、
前記制御部は、

前記画像解析部によって解析された前記映像信号が単色ラスタースタートではない場合に、前記表示部に設けられた全ての前記画素に対し、同一の前記初期化電位を設定する
請求項 1 から請求項 7 の何れか一項に記載の表示装置。

【請求項 9】

前記制御部は、

前記画像解析部によって解析された前記映像信号が単色ラスタースタートである場合に、当該単色ラスタースタートの階調に応じて、各前記画素ごとに供給する前記初期化電位を設定する
請求項 8 に記載の表示装置。

10

【請求項 10】

前記画素は、

前記映像書き込み電位及び前記初期化電位がそれぞれ異なる期間に印加される第 1 信号線を有する

請求項 1 から請求項 9 の何れか一項に記載の表示装置。

【請求項 11】

前記画素は、

前記映像書き込み電位が印加される第 1 信号線と、

前記初期化電位が印加される第 2 信号線と、

を有する

20

請求項 1 から請求項 9 の何れか一項に記載の表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、表示装置に関する。

【背景技術】

【0002】

近年、液晶表示パネルや有機エレクトロルミネッセンス発光を用いた有機 EL ディスプレイパネル (OLED: Organic Electro-Luminescence Display) を用いた表示装置の需要が高くなっている。

30

【0003】

OLED の画素を構成する有機 EL 素子は容量性素子であり、OLED を用いた表示装置では、次フレームの画像を表示するまで前フレームの表示データに基づく輝度を保持するため、動画を表示する場合に動画ぼやけ等が発生し表示品質が低下する場合がある。このため、例えば、次フレームの表示データを書き込む前に黒画面を挿入し、前フレームにおいて書き込まれた電位をリセットするようにしている (例えば、特許文献 1)。

【先行技術文献】

【特許文献】

【0004】

【特許文献 1】特開 2016 - 57359 号公報

40

【発明の概要】

【発明が解決しようとする課題】

【0005】

上記従来技術では、OLED の画素に供給する電源の電位が変動すると、表示画面に輝度ムラを生じる可能性がある。

【0006】

本発明は、輝度ムラを抑制することができる表示装置を提供することを目的とする。

【課題を解決するための手段】

【0007】

本発明の一態様に係る表示装置は、複数の画素が第 1 方向及び前記第 1 方向とは異なる

50

第2方向に並ぶ表示部と、制御部と、を有し、前記画素は、電流を流すことにより発光する発光素子と、駆動トランジスタと、保持容量と、を有し、前記発光素子の一方の端子は、前記駆動トランジスタのソースまたはドレインのいずれか一方に接続され、前記発光素子の他方の端子には、第1電位が供給され、前記駆動トランジスタのソースまたはドレインのいずれか他方には、前記第1電位よりも高い第2電位が供給され、前記保持容量は、前記駆動トランジスタのソースとゲートとの間に接続され、前記制御部は、前記駆動トランジスタのゲートに初期化電位を書き込んだ後、前記駆動トランジスタのゲートに映像信号に基づく映像書き込み電位の書き込みを行い、前記保持容量には、前記映像書き込み電位と前記初期化電位との差分に比例した電圧と前記駆動トランジスタのしきい値電圧とを加算した電圧が設定され、前記発光素子の発光期間において、前記前記映像書き込み電位と前記初期化電位との差分に比例した電圧に応じた電流が前記発光素子に流れ、前記画素毎に、前記初期化電位を設定する。

10

【図面の簡単な説明】

【0008】

【図1】図1は、実施形態1に係る表示装置の概略構成を示す模式図である。

【図2】図2は、実施形態1に係る表示装置の表示部及び制御部の概略構成を示す模式的な回路図である。

【図3】図3は、図2に示す表示部に配列される画素の概略の等価回路図の一例である。

【図4】図4は、実施形態1に係る表示装置の駆動方法を説明するための概略タイミングチャートである。

20

【図5】図5は、実施形態1の比較例に係る表示装置の概略構成を示す模式図である。

【図6】図6は、図5に示す比較例において単色ラスタ表示を行った場合に、表示部の画面上に輝度ムラが生じた例を示す図である。

【図7】図7は、実施形態1に係る表示装置の初期化信号発生回路によって生成される初期化電圧信号の一例を示す図である。

【図8】図8は、実施形態1に係る表示装置の初期化信号発生回路の概略ブロック構成の一例を示す図である。

【図9】図9は、表示部における画素配置例を示す図である。

【図10】図10は、画素ごとの補正係数値を含む補正係数値情報の一例を示す図である。

30

【図11】図11は、実施形態2に係る表示装置の表示部及び制御部の概略構成を示す模式的な回路図である。

【図12】図12は、図11に示す表示部に配列される画素の概略の等価回路図の一例である。

【図13】図13は、実施形態2に係る表示装置の駆動方法を説明するための概略タイミングチャートである。

【図14】図14は、実施形態2に係る表示装置の初期化信号発生回路の概略ブロック構成の一例を示す図である。

【図15】図15は、実施形態2に係る表示装置の初期化信号発生回路によって生成される初期化電圧信号の一例を示す図である。

40

【図16】図16は、表示部における画素行配置例を示す図である。

【図17】図17は、画素行ごとの補正係数値を含む補正係数値情報の一例を示す図である。

【図18】図18は、実施形態3に係る表示装置の表示部及び制御部の概略構成を示す模式的な回路図である。

【図19】図19は、実施形態3に係る表示装置の初期化信号発生回路の概略ブロック構成の一例を示す図である。

【図20】図20は、表示部における画素群配置例を示す図である。

【図21】図21は、画素群ごとの補正係数値を含む補正係数値情報の一例を示す図である。

50

【図 2 2】図 2 2 は、実施形態 5 に係る表示装置の初期化信号発生回路の概略ブロック構成の一例を示す図である。

【図 2 3】図 2 3 は、実施形態 5 に係る初期化信号補正処理手順の一例を示すフローチャートである。

【図 2 4】図 2 4 は、実施形態 6 に係る表示装置の初期化信号発生回路の概略ブロック構成の一例を示す図である。

【図 2 5】図 2 5 は、複数の輝度範囲ごとの輝度補正係数値を含む輝度補正係数値情報の一例を示す図である。

【図 2 6】図 2 6 は、実施形態 6 に係る初期化信号補正処理手順の一例を示すフローチャートである。

【発明を実施するための形態】

【0009】

以下に、本発明の実施形態について、図面を参照しつつ説明する。なお、開示はあくまで一例にすぎず、当業者において、発明の主旨を保つての適宜変更について容易に想到し得るものについては、当然に本発明の範囲に含有されるものである。また、図面は説明をより明確にするため、実際の態様に比べ、各部の幅、厚さ、形状等について模式的に表される場合があるが、あくまで一例であって、本発明の解釈を限定するものではない。また、本明細書と各図において、既出の図に関して前述したものと同様の要素には、同一の符号を付して、詳細な説明を適宜省略することがある。

【0010】

(実施形態 1)

図 1 は、実施形態に係る表示装置の概略構成を示す模式図である。表示装置 30 は、回路基板 32、表示基板 34 及び接続基板 36 を有する。本実施形態において、表示装置 30 は、例えば有機 EL 素子（有機発光ダイオード）を発光素子として備えたアクティブマトリクス方式の OLED（Organic Electro-Luminescence Display）である。

【0011】

表示基板 34 には、表示画像の画素に対応する有機 EL 素子及び画素回路が配列された表示部 38 が設けられている。表示部 38 の動作を制御する制御部として、画素回路に各種信号を供給する駆動回路、及び駆動回路に供給するタイミング信号等を生成するコントローラが設けられる。制御部は、例えば、回路基板 32 又は表示基板 34 上に配置される。

【0012】

例えば、表示基板 34 上には表示部 38 の走査信号線や映像信号線に信号を供給する駆動回路 40 を配置することができる。駆動回路 40 は、その主要部を一又は複数の半導体チップに集積し、当該チップを表示基板 34 上に搭載される。また、駆動回路 40 として、低温ポリシリコンからなる半導体層を用いた TFT（Thin Film Transistor）等で構成された回路を表示基板 34 上に設けることもできる。表示基板 34 は、例えばガラス基板や、樹脂フィルムなどを用いたフレキシブルな材料で構成することができる。

【0013】

回路基板 32 には、制御部の他、例えば、各種の基準電位を発生する電源回路、映像信号を処理する信号処理回路及びフレームメモリなどを配置することができる。回路基板 32 は、例えば、ガラスエポキシ基板等のリジッド基板によって構成される。

【0014】

接続基板 36 は、回路基板 32 と表示基板 34 とを接続する。接続基板 36 は、フレキシブル配線基板で構成することができる。なお、駆動回路 40 の一部又は全部を、接続基板 36 上に配置することもできる。

【0015】

図 2 は、実施形態 1 に係る表示装置の表示部及び制御部の概略構成を示す模式的な回路

10

20

30

40

50

図である。表示部 38 には、画素 50 が図 1 に示す X 方向（第 1 方向）及び Y 方向（第 2 方向）に並び、マトリクス状に配置される。また、図 2 では、制御部 20 として、走査線駆動回路 52、映像線駆動回路 54、コントローラ 56、及び初期化信号発生回路 81 を例示し、電源回路として、基準電位 V_{SS} を出力する基準電源 $PVSS$ である電源回路 58、駆動電位 V_{DD} を出力する駆動電源 $PVDD$ である電源回路 60、及びリセット電位 V_{RS} を出力するリセット電源 $PVRS$ である電源回路 62 を例示している。

【0016】

走査線駆動回路 52 は、表示部 38 の画素 50 の X 方向（第 1 方向）の並び（以下、「画素行」とも称する）ごとに制御信号を出力する。具体的に、本実施形態では、表示部 38 は、各画素 50 の画素回路に 2 つのスイッチ（点灯スイッチ 94 及び書き込みスイッチ 96）を備え、各画素行にリセットスイッチ 64 を備える。これに対応して、各画素行にそれぞれ 3 本の制御信号線（点灯制御線 66、書き込み制御線 68 及びリセット制御線 70）が設けられ、走査線駆動回路 52 は、各画素行の制御線 66、68、70 に上述した各スイッチのオン/オフを切り替える制御信号を供給する。

10

【0017】

走査線駆動回路 52 は、シフトレジスタ（不図示）を備え、表示部 38 にて動作対象となる各画素行を Y 方向（第 2 方向）（例えば、図 1 に示す画面上側から下側への向き）に順番に選択し、当該選択した画素行に対する制御信号を生成し、制御線 66、68、70 へ出力する。

【0018】

映像線駆動回路 54 は、選択された画素行の各画素 50 の映像信号を表すデータ（画素値）が入力され、当該データを D/A 変換器でアナログ電圧に変換して画素値に応じた電圧信号を生成する。映像線駆動回路 54 は、当該電圧信号を画素行ごとに生成する。表示部 38 の画素 50 の Y 方向（第 2 方向）の並び（以下、「画素列」とも称する）に対応して、それぞれ映像信号線（第 1 信号線）72 が設けられている。映像線駆動回路 54 は、各画素 50 へのデータの書き込み動作時に、選択された画素行の各画素 50 の画素値を表す電圧信号（映像電圧信号） V_{SIG} を、各画素行ごとに順次出力する。

20

【0019】

初期化信号発生回路 81 は、各画素 50 のデータ初期化時に各画素列の映像信号線（第 1 信号線）72 に供給する初期化電圧信号 V_{INI} のデータ値を生成し、映像線駆動回路 54 に出力する。この初期化信号発生回路 81 の構成及び動作の詳細については後述する。

30

【0020】

電源回路 58 は、上述したように基準電位 V_{SS} を生成する。基準電位 V_{SS} は、電源線 74 を介して各画素 50 に供給される。

【0021】

電源回路 60 は、上述したように駆動電位 V_{DD} を生成する。駆動電位 V_{DD} は、電源線 76 を介して各画素 50 に供給される。

【0022】

電源回路 62 は、上述したようにリセット電位 V_{RS} を生成する。リセット電位 V_{RS} は、各画素行に設けられたリセットスイッチ 64 及びリセット線 78 を介して、各画素 50 に供給される。

40

【0023】

図 3 は、図 2 に示す表示部に配列される画素の概略の等価回路図の一例である。

【0024】

各画素 50 は、発光素子として、有機発光ダイオード（有機 EL 素子）90 を有する。本実施形態において、有機発光ダイオード 90 は、アノード電極と、カソード電極と、それらの電極の間に発光層等の有機材料層を有する。カソード電極は、表示部 38 の複数の画素に亘って一体形成された共通電極とすることができる。なお、有機発光ダイオード 90 の発光色は、例えば赤、緑、青等であっても良い。また、表示装置 30 は、これら赤、

50

緑、青等の各発光色を持つ有機発光ダイオード90を備える画素50が、表示部38においてX方向(第1方向)又はY方向(第2方向)に規則的に並び、カラー表示が可能な構成であっても良い。

【0025】

有機発光ダイオード90のカソード電極は、電源線74に接続される。また、有機発光ダイオード90のアノード電極は、駆動トランジスタ92と点灯スイッチ94とを介して電源線76に接続される。

【0026】

上述したように、電源線76は、駆動電源P_VDD(電源回路60)から駆動電位 V_{DD} として所定の高電位が印加され、電源線74は、基準電源P_VSS(電源回路58)から基準電位 V_{SS} として所定の低電位が印加される。

10

【0027】

有機発光ダイオード90は、これら駆動電位 V_{DD} と基準電位 V_{SS} との電位差($V_{DD} - V_{SS}$)により順方向電流が供給され発光する。つまり、駆動電位 V_{DD} は、基準電位 V_{SS} に対し、有機発光ダイオード90を発光させる電位差を有している。有機発光ダイオード90は、等価回路として、アノード電極-カソード電極間に容量91が並列接続されて構成される。なお、容量91はアノード電極とカソード電極以外の基準電位に接続されてもよい。

【0028】

本実施形態において、駆動トランジスタ92及び点灯スイッチ94は、それぞれn型TFT(Thin Film Transistor)で構成される。駆動トランジスタ92の2つの電流端子の一方(第1端子)であるソース電極は、有機発光ダイオード90のアノード電極に接続され、他方(第2端子)であるドレイン電極は、点灯スイッチ94のソース電極に接続される。点灯スイッチ94のドレイン電極は、電源線76に接続される。

20

【0029】

また、駆動トランジスタ92のドレイン電極は、リセットスイッチ64を介してリセット電源P_VRS(電源回路62)にも接続される。既に述べたように、本実施形態では、画素行ごとにリセット線78とリセットスイッチ64とが設けられる。各リセット線78は画素行に沿って延在され、当該画素行の駆動トランジスタ92のドレイン電極に共通に接続される。リセットスイッチ64は、例えば、画素行の端部に配置され、リセット線78とリセット電源P_VRS(電源回路62)との間の継断、つまりそれらの間を接続するか遮断するかを切り替える。本実施形態において、リセットスイッチ64は、駆動トランジスタ92及び点灯スイッチ94と同じくn型TFTで構成される。

30

【0030】

駆動トランジスタ92の制御端子であるゲート電極は、書き込みスイッチ96を介して映像信号線(第1信号線)72に接続され、駆動トランジスタ92のゲート電極とソース電極との間には、保持容量98が接続される。本実施形態において、書き込みスイッチ96は、駆動トランジスタ92、点灯スイッチ94、及びリセットスイッチ64と同じくn型TFTで構成される。

40

【0031】

なお、本実施形態では、駆動トランジスタ92、点灯スイッチ94、リセットスイッチ64、及び書き込みスイッチ96がn型TFTで構成される回路例を示したが、これに限らない。例えば、駆動トランジスタ92、点灯スイッチ94、リセットスイッチ64、及び書き込みスイッチ96は、p型TFTで構成された回路であっても良い。また、p型TFTとn型TFTを組み合わせた回路構成としてもよい。以下では、駆動トランジスタ92、点灯スイッチ94、リセットスイッチ64、及び書き込みスイッチ96がn型TFTである場合について例示する。

【0032】

上述したように、点灯スイッチ94、書き込みスイッチ96、リセットスイッチ64は

50

、画素行ごとに設けられた点灯制御線 66、書き込み制御線 68、リセット制御線 70 を用いてオン/オフを制御される。ここで、点灯制御線 66 及び書き込み制御線 68 は画素行に沿って延在され、それぞれ当該画素行の点灯スイッチ 94、書き込みスイッチ 96 のゲート電極に共通に接続される。

【0033】

図 4 は、実施形態 1 に係る表示装置の駆動方法を説明するための概略タイミングチャートである。図 4 では、表示部 38 の 1 つの画素行における画素値の書き込み動作及び発光動作での各種信号の変化を示している。

【0034】

図 4 において、横軸は時間軸を示し、図中右向きが時間の経過方向である。図 4 では、各種信号として、映像線駆動回路 54 から映像信号線（第 1 信号線）72 に供給される映像電圧信号 V_{PX} 、及び、書き込みスイッチ 96、点灯スイッチ 94、リセットスイッチ 64 それぞれに対する書き込み制御信号 S_G 、点灯制御信号 B_G 、及びリセット制御信号 R_G を示している。走査線駆動回路 52 は各制御信号を L レベルと H レベルとのいずれかに設定する。本実施形態では、n 型 TFT で構成される書き込みスイッチ 96、点灯スイッチ 94、リセットスイッチ 64 は、それぞれ H レベルにてオンし、L レベルにてオフする。

10

【0035】

本実施形態では、表示部 38 を構成する複数の画素行を、先頭行（例えば、図 1 中の表示部 38 において、最上部に位置する画素行）から順番に選択し、選択した画素行の画素に映像電圧信号 V_{SIG} の電位 V_{sig} （映像書き込み電位）を書き込み、有機発光ダイオード 90 を発光させる動作が 1 フレーム（1 F）の画像ごとに繰り返される。

20

【0036】

本実施形態における書き込み動作は、詳細には、リセット動作、オフセットキャンセル動作、映像信号セット動作に分けられる。図 4 に示す例では、リセット期間 P_{RS} がリセット動作に対応する期間であり、オフセットキャンセル期間 P_{OC} がオフセットキャンセル動作に対応する期間であり、映像信号セット期間 P_{WT} が映像信号セット動作に対応する期間である。

【0037】

リセット動作は、容量 91 及び保持容量 98 に保持された電圧をリセットする動作である。これにより、前フレームにて映像信号に応じて画素 50 に書き込まれたデータがリセットされる。

30

【0038】

具体的には、リセット動作では、点灯制御信号 B_G を L レベルとして点灯スイッチ 94 をオフとし、リセット制御信号 R_G を H レベルとしてリセットスイッチ 64 をオンとし、さらに各映像信号線（第 1 信号線）72 に初期化電圧信号 V_{INI} の電位 V_{ini} （初期化電位）を印加した状態で、書き込み制御信号 S_G を H レベルとして書き込みスイッチ 96 をオンする。

【0039】

これにより、駆動トランジスタ 92 のゲート電位は、初期化電圧信号 V_{INI} の電位 V_{ini} （初期化電位）に対応する電位が印加され、有機発光ダイオード 90 のアノード電極側には、リセット電位 V_{RS} に対応する電圧が印加される。これにより、駆動トランジスタ 92 のソース電位は、リセット電位 V_{RS} に対応する電位にリセットされ、各画素 50 の保持容量 98 の端子間電圧は、 $(V_{ini} - V_{RS})$ に応じた電圧に設定される。有機発光ダイオード 90 に印加される電圧は、 $(V_{RS} - V_{SS})$ に応じた電圧となり、当該電圧が有機発光ダイオード 90 の発光しきい値電圧（発光開始電圧）以下となるように、リセット電位 V_{RS} が設定される。ちなみに、発光しきい値電圧は、有機発光ダイオード 90 に電流が流れ始める電圧、つまり順方向電圧降下 V_F である。初期化電圧信号 V_{INI} の電位 V_{ini} （初期化電位）は、例えば、1 V に設定することができる。また、例えば、基準電位 V_{SS} を -1 V としたとき、リセット電位 V_{RS} は、例えば、-3 V に設

40

50

定することができる。すなわち、リセット電位 V_{RS} は、リセット動作時において有機発光ダイオード 90 に電流が流れないような電位に設定される。

【0040】

オフセットキャンセル動作は、駆動トランジスタ 92 のしきい値電圧 V_{th} のばらつきを補償する動作である。

【0041】

具体的には、オフセットキャンセル動作では、リセット制御信号 R_G を L レベルとしてリセットスイッチ 64 をオフとし、書き込み制御信号 S_G 及び点灯制御信号 B_G を H レベルとして書き込みスイッチ 96 及び点灯スイッチ 94 をオンとし、また各映像信号線（第 1 信号線）72 には初期化電圧信号 V_{INI} の電位 V_{ini} （初期化電位）を印加する。

10

【0042】

これにより、駆動トランジスタ 92 のゲート電位は、初期化電圧信号 V_{INI} の電位 V_{ini} （初期化電位）に対応する電位に固定される。また、点灯スイッチ 94 がオン状態であるので、駆動電源 P_{VDD} から駆動トランジスタ 92 に電流が流れ込み、駆動トランジスタ 92 のソース電位は、リセット期間 P_{RS} に書き込まれたリセット電位 V_{RS} から上昇する。そして、ソース電位がゲート電位より V_{th} だけ低い電位（ $V_{ini} - V_{th}$ ）に達すると、駆動トランジスタ 92 が非導通状態となり、駆動トランジスタ 92 のソース電位は、（ $V_{ini} - V_{th}$ ）に固定され、保持容量 98 の端子間電圧は、駆動トランジスタ 92 のしきい値電圧 V_{th} に応じた電圧に設定される。この状態を基準として、映像信号セット動作にて点灯制御信号 B_G を L レベルとして点灯スイッチ 94 をオフし、保持容量 98 に映像電圧信号 V_{SIG} の電位 V_{sig} （映像書き込み電位）に応じた電圧を書き込むことで、発光動作にて駆動トランジスタ 92 に流れる電流から画素 50 間における駆動トランジスタ 92 のしきい値電圧 V_{th} のばらつきによる影響がキャンセルされる。

20

【0043】

映像信号セット動作は、映像電圧信号 V_{SIG} の電位 V_{sig} （映像書き込み電位）を画素 50 に書き込む動作である。

【0044】

映像信号セット期間 P_{WT} では、オフセットキャンセル期間 P_{OC} から引き続いて、リセット制御信号 R_G が L レベルに維持されている。また、点灯制御信号 B_G を L レベルとして点灯スイッチ 94 をオフし、駆動電源 P_{VDD} （電源回路 60）から駆動トランジスタ 92 に流れ込む電流を阻止する。この状態で、各映像信号線（第 1 信号線）72 に映像電圧信号 V_{SIG} の電位 V_{sig} （映像書き込み電位）を供給し、書き込み制御信号 S_G を H レベルとして書き込みスイッチ 96 をオンとすることで、容量 91 及び保持容量 98 が充電され、駆動トランジスタ 92 のゲート電位が初期化電圧信号 V_{INI} の電位 V_{ini} （初期化電位）に応じた電位から映像電圧信号 V_{SIG} の電位 V_{sig} （映像書き込み電位）に応じた電位に上昇する。

30

【0045】

書き込みスイッチ 96 をオフして映像信号セット動作が終了すると、有機発光ダイオード 90 の発光が可能な発光可能期間 P_{EM0} に移行する。この発光可能期間 P_{EM0} において、点灯制御信号 B_G を H レベルとして点灯スイッチ 94 をオンすることで、有機発光ダイオード 90 が映像電圧信号 V_{SIG} の電位 V_{sig} （映像書き込み電位）に応じた強度で発光する（発光期間 P_{EM} ）。すなわち、映像信号セット動作にて導通状態となった駆動トランジスタ 92 は、書き込みスイッチ 96 がオフしても保持容量 98 に保持された電圧により導通状態に保たれ、映像電圧信号 V_{SIG} の電位 V_{sig} （映像書き込み電位）に応じた駆動電流を有機発光ダイオード 90 に供給する。これにより、有機発光ダイオード 90 は、映像電圧信号 V_{SIG} の電位 V_{sig} （映像書き込み電位）に応じた輝度で発光する。

40

【0046】

上述した書き込み動作（リセット動作、オフセットキャンセル動作、映像信号セット動

50

作)、及び発光動作は、表示部38を構成する画素行ごとに順次行われる。画素行は、例えば、映像信号の1水平走査期間(1H)を周期として順次選択され、画素行ごとの書き込み動作及び発光動作は、1フレーム(1F)周期で繰り返される。

【0047】

図4に示す例では、1水平走査期間(1H)ごとに、映像信号線(第1信号線)72に初期化電圧信号VINIの電位Vini(初期化電位)を印加する期間(VINI期間)と、映像電圧信号VSI Gの電位Vsig(映像書き込み電位)を印加する期間(VSIG期間)とが設けられている。

【0048】

映像線駆動回路54は、VSI G期間内に設定された映像信号セット期間PWTにおいて、映像電圧信号VSI Gを出力する。この場合、オフセットキャンセル期間POCは、映像電圧信号VSI Gが出力されるVSI G期間と同一の水平走査期間内のVINI期間に設定される。また、リセット期間PRSは、映像電圧信号VSI Gが出力されるVSI G期間が設定される水平走査期間の1H前のVINI期間に設定される。

【0049】

各画素行の有機発光ダイオード90の発光期間PEMは、上述した映像信号セット動作の終了から次のフレームの画像の当該画素行の書き込み動作の開始までの期間(発光可能期間PEM0)内に設定される。本実施形態の表示装置30は、黒画面挿入動作として、発光可能期間PEM0の一部において、点灯スイッチ94を制御し、駆動電源PVD Dと、導通状態に保持されている駆動トランジスタ92との間を遮断することで、有機発光ダイオード90に供給される駆動電流を強制的に停止する非発光期間PBLを設けている。これにより、上述した動画ぼやけによる表示品質の低下が抑制される。

【0050】

すなわち、発光期間PEMは、発光可能期間PEM0のうち非発光期間PBLを除いた期間となる。なお、黒画面挿入による動画表示品質の低下抑制の効果は、所定フレームの画像で生じた網膜残像をキャンセルすることによるものであることから、非発光期間PBLは、発光可能期間PEM0の先頭又はその近傍、若しくは末尾又はその近傍に設定することが好適である。例えば、図4では、通常、少なくとも数100以上の水平走査期間からなる1フレーム期間(1F)のうちの大半を占める発光可能期間PEM0内のほぼ先頭である3番目と4番目の水平走査期間を、非発光期間PBLとして設定した例を示している。なお、非発光期間PBLの長さは、基本的には発光可能期間PEM0に比べて極めて短く設定できるので、黒画面挿入によって画像の明るさに与える影響は小さい。

【0051】

上述のように、非発光期間PBLでは、点灯スイッチ94によって駆動電源PVD Dと有機発光ダイオード90との間が遮断される。具体的には、走査線駆動回路52は、点灯制御信号BGをLレベルとし、点灯スイッチ94をオフする。さらに、この非発光期間PBLにおいて、走査線駆動回路52は、リセットスイッチ64を制御し、非発光期間PBLを通じてリセット線78をリセット電位VRSに設定する。すなわち、点灯スイッチ94がオフする非発光期間PBLにおいて、リセット制御信号RGがHレベルとされることで、リセットスイッチ64がオンし、リセット電源PVR S(電源回路62)がリセット線78に接続される。つまり、本実施形態では、リセットスイッチ64と点灯スイッチ94とが排他的にオンする。

【0052】

これにより、リセット線78と他の配線との間に高抵抗ショート等があった場合でも、駆動トランジスタ92のドレインは、リセット電位VRSに応じた電位に維持される。換言すれば、ショートによる電流はリセット線78からリセットスイッチ64を介してリセット電源PVR S(電源回路62)側に流れ、有機発光ダイオード90には流れないので、リセット線78に共通に接続された画素50が当該電流で発光して表示部38の画面上に横線欠け、横スジなどを生じる現象が防止される。

【0053】

10

20

30

40

50

図5は、実施形態1の比較例に係る表示装置の概略構成を示す模式図である。図6は、図5に示す比較例において単色ラスタ表示を行った場合に、表示部の画面上に輝度ムラが生じた例を示す図である。図6では、表示部38の各画素50に対し、図中の上部両側から駆動電位 V_{DD} 及び基準電位 V_{SS} を供給した例を示している。

【0054】

図5に示す比較例では、図2に示す実施形態1に係る表示装置30とは異なり、初期化信号発生回路81を有していない。すなわち、図5に示す比較例では、各画素50のデータ初期化時に映像線駆動回路54が初期化電圧信号 V_{INI} を生成し、各画素列の映像信号線(第1信号線)72に出力する構成である。

【0055】

図3に示した画素構成における各画素50の保持容量98の端子間電圧、すなわち、駆動トランジスタ92のゲート-ソース間電圧 V_{gs} は、保持容量98の容量値を C_s 、容量91の容量値を C_{el} とすると、下記の(1)式で表せる。

【0056】

$$\begin{aligned} V_{gs} &= V_{sig} - (V_{ini} - V_{th} + (V_{sig} - V_{ini}) * C_s / (C_s + C_{el})) \\ &= (V_{sig} - V_{ini}) * (1 - C_s / (C_s + C_{el})) + V_{th} \\ &\quad \dots (1) \end{aligned}$$

【0057】

上記(1)式で示されるように、駆動トランジスタ92のゲート-ソース間電圧 V_{gs} は、映像電圧信号 V_{SIG} の電位 V_{sig} (映像書き込み電位)と初期化電圧信号の電位 V_{ini} (初期化電位)との電位差($V_{sig} - V_{ini}$)に比例した電圧と各駆動トランジスタ92固有のしきい値電圧 V_{th} を加算した値となる。このとき、各駆動トランジスタ92には電位差($V_{sig} - V_{ini}$)に比例した電圧に応じた電流が流れ、各駆動トランジスタ92のしきい値電圧 V_{th} のばらつきには依存しない。この駆動電流が駆動トランジスタ92を介して有機発光ダイオード90に供給され、有機発光ダイオード90が駆動電流に応じて発光することにより、各画素50における濃淡表示が実現される。

【0058】

一方、駆動電源 P_{VDD} (電源回路60)から画素50に駆動電位 V_{DD} を供給する電源線76、及び、基準電源 P_{VSS} (電源回路58)から画素50に基準電位 V_{SS} を供給する電源線74は、表示部38の画素50全てに電力を供給するため、他の配線よりも流れる電流量が大きくなる。このため、電源線76及び電源線74の配線抵抗の影響によって、駆動電位 V_{DD} 及び基準電位 V_{SS} が変動する。なお、基準電源 P_{VSS} (電源回路58)から画素50に基準電位 V_{SS} を供給する電源線74は、一般に表示部38の全領域に亘るベタ配線であることが多い。この場合には、電源線74の配線抵抗によって基準電位 V_{SS} の変動に与える影響は、電源線76の配線抵抗によって駆動電位 V_{DD} の変動に与える影響よりも小さい。

【0059】

図5に示す比較例では、初期化電圧信号 V_{INI} の電位 V_{ini} (初期化電位)は、容量91及び保持容量96に電荷が蓄積された後は、当該配線には電流がほぼ流れなくなるため、全画素50において一定の電位が供給される。一方、駆動電位 V_{DD} 及び基準電位 V_{SS} には大きな電流が流れるため配線抵抗により電圧降下が発生し、駆動電源 P_{VDD} (電源回路60)および基準電源 P_{VSS} (電源回路58)から離れた画素ほど駆動トランジスタ92のドレイン-ソース間電圧 V_{ds} が小さくなり、チャンネル長変調効果により駆動トランジスタ92に流れる電流は小さくなる。

【0060】

このため、図6中の表示部38の上部両側から駆動電位 V_{DD} 及び基準電位 V_{SS} を供給した場合に、表示部38の画面上におけるX方向(第1方向)の中央部やY方向(第2方向)の図中下側では、駆動トランジスタ92のゲート-ドレイン間電圧 V_{ds} が相対的に小さくなる。

10

20

30

40

50

【0061】

特に、表示部38に単色（例えば、赤、緑、青、シアン、マゼンタ、白等）のラスター表示を行う場合には、駆動電位 V_{DD} 及び基準電位 V_{SS} の変動に起因する輝度ムラが視認され易くなる。具体的には、駆動電位 V_{DD} 及び基準電位 V_{SS} の給電位置に近い箇所の輝度に対し、駆動電位 V_{DD} 及び基準電位 V_{SS} の給電位置から遠い箇所では、相対的に輝度が低下する（図6参照）。

【0062】

これに対し、本実施形態に係る表示装置30では、図2に示すように、制御部20として、初期化信号発生回路81を備える構成としている。図7は、実施形態1に係る表示装置の初期化信号発生回路によって生成される初期化信号の一例を示す図である。図7に示す例では、初期化電圧信号 V_{INI} のピーク値を結ぶ線を破線で示している。

10

【0063】

図7では、表示部38の画面上におけるX方向（第1方向）及びY方向（第2方向）の輝度ムラを補正するための初期化電圧信号の一例を示している。すなわち、図7に示す例では、初期化電圧信号 V_{INI} を映像信号の1フレーム期間（1F）において徐々に低下させる信号と、映像信号の1水平走査期間（1H）の両端を高く、中央に向かうに従い低下させる信号とを重ね合わせた初期化電圧信号 V_{INI} を生成するようにしている。これにより、駆動電位 V_{DD} 及び基準電位 V_{SS} の給電位置に起因する、駆動電位 V_{DD} 及び基準電位 V_{SS} の電圧降下に伴う輝度ムラを抑制することができる。具体的には、駆動電源 P_{VDD} （電源回路60）及び基準電源 P_{VSS} （電源回路58）の給電部から遠い画素ほど初期化電圧信号 V_{INI} の電位 V_{ini} （初期化電位）を小さくする。これにより、駆動トランジスタ92のドレインソース間電圧 V_{ds} が低い画素ほど供給する初期化電圧信号 V_{INI} の電位 V_{ini} （初期化電位）を低くし、駆動トランジスタ92に供給される映像電圧信号 V_{SIG} の電位 V_{sig} （映像書き込み電位）と初期化電圧信号 V_{INI} の電位 V_{ini} （初期化電位）との電位差（ $V_{sig} - V_{ini}$ ）を大きくし駆動トランジスタ92に流れる電流を補正するものである。

20

【0064】

図8は、実施形態1に係る表示装置の初期化信号発生回路の概略ブロック構成の一例を示す図である。

【0065】

図8に示すように、制御部20の初期化信号発生回路81には、コントローラ56から、映像信号の垂直同期信号 V_{sync} 及び水平同期信号 H_{sync} が入力される。初期化信号発生回路81は、処理部811、及び記憶部812を備えている。

30

【0066】

図9は、表示部における画素配置例を示す図である。図9では、X方向（第1方向）に p （ p は、1以上の整数）の画素50が並び、Y方向（第2方向）に q （ q は、1以上の整数）の画素50が並ぶ例を示している。図10は、画素ごとの補正係数値を含む補正係数値情報の一例を示す図である。

【0067】

記憶部812には、初期化電圧信号 V_{INI} の初期電位 V_{inf} のデータ値と共に、図9に示す画素50ごとの補正係数値が、図10に示す補正係数値情報8121として記憶されている。

40

【0068】

補正係数値情報8121に記憶される画素50ごとの補正係数値としては、例えば、表示装置30の出荷検査時等において、画素50に書き込む映像電圧信号 V_{SIG} の電位 V_{sig} （映像書き込み電位）が同一となる単色ラスターを表示し、表示部38に表示される画像の輝度が略均一となるような値が予め設定されているものとする。なお、補正係数値情報8121に記憶される画素50ごとの補正係数値を求める手法は、これに限定されない。また、画素50ごとの各補正係数値は、数値データであっても良いし、デジタルデータ等の離散値であっても良い。

50

【0069】

処理部811は、画素50ごとの各補正係数値を記憶部812に記憶された補正係数値情報8121から読み出し、コントローラ56から入力された垂直同期信号Vsync及び水平同期信号Hsyncに基づき、画素50ごとに、初期化電圧信号VINIの初期電位Vinfのデータ値を補正して、初期化電圧信号VINIの電位Vini（初期化電位）のデータ値を生成する。なお、処理部811における画素50ごとの初期化電圧信号VINIの電位Vini（初期化電位）の算出手法により、本開示は限定されない。例えば、初期化電圧信号VINIの初期電位Vinfに画素50ごとの各補正係数値を乗じて、画素50ごとの初期化電圧信号VINIの電位Vini（初期化電位）を算出する構成であっても良い。また、例えば、初期化電圧信号VINIの初期電位Vinfに画素50ごとの各補正係数値を加算して、画素50ごとの初期化電圧信号VINIの電位Vini（初期化電位）を算出する構成であっても良い。

10

【0070】

上述のようにして生成された初期化電圧信号VINIは、映像線駆動回路54に出力される。映像線駆動回路54は、リセット動作時及びオフセットキャンセル動作時において、初期化電圧信号VINIの電位Vini（初期化電位）のデータ値をD/A変換器でアナログ電圧に変換し、各画素行ごとに順次出力する。

【0071】

以上説明したように、実施形態1に係る表示装置30は、複数の画素50がX方向（第1方向）及びY方向（第2方向）に並ぶ表示部38と、制御部20と、を有している。画素50は、電流を流すことにより発光する発光素子（有機発光ダイオード90）と、駆動トランジスタ92と、保持容量98と、を有している。発光素子（有機発光ダイオード90）の一方の端子（アノード）は、駆動トランジスタ92のソースまたはドレインのいずれか一方に接続されている。発光素子（有機発光ダイオード90）の他方の端子（カソード）には、第1電位（基準電位Vss）が供給されている。駆動トランジスタ92のソースまたはドレインのいずれか他方には、第1電位（基準電位Vss）よりも高い第2電位（駆動電位VDD）が供給されている。保持容量98は、駆動トランジスタ92のソースとゲートとの間に接続されている。制御部20は、駆動トランジスタ92のゲートに初期化電位（初期化電圧信号VINIの電位Vini）を書き込んだ後、駆動トランジスタ92のゲートに映像信号に基づく映像書き込み電位（映像電圧信号Vsigの電位Vsig）の書き込みを行う。これにより、保持容量98には、映像書き込み電位（映像電圧信号Vsigの電位Vsig）と初期化電位（初期化電圧信号VINIの電位Vini）との差分に比例した電圧と駆動トランジスタ92のしきい値電圧とを加算した電圧が設定される。発光素子（有機発光ダイオード90）の発光期間PEMにおいて、映像書き込み電位（映像電圧信号Vsigの電位Vsig）と初期化電位（初期化電圧信号VINIの電位Vini）との差分に比例した電圧に応じた電流が発光素子（有機発光ダイオード90）に流れる。このような構成において、制御部20は、画素50毎に、初期化電位（初期化電圧信号VINIの電位Vini）を設定する。

20

30

【0072】

具体的に、制御部20は、駆動トランジスタ92のドレインとソースとの間の電圧に応じて、初期化電位（初期化電圧信号VINIの電位Vini）を設定する。

40

【0073】

より具体的に、制御部20の初期化信号発生回路81は、複数の画素50に書き込む映像電圧信号Vsigの電位Vsig（映像書き込み電位）が同一である場合に、映像電圧信号Vsigの電位Vsig（映像書き込み電位）によって表示部38に表示される画像のX方向（第1方向）及びY方向（第2方向）の輝度が略均一となるように、各画素50ごとに供給する電位Vini（初期化電位）を生成する。

【0074】

このとき、初期化信号発生回路81は、各画素50ごとに個別の電位Vini（初期化電位）を供給する。

50

【 0 0 7 5 】

これにより、表示部 3 8 の画面上における X 方向（第 1 方向）及び Y 方向（第 2 方向）の輝度ムラを抑制することができる。

【 0 0 7 6 】

（実施形態 2）

以下、上述した実施形態 1 と同一の機能を有する構成には同一の符号を付して説明を省略し、実施形態 2 の表示装置について実施形態 1 との相違点を中心に説明する。

【 0 0 7 7 】

図 1 1 は、実施形態 2 に係る表示装置の表示部及び制御部の概略構成を示す模式的な回路図である。図 1 2 は、図 1 1 に示す表示部に配列される画素の概略の等価回路図の一例である。

10

【 0 0 7 8 】

図 1 1 に示す実施形態 2 に係る表示装置 3 0 a は、映像電圧信号 V S I G と初期化電圧信号 V I N I とを別系統で供給する点で、図 2 に示す実施形態 1 とは異なっている。具体的には、各画素 5 0 a には、映像電圧信号 V S I G を供給する映像信号線（第 1 信号線）7 2 に加え、初期化電圧信号 V I N I を供給する初期化信号線 1 1 0（第 2 信号線）が配線されている。

【 0 0 7 9 】

なお、本実施形態では、各画素行に初期化電圧信号 V I N I を供給する初期化信号線（第 2 信号線）1 1 0 が共通化されている。

20

【 0 0 8 0 】

図 1 2 に示す画素回路には、初期化スイッチ 1 1 2 が設けられている。初期化スイッチ 1 1 2 の一方の電流端子は、駆動トランジスタ 9 2 のゲートに接続され、他方の電流端子は、初期化信号線（第 2 信号線）1 1 0 に接続されている。初期化スイッチ 1 1 2 は、ゲート電極に走査線駆動回路 5 2 a から初期化制御信号 I G を印加され、駆動トランジスタ 9 2 のゲート電極と初期化信号線（第 2 信号線）1 1 0 との間の接続 / 切断を切り替える。なお、初期化制御信号 I G を供給する初期化制御線 1 1 4 は、画素行ごとに設けられ、各画素行の初期化スイッチ 1 1 2 を共通に制御する。初期化スイッチ 1 1 2 は、駆動トランジスタ 9 2、点灯スイッチ 9 4、リセットスイッチ 6 4、及び書き込みスイッチ 9 6 と同じく n 型 T F T で構成される。

30

【 0 0 8 1 】

なお、本実施形態では、初期化スイッチ 1 1 2 が n 型 T F T で構成される例を示したが、これに限らない。例えば、初期化スイッチ 1 1 2 は、p 型 T F T であっても良い。以下では、初期化スイッチ 1 1 2 が n 型 T F T である場合について例示する。

【 0 0 8 2 】

走査線駆動回路 5 2 a は、初期化制御線 1 1 4 に初期化制御信号 I G を供給する。

【 0 0 8 3 】

図 1 3 は、実施形態 2 に係る表示装置の駆動方法を説明するための概略タイミングチャートである。図 1 3 では、図 4 と同様に、表示部 3 8 a の 1 つの画素行における画素値の書き込み動作及び発光動作での各種信号の変化を示している。また、図 1 3 では、各種信号として、図 4 に示したものの以外に、初期化制御信号 I G が示されている。

40

【 0 0 8 4 】

実施形態 1 と同様に、各画素 5 0 a は、書き込み動作で映像電圧信号 V S I G の電位 V s i g（映像書き込み電位）を書き込まれ、その後、当該映像電圧信号 V S I G の電位 V s i g（映像書き込み電位）に応じた強度で有機発光ダイオード 9 0 を発光させる発光動作が行われる。

【 0 0 8 5 】

具体的に、リセット動作では、点灯制御信号 B G を L レベルとして点灯スイッチ 9 4 をオフとし、リセット制御信号 R G を H レベルとしてリセットスイッチ 6 4 をオンとし、さらに各初期化信号線（第 2 信号線）1 1 0 に初期化電圧信号 V I N I の電位 V i n i（初

50

期化電位)を印加した状態で、初期化制御信号 I G を H レベルとして初期化スイッチ 1 1 2 をオンする。

【 0 0 8 6 】

これにより、駆動トランジスタ 9 2 のゲート電位は、初期化電圧信号 V I N I の電位 V_{ini} (初期化電位)に対応する電位が印加され、有機発光ダイオード 9 0 のアノード電極側には、リセット電位に対応する電圧が印加される。これにより、駆動トランジスタ 9 2 のソース電位は、リセット電位 V_{RS} に対応する電位にリセットされ、各画素 5 0 の保持容量 9 8 の端子間電圧は、 $(V_{ini} - V_{RS})$ に応じた電圧に設定される。有機発光ダイオード 9 0 に印加される電圧は、 $(V_{RS} - V_{SS})$ に応じた電圧となり、当該電圧が有機発光ダイオード 9 0 の発光しきい値電圧 (発光開始電圧) 以下となるように、リセット電位 V_{RS} が設定される。

10

【 0 0 8 7 】

また、具体的に、オフセットキャンセル動作では、初期化スイッチ 1 1 2 のオン状態を維持した状態で、リセット制御信号 R G を L レベルとしてリセットスイッチ 6 4 をオフとし、点灯制御信号 B G を H レベルとして点灯スイッチ 9 4 をオンとする。

【 0 0 8 8 】

これにより、駆動トランジスタ 9 2 のゲート電位は、初期化電圧信号 V I N I の電位 V_{ini} (初期化電位)に対応する電位に固定される。また、点灯スイッチ 9 4 がオン状態であるので、駆動電源 P V D D から駆動トランジスタ 9 2 に電流が流れ込み、駆動トランジスタ 9 2 のソース電位は、リセット期間 P_{RS} に書き込まれたリセット電位 V_{RS} から上昇する。そして、ソース電位がゲート電位より V_{th} だけ低い電位 ($V_{ini} - V_{th}$) に達すると、駆動トランジスタ 9 2 が非導通状態となり、駆動トランジスタ 9 2 のソース電位は、 $(V_{ini} - V_{th})$ に固定され、保持容量 9 8 の端子間電圧は、駆動トランジスタ 9 2 のしきい値電圧 V_{th} に応じた電圧に設定される。

20

【 0 0 8 9 】

この状態を基準として、点灯制御信号 B G を L レベルとして点灯スイッチ 9 4 をオフし、駆動電源 P V D D から駆動トランジスタ 9 2 に流れ込む電流を阻止する。また、初期化制御信号 I G を L レベルとして初期化スイッチ 1 1 2 をオフし、さらに、各映像信号線 (第 1 信号線) 7 2 に映像電圧信号 V S I G の電位 V_{sig} (映像書き込み電位)を印加した状態で、書き込み制御信号 S G を H レベルとして書き込みスイッチ 9 6 をオンする。これにより、駆動トランジスタ 9 2 のゲート電位が初期化電圧信号 V I N I の電位 V_{ini} (初期化電位)に応じた電位から映像電圧信号 V S I G の電位 V_{sig} (映像書き込み電位)に応じた電位に上昇する。

30

【 0 0 9 0 】

書き込みスイッチ 9 6 をオフして映像信号セット動作が終了すると、発光可能期間 P_{EM0} に移行する。表示装置 3 0 a は、発光期間 P_{EM} の他、発光可能期間 P_{EM0} の一部において、非発光期間 P_{BL} を設ける。これにより、黒画面挿入動作が行われる。また、実施形態 1 と同様に、発光期間 P_{EM} においては点灯スイッチ 9 4 がオンされ、リセットスイッチ 6 4 がオフされる。また非発光期間 P_{BL} において、点灯スイッチ 9 4 がオフされ、リセットスイッチ 6 4 がオンされる。なお、映像信号セット期間 P_{WT} にて L レベルとされた初期化制御信号 I G は、発光可能期間 P_{EM0} に入っても L レベルに維持される。

40

【 0 0 9 1 】

また、本実施形態においても、実施形態 1 と同様に、非発光期間 P_{BL} においてリセット制御信号 R G が H レベルとされることで、リセットスイッチ 6 4 がオンし、リセット電源 P V R S (電源回路 6 2) がリセット線 7 8 に接続される。

【 0 0 9 2 】

これにより、リセット線 7 8 と他の配線との間に高抵抗ショート等があった場合でも、駆動トランジスタ 9 2 のドレインは、リセット電位 V_{RS} に応じた電位に維持され、有機発光ダイオード 9 0 の発光が防止される。従って、リセット線 7 8 に共通に接続された画

50

素 5 0 a が高抵抗ショートに起因して発光することによって表示部 3 8 a の画面上に横線欠け、横スジなどを生じる現象が防止される。

【 0 0 9 3 】

図 1 4 は、実施形態 2 に係る表示装置の初期化信号発生回路の概略ブロック構成の一例を示す図である。

【 0 0 9 4 】

図 1 4 に示すように、制御部 2 0 a の初期化信号発生回路 8 1 a には、実施形態 1 と同様に、コントローラ 5 6 から、映像信号の垂直同期信号 V_{sync} 及び水平同期信号 H_{sync} が入力される。初期化信号発生回路 8 1 a は、処理部 8 1 1 a、記憶部 8 1 2 a、及び D/A 変換部 8 1 3 を備えている。

10

【 0 0 9 5 】

上述したように、本実施形態では、各画素行に初期化電圧信号 V_{INI} を供給する初期化信号線（第 2 信号線）1 1 0 が共通化されている。このため、本実施形態において、処理部 8 1 1 a は、各画素行に共通の初期化電圧信号 V_{INI} を生成する。

【 0 0 9 6 】

図 1 5 は、実施形態 2 に係る表示装置の初期化信号発生回路によって生成される初期化電圧信号の一例を示す図である。図 1 5 に示す例では、図 7 に示した初期化電圧信号 V_{INI} のピーク値を結ぶ線を破線で示している。

【 0 0 9 7 】

図 1 5 では、表示部 3 8 a の画面上における X 方向（第 1 方向）及び Y 方向（第 2 方向）の輝度ムラのうち、Y 方向（第 2 方向）の輝度ムラを補正するための初期化電圧信号の一例を示している。すなわち、図 1 5 に示す例では、初期化電圧信号 V_{INI} の電位 V_{ini} （初期化電位）を映像信号の 1 フレーム期間（1 F）において徐々に低下させる初期化電圧信号 V_{INI} の電位 V_{ini} （初期化電位）のデータ値を生成するようにしている。これにより、駆動電位 V_{DD} 及び基準電位 V_{SS} の給電位置に起因する、駆動電位 V_{DD} 及び基準電位 V_{SS} の電圧降下に伴う Y 方向（第 2 方向）の輝度ムラを抑制することができる。

20

【 0 0 9 8 】

図 1 6 は、表示部における画素行配置例を示す図である。図 1 6 では、Y 方向（第 2 方向）に q （ q は、1 以上の整数）の画素行 5 1 が並ぶ例を示している。図 1 7 は、画素行ごとの補正係数値を含む補正係数値情報の一例を示す図である。

30

【 0 0 9 9 】

記憶部 8 1 2 a には、初期化電圧信号 V_{INI} の初期電位 V_{inf} と共に、図 1 6 に示す画素行 5 1 ごとの補正係数値が、図 1 7 に示す補正係数値情報 8 1 2 1 a として記憶されている。

【 0 1 0 0 】

補正係数値情報 8 1 2 1 a に記憶される画素行 5 1 ごとの補正係数値としては、例えば、表示装置 3 0 の出荷検査時等において、画素 5 0 に書き込む映像電圧信号 V_{SIG} の電位 V_{sig} （映像書き込み電位）が同一となる単色ラスターを表示し、表示部 3 8 a に表示される画像の Y 方向（第 2 方向）の輝度が略均一となるような値が予め設定されているものとする。なお、補正係数値情報 8 1 2 1 a に記憶される画素行 5 1 ごとの補正係数値を求める手法は、これに限定されない。また、画素行 5 1 ごとの各補正係数値は、数値データであっても良いし、デジタルデータ等の離散値であっても良い。

40

【 0 1 0 1 】

処理部 8 1 1 a は、画素行 5 1 ごとの各補正係数値を記憶部 8 1 2 a に記憶された補正係数値情報 8 1 2 1 a から読み出し、コントローラ 5 6 から入力された垂直同期信号 V_{sync} 及び水平同期信号 H_{sync} に基づき、画素行 5 1 ごとの、初期化電圧信号 V_{INI} の初期電位 V_{inf} のデータ値を補正して、初期化電圧信号 V_{INI} の電位 V_{ini} （初期化電位）のデータ値を生成する。なお、処理部 8 1 1 a における画素行 5 1 ごとの初期化電圧信号 V_{INI} の電位 V_{ini} （初期化電位）の算出手法により、本開示は限定さ

50

れない。例えば、初期化電圧信号VINIの初期電位Vinfに画素行51ごとの各補正係数値を乗じて、画素行51ごとの初期化電圧信号VINIの電位Vini（初期化電位）を算出する構成であっても良い。また、例えば、初期化電圧信号VINIの初期電位Vinfに画素行51ごとの各補正係数値を加算して、画素行51ごとの初期化電圧信号VINIの電位Vini（初期化電位）を算出する構成であっても良い。

【0102】

D/A変換部813は、リセット動作時及びオフセットキャンセル動作時において、初期化電圧信号VINIのデータ値をアナログ電圧に変換し、初期化信号線（第2信号線）110に出力する。

【0103】

以上説明したように、実施形態2に係る制御部20aの初期化信号発生回路81aは、複数の画素50aに書き込む映像電圧信号VSI Gの電位Vsig（映像書き込み電位）が同一である場合に、映像電圧信号VSI Gの電位Vsig（映像書き込み電位）によって表示部38aに表示される画像のY方向（第2方向）の輝度が略均一となるように、各画素50aごとに供給する電位Vini（初期化電位）を生成する。

【0104】

このとき、初期化信号発生回路81aは、X方向（第1方向）に並ぶ画素50aに対し、同一の電位Vini（初期化電位）を供給する。

【0105】

これにより、表示部38aの画面上におけるX方向（第1方向）及びY方向（第2方向）の輝度ムラのうち、Y方向（第2方向）の輝度ムラを抑制することができる。

【0106】

なお、本実施形態では、画素50ごとに補正係数値を設ける実施形態1よりも、補正係数値情報の情報量を減らすことができる。このため、実施形態1よりも記憶部812aの記憶容量を小さくすることができる。

【0107】

また、本実施形態では、画素50ごとに初期化電圧信号VINIの電位Vini（初期化電位）を算出する実施形態1よりも、処理部811aにおける処理を軽減することができる。

【0108】

なお、初期化スイッチ112を時分割でオンさせ、画素50ごとに初期化電圧信号VINIの電位Vini（初期化電位）を供給することも可能である。

【0109】

（実施形態3）

以下、上述した実施形態1又は実施形態2と同一の機能を有する構成には同一の符号を付して説明を省略し、実施形態3の表示装置について実施形態1又は実施形態2との相違点を中心に説明する。

【0110】

図18は、実施形態3に係る表示装置の表示部及び制御部の概略構成を示す模式的な回路図である。実施形態2では、各画素行に初期化電圧信号VINIを供給する初期化信号線（第2信号線）110が共通化されている例を示したが、本実施形態では、各画素行に初期化電圧信号VINIを供給する初期化信号線（第2信号線）110がそれぞれ独立している点で、実施形態2とは異なっている。これにより、本実施形態では、実施形態1と同様に、画素50aごとの初期化電圧信号VINIの電位Vini（初期化電位）を算出する構成としている。

【0111】

図19は、実施形態3に係る表示装置の初期化信号発生回路の概略ブロック構成の一例を示す図である。

【0112】

図19に示すように、実施形態3に係る表示装置30bにおける制御部20bの初期化

10

20

30

40

50

信号発生回路 8 1 b には、実施形態 1 及び実施形態 2 と同様に、コントローラ 5 6 から、映像信号の垂直同期信号 V_{sync} 及び水平同期信号 H_{sync} が入力される。初期化信号発生回路 8 1 b は、処理部 8 1 1、記憶部 8 1 2、及び D/A 変換部 8 1 3 a を備えている。

【0113】

D/A 変換部 8 1 3 a は、リセット動作時及びオフセットキャンセル動作時において、初期化電圧信号 V_{INI} の電位 V_{ini} (初期化電位) のデータ値をアナログ電圧に変換し、画素行ごとの初期化信号線 (第 2 信号線) 1 1 0 にそれぞれ出力する。

【0114】

以上説明したように、実施形態 3 に係る制御部 2 0 b の初期化信号発生回路 8 1 b は、実施形態 1 と同様に、複数の画素 5 0 a に書き込む映像電圧信号 V_{SIG} の電位 V_{sig} (映像書き込み電位) が同一である場合に、映像電圧信号 V_{SIG} の電位 V_{sig} (映像書き込み電位) によって表示部 3 8 a に表示される画像の X 方向 (第 1 方向) 及び Y 方向 (第 2 方向) の輝度が略均一となるように、各画素 5 0 a ごとに供給する電位 V_{ini} (初期化電位) を生成する。

10

【0115】

このとき、初期化信号発生回路 8 1 b は、実施形態 1 と同様に、各画素 5 0 a ごとに個別の電位 V_{ini} (初期化電位) を供給する。

【0116】

これにより、実施形態 1 と同様に、表示部 3 8 の画面上における X 方向 (第 1 方向) 及び Y 方向 (第 2 方向) の輝度ムラを抑制することができる。

20

【0117】

(実施形態 4)

以下、上述した実施形態 1 から実施形態 3 と同一の機能を有する構成には同一の符号を付して説明を省略し、実施形態 4 の表示装置について実施形態 1 から実施形態 3 との相違点を中心に説明する。

【0118】

本実施形態では、図 2 に示す実施形態 1 に係る表示装置の表示部 3 8 及び制御部 2 0 の概略構成において、表示部 3 8 を複数の領域に分割し、複数の領域における画素群ごとに補正係数値を設定する例について説明する。本実施形態では、図 8 に示す初期化信号発生回路 8 1 において、処理部 8 1 1 における処理、及び、記憶部 8 1 2 に記憶される補正係数値情報が異なっている。

30

【0119】

図 2 0 は、表示部における画素群配置例を示す図である。図 2 0 では、X 方向 (第 1 方向) に複数の画素 5 0 からなる m (m は、1 以上の整数) の画素群 3 9 が並び、Y 方向 (第 2 方向) に複数の画素 5 0 からなる n (n は、1 以上の整数) の画素群 3 9 が並ぶ例を示している。なお、図 2 0 に示す例において、画素群 3 9 は、X 方向 (第 1 方向) 及び Y 方向 (第 2 方向) にそれぞれ 4 の画素 5 0 が並び構成されているが、画素群 3 9 において X 方向 (第 1 方向) 及び Y 方向 (第 2 方向) に並ぶ画素 5 0 の数は、これに限定されない。図 2 1 は、画素群ごとの補正係数値を含む補正係数値情報の一例を示す図である。

40

【0120】

記憶部 8 1 2 には、初期化電圧信号 V_{INI} の初期電位 V_{inf} のデータ値と共に、図 2 0 に示す画素群 3 9 ごとの補正係数値が、図 2 1 に示す補正係数値情報 8 1 2 1 b として記憶されている。

【0121】

補正係数値情報 8 1 2 1 b に記憶される画素群 3 9 ごとの補正係数値としては、例えば、表示装置 3 0 の出荷検査時等において、画素 5 0 に書き込む映像電圧信号 V_{SIG} の電位 V_{sig} (映像書き込み電位) が同一となる単色ラスターを表示し、表示部 3 8 に表示される画像の輝度が略均一となるような値を求め、画素群 3 9 ごとに、画素群 3 9 に含まれる画素 5 0 の補正係数値の平均値が予め設定されているものとする。なお、補正係数値

50

情報 8 1 2 1 b に記憶される画素群 3 9 ごとの補正係数値を求める手法は、これに限定されない。例えば、補正係数値情報 8 1 2 1 b に記憶される画素群 3 9 ごとの補正係数値は、所定数の表示装置 3 0 においてそれぞれ対応する画素群 3 9 における補正係数値の平均値又は代表値であっても良い。また、画素群 3 9 ごとの各補正係数値は、数値データであっても良いし、デジタルデータ等の離散値であっても良い。

【 0 1 2 2 】

処理部 8 1 1 は、画素群 3 9 ごとの各補正係数値を記憶部 8 1 2 に記憶された補正係数値情報 8 1 2 1 b から読み出し、コントローラ 5 6 から入力された垂直同期信号 V_{sync} 及び水平同期信号 H_{sync} に基づき、画素群 3 9 ごとに、初期化電圧信号 V_{INI} の初期電位 V_{inf} を補正して、初期化電圧信号 V_{INI} の電位 V_{ini} (初期化電位) のデータ値を生成する。なお、処理部 8 1 1 における画素群 3 9 ごとの初期化電圧信号 V_{INI} の電位 V_{ini} (初期化電位) の算出手法により、本開示は限定されない。例えば、初期化電圧信号 V_{INI} の初期電位 V_{inf} に画素群 3 9 ごとの各補正係数値を乗じて、画素群 3 9 ごとの初期化電圧信号 V_{INI} の電位 V_{ini} (初期化電位) を算出する構成であっても良い。また、例えば、初期化電圧信号 V_{INI} の初期電位 V_{inf} に画素群 3 9 ごとの各補正係数値を加算して、画素群 3 9 ごとの初期化電圧信号 V_{INI} の電位 V_{ini} (初期化電位) を算出する構成であっても良い。

10

【 0 1 2 3 】

上述のようにして生成された初期化電圧信号 V_{INI} は、映像線駆動回路 5 4 に出力される。映像線駆動回路 5 4 は、リセット動作時及びオフセットキャンセル動作時において、初期化電圧信号 V_{INI} の電位 V_{ini} (初期化電位) のデータ値を D/A 変換器でアナログ電圧に変換し、各画素行ごとに順次出力する。

20

【 0 1 2 4 】

なお、本実施形態では、画素 5 0 ごとに補正係数値を設ける実施形態 1 よりも、補正係数値情報の情報量を減らすことができる。このため、実施形態 1 よりも記憶部 8 1 2 の記憶容量を小さくすることができる。

【 0 1 2 5 】

また、本実施形態では、画素 5 0 ごとに初期化電圧信号 V_{INI} の電位 V_{ini} (初期化電位) を算出する実施形態 1 よりも、処理部 8 1 1 における処理を軽減することができる。

30

【 0 1 2 6 】

以上説明したように、実施形態 4 において、制御部 2 0 の初期化信号発生回路 8 1 は、複数の画素 5 0 に書き込む映像電圧信号 V_{SIG} の電位 V_{sig} (映像書き込み電位) が同一である場合に、映像電圧信号 V_{SIG} の電位 V_{sig} (映像書き込み電位) によって表示部 3 8 に表示される画像の X 方向 (第 1 方向) 及び Y 方向 (第 2 方向) の輝度が略均一となるように、各画素 5 0 ごとに供給する電位 V_{ini} (初期化電位) を生成する。

【 0 1 2 7 】

このとき、初期化信号発生回路 8 1 は、表示部 3 8 を複数の領域に分割した画素群 3 9 ごとに含まれる画素 5 0 に対し、同一の電位 V_{ini} (初期化電位) を供給する。

【 0 1 2 8 】

これにより、実施形態 1 よりも記憶部 8 1 2 の記憶容量を小さくしつつ、かつ処理部 8 1 1 における処理を軽減して、表示部 3 8 a の画面上における X 方向 (第 1 方向) 及び Y 方向 (第 2 方向) の輝度ムラを抑制することができる。

40

【 0 1 2 9 】

(実施形態 5)

以下、上述した実施形態 1 から実施形態 4 と同一の機能を有する構成には同一の符号を付して説明を省略し、実施形態 5 の表示装置について実施形態 1 から実施形態 4 との相違点を中心に説明する。

【 0 1 3 0 】

本実施形態では、図 2 に示す実施形態 1 に係る表示装置の表示部 3 8 及び制御部 2 0 の

50

概略構成において、初期化信号発生回路の構成が異なる例について説明する。

【0131】

図22は、実施形態5に係る表示装置の初期化信号発生回路の概略ブロック構成の一例を示す図である。

【0132】

図22に示すように、制御部20の初期化信号発生回路81cには、コントローラ56から入力される映像信号の垂直同期信号Vsync及び水平同期信号Hsyncに加え、コントローラ56から映像信号が入力される。初期化信号発生回路81cは、処理部811b、記憶部812、及び画像解析部814を備えている。

【0133】

画像解析部814は、入力された映像信号の画像解析を行う。画像解析部814における画像解析手法としては、例えば、ヒストグラム解析が例示される。画像解析部814における画像解析手法により本開示が限定されるものではない。

【0134】

図23は、実施形態5に係る初期化信号補正処理手順の一例を示すフローチャートである。以下、図23に示すフローチャートに従い、初期化信号発生回路81cの動作について説明する。

【0135】

まず、画像解析部814は、入力された1フレーム(1F)分の映像信号を解析する(ステップS101)。

【0136】

画像解析部814は、画像解析結果に基づき、映像信号が単色ラスターを表示することを示す信号であるか否かを判定する(ステップS102)。

【0137】

映像信号が単色ラスターを表示することを示す信号ではない場合(ステップS102; No)、処理部811bは、初期化電圧信号VINIの初期電位Vinfを全画素50に対する電位Vini(初期化電位)として、初期化電圧信号VINIの電位Vini(初期化電位)のデータ値を生成する(ステップS103)。

【0138】

映像信号が単色ラスターを表示することを示す信号である場合(ステップS102; Yes)、処理部811bは、画素50ごとの各補正係数値を記憶部812に記憶された補正係数値情報8121から読み出し(ステップS104)、コントローラ56から入力された垂直同期信号Vsync及び水平同期信号Hsyncに基づき、画素50ごとに、初期化電圧信号VINIの初期電位Vinfを補正して、初期化電圧信号VINIの電位Vini(初期化電位)のデータ値を生成する(ステップS105)。

【0139】

映像信号が単色ラスターを表示することを示す信号ではない場合、例えば、映像信号が自然画を表示することを示す信号である場合には、表示部38の画面上における輝度ムラが視認され難い。本実施形態では、映像信号が単色ラスターを表示することを示す信号ではない場合には、初期化電圧信号VINIの初期電位Vinfを全画素50に対する電位Vini(初期化電位)として、初期化電圧信号VINIの電位Vini(初期化電位)のデータ値を生成する、すなわち、全画素50に対し、同一の電位Vini(初期化電位)を供給するようにしている。

【0140】

(実施形態6)

以下、上述した実施形態1から実施形態5と同一の機能を有する構成には同一の符号を付して説明を省略し、実施形態6の表示装置について実施形態1から実施形態5との相違点を中心に説明する。

【0141】

本実施形態では、図2に示す実施形態1に係る表示装置の表示部38及び制御部20の

10

20

30

40

50

概略構成において、初期化信号発生回路の構成が異なる例について説明する。

【0142】

図24は、実施形態6に係る表示装置の初期化信号発生回路の概略ブロック構成の一例を示す図である。

【0143】

図24に示すように、制御部20の初期化信号発生回路81dには、実施形態5と同様に、コントローラ56から、映像信号、映像信号の垂直同期信号 V_{sync} 、及び水平同期信号 H_{sync} が入力される。初期化信号発生回路81dは、処理部811c、記憶部812b、及び画像解析部814aを備えている。

【0144】

図25は、映像信号の階調範囲ごとの輝度補正係数値を含む輝度補正係数値情報の一例を示す図である。

【0145】

記憶部812bには、初期化電圧信号 V_{INI} における初期電位 V_{inf} と、例えば図10に示す補正係数値情報8121と共に、映像信号の階調範囲ごとの輝度補正係数値が、図23に示す輝度補正係数値情報8122として記憶されている。

【0146】

図25に示す例では、例えば映像信号の256階調を「 r (r は、1以上の整数)」の複数の階調範囲に分割し、各階調範囲における輝度補正係数値が予め設定されている例を示している。なお、輝度補正係数値情報8122に記憶される複数の階調範囲ごとの輝度補正係数値を求める手法については限定されない。また、複数の階調範囲ごとの輝度補正係数値は、数値データであっても良いし、デジタルデータ等の離散値であっても良い。

【0147】

図26は、実施形態6に係る初期化信号補正処理手順の一例を示すフローチャートである。なお、本実施形態では、図23に示すフローチャートとは異なる処理について説明し、それ以外の処理については、説明を省略する。

【0148】

映像信号が単色ラスターを表示することを示す信号である場合(ステップS102; Yes)、画像解析部814aは、映像信号の階調を取得する(ステップS104a)。

【0149】

処理部811cは、画素50ごとの各補正係数値を記憶部812bに記憶された補正係数値情報8121から読み出すと共に、画像解析部814aによって取得された階調に応じた輝度補正係数を記憶部812bに記憶された輝度補正係数値情報8122から読み出し(ステップS104b)、コントローラ56から入力された垂直同期信号 V_{sync} 及び水平同期信号 H_{sync} に基づき、画素50ごとに、初期化電圧信号 V_{INI} の初期電位 V_{inf} を補正して、初期化電圧信号 V_{INI} の電位 V_{ini} (初期化電位)のデータ値を生成する(ステップS105)。

【0150】

なお、処理部811cにおける画素50ごとの初期化電圧信号 V_{INI} の電位 V_{ini} (初期化電位)の算出手法により、本開示は限定されない。例えば、初期化電圧信号 V_{INI} の初期電位 V_{inf} に画素50ごとの各補正係数値及び輝度補正係数を乗じて、画素50ごとの初期化電圧信号 V_{INI} の電位 V_{ini} (初期化電位)を算出する構成であっても良い。また、例えば、初期化電圧信号 V_{INI} の初期電位 V_{inf} に画素50ごとの各補正係数値及び輝度補正係数を加算して、画素50ごとの初期化電圧信号 V_{INI} の電位 V_{ini} (初期化電位)を算出する構成であっても良い。

【0151】

映像信号の階調によって、表示部38の画面上において視認される輝度ムラの濃淡が異なることが考えられる。本実施形態では、映像信号が単色ラスターを表示することを示す信号である場合に、単色ラスターの階調に応じて、各画素50ごとに供給する電位 V_{ini} (初期化電位)を生成することで、単色ラスターの階調に依らず、表示部38の画面上

10

20

30

40

50

における X 方向（第 1 方向）及び Y 方向（第 2 方向）の輝度ムラを抑制することができる。

【0152】

なお、上述した各実施形態では、駆動電位 V_{DD} 及び基準電位 V_{SS} の給電位置に起因する輝度ムラを抑制することについて説明したが、補正係数値情報 8121, 8121a, 8121b に記憶される補正係数値を、上述したように、例えば表示装置 30 の出荷検査時等において単色ラスタを表示し、表示部 38, 38a に表示される画像の輝度が、Y 方向（第 2 方向）、又は、X 方向（第 1 方向）及び Y 方向（第 2 方向）の双方で略均一となるような値を求めることで、例えば、表示部 38, 38a の製造プロセスにおいて発生する、有機発光ダイオード 90 のしきい値電圧（順方向電圧降下 V_F ）のバラツキや、光変換効率のバラツキ等による輝度ムラをも抑制可能である。

10

【0153】

また、上述した各実施形態では、画素行ごとにリセット線 78 とリセットスイッチ 64 とが設けられる構成を説明した。すなわち、当該画素行を構成する複数の画素がリセット線 78 とリセットスイッチ 64 を共有する。ここで、各画素行を複数区間に区切り、区間ごとにリセット線 78 とリセットスイッチ 64 を共有する構成とすることもできる。

【0154】

また、複数の画素行でリセットスイッチ 64 を共有する構成とすることもできる。当該構成では複数の画素行それぞれにリセット線 78 が設けられ、それら複数本のリセット線 78 とリセット電源 P V R S との接続を共通のリセットスイッチ 64 で切り替える。

20

【0155】

また、例えば、隣接する 2 つの画素行など、比較的少数の画素行であれば、1 本のリセット線 78 を共用するレイアウトも可能である。具体的には、リセット線 78 を 1 本の行方向に延在する幹線部分と、当該幹線部分から各列位置にて列方向に延びる支線部分とで構成する。

【0156】

また、上述した各実施形態では、駆動トランジスタ 92 を n 型 T F T とした構成について説明したが、駆動トランジスタ 92 を p 型 T F T とした構成とすることもできる。また、点灯スイッチ 94、リセットスイッチ 64、書き込みスイッチ 96、初期化スイッチ 112 についても、同様に、上述した各実施形態において説明した n 型 T F T とした構成に代えて、p 型 T F T とした構成とすることができる。すなわち、上述した各実施形態において説明した図 3 及び図 12 に示す回路構成は一例であり、p 型 T F T のみで構成された回路あるいは p 型 T F T と n 型 T F T とを混載した回路等、各種の回路で構成しても良い。

30

【0157】

上述した実施形態により、輝度ムラを抑制することができる表示装置を提供することができる。

【0158】

上述した実施形態は、各構成要素を適宜組み合わせることが可能である。また、本実施形態において述べた態様によりもたらされる他の作用効果について本明細書記載から明らかなもの、又は当業者において適宜想到し得るものについては、当然に本発明によりもたらされるものと解される。

40

【符号の説明】

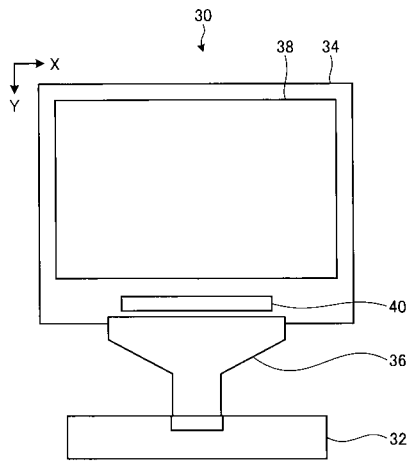
【0159】

20, 20a, 20b 制御部
 30, 30a, 30b 表示装置
 32 回路基板
 34 表示基板
 36 接続基板
 38, 38a 表示部

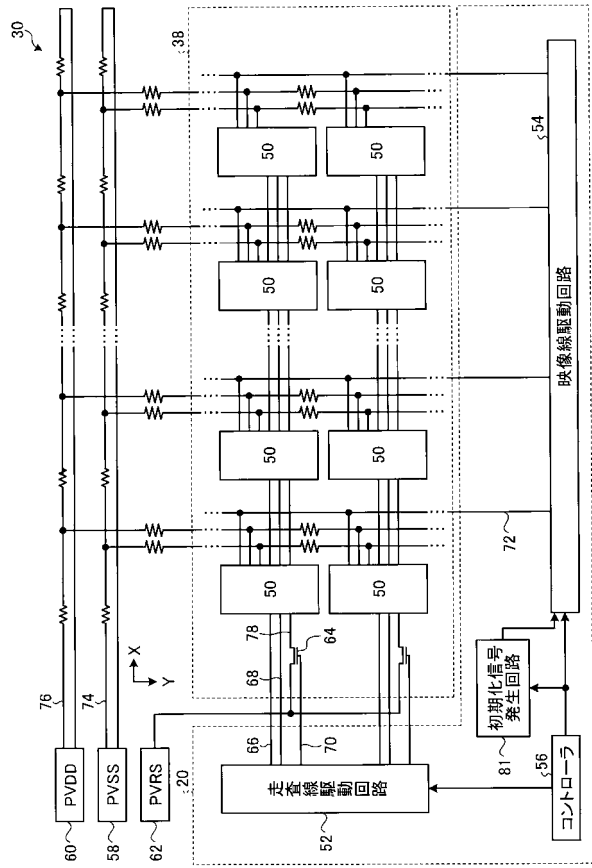
50

3 9	画素群	
4 0	駆動回路	
5 0 , 5 0 a	画素	
5 1	画素列	
5 2 , 5 2 a	走査線駆動回路	
5 4	映像線駆動回路	
5 6	コントローラ	
5 8 , 6 0 , 6 2	電源回路	
6 4	リセットスイッチ	
6 6	点灯制御線	10
6 8	書き込み制御線	
7 0	リセット制御線	
7 2	映像信号線 (第 1 信号線)	
7 4 , 7 6	電源線	
7 8	リセット線	
8 1 , 8 1 a , 8 1 b , 8 1 c , 8 1 d	初期化信号発生回路	
9 0	有機発光ダイオード (有機 E L 素子)	
9 1	容量	
9 2	駆動トランジスタ	
9 4	点灯スイッチ	20
9 6	書き込みスイッチ	
9 8	保持容量	
1 1 0	初期化信号線 (第 2 信号線)	
1 1 2	初期化スイッチ	
1 1 4	初期化制御線	
8 1 1 , 8 1 1 a , 8 1 1 b , 8 1 1 c	処理部	
8 1 2 , 8 1 2 a , 8 1 2 b	記憶部	
8 1 3 , 8 1 3 a	D / A 変換部	
8 1 4 , 8 1 4 a	画像解析部	
8 1 2 1 , 8 1 2 1 a , 8 1 2 1 b	補正係数値情報	30
8 1 2 2	輝度補正係数値情報	

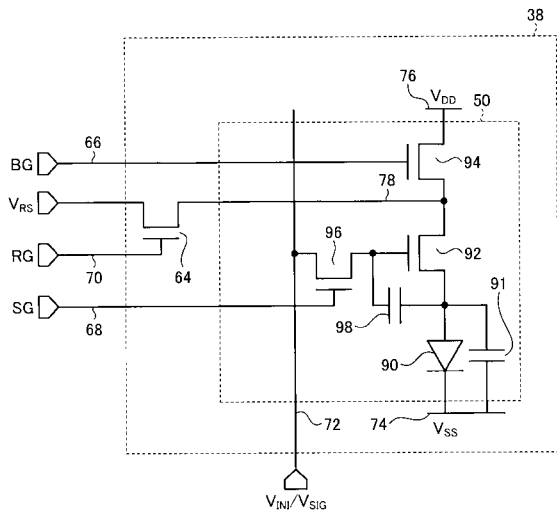
【図1】



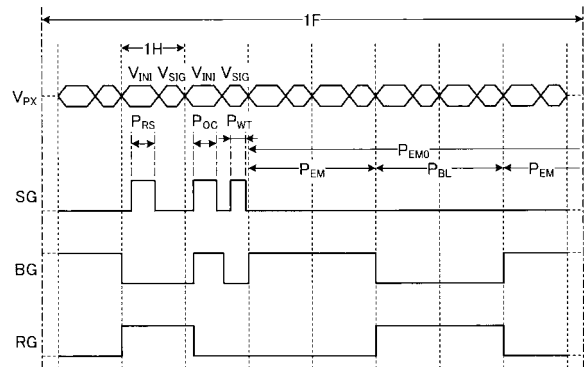
【図2】



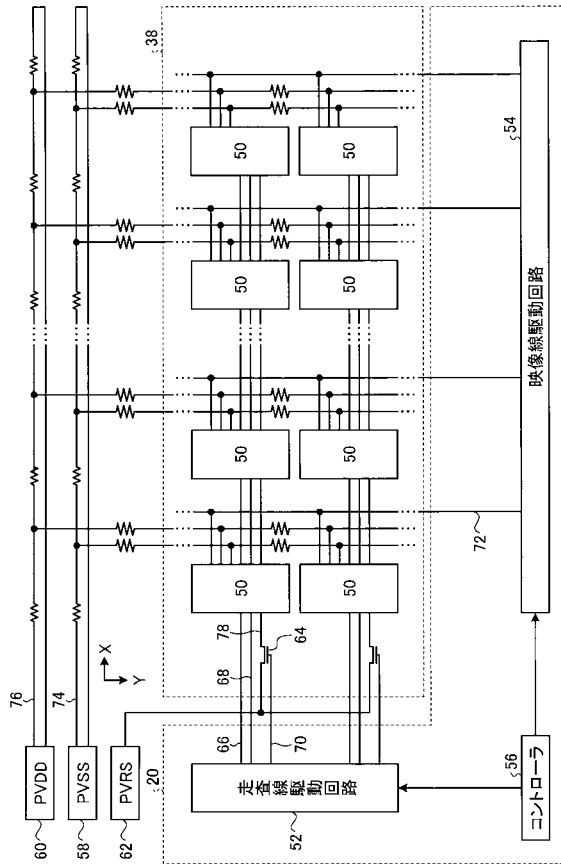
【図3】



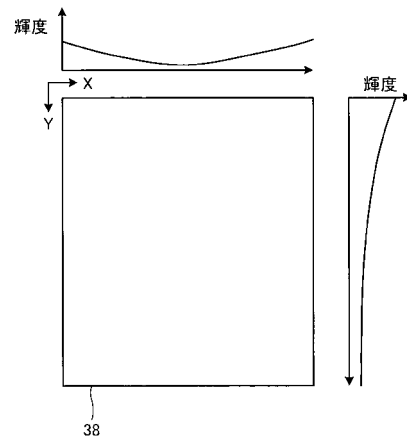
【図4】



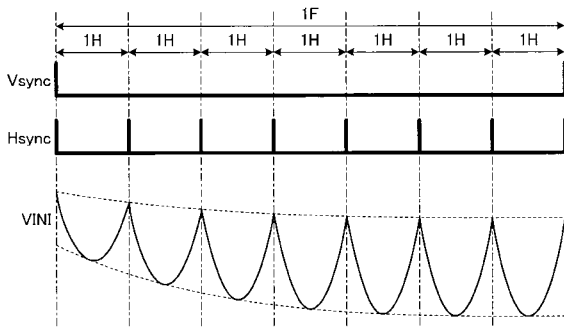
【図5】



【図6】



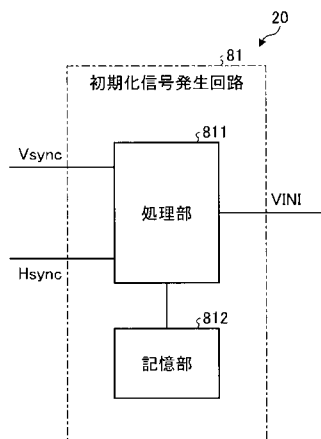
【図7】



【図9】

				38	50
Y	(1,1)	(2,1)	...	(p-1,1)	(p,1)
	(1,2)	(2,2)	...	(p-1,2)	(p,2)
	⋮	⋮		⋮	⋮
	(1,q-1)	(2,q-1)	...	(p-1,q-1)	(p,q-1)
	(1,q)	(2,q)	...	(p-1,q)	(p,q)
X					

【図8】

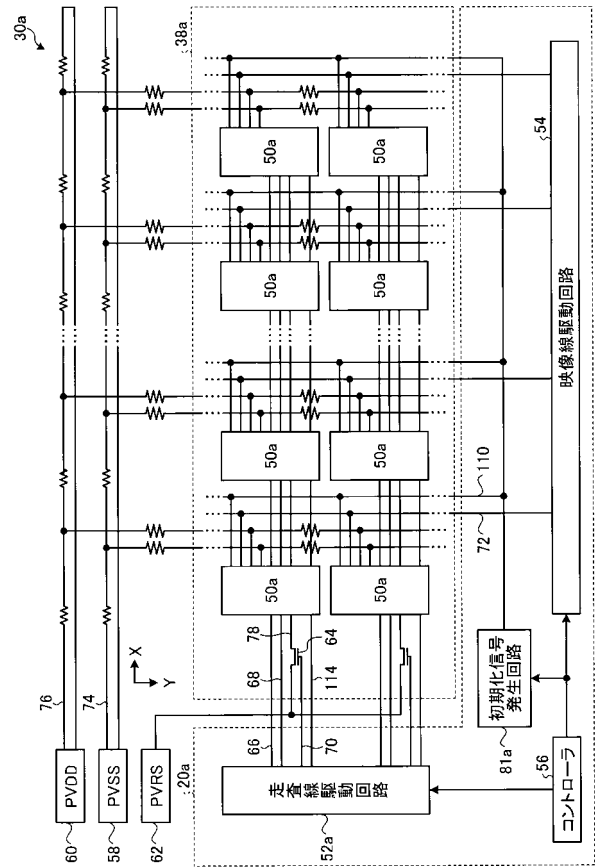


【図 10】

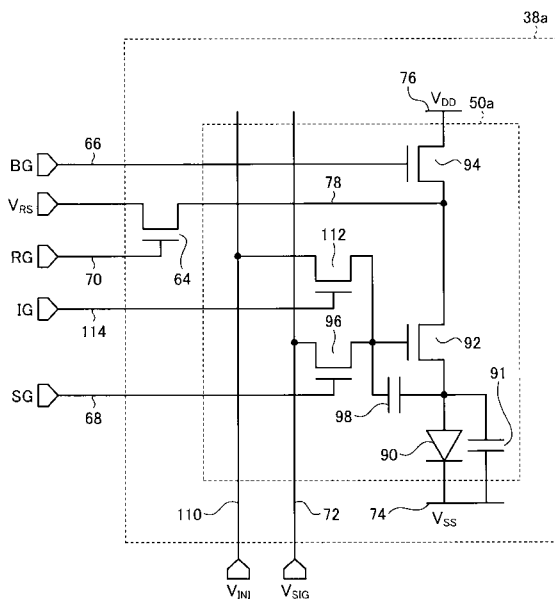
補正係数値情報

Y \ X		ζ8121				
		1	2	...	p-1	p
1	xx	xx	...	xx	xx	
2	xx	xx	...	xx	xx	
⋮	⋮	⋮		⋮	⋮	
q-1	xx	xx	...	xx	xx	
q	xx	xx	...	xx	xx	

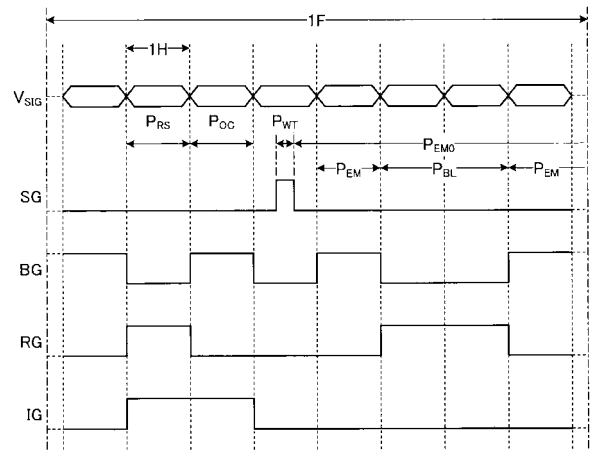
【図 11】



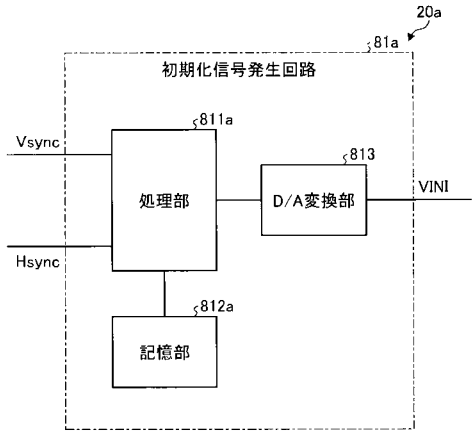
【図 12】



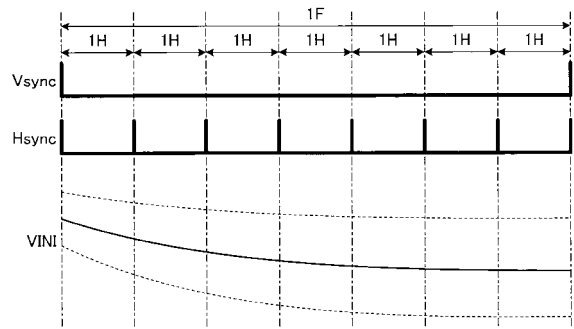
【図 13】



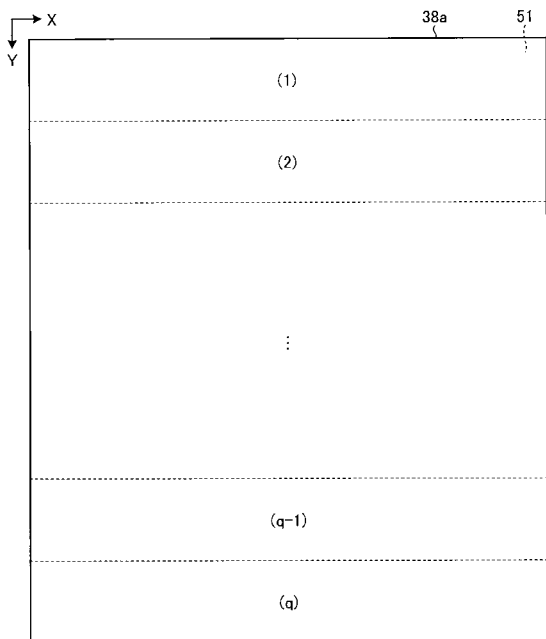
【 図 1 4 】



【 図 1 5 】



【 図 1 6 】

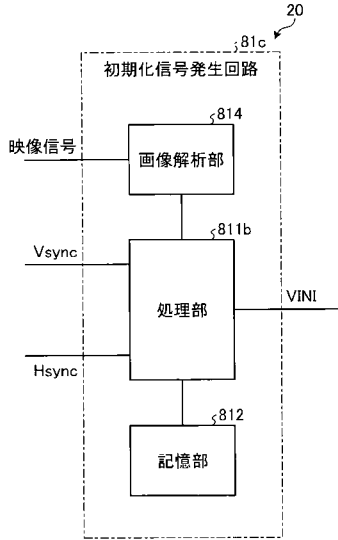


【 図 1 7 】

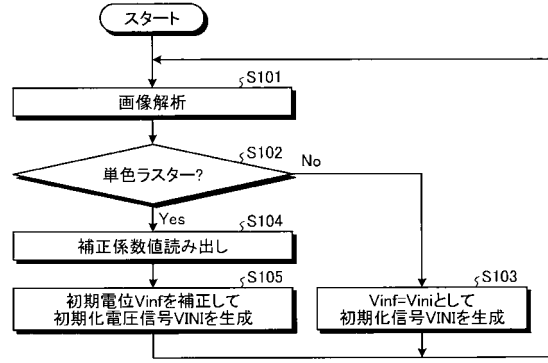
補正係数値情報 (8121a)

Y	補正係数値
1	xx
2	xx
⋮	⋮
q-1	xx
q	xx

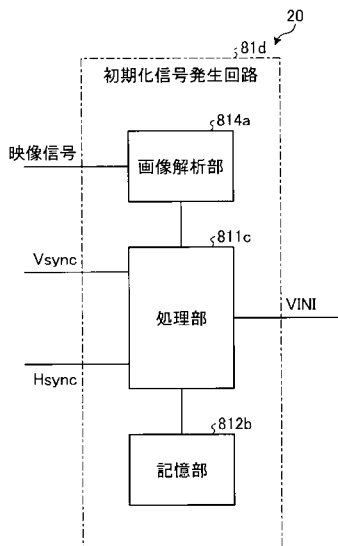
【図 2 2】



【図 2 3】



【図 2 4】

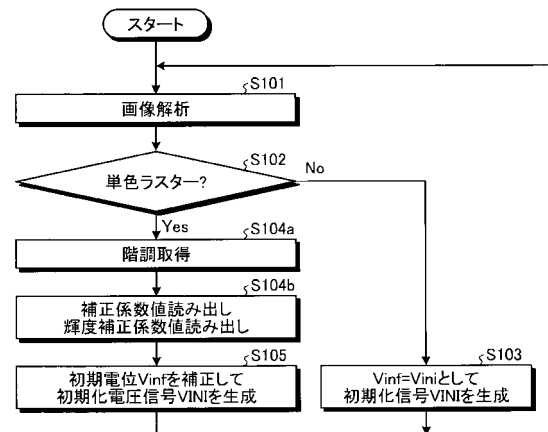


【図 2 5】

輝度補正係数値情報 8122

階調範囲	輝度補正係数値
1	xx
2	xx
⋮	⋮
r-1	xx
r	xx

【図 2 6】



フロントページの続き

(51)Int.Cl.	F I			テーマコード(参考)
	G 0 9 G	3/20	6 1 2 U	
	H 0 1 L	27/32		
	H 0 5 B	33/14	A	

Fターム(参考)	5C380	AA01	AB06	BA14	BA38	BA39	BA45	BA46	BB02	BE03	BE05
		CA08	CA31	CB01	CB17	CB37	CC07	CC26	CC27	CC33	CC39
		CC64	CC65	CD013	CD014	CF02	CF07	CF48	DA32	DA47	GA11