

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4234082号
(P4234082)

(45) 発行日 平成21年3月4日(2009.3.4)

(24) 登録日 平成20年12月19日(2008.12.19)

(51) Int.Cl.

H02J 3/01 (2006.01)

F I

H02J 3/01

B

請求項の数 8 (全 14 頁)

(21) 出願番号 特願2004-255286 (P2004-255286)
 (22) 出願日 平成16年9月2日(2004.9.2)
 (65) 公開番号 特開2006-74905 (P2006-74905A)
 (43) 公開日 平成18年3月16日(2006.3.16)
 審査請求日 平成18年10月31日(2006.10.31)

(73) 特許権者 000006013
 三菱電機株式会社
 東京都千代田区丸の内二丁目7番3号
 (74) 代理人 100094916
 弁理士 村上 啓吾
 (74) 代理人 100073759
 弁理士 大岩 増雄
 (74) 代理人 100093562
 弁理士 児玉 俊英
 (74) 代理人 100088199
 弁理士 竹中 孝生
 (72) 発明者 森 修
 東京都千代田区丸の内二丁目2番3号 三
 菱電機株式会社内

最終頁に続く

(54) 【発明の名称】 電力変換装置

(57) 【特許請求の範囲】

【請求項1】

直流電源からの直流電力を交流に変換する単相インバータの交流側を複数直列接続して成る単相インバータ群と、上記複数の単相インバータの中から選択された所定の組み合わせによる各発生電圧の総和により上記単相インバータ群の出力電圧を階調制御し、設定された出力電流を出力させる制御装置とを備え、

上記制御装置は、与えられた基準電圧に基づいて上記出力電圧の基本階調を演算する基本階調演算部と、上記出力電流が設定された目標電流に追従するように上記基本階調を補正するための階調補正值を演算する階調補正演算部と、上記基本階調を上記階調補正值にて補正して上記単相インバータ群の出力電圧階調を演算する出力階調演算部と、上記出力電圧階調に基づいて上記単相インバータ群への制御信号を出力するインバータ制御演算部とを備え、

上記階調補正演算部は、上記出力電流に複数の閾値を設け、各閾値を越える毎に上記階調補正值を変化させて上記出力電圧階調を変化させることを特徴とする電力変換装置。

【請求項2】

交流電源に並列に接続され、直流電源からの直流電力を交流に変換する単相インバータの交流側を複数直列接続して成る単相インバータ群と、上記複数の単相インバータの中から選択された所定の組み合わせによる各発生電圧の総和により上記単相インバータ群の出力電圧を階調制御し、上記交流電源からの電源電流を補正する出力電流を出力させる制御装置とを備え、

10

20

上記制御装置は、上記交流電源の電源電圧に基づいて上記出力電圧の基本階調を演算する基本階調演算部と、上記出力電流が目標電流に追従するように上記基本階調を補正するための階調補正值を演算する階調補正演算部と、上記基本階調を上記階調補正值にて補正して上記単相インバータ群の出力電圧階調を演算する出力階調演算部と、上記出力電圧階調に基づいて上記単相インバータ群への制御信号を出力するインバータ制御演算部とを備え、

上記階調補正演算部は、上記出力電流に複数の閾値を設け、各閾値を越える毎に上記階調補正值を変化させて上記出力電圧階調を変化させることを特徴とする電力変換装置。

【請求項 3】

上記基本階調は、上記交流電源の電源電圧波形に内接あるいは外接するように決定することを特徴とする請求項 2 に記載の電力変換装置。

10

【請求項 4】

上記階調補正演算部は、上記出力電流が上記閾値のうち上記目標電流よりも高い閾値を超えた場合には上記出力電流を低くするように上記階調補正值を変化させ、上記出力電流が上記目標電流よりも低い閾値を超えた場合には上記出力電流を高くするように上記階調補正值を変化させることを特徴とする請求項 1 ～ 3 のいずれか 1 項に記載の電力変換装置。

【請求項 5】

上記閾値同士の間隔は、上記出力電圧における 1 レベル当たりの階調電圧値、上記単相インバータ群の出力に接続されたフィルタのフィルタ定数、および上記単相インバータを構成するスイッチング素子の最大スイッチング周波数に基づいて決定されることを特徴とする請求項 1 ～ 4 のいずれか 1 項に記載の電力変換装置。

20

【請求項 6】

上記基本階調演算部を CPU で構成し、上記階調補正演算部、上記出力階調演算部および上記インバータ制御演算部を上記 CPU よりも演算速度が高速な外部論理回路で構成したことを特徴とする請求項 1 ～ 5 のいずれか 1 項に記載の電力変換装置。

【請求項 7】

上記各単相インバータの入力となる直流電圧値は異なることを特徴とする請求項 1 ～ 6 のいずれか 1 項に記載の電力変換装置。

【請求項 8】

30

上記出力電圧階調の各レベルの電圧は等間隔に並ぶものであることを特徴とする請求項 1 ～ 7 のいずれか 1 項に記載の電力変換装置。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、高調波を発生する負荷機器に対して高調波補償電流を発生し、電源側へ流出する高調波電流を抑制するアクティブフィルタ等に用いる電力変換装置に関するものである。

【背景技術】

【0002】

40

アクティブフィルタは、高調波電流を発生している負荷機器の直近で高調波電流を相殺する高周波補償電流を発生するものである。従来のアクティブフィルタは、負荷電流を検出して、この負荷電流を基本波電流と高調波電流に分離し、高調波電流のみを取り出してこれと 180 度位相の異なる高調波補償電流を発生させる。そして、この高調波補償電流を負荷の接続点に注入することにより、負荷電流の高調波電流は相殺され、電源電流は高調波を含まない正弦波となる。このようなアクティブフィルタは、電力用の電流発生源として低損失である高周波 PWM インバータが用いられていた（例えば、非特許文献 1 参照）。

【0003】

【非特許文献 1】「パワーエレクトロクス入門」（改訂 2 版）オーム社 山村昌監修、大

50

野栄一編著、264頁 - 269頁

【発明の開示】

【発明が解決しようとする課題】

【0004】

従来のアクティブフィルタは、以上のように高周波PWMインバータが用いられており、このため電源側へ流出する高調波電流を抑制するために大きなフィルタ回路を必要とし、アクティブフィルタの装置構成の小型化が困難であった。

【0005】

この発明は、上記のような問題点を解消するために成されたものであって、出力側のフィルタ回路が格段と低減され小型化の促進された電力変換装置を得ることを目的とする。

10

【課題を解決するための手段】

【0006】

この発明に係る第1の電力変換装置は、直流電源からの直流電力を交流に変換する単相インバータの交流側を複数直列接続して成る単相インバータ群と、上記複数の単相インバータの中から選択された所定の組み合わせによる各発生電圧の総和により上記単相インバータ群の出力電圧を階調制御し、設定された出力電流を出力させる制御装置とを備える。上記制御装置は、与えられた基準電圧に基づいて上記出力電圧の基本階調を演算する基本階調演算部と、上記出力電流が設定された目標電流に追従するように上記基本階調を補正するための階調補正值を演算する階調補正演算部と、上記基本階調を上記階調補正值にて補正して上記単相インバータ群の出力電圧階調を演算する出力階調演算部と、上記出力電圧階調に基づいて上記単相インバータ群への制御信号を出力するインバータ制御演算部とを備える。そして、上記階調補正演算部は、上記出力電流に複数の閾値を設け、各閾値を越える毎に上記階調補正值を変化させて上記出力電圧階調を変化させるものである。

20

またこの発明に係る第2の電力変換装置は、交流電源に並列に接続され、直流電源からの直流電力を交流に変換する単相インバータの交流側を複数直列接続して成る単相インバータ群と、上記複数の単相インバータの中から選択された所定の組み合わせによる各発生電圧の総和により上記単相インバータ群の出力電圧を階調制御し、上記交流電源からの電源電流を補正する出力電流を出力させる制御装置とを備える。上記制御装置は、上記交流電源の電源電圧に基づいて上記出力電圧の基本階調を演算する基本階調演算部と、上記出力電流が目標電流に追従するように上記基本階調を補正するための階調補正值を演算する階調補正演算部と、上記基本階調を上記階調補正值にて補正して上記単相インバータ群の出力電圧階調を演算する出力階調演算部と、上記出力電圧階調に基づいて上記単相インバータ群への制御信号を出力するインバータ制御演算部とを備える。そして、上記階調補正演算部は、上記出力電流に複数の閾値を設け、各閾値を越える毎に上記階調補正值を変化させて上記出力電圧階調を変化させるものである。

30

【発明の効果】

【0007】

この発明に係る第1、第2の電力変換装置は、各単相インバータの発生電圧を組み合わせた出力電圧の階調制御を行うため、大きなフィルタ回路を必要とすることなく電源側へ流出する高調波電流を抑制することができ、電力変換装置の装置構成の小型化、簡略化が促進できる。

40

【発明を実施するための最良の形態】

【0008】

実施の形態1.

以下、この発明の実施の形態1について説明する。

図1は、この発明の実施の形態1によるアクティブフィルタの主回路構成を示した図であり、より具体的には、単相電源1と単相負荷2との間に並列に接続される電力変換装置3をアクティブフィルタに用いたものである。

図に示すように、電力変換装置3は、複数個（この場合3個）の単相インバータ41～43を直列に接続して構成した多重インバータで、フィルタ回路5を備えて単相電源1に

50

対して並列に接続される。

【 0 0 0 9 】

図 2 は図 1 の電力変換装置 3 内の単相インバータ 4 (4 1 ~ 4 3) の回路構成を示す図である。図に示すように、単相インバータ 4 は、ダイオードを逆並列に接続した複数個の I G B T (Insulated Gate Bipolar Transistor) 等の自己消弧型半導体スイッチング素子 7 1 ~ 7 4 から成る例えばフルブリッジインバータで構成される。自己消弧型半導体スイッチング素子は I G B T 以外にも、G C T、G T O、トランジスタ、M O S F E T 等でも、また自己消弧機能がないサイリスタ等でも強制転流動作が可能であればよい。

各単相インバータ 4 はそれぞれ独立した直流電源 6 を備え、図示された極性に充電された直流電源 6 の電圧を、出力端子 9 1 と 9 2 の間に任意の期間で出力することができる。具体的には直流電圧を V とした場合、スイッチング素子 7 1 ~ 7 4 のオンオフの組合せによって $\{-V, 0, V\}$ の電圧値を単相インバータ 4 の出力端子間に印加することができる。ゲート駆動回路 8 1 ~ 8 4 はそれぞれのスイッチング素子 7 1 ~ 7 4 をオン、オフさせるためスイッチング素子 7 1 ~ 7 4 のゲート、ソース間に所定の電圧を印加するための回路である。ゲート駆動回路 8 1 ~ 8 4 の構成としては、制御回路とパワー回路の絶縁が必要であるため、パルストランス回路や、フォトカプラを用いた回路が用いられる。

【 0 0 1 0 】

電力変換装置 3 は、このような単相インバータ 4 1 ~ 4 3 の交流側を直列に接続して構成される。この場合、各単相インバータ 4 1 ~ 4 3 の直流電源 6 の電圧はそれぞれ異なるもので、単相インバータ 4 1 の直流電圧を V_1 、単相インバータ 4 2 の直流電圧を V_2 、単相インバータ 4 3 の直流電圧 V_3 とする。電力変換装置 3 の出力端子には各単相インバータ 4 の出力電圧の合計値を印加することができ、その出力電圧は、各単相インバータ 4 の出力の組合せによって決まる。即ち、電圧比 $V_1 : V_2 : V_3 = 1 : 3 : 9$ とすると、電力変換装置 3 は、 $\{-13, -12, -11, -10, -9, -8, -7, -6, -5, -4, -3, -2, -1, 0, 1, 2, 3, 4, 5, 6, 7, 8, 9, 10, 11, 12, 13\}$ なる計 27 レベルの電圧を任意の期間で出力することができる。

このため、後述する制御装置を備えて、各単相インバータ 4 1 ~ 4 3 の出力電圧を適宜選択する階調制御により、所望の階段波形の出力電圧を得ることができ、小さなフィルタ回路 5 でも滑らかな交流波形が出力できる。

【 0 0 1 1 】

高調波を発生する負荷 2 としては、コンデンサインプット型整流回路等が多く用いられる。このような負荷 2 を接続した場合、大きなピーク電流を持つ高調波成分を含有した電流が電源 1 側に流出する。高調波成分を含んだ電流は送電線インピーダンスによる電圧降下を引き起こし、電源電圧ひずみの原因となり、例えば、大容量の場合は進相コンデンサの焼損、小容量の場合はブレーカの誤動作などの障害の原因ともなる。

ここでは、電力変換装置 3 を用いたアクティブフィルタにより、負荷 2 が発生する高調波成分電流を打ち消すような高調波補償電流を電力変換装置 3 から発生させ、高調波成分を含有した電流が電源側に流出することを抑制し、電源電流を高調波成分の無いほぼ正弦波電流とする。

【 0 0 1 2 】

次に、電力変換装置 3 の階調制御による高調波補償電流の電流制御および動作について、以下に説明する。

図 3 は、図 1 で示したアクティブフィルタに、電力変換装置 3 を駆動する制御装置の詳細構成を付加して図示したものである。制御装置は、電源電圧に基づいて出力電圧の基本階調を演算して基本階調信号 18 a を出力する基本階調演算部としての C P U 1 0 (Central Processing Unit) と、C P U 以外外部回路で構成される。外部回路は、上記基本階調 (基本階調信号 18 a) を補正するための階調補正值を演算して階調補正信号 55 a を出力する階調補正演算部と、上記基本階調を上記階調補正值 (階調補正信号 55 a) にて補正して電力変換装置 3 の出力電圧階調指令 56 a を演算する出力階調演算回路 56 と、該出力電圧階調指令 56 a に基づいて各単相インバータ 4 1 ~ 4 3 への制御信号を出力

10

20

30

40

50

するインバータ制御演算回路 57 とを備える。

また、階調補正信号 55a を出力する階調補正演算部は、電力変換装置 3 の出力電流（以下、インバータ電流 I_a と称す）が、負荷電流 I_L に基づいて演算される高調波補償基準電流 24a に追従するように階調補正信号 55a を出力するもので、レベルシフト回路 25～28、ヒステリシスコンパレータとなるコンパレータ 29～32、マルチプレクサ 33～38、フリップフロップ 51～53、減算器 54、および加算器 55 を備える。

【0013】

電流センサ 11 にて検出された負荷電流 I_L は、バンドパスフィルタ 13 により高調波成分を除去して負荷電流 I_L の基本波成分を抽出し、入力端子 15 から CPU 10 に入力される。また、図示しない電圧センサにて検出された電源電圧は入力端子 16 から CPU 10 に入力される。これら入力データは、CPU 10 に内蔵されている AD コンバータによってアナログ値からデジタル値に変換され、得られたデジタルデータをもとに信号処理を行う。CPU 10 の出力端子 17 からは離散系の負荷電流基本波成分を DA コンバータを介して出力する。また、電力変換装置 3 は電源電圧に同期した電圧を出力する必要があるため、AD コンバータで検出した電源電圧値を階段波形に置き換えて、出力端子 18～21 から 2 進数（4 ビット）で基本階調信号 18a を出力し、同時に、出力端子 22 から電源電圧極性信号 22a を出力する。

【0014】

CPU 10 の出力端子 17 から出力された負荷電流基本波成分は離散系であるため、フィルタ 23 で平滑し、減算器 24 を用いて、平滑された負荷電流基本波成分から負荷電流 I_L を減算することで、電力変換回路 3 に流すべき基準電流である高調波補償基準電流 24a を生成する。

このように生成された高調波補償基準電流 24a に追従するように、電圧変換装置 3 の出力電流であるインバータ電流 I_a を制御することで、図 4 に示すように、負荷電流 I_L の高調波成分はインバータ電流 I_a により相殺され、正弦波形の電源電流 I_s が得られる。

【0015】

インバータ電流 I_a の制御について、以下に説明する。

図 5 は、図 4 のインバータ電流 I_a 波形における A 部分を拡大した部分拡大図である。

図 3 に示すように、生成された高調波補償基準電流 24a に基づいて、レベルシフト回路 25～28 を用いて、図 5 に示すような 4 つの閾値 25a～28a（閾値 A、閾値 B、閾値 C、閾値 D）を設定する。また、閾値 A より大きい領域を領域 I、閾値 A と閾値 B との間の領域を領域 II、閾値 B と閾値 C との間を領域 III、閾値 C と閾値 D との間を領域 IV、閾値 D より小さい領域を領域 V とする。

インバータ電流 I_a の制御としては、図 5 に示すように、インバータ電流 I_a が領域 II の範囲内、即ち、閾値 B と閾値 C とを往復するように、ヒステリシスコンパレータ 30、31 を用いて、電力変換装置 3 の出力電圧（出力電圧階調指令 56a）を選択する。ここでは出力電圧階調指令 56a として、CPU 10 から出力される基本階調 18a に階調補正值 55a として 0 もしくは +1 を加算する。なお、この場合、CPU 10 から出力される基本階調 18a は、図 6 に示すように電源電圧波形に内接するように整数部だけを絶対値で出力したものとする。これにより、電源電圧の極性が正の場合、階調補正值 55a を 0 としてインバータ電流 I_a を減少させ、階調補正值 55a を +1 としてインバータ電流 I_a を増加させることができる。また、電源電圧の極性が負の場合は、階調補正值 55a を 0 としてインバータ電流 I_a を増加させ、階調補正值 55a を +1 としてインバータ電流 I_a を減少させることができる。

【0016】

このような階調補正值 55a の決定方法について、図 3 に基づいて以下に説明する。4 つの閾値 25a～28a（閾値 A、閾値 B、閾値 C、閾値 D）と電流センサ 12 によって検出したインバータ電流 I_a とをヒステリシスコンパレータ 29～32 を用いて比較し、それぞれの出力信号を Y1、Y2、Y3、Y4 とする。図 7 に各領域におけるコンパレー

10

20

30

40

50

タ出力 Y 1 ~ Y 4 の値、および階調補正值を示す。コンパレータ出力 Y 1 ~ Y 4 はマルチプレクサ 3 3 ~ 3 8 に図示するように入力される。マルチプレクサ 3 3 ~ 3 8 には、電源電圧極性信号 2 2 a も入力され、電源電圧極性に応じて出力信号を切り替える。ここでは、電源電圧が正のときにはマルチプレクサ入力の上段が出力され、電源電圧が負のときにマルチプレクサ入力の下段が出力される。マルチプレクサ 3 3 ~ 3 8 から出力された信号は、フリップフロップ回路 5 1 ~ 5 3 に入力される。フリップフロップ回路 5 1 ~ 5 3 はセット (S)、リセット (R) 方式である。フリップフロップ回路 5 1 ~ 5 3 の出力信号は減算器 5 4 および加算器 5 5 を通すことで階調補正值 5 5 a が得られる。なお、図 3 に破線で示した部分は P L D (Programmable Logic Device) などのデバイスを用いて実現することができる。

10

【 0 0 1 7 】

一例として、電源電圧の極性が正の場合について、図 7 および図 8 を用いて説明する。図 8 は、C P U 1 0 から出力される基本階調 1 8 a がサンプリングによる遅れを伴わない正常時における、インバータ電流 I_a と出力電圧 (出力電圧階調指令 5 6 a) との関係を示すものである。

C P U 1 0 からの電源電圧極性信号 2 2 a により、上述したようにマルチプレクサ 3 3 ~ 3 8 では、マルチプレクサ入力の上段が出力される。ここで、インバータ電流 I_a が減少し、領域 III から領域 IV へ移行するとする。このときコンパレータ 3 1 の出力信号 Y 3 が L から H へと変化し、マルチプレクサ 3 3 からは H 信号が出力される。この信号がフリップフロップ 5 1 のセット端子に入力され、出力端子 (Q) からは H 信号が出力される。このとき、階調補正值 5 1 a は + 1 となる。他のフリップフロップ 5 2、5 3 から出力される信号は L であり、減算器 5 4 および加算器 5 5 を通して、階調補正值 5 5 a は階調補正值 5 1 a の値である + 1 となる。

20

【 0 0 1 8 】

この 1 階調分の階調補正によってインバータ電流 I_a が減少から増加へ変化し、領域 II の範囲であるとき、フリップフロップ 5 1 はセット端子、リセット端子共に L のため、出力信号は H のまま維持され、階調補正值 5 5 a は + 1 で 1 階調加算の状態が継続する。インバータ電流 I_a が増加し続け領域 III から領域 II へと移行するとき、コンパレータ 3 0 の出力信号 Y 2 は L から H へと変化し、マルチプレクサ 3 4 からは H 信号が出力される。この信号がフリップフロップ 5 1 のリセット端子に入力され、出力端子 (Q) からは L 信号が出力される。このとき、階調補正值 5 1 a は 0 となる。他のフリップフロップ 5 2、5 3 から出力される信号は L であり、減算器 5 4 および加算器 5 5 を通して、階調補正值 5 5 a は階調補正值 5 1 a の値である 0 となる。

30

階調補正值 5 5 a が 0 となると、インバータ電流 I_a は減少する。インバータ電流 I_a は領域 III の範囲となり、フリップフロップ 5 1 はセット端子、リセット端子共に L となるため、状態は保持され (階調補正值 5 5 a は 0)、領域 IV に移行するまで減少を続ける。その後は同様の原理で階調補正值 5 5 a が + 1 になり、インバータ電流 I_a は増加の方向へ変化する。

【 0 0 1 9 】

このように、階調補正值 5 5 a は、図 7 中の矢印 5 8 で示すように推移して、図 8 に示すように、基本階調 1 8 a に階調補正值 5 5 a である 0 もしくは + 1 を交互に加算した出力電圧階調指令 5 6 a を生成して、インバータ電流 I_a を領域 III の範囲内、即ち、閾値 B と閾値 C とを往復するように制御する。即ち、インバータ電流 I_a が増加して閾値 B を超えると階調補正值 5 5 a を 0 としてインバータ電流 I_a を減少させ、インバータ電流 I_a が減少して閾値 C より小さくなると階調補正值 5 5 a を + 1 としてインバータ電流 I_a を増加させる。閾値 A ~ D は、その時点の高調波補償基準電流 2 4 a に基づいて生成されるので、インバータ電流 I_a は、高調波補償基準電流 2 4 a に追従するように制御される。

40

【 0 0 2 0 】

電源電圧の極性が負の場合、C P U 1 0 からの電源電圧極性信号 2 2 a により、上述し

50

たようにマルチプレクサ 33 ~ 38 では、マルチプレクサ入力の下段が出力される。ここで、インバータ電流 I_a が減少し、領域 III から領域 IV へ移行するとする。このときコンパレータ 31 の出力信号 Y_3 が L から H へと変化し、マルチプレクサ 34 から H 信号が出力される。この信号がフリップフロップ 51 のリセット端子に入力され、出力端子 (Q) からは L 信号が出力される。このとき、階調補正值 51a は 0 となる。他のフリップフロップ 52、53 から出力される信号は L であり、減算器 54 および加算器 55 を通して、階調補正值 55a は階調補正值 51a の値である 0 となる。

【0021】

階調補正值 55a が 0 になると、インバータ電流 I_a が増加し、領域 III の範囲であるとき、フリップフロップ 51 はセット端子、リセット端子共に L のため、出力信号は L のまま維持され、階調補正值 55a は 0 の状態が継続する。インバータ電流 I_a が増加し続け、領域 III から領域 II へと移行するとき、コンパレータ 30 の出力信号 Y_2 は L から H へと変化し、マルチプレクサ 33 から H 信号が出力される。この信号がフリップフロップ 51 のセット端子に入力され、出力端子 (Q) からは H 信号が出力される。このとき、階調補正值 51a は +1 となる。他のフリップフロップ 52、53 から出力される信号は L であり、減算器 54 および加算器 55 を通して、階調補正值 55a は階調補正值 51a の値である +1 となる。

【0022】

階調補正值 55a が +1 となると、インバータ電流 I_a は減少する。インバータ電流 I_a は領域 III の範囲となり、フリップフロップ 51 はセット端子、リセット端子共に H となるため、状態は保持され (階調補正值 55a は +1)、領域 IV に移行するまでインバータ電流 I_a は減少を続ける。その後は同様の原理で階調補正值 55a が 0 になり、インバータ電流 I_a は増加の方向へ変化する。

このように、階調補正值 55a は、図 7 中の矢印 59 で示すように推移して、基本階調 18a に階調補正值 55a である 0 もしくは +1 を交互に加算した出力電圧階調指令 56a を生成して、インバータ電流 I_a を領域 III の範囲内、即ち、閾値 B と閾値 C とを往復するように制御する。

【0023】

CPU 10 から出力される基本階調 18a が A/D コンバータのサンプリング間隔の影響による遅れで誤った階調値を出力した場合には、インバータ電流 I_a は階調補正を行っても、領域 III から領域 II あるいは領域 IV の範囲に外れてしまう。このように基本階調出力に遅れがある場合の制御について以下に説明する。

電源電圧の極性が正で、インバータ電流 I_a が領域 III から領域 IV に移行したときは、先に説明したように、階調補正值 55a が +1 になる。このとき、CPU 10 から出力される基本階調 18a に 1 階調が加算される。しかし、電源電圧の時間変化率が正のとき、サンプリングに時間遅れが生じると、階調値が不足するときがある。このときのインバータ電流 I_a と出力電圧 (出力電圧階調指令 56a) との関係について、図 9 に示す。

【0024】

図 9 に示すように、電圧変化率が正の場合は、基本階調値切替タイミングが遅れているため、切り換えるべき時点 61 以降の遅れ時間の間は、インバータ電流 I_a が減少して閾値 C より小さくなった時点 62 で階調補正值 55a を +1 としても、出力電圧階調指令 56a が電源電圧より不足しているためインバータ電流 I_a が減少し続ける。そして、閾値 D より小さくなる時点 63 で、即ち、インバータ電流 I_a が領域 IV から領域 V に移行するとコンパレータ 32 から H 信号が出力され、マルチプレクサ 37 から H 信号が出力される。この信号がフリップフロップ 53 のセット端子に入力され、出力端子 (Q) からは H 信号が出力される。この信号は、CPU 10 からの基本階調 18a の出力遅れを補正するための階調ずれ補正值 53a であり、加算器 55 によって階調補正值 51a に加えられる。この場合、階調補正值 51a (+1) に階調ずれ補正值 53a (+1) を加算して、階調補正值 55a は +2 となる。

【0025】

10

20

30

40

50

その後、インバータ電流 I_a は増加の方向へ変化し、領域Ⅴから領域Ⅳへ移行すると、マルチプレクサ 37 の出力は L となり、フリップフロップ 53 はセット端子、リセット端子共に L となるため、状態は保持され（階調補正值 55 a は + 2）、インバータ電流 I_a は増加し続ける。領域Ⅳから領域Ⅲへ移行するとコンパレータ 31 の出力信号は H から L へと変化する。フリップフロップ 53 はセット端子、リセット端子共に L となるため、状態は保持され（階調補正值 55 a は + 2）、領域Ⅱへ移行するまで、インバータ電流 I_a は増加を続ける。そして、インバータ電流 I_a が領域Ⅲから領域Ⅱへ移行するとコンパレータ 30 の出力信号 Y2 は L から H へと変化する、マルチプレクサ 34 およびマルチプレクサ 38 から H 信号が出力される。この信号がフリップフロップ 51 およびフリップフロップ 53 のリセット端子に入力され、フリップフロップ 51 およびフリップフロップ 53 の出力端子 (Q) からはともに L 信号が出力される。つまり、階調補正值 51 a (0) に階調ずれ補正值 53 a (0) を加算して、階調補正值 55 a は 0 となる。その後、インバータ電流 I_a は減少の方向へ変化する。そして、基本階調出力が正しい値となるまで同様の原理で補正を行う。

【0026】

電源電圧の極性が正で電圧変化率が負のとき、サンプリングに時間遅れが生じると、CPU 10 からの基本階調 18 a は電源電圧と内接するように整数値を出力しているため、階調値が 1 階調多く出力されるときがある。このときのインバータ電流 I_a と出力電圧（出力電圧階調指令 56 a）との関係について、図 10 に示す。

図 10 に示すように、電圧変化率が負の場合は、基本階調値切替タイミングが遅れているため、切り換えるべき時点 61 a 以降の遅れ時間の間は、インバータ電流 I_a が増加して閾値 B を超えた時点 62 a で階調補正值 55 a を 0 としても、出力電圧階調指令 56 a が電源電圧より大きいためインバータ電流 I_a が増加し続ける。このため、閾値 A を超える時点 63 a で、即ち、インバータ電流 I_a が領域Ⅱから領域Ⅰへと移行すると、コンパレータ 29 から H 信号が出力され、マルチプレクサ 35 から H 信号が出力される。この信号がフリップフロップ 52 のセット端子に入力され、出力端子 (Q) からは H 信号が出力される。この信号は、CPU 10 からの基本階調 18 a の出力遅れを補正するための階調ずれ補正值 52 a であり、減算器 54 によって階調補正值 51 a から減算される。この場合、階調補正值 51 a (0) から階調ずれ補正值 52 a (+ 1) を減算して、階調補正值 55 a は - 1 となる。

【0027】

その後、インバータ電流 I_a が増加から減少の方向へ変化し、領域Ⅰから領域Ⅱに変化し、領域Ⅱの範囲であるとき、フリップフロップ 52 はセット端子、リセット端子共に L のため、出力信号は H のまま維持され、状態は保持され（階調補正值 55 a は - 1）で、インバータ電流 I_a が減少し続ける。インバータ電流 I_a が領域Ⅱから領域Ⅲへと移行するとき、コンパレータ 30 の出力信号は H から L へと変化する。フリップフロップ 51 およびフリップフロップ 53 はセット端子、リセット端子共に L のため、出力信号は L のまま維持され、階調補正值 55 a は - 1 の状態が継続する。さらにインバータ電流 I_a が減少し続け、領域Ⅲから領域Ⅳへと移行するとき、コンパレータ 31 の出力信号は L から H へと変化する、マルチプレクサ 33 から H 信号が出力される。この信号がフリップフロップ 51 のセット端子に入力され、出力端子 (Q) からは H 信号が出力される。さらに、マルチプレクサ 36 から H 信号が出力され、フリップフロップ 52 のリセット端子に入力される。したがって階調補正值 51 a (+ 1) から階調ずれ補正值 52 a (0) を減算して、階調補正值 55 a は + 1 となる。

その後は同様の原理でインバータ電流 I_a が領域Ⅲの範囲で増減するように階調補正を行う。

【0028】

以上のように決定された階調補正值 55 a は、CPU 10 外部のデジタル回路である出力階調演算回路 56 にて、基本階調 18 a に加算されて出力電圧階調指令 56 a が出力される。この出力電圧階調指令 56 a は、インバータ制御演算回路 57 に入力されて、各

単相インバータ４のゲート駆動回路８１～８４へ送る制御信号を送出する。インバータ制御演算回路５７は、ＰＬＤ（Programmable Logic Device）などのデバイスを用いて実現することができる。

【００２９】

この実施の形態では、複数の単相インバータ４１～４３を直列接続した電力変換装置３をアクティブフィルタに用い、各単相インバータ４１～４３の出力電圧を適宜選択する階調制御により、所望の階段波形の出力電圧を得て、インバータ電流 I_o を制御するため、フィルタ回路５を格段と小型化でき、アクティブフィルタの装置構成の小型化が促進できる。

また、インバータ電流 I_o を高調波補償基準電流２４ａに追従するように制御するのに、制御装置は、電源電圧に基づいて出力電圧の基本階調１８ａを出力する基本階調演算部のみをＣＰＵ１０で構成し、階調補正信号５５ａを出力する階調補正演算部と、電力変換装置３の出力電圧階調指令５６ａを演算する出力階調演算回路５６と、各単相インバータ４１～４３への制御信号を出力するインバータ制御演算回路５７とは、ＣＰＵ以外の外部回路で構成した。このため、ＣＰＵ１０の負担を軽減させることができ、安価なＣＰＵ１０でも対応可能となり、制御装置のコスト低減が図れる。また、階調補正信号５５ａを出力する階調補正演算部では、ヒステリシスコンパレータ２９～３２を用い、高速、高精度に、インバータ電流 I_o を高調波補償基準電流に追従するように制御できる。また、ＣＰＵ１０のサンプリング間隔が比較的大きい場合でも、階調ずれ補正值５２ａ、５３ａを演算して補正できるようにしたため、安価なＣＰＵ１０でも、高速、高精度で信頼性の高い高調波抑制制御が行える。

【００３０】

なお、この実施の形態では、ＣＰＵ１０からの基本階調１８ａは電源電圧の正弦波に内接するように整数部だけを出力したが、図１１で示すように、電源電圧の正弦波に外接するように階調値を出力しても良い。この場合、階調補正值は、内接させた場合の階調補正值５５ａから１を引けば良い。このように、基本階調１８ａを、電源電圧の正弦波に内接あるいは、外接させるように出力することにより、階調補正值５５ａの演算が容易になり、インバータ電流 I_o を高調波補償基準電流に追従させる電流制御が容易で信頼性良く行える。

【００３１】

また、ヒステリシスコンパレータ２９～３２の閾値幅の設定については、電源電流のリプルが許容される範囲内となるように設定する。電流リプルを小さくするには、ヒステリシスコンパレータ２９～３２の閾値幅を小さく設定すれば良いが、スイッチング素子７１～７４の周波数が高くなる。このように、電流制御精度とスイッチング周波数との関係は、トレードオフの関係となることから、ヒステリシスコンパレータ２９～３２の閾値幅は、一段あたりの階調電圧値、および単相インバータ４を構成するスイッチング素子７１～７４の許容される最大スイッチング周波数から決定される。また、電流の変化率については、電源インピーダンス、およびフィルタ回路４のリアクトルの大きさによって異なるため、電源電流のリプルが許容される範囲内となるようにフィルタリアクトルの設計を行う。

【００３２】

実施の形態２．

上記実施の形態１では、インバータ電流 I_o を高調波補償基準電流２４ａに追従するように制御したが、図１２に示すように、ＣＰＵ１０から出力された離散系の負荷電流基本波成分をフィルタ２３で平滑した基準電流（負荷電流基本波成分）に追従するように、電源電流 I_s を制御しても良い。

なお、上記実施の形態１では、負荷電流 I_L は、バンドパスフィルタ１３により高調波成分を除去して負荷電流 I_L の基本波成分を抽出してＣＰＵ１０に入力したが、この場合、ＣＰＵ１０内で負荷電流 I_L の基本波成分を抽出するようにした。

この場合も、実際には電力変換装置３の出力階調制御により、インバータ電流 I_o を変

10

20

30

40

50

化させて電源電流 I_s を制御しているため、結果的には上記実施の形態 1 と同様に、インバータ電流 I_a が高調波成分を打ち消す高調波補償基準電流に追従するように制御されるものとなり、上記実施の形態 1 と同様の効果が得られる。

【図面の簡単な説明】

【0033】

【図 1】この発明の実施の形態 1 によるアクティブフィルタの主回路構成を示す図である。

【図 2】この発明の実施の形態 1 による単相インバータの回路構成を示す図である。

【図 3】この発明の実施の形態 1 によるアクティブフィルタの回路構成の詳細を示す図である。

10

【図 4】この発明の実施の形態 1 によるアクティブフィルタの動作を説明する波形図である。

【図 5】図 4 で示したインバータ電流 I_a 波形における部分拡大図である。

【図 6】この発明の実施の形態 1 による基本階調と電源電圧との関係を示す図である。

【図 7】この発明の実施の形態 1 による階調補正值の演算を説明する図である。

【図 8】この発明の実施の形態 1 による、正常時のインバータ電流 I_a と出力電圧との関係を示す波形図である。

【図 9】この発明の実施の形態 1 による、サンプリング遅れがある場合のインバータ電流 I_a と出力電圧との関係を示す波形図である。

【図 10】この発明の実施の形態 1 による、サンプリング遅れがある場合のインバータ電流 I_a と出力電圧との関係を示す波形図である。

20

【図 11】この発明の実施の形態 1 の別例による基本階調と電源電圧との関係を示す図である。

【図 12】この発明の実施の形態 2 によるアクティブフィルタの回路構成の詳細を示す図である。

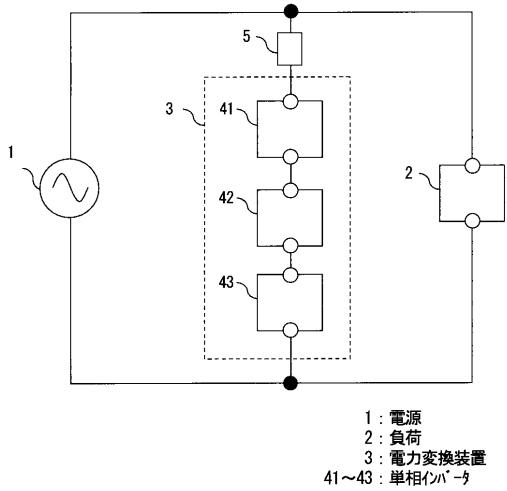
【符号の説明】

【0034】

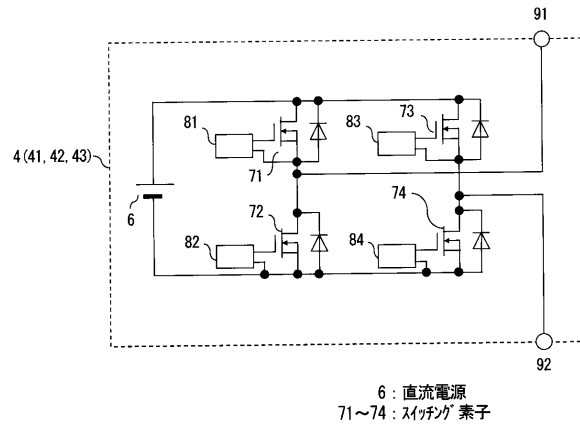
1 電源、2 負荷、3 電力変換装置、4 (41 ~ 43) 単相インバータ、
6 直流電源、10 CPU、18a 基本階調信号、24a 高調波補償基準電流、
25a ~ 28a 閾値 A ~ D、29 ~ 32 ヒステリシスコンパレータ、
51a 階調補正值、52a, 53a 階調ずれ補正值、54 減算器、55 加算器、
55a 階調補正信号、56 出力階調演算回路、57 インバータ制御演算回路、
71 ~ 74 スイッチング素子、 I_L 負荷電流、 I_a インバータ電流。

30

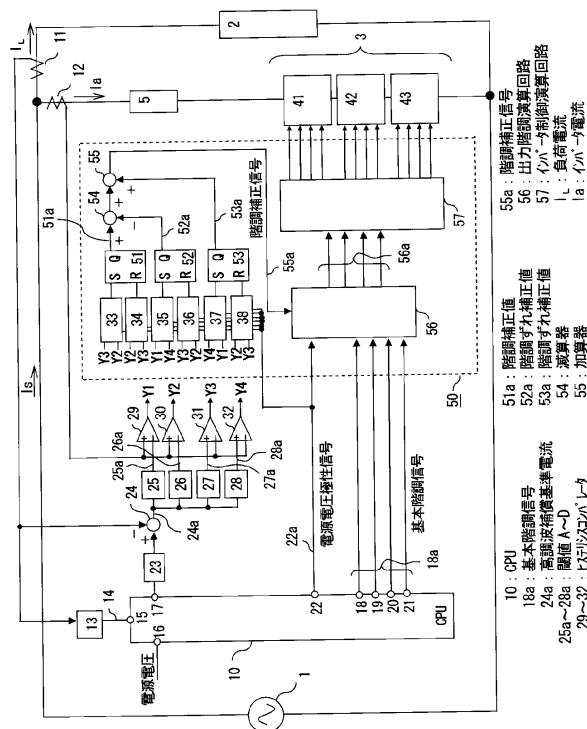
【図 1】



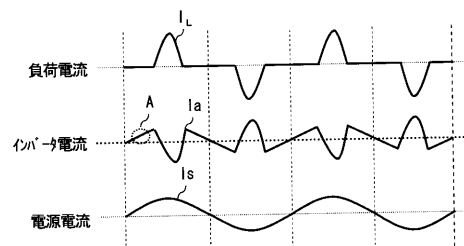
【図 2】



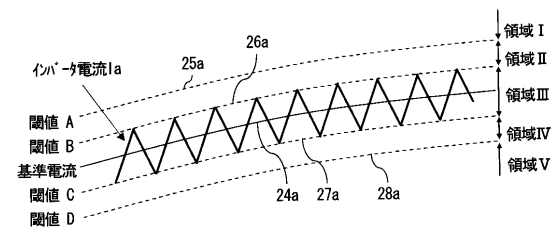
【図 3】



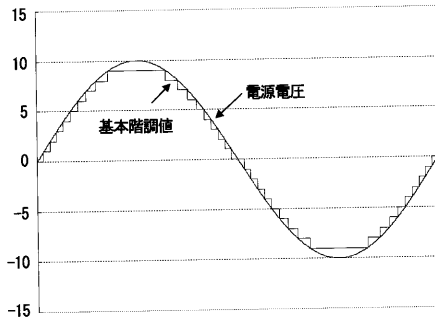
【図 4】



【図 5】



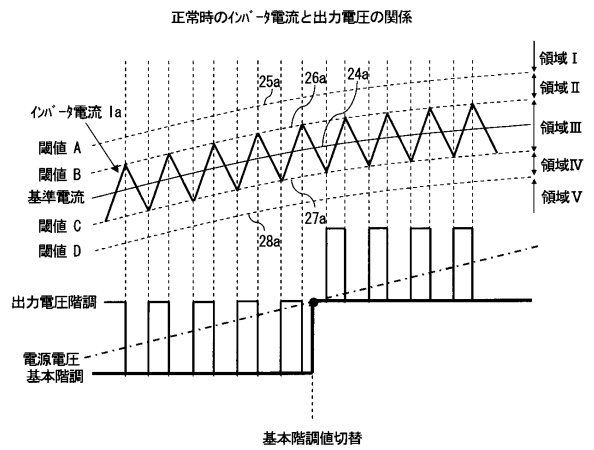
【図 6】



【図 7】

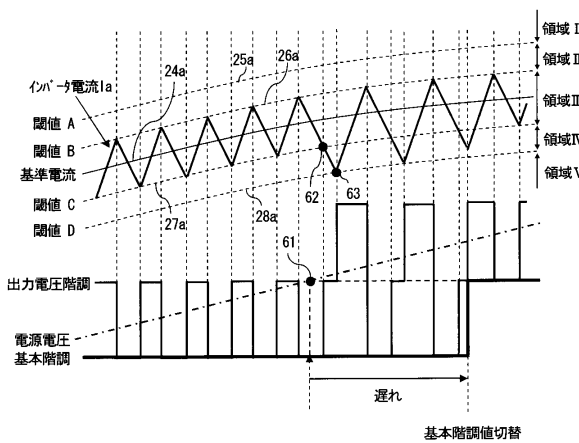
	Y1	Y2	Y3	Y4	階調補正值 (電源電圧>0)								階調補正值 (電源電圧<0)								
領域Ⅰ	H	H	L	L	-1								+2								
↑ ↓	↑				↑	↑	↑	↑	↑	↑	↑	↑	↑	↑	↑	↑	↑	↑	↑	↑	↑
領域Ⅱ	L	H	L	L	0	→	0	→	0	-1	+1	→	+1	→	+1	→	+1	→	+1	→	+2
↑ ↓		↑			↑	↑	↑	↑	↑	↑	↑	↑	↑	↑	↑	↑	↑	↑	↑	↑	↑
領域Ⅲ	L	L	L	L	+2	+1	58	0	-1	-1	0	59	+1	+2	+1	+2	+1	+2	+1	+2	+2
↑ ↓			↓		↑	↑	↑	↑	↑	↑	↑	↑	↑	↑	↑	↑	↑	↑	↑	↑	↑
領域Ⅳ	L	L	H	L	+2	+1	←	+1	←	+1	-1	0	←	0	←	0	←	0	←	0	←
↑ ↓				↓	↑	↑	↑	↑	↑	↑	↑	↑	↑	↑	↑	↑	↑	↑	↑	↑	↑
領域Ⅴ	L	L	H	H	+2								-1								

【図 8】



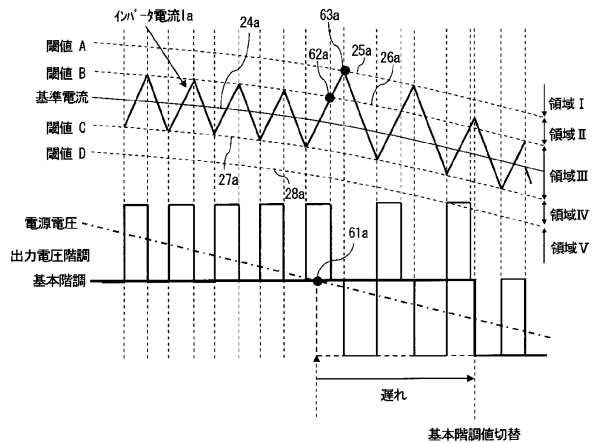
【図 9】

基本階調出力に遅れがある場合のインパ→電流と出力電圧の関係 (電圧変化率が正の場合)

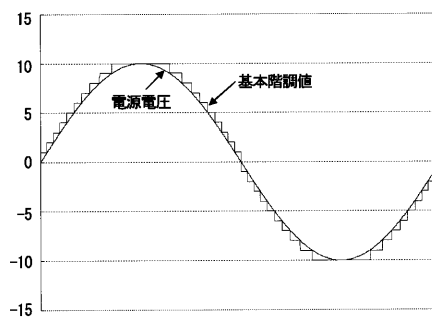


【図 10】

基本階調出力に遅れがある場合のインパ→電流と出力電圧の関係 (電圧変化率が負の場合)



【図 11】



フロントページの続き

- (72)発明者 山田 正樹
東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内
- (72)発明者 岩田 明彦
東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

審査官 石川 晃

- (56)参考文献 特開平07-212977(JP,A)
特開2004-064830(JP,A)
特開2004-072864(JP,A)
特開平11-089242(JP,A)
実開平02-053234(JP,U)

- (58)調査した分野(Int.Cl., DB名)
H02J 3/00 - 5/00