



(12) 发明专利

(10) 授权公告号 CN 101656232 B

(45) 授权公告日 2011. 10. 12

(21) 申请号 200810117997. 3

CN 101127322 A, 2008. 02. 20,

(22) 申请日 2008. 08. 19

US 2007/0287235 A1, 2007. 12. 13,

(73) 专利权人 北京京东方光电科技有限公司

审查员 王晓峰

地址 100176 北京市经济技术开发区西环中  
路 8 号

(72) 发明人 刘翔 王章涛 谢振宇 陈旭  
林承武

(74) 专利代理机构 北京同立钧成知识产权代理  
有限公司 11205

代理人 曲鹏

(51) Int. Cl.

H01L 21/84 (2006. 01)

(56) 对比文件

CN 1591141 A, 2005. 03. 09,

US 6916691 B, 2005. 07. 12,

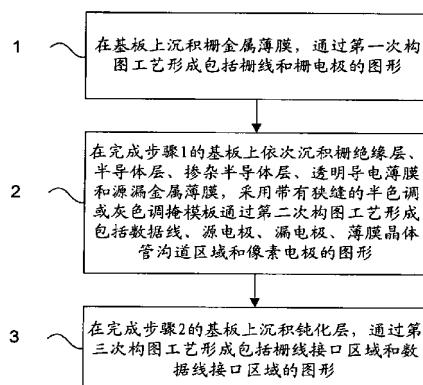
权利要求书 2 页 说明书 6 页 附图 5 页

(54) 发明名称

薄膜晶体管阵列基板制造方法

(57) 摘要

本发明涉及一种薄膜晶体管阵列基板制造方法，包括：在基板上沉积栅金属薄膜，通过第一次构图工艺形成包括栅线和栅电极的图形；在基板上依次沉积栅绝缘层、半导体层、掺杂半导体层、透明导电薄膜和源漏金属薄膜，采用带有狭缝的半色调或灰色调掩模板通过第二次构图工艺形成包括数据线、源电极、漏电极、薄膜晶体管沟道区域和像素电极的图形；在基板上沉积一层钝化层，通过第三次构图工艺形成包括栅线接口区域和数据线接口区域的图形。本发明通过三次构图工艺即可完成薄膜晶体管阵列基板的制备，减少了生产设备投入，缩短了生产时间，提高了生产效率，降低了生产成本。



1. 一种薄膜晶体管阵列基板制造方法,其特征在于,包括:

步骤 1、在基板上沉积栅金属薄膜,通过第一次构图工艺形成包括栅线和栅电极的图形;

步骤 2、在完成步骤 1 的基板上依次沉积栅绝缘层、半导体层、掺杂半导体层、透明导电薄膜和源漏金属薄膜,采用带有狭缝的半色调或灰色调掩模板通过第二次构图工艺形成包括数据线、源电极、漏电极、薄膜晶体管沟道区域和像素电极的图形;

其中,所述步骤 2 具体包括:

步骤 21、在完成步骤 1 的基板上依次沉积栅绝缘层、半导体层、掺杂半导体层、透明导电薄膜和源漏金属薄膜;

步骤 22、采用带有狭缝的半色调或灰色调掩模板,在基板上形成光刻胶完全保留区域、光刻胶部分保留区域、光刻胶半保留区域和光刻胶完全去除区域,并且光刻胶部分保留区域内光刻胶的厚度大于光刻胶半保留区域内光刻胶的厚度;

其中,所述步骤 22 具体包括:

步骤 221、在完成步骤 21 的基板上涂敷一层光刻胶;

步骤 222、采用带有狭缝的半色调或灰色调掩模板进行曝光处理;

步骤 223、通过显影处理,使光刻胶形成光刻胶完全保留区域、光刻胶部分保留区域、光刻胶半保留区域和光刻胶完全去除区域,其中光刻胶完全保留区域对应于数据线、源电极和漏电极图形所在区域,光刻胶部分保留区域对应于像素电极图形所在区域,光刻胶半保留区域对应于源电极和漏电极之间的 TFT 沟道图形所在区域,光刻胶完全去除区域对应于上述图形以外的区域;

步骤 23、通过三次刻蚀、二次灰化工艺,在基板上形成包括像素电极、数据线、源电极、漏电极和薄膜晶体管沟道区域的图形;

步骤 3、在完成步骤 2 的基板上沉积钝化层,通过第三次构图工艺形成包括栅线接口区域和数据线接口区域的图形。

2. 根据权利要求 1 所述的薄膜晶体管阵列基板制造方法,其特征在于,所述步骤 1 具体包括:在基板上沉积厚度为 $500\text{Å} \sim 4000\text{Å}$ 的栅金属薄膜,使用普通掩模板通过第一次构图工艺对栅金属薄膜进行构图,在基板上形成包括栅线和栅电极的图形。

3. 根据权利要求 1 所述的薄膜晶体管阵列基板制造方法,其特征在于,所述步骤 3 具体包括:在完成步骤 2 的基板上沉积厚度为 $700\text{Å} \sim 3000\text{Å}$ 的钝化层,使用普通掩模板通过第三次构图工艺,形成包括栅线接口区域和数据线接口区域的图形。

4. 根据权利要求 1 所述的薄膜晶体管阵列基板制造方法,其特征在于,所述步骤 21 具体包括:采用化学气相沉积方法,依次沉积厚度为 $1000\text{Å} \sim 4000\text{Å}$ 的栅绝缘层、厚度为 $1000\text{Å} \sim 5000\text{Å}$ 的半导体层和掺杂半导体层,然后采用磁控溅射或热蒸发方法,依次沉积厚度为 $300\text{Å} \sim 600\text{Å}$ 的透明导电薄膜和厚度为 $2000\text{Å} \sim 3000\text{Å}$ 的源漏金属薄膜。

5. 根据权利要求 1 所述的薄膜晶体管阵列基板制造方法,其特征在于,所述步骤 23 具体包括:

步骤 231、通过第一次刻蚀工艺对光刻胶完全去除区域的源漏金属薄膜、透明导电薄

膜、掺杂半导体层和半导体层进行刻蚀，暴露出该区域的栅绝缘层；

步骤 232、通过第一次灰化工艺，完全去除光刻胶半保留区域的光刻胶；

步骤 233、通过第二次刻蚀工艺对光刻胶半保留区域的源漏金属薄膜、透明导电薄膜和掺杂半导体层进行刻蚀，完全刻蚀掉该区域的源漏金属薄膜、透明导电薄膜和掺杂半导体层，暴露出半导体层，在该区域形成薄膜晶体管沟道区域图形；

步骤 234、通过第二次灰化工艺，完全去除光刻胶部分保留区域的光刻胶；

步骤 235、通过第三次刻蚀工艺对光刻胶部分保留区域的源漏金属薄膜进行刻蚀，完全刻蚀掉该区域的源漏金属薄膜，露出透明导电薄膜，在该区域形成像素电极图形；

步骤 236、通过剥离工艺剥离剩余的光刻胶，在基板上形成包括像素电极、数据线、源电极、漏电极和薄膜晶体管沟道区域的图形。

## 薄膜晶体管阵列基板制造方法

### 技术领域

[0001] 本发明涉及一种液晶显示器的制造方法,尤其是一种薄膜晶体管阵列基板制造方法。

### 背景技术

[0002] 薄膜晶体管液晶显示器 (Thin Film Transistor Liquid Crystal Display, 简称 TFT-LCD) 具有体积小、功耗低、无辐射等特点,在当前的平板显示器市场中占据了主导地位。对于 TFT-LCD 来说,阵列基板以及制造工艺决定了其产品性能、成品率和价格。为了有效地降低 TFT-LCD 的价格、提高成品率,薄膜晶体管阵列基板的制造工艺逐步得到简化,从开始的七次构图 (7mask) 工艺已经发展到基于狭缝光刻技术的四次构图 (4mask) 工艺。

[0003] 目前,薄膜晶体管阵列基板的制造是通过一组构图工艺形成薄膜图形来完成,一次构图工艺形成一层薄膜图形。现在技术采用的四次构图工艺技术是利用灰色调或半色调或灰色调掩模板技术,通过一次构图工艺完成有源层、数据线、源电极、漏电极和薄膜晶体管沟道区域图形的制作。由于每次构图工艺均需要把掩模板的图形转移到薄膜图形上,而每一层薄膜图形都需要精确地罩在另一层薄膜图形上,因此在薄膜晶体管阵列基板制作过程中,所用掩模板的数量越少,生产时间越少,生产效率越高,生产成本就越低。

### 发明内容

[0004] 本发明的目的是提供一种薄膜晶体管阵列基板制造方法,采用三次构图工艺实现薄膜晶体管阵列基板的制造,缩短生产时间,提高生产效率,降低生产成本。

[0005] 为了实现上述目的,本发明提供了一种薄膜晶体管阵列基板制造方法,包括:

[0006] 步骤 1、在基板上沉积栅金属薄膜,通过第一次构图工艺形成包括栅线和栅电极的图形;

[0007] 步骤 2、在完成步骤 1 的基板上依次沉积栅绝缘层、半导体层、掺杂半导体层、透明导电薄膜和源漏金属薄膜,采用带有狭缝的半色调或灰色调掩模板通过第二次构图工艺形成包括数据线、源电极、漏电极、薄膜晶体管沟道区域和像素电极的图形;

[0008] 步骤 3、在完成步骤 2 的基板上沉积钝化层,通过第三次构图工艺形成包括栅线接口区域和数据线接口区域的图形。

[0009] 所述步骤 1 具体包括:在基板上沉积厚度为  $500\text{Å} \sim 4000\text{Å}$  的栅金属薄膜,使用普通掩模板通过第一次构图工艺对栅金属薄膜进行构图,在基板上形成包括栅线和栅电极的图形。

[0010] 所述步骤 3 具体包括:在完成步骤 2 的基板上沉积厚度为  $500\text{Å} \sim 4000\text{Å}$  的钝化层,使用普通掩模板通过第三次构图工艺,形成包括栅线接口区域和数据线接口区域的图形。

[0011] 所述步骤 2 具体包括:

[0012] 步骤 21、在完成步骤 1 的基板上依次沉积栅绝缘层、半导体层、掺杂半导体层、透明导电薄膜和源漏金属薄膜；

[0013] 步骤 22、采用带有狭缝的半色调或灰色调掩模板，在基板上形成光刻胶完全保留区域、光刻胶部分保留区域、光刻胶半保留区域和光刻胶完全去除区域；

[0014] 步骤 23、通过三次刻蚀、二次灰化工艺，在基板上形成包括像素电极、数据线、源电极、漏电极和薄膜晶体管沟道区域的图形。所述步骤 21 具体包括：采用化学气相沉积方法，依次沉积厚度为 $1000\text{Å} \sim 4000\text{Å}$ 的栅绝缘层、厚度为 $1000\text{Å} \sim 5000\text{Å}$ 的半导体层和掺杂半导体层，然后采用磁控溅射或热蒸发方法，依次沉积厚度为 $300\text{Å} \sim 600\text{Å}$ 的透明导电薄膜和厚度为 $2000\text{Å} \sim 3000\text{Å}$ 的源漏金属薄膜。

[0015] 所述步骤 22 具体包括：

[0016] 步骤 221、在完成步骤 21 的基板上涂敷一层光刻胶；

[0017] 步骤 222、采用带有狭缝的半色调或灰色调掩模板进行曝光处理；

[0018] 步骤 223、通过显影处理，使光刻胶形成光刻胶完全保留区域、光刻胶部分保留区域、光刻胶半保留区域和光刻胶完全去除区域，其中光刻胶完全保留区域对应于数据线、源电极和漏电极图形所在区域，光刻胶部分保留区域对应于像素电极图形所在区域，光刻胶半保留区域对应于源电极和漏电极之间的 TFT 沟道图形所在区域，光刻胶完全去除区域对应于上述图形以外的区域。

[0019] 所述步骤 23 具体包括：

[0020] 步骤 231、通过第一次刻蚀工艺对光刻胶完全去除区域的源漏金属薄膜、透明导电薄膜、掺杂半导体层和半导体层进行刻蚀，暴露出该区域的栅绝缘层；

[0021] 步骤 232、通过第一次灰化工艺，完全去除光刻胶半保留区域的光刻胶；

[0022] 步骤 233、通过第二次刻蚀工艺对光刻胶半保留区域的源漏金属薄膜、透明导电薄膜和掺杂半导体层进行刻蚀，完全刻蚀掉该区域的源漏金属薄膜、透明导电薄膜和掺杂半导体层，暴露出半导体层，在该区域形成薄膜晶体管沟道区域图形；

[0023] 步骤 234、通过第二次灰化工艺，完全去除光刻胶部分保留区域的光刻胶；

[0024] 步骤 235、通过第三次刻蚀工艺对光刻胶部分保留区域的源漏金属薄膜进行刻蚀，完全刻蚀掉该区域的源漏金属薄膜，露出透明导电薄膜，在该区域形成像素电极图形；

[0025] 步骤 236、通过剥离工艺剥离剩余的光刻胶，在基板上形成包括像素电极、数据线、源电极、漏电极和薄膜晶体管沟道区域的图形。

[0026] 本发明提供了一种薄膜晶体管阵列基板制造方法，首先通过第一次构图工艺形成栅线和栅电极图形，然后使用带有狭缝的半色调或灰色调掩模板通过第二次构图工艺形成数据线、源电极、漏电极、薄膜晶体管沟道区域和像素电极图形，最后通过第三次构图工艺形成栅线接口区域和数据线接口区域图形。本发明通过三次构图工艺即可完成薄膜晶体管阵列基板的制备，减少了生产设备投入，缩短了生产时间，提高了生产效率，降低了生产成本，本发明制备工艺简单、可靠，容易在实际生产中实现，具有广泛的应用前景。另外，本发明像素电极直接与漏电极连接提高了电接触，提高了良品率。

[0027] 下面通过附图和实施例，对本发明的技术方案做进一步的详细描述。

## 附图说明

- [0028] 图 1 为本发明薄膜晶体管阵列基板制造方法的流程图；  
[0029] 图 2 为本发明带有狭缝的半色调或灰色调掩模板的原理图；  
[0030] 图 3 为本发明薄膜晶体管阵列基板制造方法第一次构图工艺后的平面图；  
[0031] 图 4 为图 3 中 A-A 向剖面图  
[0032] 图 5 为本发明薄膜晶体管阵列基板制造方法第二次构图工艺后的平面图；  
[0033] 图 6 为本发明薄膜晶体管阵列基板制造方法第二次构图工艺中沉积各层薄膜后的示意图；  
[0034] 图 7 为本发明薄膜晶体管阵列基板制造方法第二次构图工艺中光刻胶曝光显影后的示意图；  
[0035] 图 8 为本发明薄膜晶体管阵列基板制造方法第二次构图工艺中第一次刻蚀后的示意图；  
[0036] 图 9 为本发明薄膜晶体管阵列基板制造方法第二次构图工艺中第一次灰化后的示意图；  
[0037] 图 10 为本发明薄膜晶体管阵列基板制造方法第二次构图工艺中第二次刻蚀后的示意图；  
[0038] 图 11 为本发明薄膜晶体管阵列基板制造方法第二次构图工艺中第二次灰化后的示意图；  
[0039] 图 12 为本发明薄膜晶体管阵列基板制造方法第二次构图工艺中第三次刻蚀后的示意图；  
[0040] 图 13 为本发明薄膜晶体管阵列基板制造方法第二次构图工艺后的示意图；  
[0041] 图 14 为本发明薄膜晶体管阵列基板制造方法第三次构图工艺后的示意图。  
[0042] 附图标记说明：  
[0043] 1—基板； 2—栅电极； 3—栅绝缘层； 4—半导体层；  
[0044] 5—掺杂半导体层； 6—像素电极； 7—源电极； 8—漏电极；  
[0045] 9—钝化层； 10—光刻胶； 11—栅线； 12—数据线；  
[0046] 13—透明导电薄膜； 14—源漏金属薄膜。

## 具体实施方式

- [0047] 图 1 为本发明薄膜晶体管阵列基板制造方法的流程图，具体包括：  
[0048] 步骤 1、在基板上沉积栅金属薄膜，通过第一次构图工艺形成包括栅线和栅电极的图形；  
[0049] 步骤 2、在完成步骤 1 的基板上依次沉积栅绝缘层、半导体层、掺杂半导体层、透明导电薄膜和源漏金属薄膜，采用带有狭缝的半色调或灰色调掩模板通过第二次构图工艺形成包括数据线、源电极、漏电极、薄膜晶体管沟道区域和像素电极的图形；  
[0050] 步骤 3、在完成步骤 2 的基板上沉积钝化层，通过第三次构图工艺形成包括栅线接口区域和数据线接口区域的图形。  
[0051] 图 2 为本发明带有狭缝的半色调或灰色调掩模板的原理图。本发明带有狭缝的半色调或灰色调掩模板由透明基板、半透明膜和不透明膜组成，不透明膜可以采用 Cr 等金属，形成有完全透光区域 A1、不透光区域 B1、半透光区域 C1 和部分透光区域 D1。以正性光

刻胶为例,使用时,先在需要形成图形的薄膜材料上涂敷一层光刻胶 10,用光源照射带有狭缝的半色调或灰色调掩模板,光线透过完全透光区域 A1 使该区域成为完全曝光区域,显影后完全曝光区域的光刻胶被完全去除,成为光刻胶完全去除区域 A2;光线无法透过不透光区域 B1 使该区域成为未曝光区域,显影后未曝光区域的光刻胶完全保留,成为光刻胶完全保留区域 B2;约有一半的光线透过半透光区域 C1,使该区域成为半曝光区域,显影后半曝光区域的光刻胶被部分去除,成为光刻胶半保留区域 C2,光刻胶半保留区域 C2 内光刻胶厚度约为光刻胶完全保留区域 B2 内光刻胶厚度的一半;由于部分透光区域 D1 是带有狭缝的半透光区域,光线透过部分透光区域 D1 时,由于狭缝的衍射效应和干涉效应,通过该区域光的强度比半透光区域弱,使该区域的光刻胶只能少部分曝光,成为部分曝光区域,显影后部分曝光区域的光刻胶被少部分去除,成为光刻胶部分保留区域 D2,光刻胶部分保留区域 D2 内光刻胶的厚度大于光刻胶半保留区域 C2 内光刻胶的厚度,形成了光刻胶厚度不同的四个区域,如图 2 所示。实际应用中,可以通过调整半透膜上狭缝的宽度来调整该区域透射光的强度,从而控制光刻胶部分保留区域内光刻胶的厚度。

[0052] 图 3 ~ 图 15 为本发明薄膜晶体管阵列基板制造方法的示意图,下面通过本发明薄膜晶体管阵列基板的制备过程进一步说明本发明的技术方案,在以下说明中,本发明所称的构图工艺包括光刻胶涂覆、掩模、曝光、刻蚀、剥离等工艺,其中光刻胶以正性光刻胶为例。

[0053] 图 3 为本发明薄膜晶体管阵列基板制造方法第一次构图工艺后的平面图,图 4 为图 3 中 A-A 向剖面图。采用磁控溅射、热蒸发或其它成膜方法,在基板 1(如玻璃基板或石英基板)上沉积一层厚度为  $500\text{\AA} \sim 4000\text{\AA}$  的栅金属薄膜,栅金属薄膜的材料可以使用 Cr、W、Ti、Ta、Mo、Al、Cu 等金属或合金,或以上金属组成的多层薄膜。使用普通掩模板通过第一次构图工艺对栅金属薄膜进行构图,在基板上形成栅线 11 和栅电极 2 图形,如图 3、图 4 所示。实际应用中,该构图工艺中还可以同时形成公共电极线图形;

[0054] 图 5 为本发明薄膜晶体管阵列基板制造方法第二次构图工艺后的平面图,图 6 为本发明薄膜晶体管阵列基板制造方法第二次构图工艺中沉积各层薄膜后的示意图,为图 5 中 B-B 向剖面图。在完成上述图形的基板上,首先采用化学气相沉积 (PECVD) 或其它成膜方法,依次沉积厚度为  $1000\text{\AA} \sim 4000\text{\AA}$  的栅绝缘层 3、半导体层 4 和掺杂半导体层 (欧姆接触层) 5,其中半导体层 4 和掺杂半导体层 5 组成有源层,厚度为  $1000\text{\AA} \sim 5000\text{\AA}$ ;然后在掺杂半导体层 5 上,采用磁控溅射、热蒸发或其它成膜方法,依次沉积厚度为  $300\text{\AA} \sim 600\text{\AA}$  的透明导电薄膜 13 和厚度为  $2000\text{\AA} \sim 3000\text{\AA}$  的源漏金属薄膜 14,如图 6 所示。栅绝缘层 3 可以选用氧化物、氮化物或氧氮化合物,对应的反应气体可以为  $\text{SiH}_4$ 、 $\text{NH}_3$ 、 $\text{N}_2$  的混合气体或  $\text{SiH}_2\text{Cl}_2$ 、 $\text{NH}_3$ 、 $\text{N}_2$  的混合气体,半导体层 4 对应的反应气体可以是  $\text{SiH}_4$ 、 $\text{H}_2$  的混合气体或  $\text{SiH}_2\text{Cl}_2$ 、 $\text{H}_2$  的混合气体。透明导电薄膜 13 的材料可以使用氧化铟锡 (ITO)、氧化铟锌 (IZO) 或其他透明电极材料。源漏金属薄膜 14 的材料可以使用 Cr、W、Ti、Ta、Mo、Al、Cu 等金属或合金,或以上金属组成的多层薄膜。

[0055] 图 7 为本发明薄膜晶体管阵列基板制造方法第二次构图工艺中光刻胶曝光显影后的示意图,为图 5 中 B-B 向剖面图。在完成上述图形的基板上涂敷一层(正性)光刻胶 10,采用带有狭缝的半色调或灰色调掩模板进行曝光,使光刻胶形成完全曝光区域(光刻胶完全去除区域)、未曝光区域(光刻胶完全保留区域)、半曝光区域(光刻胶半保留区域)

和部分曝光区域（光刻胶部分保留区域），其中未曝光区域对应于数据线、源电极和漏电极图形所在区域，部分曝光区域对应于像素电极图形所在区域，半曝光区域对应于源电极和漏电极之间的 TFT 沟道图形所在区域，完全曝光区域对应于上述图形以外的区域。采用带有狭缝的半色调或灰色调掩模板曝光形成上述四个曝光区域后，通过显影处理，未曝光区域的光刻胶厚度没有变化，光刻胶厚度最厚，为光刻胶完全保留区域 B2，部分曝光区域的光刻胶厚度少量减小，为光刻胶部分保留区域 D2，半曝光区域的光刻胶厚度减少一半左右，为光刻胶半保留区域 C2，完全曝光区域的光刻胶被完全去除，为光刻胶完全去除区域 A2，如图 7 所示。

[0056] 图 8 为本发明薄膜晶体管阵列基板制造方法第二次构图工艺中第一次刻蚀后的示意图，为图 5 中 B-B 向剖面图。通过第一次刻蚀工艺对光刻胶完全去除区域 A2 的源漏金属薄膜 14、透明导电薄膜 13、掺杂半导体层 5 和半导体层 4 进行刻蚀，暴露出该区域的栅绝缘层 3，如图 8 所示。

[0057] 图 9 为本发明薄膜晶体管阵列基板制造方法第二次构图工艺中第一次灰化后的示意图，为图 5 中 B-B 向剖面图。通过第一次灰化工艺，减少光刻胶 10 的厚度，完全去除光刻胶半保留区域 C2 的光刻胶，暴露出该区域的源漏金属薄膜 14，如图 9 所示。

[0058] 图 10 为本发明薄膜晶体管阵列基板制造方法第二次构图工艺中第二次刻蚀后的示意图，为图 5 中 B-B 向剖面图。通过第二次刻蚀工艺对光刻胶半保留区域 C2 的源漏金属薄膜 14、透明导电薄膜 13 和掺杂半导体层 5 进行刻蚀，完全刻蚀掉该区域的掺杂半导体层 5，暴露出半导体层 4，在该区域形成薄膜晶体管沟道区域图形，如图 10 所示。

[0059] 图 11 为本发明薄膜晶体管阵列基板制造方法第二次构图工艺中第二次灰化后的示意图，为图 5 中 B-B 向剖面图。通过第二次灰化工艺，减少光刻胶 10 的厚度，完全去除光刻胶部分保留区域 D2 的光刻胶，暴露出该区域的源漏金属薄膜 14，如图 11 所示。

[0060] 图 12 为本发明薄膜晶体管阵列基板制造方法第二次构图工艺中第三次刻蚀后的示意图，为图 5 中 B-B 向剖面图。通过第三次刻蚀工艺对光刻胶部分保留区域 D2 的源漏金属薄膜 14 进行刻蚀，完全刻蚀掉该区域的源漏金属薄膜 14，露出透明导电薄膜 13，在该区域形成像素电极，如图 12 所示。

[0061] 图 13 为本发明薄膜晶体管阵列基板制造方法第二次构图工艺后的示意图，为图 5 中 B-B 向剖面图。通过剥离工艺剥离剩余的光刻胶，在基板上形成像素电极 6、数据线 12、源电极 7、漏电极 8 和薄膜晶体管沟道区域图形，如图 5、图 13 所示。

[0062] 图 14 为本发明薄膜晶体管阵列基板制造方法第三次构图工艺后的示意图。在完成上述图形的基板上，采用化学气相沉积 (PECVD) 或其它成膜方法，沉积厚度为  $700\text{ \AA} \sim 3000\text{ \AA}$  的钝化层 9，钝化层 9 可以选用氧化物、氮化物或氧氮化合物，对应的反应气体可以为  $\text{SiH}_4$ 、 $\text{NH}_3$ 、 $\text{N}_2$  的混合气体或  $\text{SiH}_2\text{Cl}_2$ 、 $\text{NH}_3$ 、 $\text{N}_2$  的混合气体。使用普通掩模板通过第三次构图工艺对钝化层 9 进行构图，形成覆盖薄膜晶体管沟道区域的钝化层 9 图形、栅线接口区域（栅线 PAD）图形和数据线接口区域（数据线 PAD）图形。

[0063] 上述采用普通掩模板通过构图工艺形成栅线、栅电极、栅线接口区域和数据线接口区域图形的工艺已广泛应用于目前的构图工艺中，这里不再赘述。

[0064] 本发明提供了一种薄膜晶体管阵列基板制造方法，首先通过第一次构图工艺形成栅线和栅电极图形，然后使用带有狭缝的半色调或灰色调掩模板通过第二次构图工艺形成

数据线、源电极、漏电极、薄膜晶体管沟道区域和像素电极图形，最后通过第三次构图工艺形成栅线接口区域和数据线接口区域图形。本发明通过三次构图工艺即可完成薄膜晶体管阵列基板的制备，减少了生产设备投入，缩短了生产时间，提高了生产效率，降低了生产成本，本发明制备工艺简单、可靠，容易在实际生产中实现，具有广泛的应用前景。另外，本发明像素电极直接与漏电极连接提高了电接触，提高了良品率。

[0065] 最后应说明的是：以上实施例仅用以说明本发明的技术方案而非限制，尽管参照较佳实施例对本发明进行了详细说明，本领域的普通技术人员应当理解，可以对本发明的技术方案进行修改或者等同替换，而不脱离本发明技术方案的精神和范围。

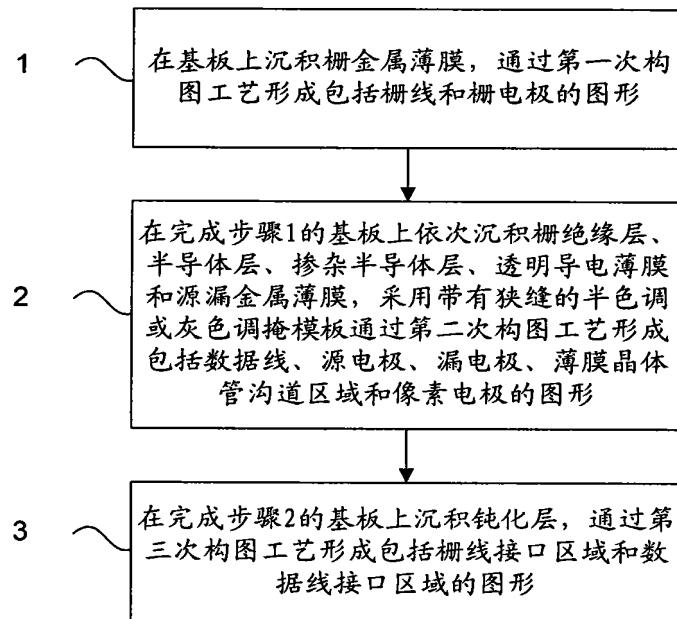


图 1

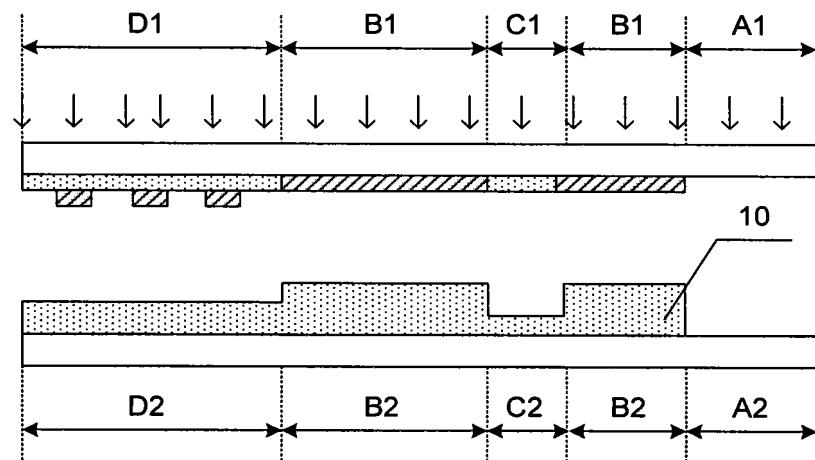


图 2

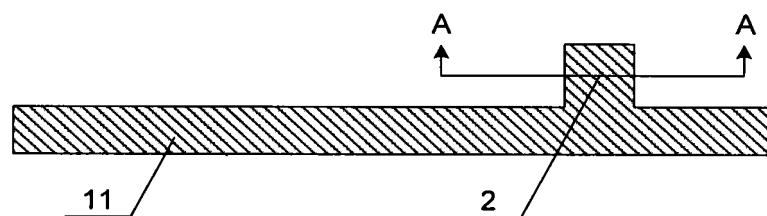


图 3

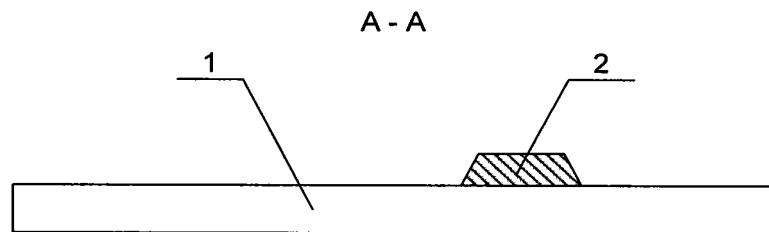


图 4

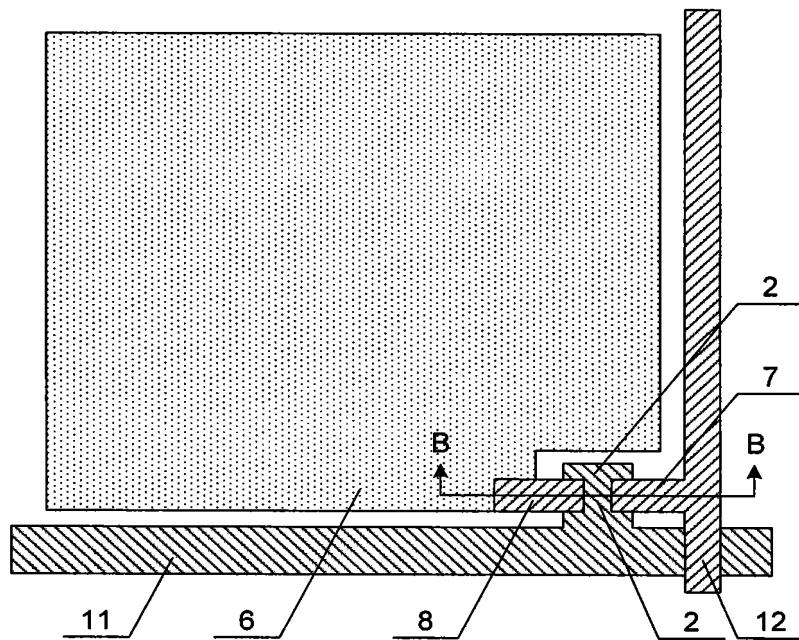


图 5

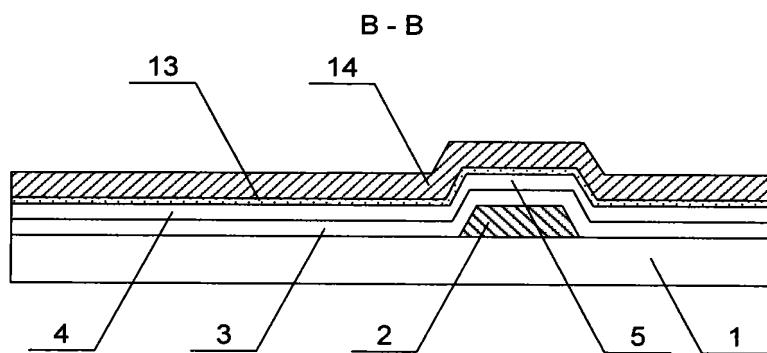


图 6

B - B

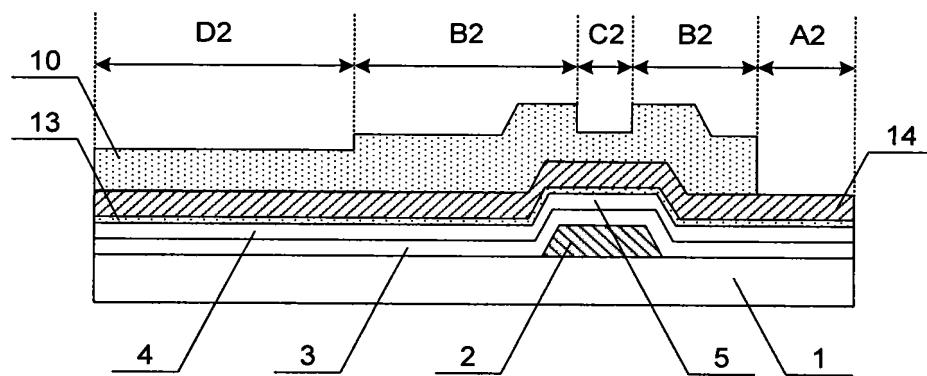


图 7

B - B

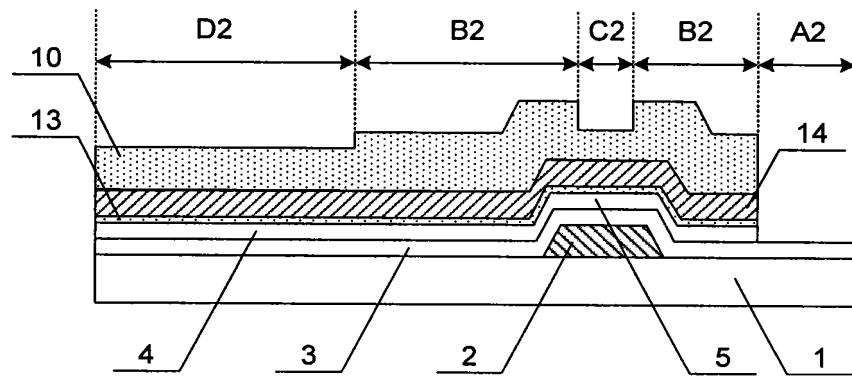


图 8

B - B

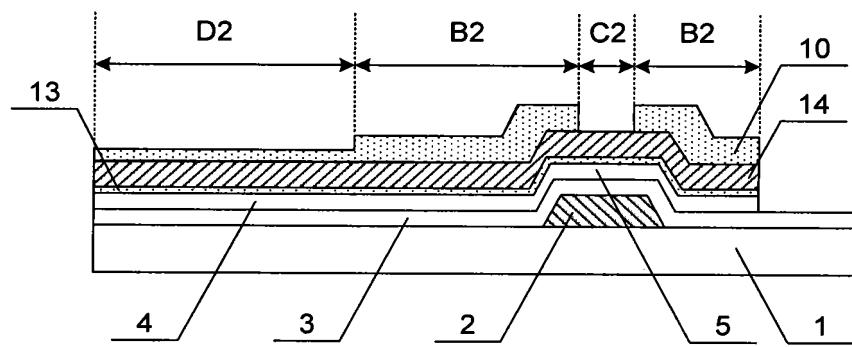


图 9

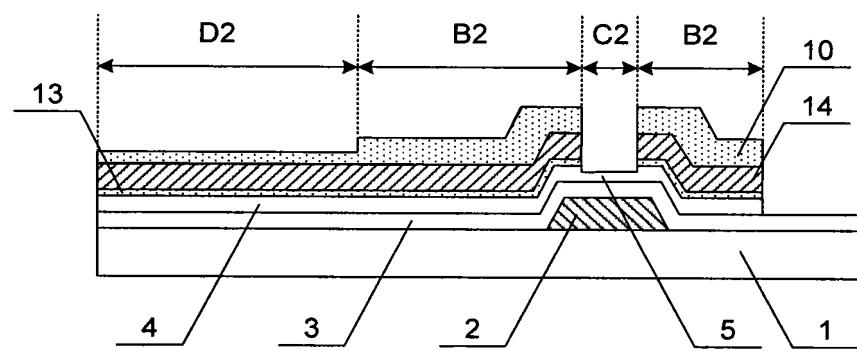
**B - B**

图 10

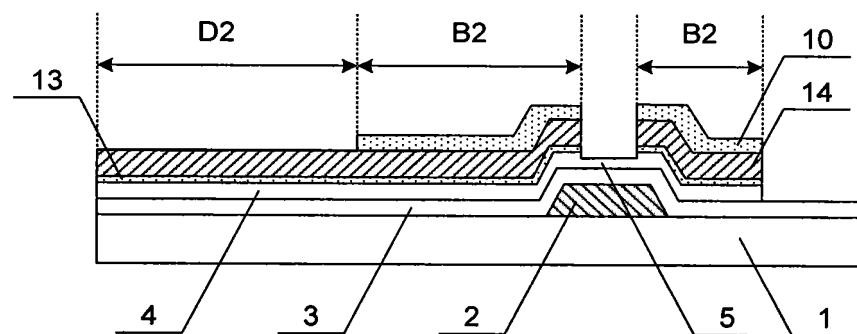
**B - B**

图 11

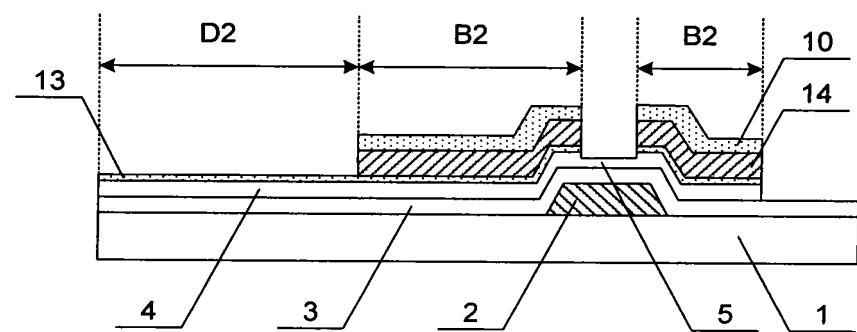
**B - B**

图 12

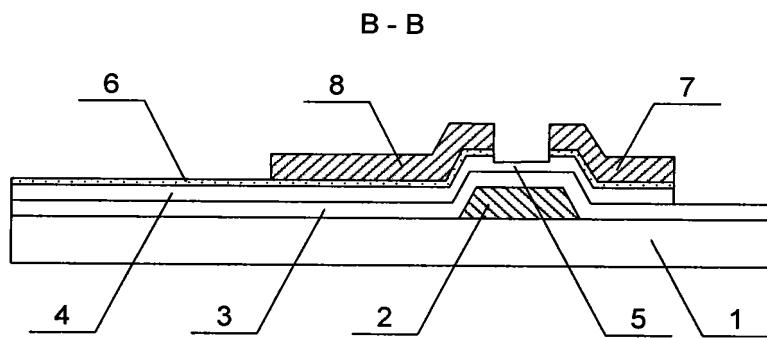


图 13

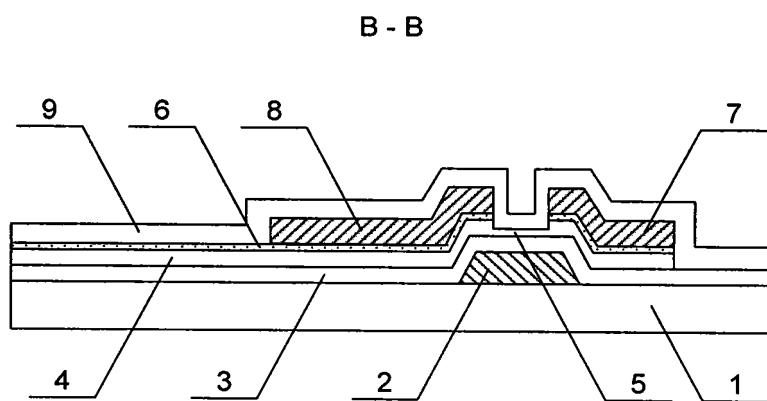


图 14