

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges
Eigentum

Internationales Büro

(43) Internationales
Veröffentlichungsdatum
17. April 2014 (17.04.2014)



(10) Internationale Veröffentlichungsnummer
WO 2014/056908 A1

(51) Internationale Patentklassifikation:

H01L 33/00 (2010.01) H01L 33/32 (2010.01)
H01L 33/30 (2010.01) H01L 21/265 (2006.01)

(21) Internationales Aktenzeichen: PCT/EP2013/070941

(22) Internationales Anmeldedatum:

8. Oktober 2013 (08.10.2013)

(25) Einreichungssprache: Deutsch

(26) Veröffentlichungssprache: Deutsch

(30) Angaben zur Priorität:

102012109590.6 9. Oktober 2012 (09.10.2012) DE

(71) Anmelder: OSRAM OPTO SEMICONDUCTORS
GMBH [DE/DE]; Leibnizstr. 4, 93055 Regensburg (DE).

(72) Erfinder: PETER, Matthias; Diepenbrockstr. 1, 93055 Regensburg (DE). PERZLMAIER, Korbinian; Bischof-Konrad-Str. 2, 93051 Regensburg (DE). MAUTE, Markus; Köferinger Weg 15, 93087 Alteglofsheim (DE). BAUR, Johannes; Burgfriedenweg 32, 93051 Regensburg (DE). ENGL, Karl; Rehfeld 25 a, 93080 Pentling (DE). TAEGER, Sebastian; Rudolf-Schlichtinger-Str. 24, 93055 Regensburg (DE). KIESLICH, Albrecht; Emil-Högg-Str. 9, 01445 Radebeul (DE).

(74) Anwalt: KOLLER, Florian; EPPING HERMANN FISCHER PATENTANWALTSGESELLSCHAFT MBH, Schloss Schmidstr. 5, 80639 Munich (DE).

(81) Bestimmungsstaaten (soweit nicht anders angegeben, für jede verfügbare nationale Schutzrechtsart): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

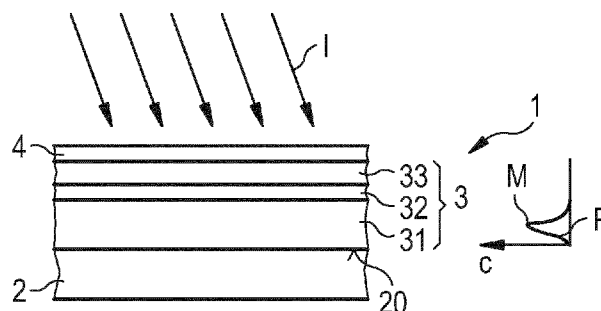
(84) Bestimmungsstaaten (soweit nicht anders angegeben, für jede verfügbare regionale Schutzrechtsart): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), eurasisches (AM, AZ, BY, KG, KZ, RU, TJ, TM), europäisches (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

[Fortsetzung auf der nächsten Seite]

(54) Title: METHOD FOR PRODUCING A GAN-BASED OPTOELECTRONIC SEMICONDUCTOR CHIP BY ION IMPLANTATION AND A CORRESPONDING OPTOELECTRONIC SEMICONDUCTOR CHIP

(54) Bezeichnung : VERFAHREN ZUR HERSTELLUNG EINES OPTOELEKTRONISCHEN HALBLEITERCHIPS AUF GAN-BASIS MITTELS IONENIMPLANTATION UND ENTSPRECHENDER OPTOELEKTRONISCHER HALBLEITERCHIP

FIG 1C



(57) Abstract: In at least one embodiment, the method is designed for producing an optoelectronic semiconductor chip (1). The method comprises the following steps: - providing a growth substrate (2); - creating a semiconductor layer sequence (3) on said growth substrate (2), wherein the semiconductor layer sequence (3) has an n-side (31), a p-side (33) and an active layer (32) intended for the generation of a radiation, the active layer (32) is arranged between the p-side (33) and the n-side (31), and the n-side (31) is closest to the growth substrate (2); and - doping the n-side (31) through the active layer (32) by means of ion implantation.

(57) Zusammenfassung: In mindestens einer Ausführungsform ist das Verfahren zur Herstellung eines optoelektronischen Halbleiterchips (1) eingerichtet. Es umfasst das Verfahren die folgenden Schritte: - Bereitstellen eines Aufwuchssubstrats (2), - Erzeugen einer Halbleiterschichtenfolge (3) auf dem Aufwuchssubstrat (2), wobei die Halbleiterschichtenfolge (3) eine n-Seite (31), eine p-Seite (33) und eine zu einer Strahlungserzeugung vorgesehene aktive Schicht (32) aufweist und die aktive Schicht (32) zwischen der

[Fortsetzung auf der nächsten Seite]



WO 2014/056908 A1



Veröffentlicht:

- *mit internationalem Recherchenbericht (Artikel 21 Absatz 3)*

**VERFAHREN ZUR HERSTELLUNG EINES OPTOELEKTRONISCHEN HALBLEITERCHIPS
AUF GAN-BASIS MITTELS IONENIMPLANTATION UND ENTSPRECHENDER
OPTOELEKTRONISCHER HALBLEITERCHIP**

Es wird ein Verfahren zur Herstellung eines optoelektronischen Halbleiterchips angegeben. Darüber hinaus wird ein optoelektronischer Halbleiterchip angegeben.

Eine zu lösende Aufgabe besteht darin, einen optoelektronischen Halbleiterchip mit einer hohen Querleitfähigkeit einer Stromaufweitungsschicht effizient herzustellen.

Diese Aufgabe wird unter anderem durch ein Verfahren und durch einen optoelektronischen Halbleiterchip mit den Merkmalen der unabhängigen Patentansprüche gelöst. Bevorzugte Weiterbildungen sind Gegenstand der abhängigen Ansprüche.

Gemäß zumindest einer Ausführungsform ist das Verfahren zur Herstellung eines optoelektronischen Halbleiterchips eingerichtet. Bei dem Halbleiterchip handelt es sich bevorzugt um einen Leuchtdiodenchip. Ebenso ist es möglich, dass mit dem Verfahren eine Laserdiode oder ein Fotodiodenchip hergestellt wird.

Gemäß zumindest einer Ausführungsform beinhaltet das Verfahren den Schritt des Bereitstellens eines Aufwachssubstrates. Das Aufwachssubstrat ist dazu eingerichtet, darauf epitaktisch eine Halbleiterschichtenfolge zu erzeugen. Bei dem Aufwachssubstrat handelt es sich beispielsweise um ein Saphirsubstrat, ein Siliziumcarbidsubstrat oder auch um ein

Siliziumsubstrat. Eine Oberseite des Aufwachssubstrats, auf der die Halbleiterschichtenfolge abgeschieden wird, kann strukturiert oder auch glatt ausgeführt sein.

Gemäß zumindest einer Ausführungsform weist das Verfahren den Schritt des Erzeugens einer Halbleiterschichtenfolge auf dem Aufwachssubstrat auf. Die Halbleiterschichtenfolge umfasst hierbei bevorzugt eine n-Seite, eine p-Seite sowie eine zwischen diesen Seiten angeordnete aktive Schicht. Die n-Seite ist n-dotiert und kann durch eine oder durch mehrere Schichten gebildet sein. Entsprechend ist die p-Seite p-dotiert und kann ebenso eine oder mehrere Schichten umfassen.

Die aktive Schicht weist einen oder mehrere pn-Übergänge oder eine oder mehrere Quantentopfstrukturen auf. Es ist die aktive Schicht dazu eingerichtet, im Betrieb des Halbleiterchips bevorzugt eine elektromagnetische Strahlung zu erzeugen. Beispielsweise wird in der aktiven Schicht sichtbares Licht, ultraviolette Strahlung und/oder nahinfrarote Strahlung erzeugt.

Gemäß zumindest einer Ausführungsform befindet sich die n-Seite der Halbleiterschichtenfolge dem Aufwachssubstrat am nächsten. Es ist möglich, dass die n-Seite in unmittelbarem Kontakt zu dem Aufwachssubstrat steht oder dass sich eine Pufferschicht zwischen der n-Seite und dem Aufwachssubstrat befindet. Diese Pufferschicht berührt dann bevorzugt sowohl die n-Seite als auch das Aufwachssubstrat.

Gemäß zumindest einer Ausführungsform weist das Verfahren den Schritt des Dotierens der n-Seite auf. Das Dotieren erfolgt hierbei mittels Ionenimplantation. Mit anderen Worten werden dann die Dotierstoffe, mit denen die entsprechende Dotierung

erzielt wird, nicht oder nicht überwiegend bereits während der Epitaxie in die Halbleiterschichtenfolge eingebaut, sondern die Dotierstoffe werden vollständig oder mindestens zu einem überwiegenden Teil erst nachträglich der Halbleiterschichtenfolge durch Ionenimplantation hinzugefügt.

Gemäß zumindest einer Ausführungsform erfolgt das Dotieren der n-Seite durch die aktive Schicht hindurch. Es wird auf die n-Seite vor dem Dotieren mit Ionenimplantation dann mindestens die aktive Schicht aufgewachsen.

In mindestens einer Ausführungsform ist das Verfahren zur Herstellung eines optoelektronischen Halbleiterchips eingerichtet. Es umfasst das Verfahren mindestens die folgenden Schritte, bevorzugt in der angegebenen Reihenfolge:

- Bereitstellen eines Aufwachssubstrats,
- Erzeugen einer Halbleiterschichtenfolge auf dem Aufwachssubstrat, wobei die Halbleiterschichtenfolge eine n-Seite, eine p-Seite und eine zu einer Strahlungserzeugung vorgesehene aktive Schicht aufweist und die aktive Schicht zwischen der p-Seite und der n-Seite angeordnet ist und sich bevorzugt die n-Seite dem Aufwachssubstrat am nächsten befindet, und
- Dotieren der n-Seite und/oder der p-Seite durch die aktive Schicht hindurch mittels Ionenimplantation.

Bei einem solchen Verfahren wird insbesondere eine gut querleitfähige Halbleiterschicht durch nachträgliches Einbringen von Dotieratomen oder Dotierionen erzeugt, nach einem Wachstum der Halbleiterschichtenfolge.

Beim Wachsen von Halbleitermaterialien wie GaN kann es durch die Verwendung von Dotierstoffen in hohen Konzentrationen

beim Wachsen selbst zu Störungen in der Morphologie kommen. Weiterhin kann sich durch das Dotieren während des Wachsens eine Verspannung von GaN erhöhen. Dies kann zu einer stärkeren Durchbiegung eines Aufwachssubstrats bei den Wachstumstemperaturen zur Folge haben. Dies wiederum kann eine inhomogenere Temperaturverteilung auf dem Aufwachssubstrat bedingen, was speziell bei heteroepitaktisch abgeschiedenen Strukturen auf Substraten mit vergleichsweise großem Durchmesser kritisch ist und wiederum Morphologiestörungen, insbesondere so genannte Pits und Cracks, hervorrufen kann.

Besonders das Wachstum von GaN auf einem Fremdsubstrat wie Saphir oder Silizium erfolgt typisch zuerst inselartig etwa mit Hilfe einer Maskierungsschicht und dann hin zu einer zusammenhängenden Schicht. Dieses Wachstum wird auch als 3D-Wachstum bezeichnet. Ist eine zusammenhängende Schicht erreicht, so erfolgt ein gleichmäßiges Wachstum dieser Schicht. Letztere Wachstumsphase wird auch als 2D-Wachstum bezeichnet.

Um eine hinreichende Kristallqualität zu gewährleisten, können während des 3D-Wachstums nur vergleichsweise geringe Dotierstoffkonzentrationen, etwa kleiner als $5 \times 10^{18}/\text{ccm}$, verwendet werden. Während des 2D-Wachstums können Dotierstoffkonzentrationen bis ungefähr $1,5 \times 10^{19}/\text{ccm}$ realisiert werden. Die höheren Dotierstoffkonzentrationen können eine höhere Verbiegung des Aufwachssubstrats zur Folge haben, weshalb eine inhomogenere Temperaturverteilung auf dem Aufwachssubstrat entstehen kann. Bedingt durch vergleichsweise niedrige, mögliche Dotierstoffkonzentrationen ist die Querleitfähigkeit insbesondere in einer Pufferschicht limitiert. Morphologische Defekte wie so genannte Pits und

Cracks treten ebenfalls verstärkt bei hohen Dotierstoffkonzentrationen auf.

Durch die Verwendung von Ionenimplantation kann nachträglich in einem Wirtskristall ein Dotierstoff eingebracht werden. Während der Epitaxie können somit vergleichsweise schwach dotierte Halbleiterschichten gewachsen werden, insbesondere mit einem homogenen, entlang einer Wachstumsrichtung nicht oder nur kaum variierenden Dotierstoffgehalt. Hierdurch ist eine geringere Durchbiegung des Aufwachssubstrats während der Epitaxie, einhergehend mit einer homogenen Temperaturverteilung und einer erhöhten Qualität der gewachsenen Halbleiterschichtenfolge, verbunden. Eine verringerte Durchbiegung des Epitaxiesubstrats hat ebenfalls eine abgesenkte Minimalprozess Temperatur zur Folge. Hierdurch können Anlagenstandzeiten verlängert und eine Partikelgeneration kann verringert werden.

Weiterhin ist es möglich, durch Ionenimplantation nachträglich höhere Dotierstoffkonzentrationen bis an eine Grenzfläche der Halbleiterschichtenfolge zu dem Aufwachssubstrat zu erreichen, was insbesondere im Falle von GaN während der Epitaxie nicht möglich ist, aufgrund der limitierten Dotierstoffkonzentrationen in der 3D-Wachstumsphase. Dies ermöglicht die Verwendung von Aufwachssubstraten insbesondere mit Durchmessern von oberhalb von 4 Zoll, entsprechend ungefähr 10 cm. Durch höhere Dotierstoffkonzentrationen an dieser Grenzfläche ist auch eine höhere Querleitfähigkeit der dem Aufwachssubstrat nächstgelegenen Schicht der Halbleiterschichtenfolge erzielbar. Es ist also eine Entkopplung von Dotierstoffprofil und Durchbiegung während der Epitaxie realisierbar,

einhergehend insbesondere mit einer verbesserten Querleitfähigkeit und einem erniedrigten Kontaktwiderstand.

Gemäß zumindest einer Ausführungsform des Verfahrens wird die Halbleiterschichtenfolge vor dem Dotieren mittels Ionenimplantation der n-Seite vollständig erzeugt. Das kann bedeuten, dass nach dem Dotieren mittels Ionenimplantation der n-Seite kein weiterer Epitaxieschritt erfolgt. Dies ermöglicht ein besonders effizientes Herstellen, da die gesamte Halbleiterschichtenfolge am Stück gewachsen werden kann.

Gemäß zumindest einer Ausführungsform weist ein Dotierstoffprofil eines n-Dotierstoffs innerhalb der n-Seite ein globales Maximum, bezogen speziell auf die gesamte Halbleiterschichtenfolge und auf das Aufwachssubstrat, auf. Weiterhin zeigt das Dotierstoffprofil einen stetigen Verlauf auf. Das Dotierstoffprofil kann die Form einer Glockenkurve oder einer asymmetrischen Glockenkurve, auch als Skewed Gaussian bezeichnet, aufweisen.

Gemäß zumindest einer Ausführungsform erfolgt das Dotieren der n-Seite mit Silizium und/oder mit Germanium. Wird eine Co-Dotierung von Silizium und Germanium eingesetzt, so ist es möglich, dass sich die beiden Maxima der Dotierstoffprofile für Silizium und für Germanium an verschiedenen Stellen befinden. Beispielsweise kann das Dotierstoffprofil für Silizium in einer größeren Tiefe der Halbleiterschichtenfolge ein Maximum aufweisen als das Dotierstoffprofil für Germanium.

Gemäß zumindest einer Ausführungsform wird, neben dem Dotierstoff für die n-Dotierung der n-Seite, zusätzlich

Stickstoff implantiert. Es ist möglich, dass der Stickstoff in einer größeren oder auch in einer geringeren Tiefe ein Konzentrationsmaximum nach der Ionenimplantation aufweist als der n-Dotierstoff.

Gemäß zumindest einer Ausführungsform wird der Stickstoff und/oder der mindestens eine Dotierstoff für die n-Seite bis an oder bis in das Aufwachssubstrat hinein implantiert. Mit anderen Worten ist es dann möglich, dass in dem Aufwachssubstrat oder an einer Grenzfläche zwischen dem Aufwachssubstrat und der Halbleiterschichtenfolge eine von Null verschiedene Dotierstoffkonzentration des n-Dotierstoffs vorliegt. In diesem Fall beträgt die Konzentration des n-Dotierstoffs an der Grenzfläche zwischen dem Aufwachssubstrat und der Halbleiterschichtenfolge beispielsweise mindestens $5 \times 10^{18}/\text{ccm}$ oder mindestens $1 \times 10^{19}/\text{ccm}$.

Gemäß zumindest einer Ausführungsform erfolgt das Dotieren der n-Seite mit einer Ionenenergie von mindestens 250 keV oder von mindestens 300 keV oder von mindestens 350 keV. Alternativ oder zusätzlich liegt die Energie der implantierten Ionen während der Implantation bei höchstens 1,3 MeV oder bei höchstens 1,0 MeV oder bei höchstens 800 keV.

In der Druckschrift S.O. Kucheyev „Ion Implantation into GaN“ in Materials, Signs and Engeneering, Volume 33, Seiten 51 bis 107 aus dem Jahr 2001 ist eine Ionenimplantation von GaN beschrieben. Der Offenbarungsgehalt dieser Druckschrift wird durch Rückbezug mit aufgenommen.

Gemäß zumindest einer Ausführungsform erfolgt das Dotieren der n-Seite mittels Ionenimplantation bei einer Temperatur

der Halbleiterschichtenfolge und des Aufwachssubstrats von mindestens 350 °C oder von mindestens 450 °C oder von mindestens 500 °C. Alternativ oder zusätzlich liegt diese Temperatur bei höchstens 950 °C oder bei höchstens 750 °C oder bei höchstens 600 °C.

Gemäß zumindest einer Ausführungsform beträgt eine n-Dotierstoffkonzentration der n-Seite vor der Ionenimplantation stellenweise oder im Mittel höchstens $5 \times 10^{18}/\text{ccm}$ oder höchstens $1 \times 10^{18}/\text{ccm}$. Mit anderen Worten ist vor dem Dotieren mittels Ionenimplantation die n-Seite im Wesentlichen undotiert. Vor der Ionenimplantation kann es sich bei der n-Seite um eine intrinsisch leitfähige Schicht oder Teilschichtenfolge handeln.

Gemäß zumindest einer Ausführungsform weist die n-Seite nach dem Dotieren mittels Ionenimplantation eine n-Dotierstoffkonzentration von mindestens $2 \times 10^{19}/\text{ccm}$ oder von mindestens $5 \times 10^{19}/\text{ccm}$ oder von mindestens $1 \times 10^{20}/\text{ccm}$ auf. Bei der Dotierstoffkonzentration nach dem Dotieren mittels Ionenimplantation kann es sich um eine mittlere Dotierstoffkonzentration oder um eine maximale Dotierstoffkonzentration handeln.

Gemäß zumindest einer Ausführungsform folgt dem Dotieren der n-Seite mittels Ionenimplantation ein thermisches Ausheilen, englisch annealing, nach.

Gemäß zumindest einer Ausführungsform erfolgt das Ausheilen bei einer Temperatur von mindestens 700 °C oder von mindestens 850 °C oder von mindestens 950 °C. Alternativ oder zusätzlich liegt die Temperatur beim Ausheilen bei höchstens 1250 °C oder bei höchstens 1100 °C oder bei höchstens 975 °C.

Gemäß zumindest einer Ausführungsform erfolgt das Ausheilen für eine Dauer von mindestens 3 min. oder von mindestens 5 min. oder von mindestens 10 min. Es ist alternativ oder zusätzlich möglich, dass das Ausheilen höchstens 30 min. oder höchstens 20 min. oder höchstens 15 min. dauert. Je höher die Temperatur beim Ausheilen ist, desto kürzer dauert das Ausheilen in der Regel.

Gemäß zumindest einer Ausführungsform wird vor dem Ausheilen eine Abdeckschicht auf der Halbleiterschichtenfolge aufgebracht. Bei der Abdeckschicht kann es sich um eine Aluminiumnitridschicht, eine Siliziumnitridschicht oder auch um eine AlGa_N-Schicht handeln. Durch die Abdeckschicht ist ein Austreten von Stickstoff aus der Halbleiterschichtenfolge während des Ausheilens verhinderbar oder reduzierbar. Es ist möglich, dass die Abdeckschicht nach dem Ausheilen teilweise oder vollständig von der Halbleiterschichtenfolge entfernt wird. Ebenso kann die Abdeckschicht etwa als Passivierung an der Halbleiterschichtenfolge zumindest stellenweise verbleiben.

Gemäß zumindest einer Ausführungsform basiert die Halbleiterschichtenfolge auf einem III-V-Verbindungshalbleitermaterial. Bei dem Halbleitermaterial handelt es sich zum Beispiel um ein Nitrid-Verbindungshalbleitermaterial wie Al_nIn_{1-n-m}Ga_mN oder um ein Phosphid-Verbindungshalbleitermaterial wie Al_nIn_{1-n-m}Ga_mP oder auch um ein Arsenid-Verbindungshalbleitermaterial wie Al_nIn_{1-n-m}Ga_mAs, wobei jeweils $0 \leq n \leq 1$, $0 \leq m \leq 1$ und $n + m \leq 1$ ist. Dabei kann die Halbleiterschichtenfolge Dotierstoffe sowie zusätzliche Bestandteile aufweisen. Der Einfachheit halber sind jedoch nur die wesentlichen Bestandteile des

Kristallgitters der Halbleiterschichtenfolge, also Al, As, Ga, In, N oder P, angegeben, auch wenn diese teilweise durch geringe Mengen weiterer Stoffe ersetzt und/oder ergänzt sein können. Bevorzugt basiert die Halbleiterschichtenfolge auf AlInGaN.

Gemäß zumindest einer Ausführungsform liegt eine Dicke der p-Seite bei mindestens 80 nm oder bei mindestens 100 nm oder bei mindestens 200 nm oder bei mindestens 400 nm. Alternativ oder zusätzlich liegt die Dicke der p-Seite bei höchstens 1,5 μm oder bei höchstens 1,2 μm oder bei höchstens 800 nm.

Gemäß zumindest einer Ausführungsform weist die aktive Schicht eine Dicke von mindestens 2,5 nm oder von mindestens 5 nm und/oder eine Dicke von höchstens 50 nm oder von höchstens 30 nm auf.

Gemäß zumindest einer Ausführungsform liegt eine Dicke der n-Seite bei mindestens 1,0 μm oder bei mindestens 1,5 μm oder bei mindestens 2,5 μm . Alternativ oder zusätzlich beträgt die Dicke der n-Seite höchstens 6,5 μm oder höchstens 5 μm oder höchstens 4,5 μm . Bei den vorgenannten Dicken kann es sich jeweils um mittlere Dicken handeln.

Gemäß zumindest einer Ausführungsform erfolgt das Dotieren der n-Seite, das durch Ionenimplantation durchgeführt wird, unter einem Winkel von mindestens 5° oder von mindestens 7° und/oder von höchstens 12° oder von höchstens 10° , bezogen auf ein Lot zu einer Aufwachsfläche des Aufwachssubstrats. Mit anderen Worten werden die Ionen dann schräg zu dem Aufwachssubstrat implantiert.

Gemäß zumindest einer Ausführungsform des Verfahrens erfolgt das Dotieren der n-Seite mittels Ionenimplantation mit einer Dosis von mindestens $4 \times 10^{15}/\text{cm}^2$ oder von mindestens $7 \times 10^{15}/\text{cm}^2$. Alternativ oder zusätzlich liegt die Dosis bei höchstens $8 \times 10^{16}/\text{cm}^2$ oder bei höchstens $3 \times 10^{16}/\text{cm}^2$.

Gemäß zumindest einer Ausführungsform wird die n-Seite durch Entfernen der aktiven Schicht und der p-Seite stellenweise freigelegt. Dieses stellenweise Freilegen erfolgt bevorzugt nach dem vollständigen Wachsen der Halbleiterschichtenfolge und bevorzugt auch nach dem Dotieren der n-Seite.

Gemäß zumindest einer Ausführungsform wird zumindest auf Teilbereiche der freigelegten Stellen der n-Seite eine elektrische Kontaktstelle erzeugt. Die Kontaktstelle wird bevorzugt durch eine oder durch mehrere Metallisierungen gebildet. Über die elektrische Kontaktstelle ist der Halbleiterchip elektrisch kontaktierbar. Beispielsweise handelt es sich bei der elektrischen Kontaktstelle um ein Bondpad.

Gemäß zumindest einer Ausführungsform wird die gesamte n-Seite, in Draufsicht gesehen, dotiert. Mit anderen Worten weist dann der mittels Ionenimplantation dotierte Bereich den gleichen Flächeninhalt auf wie die n-Seite und/oder wie die aktive Schicht, insbesondere in Draufsicht auf die Aufwachsfläche gesehen.

Gemäß zumindest einer Ausführungsform wird nur ein Teilbereich der n-Seite mittels Ionenimplantation dotiert, in Draufsicht auf die Aufwachsfläche gesehen. Mindestens ein Anteil der n-Seite und/oder der p-Seite, in Draufsicht gesehen, wird dann also nicht mittels Ionenimplantation

dotiert. Zum Beispiel wird im Rahmen der Herstellungstoleranzen nur ein solcher Teilbereich mittels Ionenimplantation dotiert, der von der elektrischen Kontaktstelle, bevorzugt der Kontaktstelle für die p-Seite, überdeckt ist, in Draufsicht gesehen und bevorzugt mit einer Toleranz von höchstens 75 % oder von höchstens 50 % oder von höchstens 25 % der Fläche der entsprechenden Kontaktstelle. Es ist dabei möglich, dass die n-Seite in diesem dotierten Bereich zu einer hohen Querleitfähigkeit dotiert ist. Alternativ oder zusätzlich kann in diesem Bereich, in Draufsicht gesehen, eine Strahlungserzeugung in der aktiven Schicht vermindert oder unterdrückt sein. Durch diesen dotierten Bereich kann auch ein Kontaktwiderstand zu der metallischen, elektrischen Kontaktstelle reduziert sein.

Darüber hinaus wird ein optoelektronischer Halbleiterchip angegeben. Der optoelektronische Halbleiterchip ist bevorzugt mit einem Verfahren hergestellt, wie in Verbindung mit einer oder mehrerer der oben genannten Ausführungsformen beschrieben. Merkmale des Halbleiterchips sind daher auch für das Verfahren offenbart und umgekehrt.

In mindestens einer Ausführungsform weist der optoelektronische Halbleiterchip einen Träger auf sowie eine auf dem Träger angebrachte Halbleiterschichtenfolge. Die Halbleiterschichtenfolge umfasst eine n-Seite, eine p-Seite und eine zu einer Strahlungserzeugung vorgesehene aktive Schicht. Die aktive Schicht befindet sich zwischen der p-Seite und der n-Seite. Ein Dotierstoffprofil eines n-Dotierstoffs weist innerhalb der n-Seite ein globales Maximum auf. Das Dotierstoffprofil zeigt einen stetigen Verlauf auf, zumindest hinsichtlich eines n-Dotierstoffs und innerhalb der n-Seite.

Nachfolgend wird ein hier beschriebenes Verfahren sowie ein hier beschriebener optoelektronischer Halbleiterchip unter Bezugnahme auf die Zeichnung anhand von Ausführungsbeispielen näher erläutert. Gleiche Bezugszeichen geben dabei gleiche Elemente in den einzelnen Figuren an. Es sind dabei jedoch keine maßstäblichen Bezüge dargestellt, vielmehr können einzelne Elemente zum besseren Verständnis übertrieben groß dargestellt sein.

Es zeigen:

Figur 1 eine schematische Darstellung eines Ausführungsbeispiels eines hier beschriebenen Verfahrens zur Erzeugung eines hier beschriebenen optoelektronischen Halbleiterchips, und

Figuren 2 bis 5 schematische Schnittdarstellungen von Ausführungsbeispielen von hier beschriebenen optoelektronischen Halbleiterchips.

In Figur 1 ist in schematischen Schnittdarstellungen ein Verfahren zur Herstellung eines optoelektronischen Halbleiterchips 1 illustriert. Gemäß Figur 1A wird ein Aufwachssubstrat 2 mit einer Aufwachsfläche 20 bereitgestellt. Bei dem Aufwachssubstrat 2 handelt es sich beispielsweise um ein Saphirsubstrat.

Gemäß Figur 1B wird auf die Aufwachsfläche 20 eine Halbleiterschichtenfolge 3 insbesondere epitaktisch aufgebracht. Die Halbleiterschichtenfolge 3 weist eine n-Seite 31, eine aktive Schicht 32 sowie eine p-Seite 33 auf. Die aktive Schicht 32 befindet sich zwischen der n-Seite 31

und der p-Seite 33. Die n-Seite 31 ist dem Aufwachssubstrat 2 am nächsten gelegen und die p-Seite 33 ist am weitesten von dem Aufwachssubstrat 2 entfernt. Die genannten Schichten 31, 32, 33 folgen bevorzugt unmittelbar in der angegebenen Reihenfolge aufeinander.

Die n-Seite 31 sowie die p-Seite 33 können jeweils durch mehrere Teilschichten gebildet sein. Insbesondere kann die n-Seite 31 nicht gezeichnete Pufferschichten, Anwachsschichten, Maskierungsschichten und/oder Zwischenschichten aufweisen, die sich in ihrer Materialzusammensetzung voneinander unterscheiden können. Die Halbleiterschichtenfolge 3 basiert bevorzugt auf AlInGaN und ist zur Erzeugung von beispielsweise blauem Licht eingerichtet.

Optional wird an einer dem Aufwachssubstrat 2 abgewandten Seite der p-Seite 33 gemäß Figur 1B eine Abdeckschicht 4 erzeugt, etwa durch epitaktisches Wachsen oder durch Sputtern. Eine Dicke der Abdeckschicht 4 liegt beispielsweise bei mindestens 20 nm oder bei mindestens 25 nm und/oder bei höchstens 500 nm oder bei höchstens 250 nm. Die Abdeckschicht 4 ist bevorzugt aus einem für atomaren oder gasförmigen Stickstoff undurchlässigen oder nur schwer durchlässigen Material geformt.

Bei der n-Seite 31 handelt es sich beim Verfahrensschritt gemäß Figur 1B bevorzugt um eine undotierte oder im Wesentlichen undotierte Schicht oder Teilschichtenfolge.

Im Verfahrensschritt, wie in Figur 1C illustriert, wird die n-Seite 31 mittels Ionenimplantation durch einen Ionenstrahl I durch die aktive Schicht 32 hindurch dotiert. Der Ionenstrahl I ist schräg zu der Aufwachsfläche 20 orientiert.

Anders als dargestellt ist es möglich, dass mehrere Ionenstrahlen mit unterschiedlichen Bestandteilen wie Silizium, Germanium und/oder Stickstoff Verwendung finden.

In Figur 1C ist ferner schematisch ein Dotierstoffprofil P einer Dotierstoffkonzentration c in Richtung senkrecht zu der Aufwachsfläche 20 illustriert. Das Dotierstoffprofil P ist ähnlich einer Glockenkurve oder einer verzogenen Glockenkurve geformt und weist ein Maximum M innerhalb der n-Seite 31 auf. Das Dotierstoffprofil P weist bevorzugt einen stetigen, glatten Verlauf auf. Bei dem Dotierstoffprofil P kann es sich um eine differenzierbare Kurve handeln.

Es ist möglich, dass eine Dotierstoffkonzentration an einer Grenzfläche zwischen dem Aufwachssubstrat 2 und der Halbleiterschichtenfolge 3 einen Wert größer als 0 aufweist. Insbesondere können die Ionen aus dem Ionenstrahl I bis in das Aufwachssubstrat 2 hinein dringen. Die aktive Schicht 32 ist bevorzugt frei oder im Wesentlichen frei von Ionen aus dem Ionenstrahl I. Um dies zu erreichen sind die optionale Abdeckschicht 4 sowie die aktive Schicht 32 und die p-Seite 33 bevorzugt möglichst dünn gestaltet.

Anders als in Figur 1B dargestellt ist es möglich, dass die Abdeckschicht 4 erst nach dem Schritt gemäß Figur 1C, also nach der Ionenimplantation, auf die Halbleiterschichtenfolge 3 aufgebracht wird.

In Figur 1D ist ein thermisches Ausheilen, englisch annealing, schematisch illustriert. Durch eine erhöhte Temperatur können durch den Ionenstrahl I erzeugte Gitterschäden in der Halbleiterschichtenfolge 3 zumindest zum Teil ausheilen.

Durch das thermische Ausheilen ist es möglich, dass das Dotierstoffprofil P' sich gegenüber dem in Figur 1C unmittelbar nach dem Dotieren dargestellten Dotierstoffprofil P verbreitert. Bevorzugt jedoch erfolgt durch das thermische Ausheilen keine oder keine signifikante Änderung des Dotierstoffprofils P.

Optional kann die Abdeckschicht 4 nach dem thermischen Ausheilen teilweise oder vollständig entfernt werden.

Weitere Verfahrensschritte zur Herstellung des Halbleiterchips 1 wie ein Vereinzeln, ein Anbringen elektrisch leitfähiger Schichten, ein Anbringen von elektrischen Kontaktierungen, ein Anbringen von Passivierungsschichten und/oder das Erzeugen von Lichtauskoppelstrukturen sind zur Vereinfachung der Darstellung in Figur 1 nicht gezeigt.

Ein weiteres Ausführungsbeispiel des Halbleiterchips 1 ist in Verbindung mit Figur 2 illustriert. Die n-Seite 31 ist durch bereichsweises Entfernen der aktiven Schicht 32 sowie der p-Seite 33 stellenweise freigelegt. Auf dem freigelegten Bereich der n-Seite 31 ist eine elektrische Kontaktstelle 5b in Form einer Metallisierung aufgebracht. Die Kontaktstelle 5b befindet sich beispielsweise an einer Ecke des Halbleiterchips 1, in Draufsicht gesehen.

Optional ist an der p-Seite 33 eine Stromaufweitungsschicht 6 angebracht. Die Stromaufweitungsschicht 6 ist beispielsweise aus einem transparenten, leitfähigen Oxid wie ITO gebildet. Optional ist es möglich, dass die in Verbindung mit Figur 1 gezeigte Abdeckschicht 4 und die Stromaufweitungsschicht 6

durch dieselbe Schicht gebildet sind. An der Stromaufweitungsschicht 6 befindet sich bevorzugt an einer dem Aufwachssubstrat 2 abgewandten Seite eine weitere elektrische Kontaktstelle 5a, beispielsweise in Form eines Bondpads.

Beim Halbleiterchip 1, wie in Figur 2 dargestellt, ist das Aufwachssubstrat 2 an der Halbleiterschichtenfolge 3 verblieben. An der Halbleiterschichtenfolge 3 und/oder an dem Aufwachssubstrat 2 können nicht dargestellte Lichtauskoppelstrukturen geformt sein. Es ist optional möglich, dass sich an einer der Halbleiterschichtenfolge 3 abgewandten Seite des Aufwachssubstrats 2 ein Spiegel 7, beispielsweise mit oder aus Silber oder Aluminium, befindet.

Bei dem Halbleiterchip 1, wie in Figur 3 dargestellt, handelt es sich um einen so genannten Flip-Chip. Der Halbleiterchip 1, wie in Figur 3 gezeigt, ist bevorzugt zu einer Oberflächenmontage eingerichtet. Die Stromaufweitungsschicht 6 ist insbesondere auch als Spiegel 7 ausgeführt und kann somit reflektierend wirken. Eine Strahlungsauskopplung aus dem Halbleiterchip 1 heraus erfolgt dann bevorzugt durch das Aufwachssubstrat 2 hindurch, das an der Halbleiterschichtenfolge 3 verblieben ist.

Ein weiteres Ausführungsbeispiel des Halbleiterchips 1 ist in Figur 4 illustriert. Bei diesem Halbleiterchip 1 ist das Aufwachssubstrat von der n-Seite 31 entfernt und an der p-Seite 33 ist ein Träger 8 angebracht. Der Träger 8 ist beispielsweise aus einer Keramik wie Aluminiumnitrid oder Aluminiumoxid oder aus einem Metall wie Molybdän oder aus einem Halbleiter wie Germanium oder Silizium geformt. Es kann der Träger 8 nicht dargestellte elektrische Kontakte oder

elektrische Durchkontaktierungen zu einer elektrischen Verschaltung und Kontaktierung des Halbleiterchips 1 aufweisen.

An der p-Seite 33 befindet sich die elektrische Kontaktstelle 5a, die die p-Seite 33 im Wesentlichen ganzflächig bedecken kann. In Richtung weg von der p-Seite 33 befindet sich die zweite Kontaktstelle 5b, die über eine Durchkontaktierung 55 hinweg in die n-Seite 31 durch die aktive Schicht 32 hindurch reicht. Die Durchkontaktierung 55 ist beispielsweise durch ein Metall gebildet und weist eine Kontaktfläche 50 zu einem Material der n-Seite 31 auf. An einer dem Träger 8 abgewandten Fläche der n-Seite 31 ist optional eine Lichtauskoppelstruktur erzeugt.

Es ist möglich, dass die elektrischen Kontaktstellen 5a, 5b auch als Spiegel 7 gestaltet sind. Anders als dargestellt kann die aktive Schicht 32 von einer Vielzahl von Durchkontaktierungen 55 durchdrungen sein.

Durch die Ionenimplantation nach dem epitaktischen Erzeugen der Halbleiterschichtenfolge 3 ist es möglich, dass die n-Seite 31 eine hohe elektrische Querleitfähigkeit aufweist und dass ein Kontaktwiderstand zu den Kontaktstellen 5b reduziert ist. Hierdurch ist eine effizientere und auch gleichmäßigere Bestromung der aktiven Schicht 32 realisierbar. Die Kontaktfläche 50 und/oder die Kontaktstelle 5b können sich in oder nahe an einem Maximum des Dotierstoffprofils befinden, vergleiche die Figuren 1C und 1D.

Beim Ausführungsbeispiel, wie in Figur 5 gezeigt, ist nur ein Teilbereich der n-Seite 31 mittels Ionenimplantation n-dotiert. In Figur 5 ist dieser Teilbereich durch eine

Schraffur gekennzeichnet. Es liegt dieser Teilbereich, in Draufsicht gesehen, deckungsgleich unter der n-Kontaktstelle 5. Dieser Teilbereich berührt die n-Kontaktstelle 5 bevorzugt. Diese Dotierung mittels Ionenimplantation in dem Teilbereich wird erzeugt, bevor der Träger 8 an die Halbleiterschichtenfolge 3 angebracht und bevor das Aufwachssubstrat, in Figur 5 nicht gezeichnet, entfernt wird.

Abweichend von der Darstellung in Figur 5 ist es möglich, dass dieser Teilbereich sich nicht unter die gesamte n-Kontaktstelle 5 erstreckt oder dass dieser Teilbereich die n-Kontaktstelle 5 lateral überragt. Erstreckt sich die in Figur 5 nicht gezeichnete p-Kontaktstelle nicht auf die gesamte Halbleiterschichtenfolge 3, so kann entsprechendes hinsichtlich der Dotierung mittels Ionenimplantation alternativ oder zusätzlich für die p-Kontaktstelle gelten.

In der n-Seite 31 ist bevorzugt eine Aufrauung zur Verbesserung einer Lichtauskoppelleffizienz geformt. Optional ist die Aufrauung von der Abdeckschicht 4 und/oder der Stromaufweitungsschicht 6 bedeckt, wobei diese Schicht 4, 6 der Aufrauung nachgeformt sein kann oder, anders als gezeichnet, planarisierend und die Aufrauung glättend ausgebildet sein kann. Die Kontaktstelle 5 kann die n-Seite 31 berühren und die Schicht 4, 6 vollständig durchdringen.

Bei dem Halbleiterchip 1, wie in Figur 5 illustriert, ist das Aufwachssubstrat entfernt und durch den Träger 8 ersetzt, der sich an der p-Seite 33 befindet. Zwischen dem Träger 8 und der Halbleiterschichtenfolge 3 befindet sich optional der Spiegel 7. Ebenso kann das Aufwachssubstrat aber auch an der Halbleiterschichtenfolge 3 verbleiben, analog zu den Figuren 1 bis 3.

Eine solche Dotierung, die auf einen Teilbereich bevorzugt deckungsgleich mit der elektrischen Kontaktstelle 5, 5a, 5b, 50 beschränkt ist, kann auch in den Figuren 2, 3 und 4 Verwendung finden. Hierdurch ist insbesondere ein reduzierter Kontaktwiderstand zwischen der Halbleiterschichtenfolge 3 und der Kontaktstelle 5, 5a, 5b, 50 erzielbar. Bei solchen dotierten Teilbereichen, insbesondere im Zusammenhang mit den Figuren 2 bis 4, wird ein eventuell durch die Ionenimplantation beeinträchtigtes Gebiet der aktiven Schicht 32 vor dem Aufbringen der n-Kontaktstelle 5b, 50 entfernt, sodass ein Ausheilen nach der Ionenimplantation entfallen kann.

In den Figuren 1 bis 5 wurde die nachträgliche Dotierung jeweils in der n-Seite 31 erzeugt. Alternativ oder zusätzlich hierzu ist es auch möglich, dass die nachträgliche Dotierung in der p-Seite 33 erfolgt, gegebenenfalls durch die aktive Schicht 32 hindurch.

Die hier beschriebene Erfindung ist nicht durch die Beschreibung anhand der Ausführungsbeispiele beschränkt. Vielmehr umfasst die Erfindung jedes neue Merkmal sowie jede Kombination von Merkmalen, was insbesondere jede Kombination von Merkmalen in den Patentansprüchen beinhaltet, auch wenn dieses Merkmal oder diese Kombination selbst nicht explizit in den Patentansprüchen oder Ausführungsbeispielen angegeben ist.

Diese Patentanmeldung beansprucht die Priorität der deutschen Patentanmeldung 10 2012 109 590.6, deren Offenbarungsgehalt hiermit durch Rückbezug aufgenommen wird.

Patentansprüche

1. Verfahren zur Herstellung eines optoelektronischen Halbleiterchips (1) mit den Schritten:
 - Bereitstellen eines Aufwachssubstrates (2),
 - Erzeugen einer Halbleiterschichtenfolge (3) auf dem Aufwachssubstrat (2), wobei die Halbleiterschichtenfolge (3) eine n-Seite (31), eine p-Seite (33) und eine zu einer Strahlungserzeugung vorgesehene aktive Schicht (32) aufweist und die aktive Schicht (32) zwischen der p-Seite (33) und der n-Seite (31) angeordnet ist, und
 - Dotieren der n-Seite (31) oder der p-Seite (33) durch die aktive Schicht (32) hindurch mittels Ionenimplantation.
2. Verfahren nach dem vorhergehenden Anspruch, bei dem sich die n-Seite (31) dem Aufwachssubstrat (2) am nächsten befindet und die n-Seite (31) mittels Ionenimplantation dotiert wird, wobei die Halbleiterschichtenfolge (2) vor dem Dotieren der n-Seite (31) vollständig erzeugt wird und ein Dotierstoffprofil (P) eines n-Dotierstoffs innerhalb der n-Seite (31) ein globales Maximum (M) aufweist und einen stetigen Verlauf aufzeigt.
3. Verfahren nach einem der vorhergehenden Ansprüche, bei dem das Dotieren der n-Seite (31) mit Silizium und/oder Germanium erfolgt.
4. Verfahren nach dem vorhergehenden Anspruch, bei dem zusätzlich Stickstoff implantiert wird.

5. Verfahren nach dem vorhergehenden Anspruch, bei dem der Stickstoff teilweise bis in das Aufwachssubstrat (2) hinein implantiert wird.
6. Verfahren nach einem der vorhergehenden Ansprüche, bei dem das Dotieren der n-Seite (31) mit einer Energie zwischen einschließlich 250 keV und 1,3 MeV und bei einer Temperatur zwischen einschließlich 450 °C und 750 °C erfolgt.
7. Verfahren nach einem der vorhergehenden Ansprüche, bei dem, vor dem Dotieren mittels Ionenimplantation, eine n-Dotierstoffkonzentration der n-Seite (31) höchstens $5 \times 10^{18} \text{ cm}^{-3}$ beträgt, wobei nach dem Dotieren mittels Ionenimplantation die n-Dotierstoffkonzentration der n-Seite (31) mindestens $5 \times 10^{19} \text{ cm}^{-3}$ beträgt.
8. Verfahren nach einem der vorhergehenden Ansprüche, wobei dem Dotieren der n-Seite (31) ein thermisches Ausheilen nachfolgt.
9. Verfahren nach dem vorhergehenden Anspruch, bei dem das Ausheilen bei einer Temperatur zwischen einschließlich 850 °C und 1250 °C für eine Dauer zwischen einschließlich 3 min und 20 min erfolgt, wobei vor dem Ausheilen eine Abdeckschicht (4) aus Aluminiumnitrid, Siliziumnitrid oder AlGaIn auf die Halbleiterschichtenfolge (3) aufgebracht wird.
10. Verfahren nach einem der vorhergehenden Ansprüche, bei dem die Halbleiterschichtenfolge (2) auf AlInGaIn basiert, wobei eine Dicke der p-Seite (33) zwischen

einschließlich 0,2 μm und 1,2 μm liegt, die aktive Schicht (32) eine Dicke zwischen einschließlich 2,5 nm und 50 nm aufweist und eine Dicke der n-Seite (31) zwischen einschließlich 1,5 μm und 6,5 μm beträgt.

11. Verfahren nach einem der vorhergehenden Ansprüche, bei dem das Aufwachssubstrat (2) ein Saphirsubstrat ist, wobei das Dotieren der n-Seite (31) mittels Ionenimplantation unter einem Winkel zwischen einschließlich 5° und 12° erfolgt, bezogen auf ein Lot zu einer Aufwachsfläche (20) des Aufwachssubstrats (2).
12. Verfahren nach einem der vorhergehenden Ansprüche, bei dem das Dotieren der n-Seite (31) mittels Ionenimplantation mit einer Dosis zwischen einschließlich $4 \times 10^{15} \text{ cm}^{-2}$ und $8 \times 10^{16} \text{ cm}^{-2}$ erfolgt.
13. Verfahren nach einem der vorhergehenden Ansprüche, bei dem die n-Seite (31) durch Entfernen der aktiven Schicht (32) und der p-Seite (33) stellenweise freigelegt wird, wobei zumindest auf Teilbereiche dieser freigelegten Stellen der n-Seite (31) eine elektrische Kontaktstelle (5) in Form wenigstens einer Metallisierung erzeugt wird.
14. Verfahren nach einem der vorhergehenden Ansprüche, bei dem das Dotieren der n-Seite (31) oder der p-Seite (33) durch die aktive Schicht (32) hindurch mittels Ionenimplantation auf einen von einer elektrischen Kontaktstelle (5) überdeckten Teilbereich der n-Seite (31) und/oder der p-Seite (33) beschränkt ist, in Draufsicht gesehen und mit einer Toleranz von höchstens

50 % der Fläche der Kontaktstelle (5),
wobei der Teilbereich zu einer Verringerung eines
Kontaktwiderstandes zwischen der
Halbleiterschichtenfolge (3) und der Kontaktstelle (5)
eingerrichtet ist.

15. Optoelektronischer Halbleiterchip (1) mit
- einem Träger (2, 8),
 - einer auf dem Träger (2, 8) angebrachten
Halbleiterschichtenfolge (3) mit einer n-Seite (31),
einer p-Seite (33) und einer zu einer
Strahlungserzeugung vorgesehenen aktiven Schicht (32)
zwischen der p-Seite (33) und der n-Seite (31),
wobei ein Dotierstoffprofil (P) eines n-Dotierstoffs
innerhalb der n-Seite (31) ein globales Maximum (M)
aufweist und einen stetigen Verlauf aufzeigt.

FIG 1A

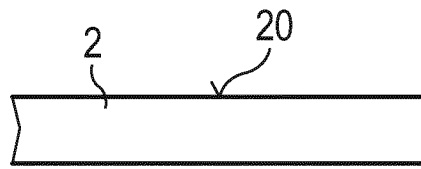


FIG 1B

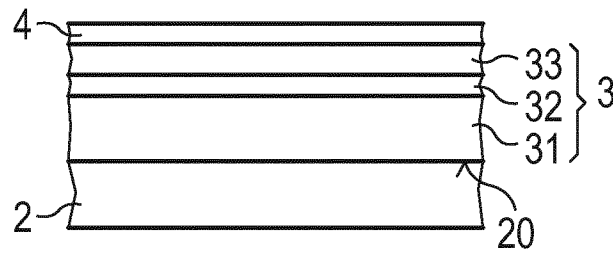


FIG 1C

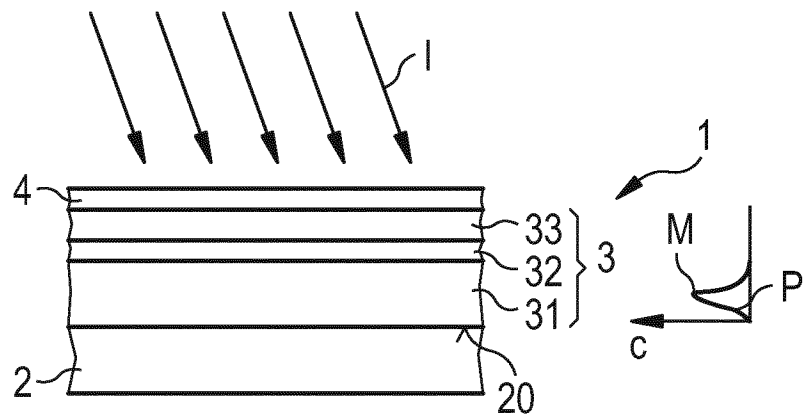


FIG 1D

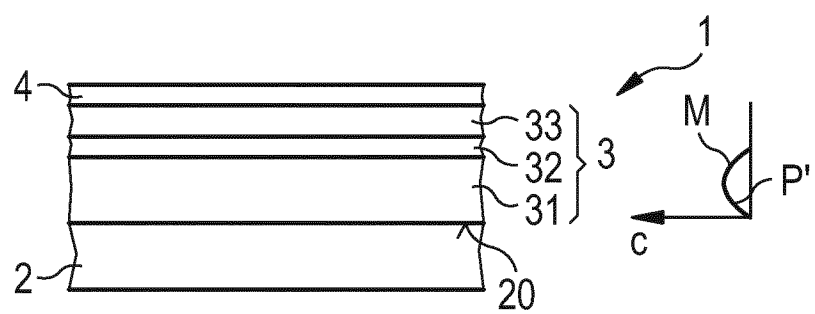


FIG 2

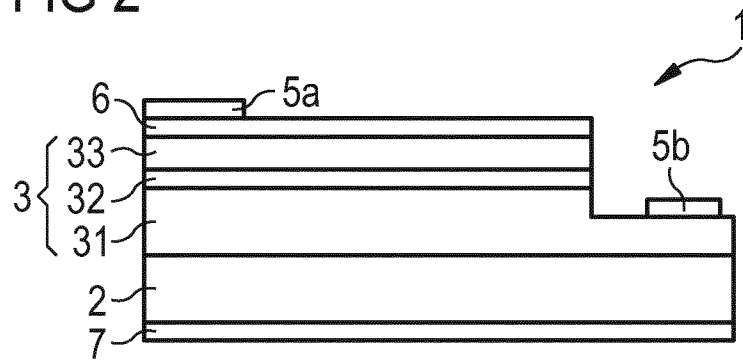


FIG 3



FIG 4

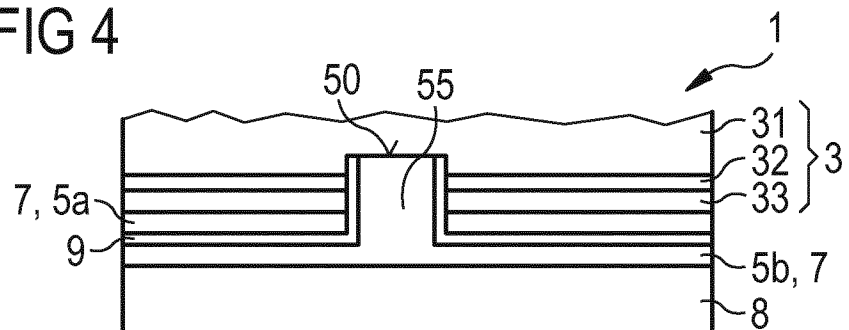
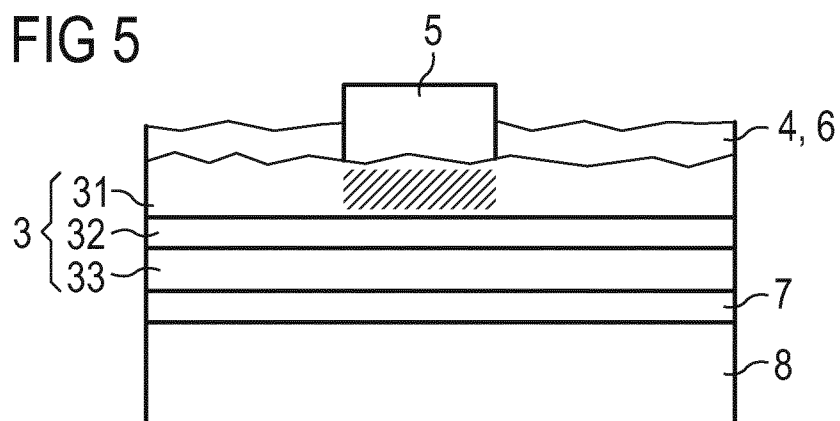


FIG 5



INTERNATIONAL SEARCH REPORT

International application No
PCT/EP2013/070941

A. CLASSIFICATION OF SUBJECT MATTER

INV. H01L33/00

ADD. H01L33/30 H01L33/32 H01L21/265

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

EPO-Internal, WPI Data

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2010/155746 A1 (IBBETSON JAMES [US] ET AL) 24 June 2010 (2010-06-24)	1
A	abstract; figure 15 paragraph [0050] paragraphs [0077] - [0081]	2-14
X	PEARTON S J ET AL: "GaN: Processing, defects, and devices", JOURNAL OF APPLIED PHYSICS, AMERICAN INSTITUTE OF PHYSICS. NEW YORK, US, vol. 86, no. 1, 1 July 1999 (1999-07-01), pages 1-78, XP012047854, ISSN: 0021-8979, DOI: 10.1063/1.371145	15
A	abstract; figures 24,112-114 Kapitel IV, Abschnitte C, D und E ----- -/-	1-14



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents :

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

4 November 2013

Date of mailing of the international search report

22/11/2013

Name and mailing address of the ISA/

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040,
Fax: (+31-70) 340-3016

Authorized officer

Heising, Stephan

INTERNATIONAL SEARCH REPORT

International application No

PCT/EP2013/070941

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	PARIKH N ET AL: "Ion implantation of epitaxial GaN films: damage, doping and activation", NUCLEAR INSTRUMENTS & METHODS IN PHYSICS RESEARCH, SECTION - B: BEAM INTERACTIONS WITH MATERIALS AND ATOMS, ELSEVIER, AMSTERDAM, NL, vol. 127-128, 2 May 1997 (1997-05-02), pages 463-466, XP027296340, ISSN: 0168-583X [retrieved on 1997-05-02] the whole document -----	1-15
A	KAZUKI NOMOTO ET AL: "Remarkable Reduction of On-Resistance by Ion Implantation in GaN/AlGaIn/GaN HEMTs With Low Gate Leakage Current", IEEE ELECTRON DEVICE LETTERS, IEEE SERVICE CENTER, NEW YORK, NY, US, vol. 28, no. 11, 1 November 2007 (2007-11-01), pages 939-941, XP011196029, ISSN: 0741-3106, DOI: 10.1109/LED.2007.906930 -----	1-15
A	KUCHEYEV S O ET AL: "Ion implantation into GaN", MATERIALS SCIENCE AND ENGINEERING R: REPORTS, ELSEVIER SEQUOIA S.A., LAUSANNE, CH, vol. 33, no. 2-3, 15 May 2001 (2001-05-15), pages 51-108, XP004233032, ISSN: 0927-796X, DOI: 10.1016/S0927-796X(01)00028-6 cited in the application -----	1-15

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/EP2013/070941

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 2010155746 A1	24-06-2010	CN 101859758 A	13-10-2010
		EP 2239776 A2	13-10-2010
		KR 20100111255 A	14-10-2010
		US 2010155746 A1	24-06-2010
		US 2011278608 A1	17-11-2011

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES INV. H01L33/00 ADD. H01L33/30 H01L33/32 H01L21/265		
Nach der Internationalen Patentklassifikation (IPC) oder nach der nationalen Klassifikation und der IPC		
B. RECHERCHIERTE GEBIETE Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole) H01L		
Recherchierte, aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen		
Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe) EPO-Internal, WPI Data		
C. ALS WESENTLICH ANGESEHENE UNTERLAGEN		
Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	US 2010/155746 A1 (IBBETSON JAMES [US] ET AL) 24. Juni 2010 (2010-06-24)	1
A	Zusammenfassung; Abbildung 15 Absatz [0050] Absätze [0077] - [0081]	2-14
X	PEARTON S J ET AL: "GaN: Processing, defects, and devices", JOURNAL OF APPLIED PHYSICS, AMERICAN INSTITUTE OF PHYSICS, NEW YORK, US, Bd. 86, Nr. 1, 1. Juli 1999 (1999-07-01), Seiten 1-78, XP012047854, ISSN: 0021-8979, DOI: 10.1063/1.371145	15
A	Zusammenfassung; Abbildungen 24, 112-114 Kapitel IV, Abschnitte C, D und E ----- -/-	1-14
☒ Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen ☒ Siehe Anhang Patentfamilie		
* Besondere Kategorien von angegebenen Veröffentlichungen : "A" Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist "E" frühere Anmeldung oder Patent, die bzw. das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist "L" Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt) "O" Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht "P" Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist "T" Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist "X" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden "Y" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist "&" Veröffentlichung, die Mitglied derselben Patentfamilie ist		
Datum des Abschlusses der internationalen Recherche		Absendedatum des internationalen Recherchenberichts
4. November 2013		22/11/2013
Name und Postanschrift der Internationalen Recherchenbehörde Europäisches Patentamt, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016		Bevollmächtigter Bediensteter Heising, Stephan

C. (Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN		
Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
A	PARIKH N ET AL: "Ion implantation of epitaxial GaN films: damage, doping and activation", NUCLEAR INSTRUMENTS & METHODS IN PHYSICS RESEARCH, SECTION - B: BEAM INTERACTIONS WITH MATERIALS AND ATOMS, ELSEVIER, AMSTERDAM, NL, Bd. 127-128, 2. Mai 1997 (1997-05-02), Seiten 463-466, XP027296340, ISSN: 0168-583X [gefunden am 1997-05-02] das ganze Dokument -----	1-15
A	KAZUKI NOMOTO ET AL: "Remarkable Reduction of On-Resistance by Ion Implantation in GaN/AlGaIn/GaN HEMTs With Low Gate Leakage Current", IEEE ELECTRON DEVICE LETTERS, IEEE SERVICE CENTER, NEW YORK, NY, US, Bd. 28, Nr. 11, 1. November 2007 (2007-11-01), Seiten 939-941, XP011196029, ISSN: 0741-3106, DOI: 10.1109/LED.2007.906930 -----	1-15
A	KUCHEYEV S O ET AL: "Ion implantation into GaN", MATERIALS SCIENCE AND ENGINEERING R: REPORTS, ELSEVIER SEQUOIA S.A., LAUSANNE, CH, Bd. 33, Nr. 2-3, 15. Mai 2001 (2001-05-15), Seiten 51-108, XP004233032, ISSN: 0927-796X, DOI: 10.1016/S0927-796X(01)00028-6 in der Anmeldung erwähnt -----	1-15

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen

PCT/EP2013/070941

Im Recherchenbericht angeführtes Patentdokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
US 2010155746 A1	24-06-2010	CN 101859758 A	13-10-2010
		EP 2239776 A2	13-10-2010
		KR 20100111255 A	14-10-2010
		US 2010155746 A1	24-06-2010
		US 2011278608 A1	17-11-2011
