

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4789973号
(P4789973)

(45) 発行日 平成23年10月12日 (2011.10.12)

(24) 登録日 平成23年7月29日 (2011.7.29)

(51) Int. Cl.	F I
HO 1 L 21/338 (2006.01)	HO 1 L 29/80 H
HO 1 L 29/778 (2006.01)	HO 1 L 29/78 3 O 1 B
HO 1 L 29/812 (2006.01)	HO 1 L 29/78 3 O 1 G
HO 1 L 29/78 (2006.01)	HO 1 L 21/28 3 O 1 B
HO 1 L 21/28 (2006.01)	HO 1 L 29/58 G
請求項の数 7 (全 11 頁) 最終頁に続く	

(21) 出願番号	特願2008-134381 (P2008-134381)	(73) 特許権者	000005049
(22) 出願日	平成20年5月22日 (2008.5.22)		シャープ株式会社
(65) 公開番号	特開2009-283690 (P2009-283690A)		大阪府大阪市阿倍野区長池町2番22号
(43) 公開日	平成21年12月3日 (2009.12.3)	(74) 代理人	100065248
審査請求日	平成21年2月4日 (2009.2.4)		弁理士 野河 信太郎
前置審査		(72) 発明者	寺口 信明
			大阪府大阪市阿倍野区長池町2番22号
			シャープ株式会社内
		審査官	原 和秀
			最終頁に続く

(54) 【発明の名称】 MOS電界効果トランジスタおよびその製造方法

(57) 【特許請求の範囲】

【請求項1】

窒素面を有するストレス緩和されたA1N層、前記A1N層の窒素面上に形成された $Al_xGa_{1-x}N$ ($0 < x < 1$) 層、前記 $Al_xGa_{1-x}N$ 層上に形成されたオーミック電極からなるソース/ドレイン電極、前記ソース/ドレイン電極間に形成された酸化領域、および前記酸化領域上に形成されたゲート電極を有し、前記酸化領域が、前記ソース/ドレイン電極間のゲート長方向の一部または全部の前記 $Al_xGa_{1-x}N$ 層を前記A1N層の一部に到達するまで酸化して形成された酸化物層、または前記ソース/ドレイン電極間のゲート長方向の一部または全部の前記 $Al_xGa_{1-x}N$ 層を除去した後に前記A1N層の一部を酸化して形成された酸化物層であることを特徴とするMOS電界効果トランジスタ。

10

【請求項2】

前記窒素面を有するストレス緩和されたA1N層が、
HVPE法もしくはMOCVD法により基板上に結晶成長させた厚さ $0.5 \sim 10 \mu m$ の窒素面を有するA1N層、
HVPE法もしくはMOCVD法により基板上に結晶成長させた厚さ $0.5 \sim 10 \mu m$ のアルミニウム面を有するA1N膜を支持基板に貼付した後、前記基板を剥離し、露出した窒素面をCMPにより平坦化した窒素面を有するA1N層、または
HVPE法もしくはMOCVD法により基板上に結晶成長させた厚さ $200 \sim 500 \mu m$ のアルミニウム面を有するA1N膜を基板から剥離し、露出した窒素面をCMPにより平坦化した窒素面を有するA1N層

20

である請求項 1 に記載の MOS 電界効果トランジスタ。

【請求項 3】

前記基板が、SiC 基板またはサファイア基板である請求項 2 に記載の MOS 電界効果トランジスタ。

【請求項 4】

請求項 1 に記載の MOS 電界効果トランジスタの製造方法であって、

(a) 窒素面を有するストレス緩和された AlN 層の窒素面上に $Al_xGa_{1-x}N$ ($0 < x < 1$) 層を形成する工程、

(b) 前記 $Al_xGa_{1-x}N$ 層上にオーミック電極からなるソース/ドレイン電極を形成する工程、

(c) 前記ソース/ドレイン電極間に酸化領域を形成する工程、および

(d) 前記酸化領域上にゲート電極を形成する工程

を含み、

前記ソース/ドレイン電極間のゲート長方向の一部または全部の前記 $Al_xGa_{1-x}N$ 層を前記 AlN 層の一部に到達するまで酸化して、または前記ソース/ドレイン電極間のゲート長方向の一部または全部の前記 $Al_xGa_{1-x}N$ 層を除去した後に前記 AlN 層の一部を酸化して、前記酸化領域を形成することを特徴とする MOS 電界効果トランジスタの製造方法。

【請求項 5】

前記酸化が、酸素雰囲気中での熱酸化、または光照射を伴う光電気化学反応により行われる請求項 4 に記載の MOS 電界効果トランジスタの製造方法。

【請求項 6】

前記光照射が、前記 $Al_xGa_{1-x}N$ 層および前記 AlN 層のバンドギャップに対応した波長よりも短波長の光を用いて行われる請求項 5 に記載の MOS 電界効果トランジスタの製造方法。

【請求項 7】

前記除去が、フッ素系ガスと塩素系ガスを用いたドライエッチングにより行われる請求項 4 ~ 6 のいずれか 1 つに記載の MOS 電界効果トランジスタの製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、窒化物系 III - V 族化合物半導体を用いたノーマリオフ型の MOS 電界効果トランジスタおよびその製造方法に関する。

【背景技術】

【0002】

従来、AlGaIn/GaN ヘテロ構造を用いてノーマリオフ型のトランジスタを作製するためには、一般的にゲートリセスが用いられてきた。

また、ノーマリオフ型のトランジスタをより簡単に実現する方法として、MOS トランジスタが提案されている（特許文献 1 および非特許文献 1 参照）。

【0003】

【特許文献 1】特開 2000 - 277724 号公報

【非特許文献 1】T.P.Chow 外 2 名、「Experimental Demonstration of Enhancement Mode GaN MOSFETs」、International Workshop on Nitride Semiconductors (IWN) 2006 テクニカルダイジェスト WeED1-1、p. 144

【発明の開示】

【発明が解決しようとする課題】

【0004】

AlGaIn/GaN ヘテロ構造を用いてノーマリオフ型のトランジスタを作製する 1 つの方法として、図 4 (a) に示すような、ゲート電極 [G] 下の AlGaIn 層をリセスエッチングによって薄層化して、2 次元電子ガス (2DEG) の濃度を小さくする方法があ

10

20

30

40

50

る。

しかしながら、上記の方法では、エッチングのばらつきによって再現性よくノーマリオフを実現することが難しい。

なお、図4における図記号[S]および[G]は、それぞれソース電極およびドレイン電極を示す。

【0005】

また、図4(b)に示すようなMOSトランジスタでは、GaNに対する酸化膜としてSiO₂を用いているために界面準位が多く、得られる移動度が十分な値でないという問題がある。さらに、製造においてオーミック形成のためのイオン注入という余分な工程が必要となる。

10

【0006】

そこで、本発明は、少ない工程でオーミック抵抗が小さく、界面準位が少なく、移動度が大きい窒化物系III-V族化合物半導体を用いたノーマリオフ型のMOS電界効果トランジスタおよびその製造方法を提供することを課題とする。

【課題を解決するための手段】

【0007】

かくして、本発明によれば、窒素面を有するストレス緩和されたAlN層、前記AlN層の窒素面上に形成されたAl_xGa_{1-x}N(0 < x < 1)層、前記Al_xGa_{1-x}N層上に形成されたオーミック電極からなるソース/ドレイン電極、前記ソース/ドレイン電極間に形成された酸化領域、および前記酸化領域上に形成されたゲート電極を有し、前記酸化領域が、前記ソース/ドレイン電極間のゲート長方向の一部または全部の前記Al_xGa_{1-x}N層を前記AlN層の一部に到達するまで酸化して形成された酸化物層、または前記ソース/ドレイン電極間のゲート長方向の一部または全部の前記Al_xGa_{1-x}N層を除去した後に前記AlN層の一部を酸化して形成された酸化物層であることを特徴とするMOS電界効果トランジスタが提供される。

20

【0008】

また、本発明によれば、上記のMOS電界効果トランジスタの製造方法であって、

(a) 窒素面を有するストレス緩和されたAlN層の窒素面上にAl_xGa_{1-x}N(0 < x < 1)層を形成する工程、

(b) 前記Al_xGa_{1-x}N層上にオーミック電極からなるソース/ドレイン電極を形成する工程、

30

(c) 前記ソース/ドレイン電極間に酸化領域を形成する工程、および

(d) 前記酸化領域上にゲート電極を形成する工程

を含み、

前記ソース/ドレイン電極間のゲート長方向の一部または全部の前記Al_xGa_{1-x}N層を前記AlN層の一部に到達するまで酸化して、または前記ソース/ドレイン電極間のゲート長方向の一部または全部の前記Al_xGa_{1-x}N層を除去した後に前記AlN層の一部を酸化して、前記酸化領域を形成することを特徴とするMOS電界効果トランジスタの製造方法が提供される。

【発明の効果】

40

【0009】

本発明によれば、少ない工程でオーミック抵抗が小さく、界面準位が少なく、移動度が大きい窒化物系III-V族化合物半導体を用いたノーマリオフ型のMOS電界効果トランジスタおよびその製造方法を提供することができる。

【発明を実施するための最良の形態】

【0010】

本発明のMOS電界効果トランジスタは、窒素面を有するストレス緩和されたAlN層、前記AlN層の窒素面上に形成されたAl_xGa_{1-x}N(0 < x < 1)層、前記Al_xGa_{1-x}N層上に形成されたオーミック電極からなるソース/ドレイン電極、前記ソース/ドレイン電極間に形成された酸化領域、および前記酸化領域上に形成されたゲート電極を

50

有することを特徴とする。

【0011】

図3を用いて本発明の効果について説明する。

通常の半導体ヘテロ結合を用いた電界効果型トランジスタ(HFET)では、図3(a)に示されるように、ストレス緩和されたガリウム面(Ga面)を有するGaN層のGa面上にAlGaN層が形成され、GaN側に2次元電子ガス(2DEG; 図中の破線)が形成される。

一方、図3(b)に示されるように、ストレス緩和されたアルミニウム面(Al面)を有するAlN層のAl面上にAlGaN層を形成した場合には、AlGaN層側に2次元正孔ガス(2DHG; 図中の一点鎖線)が形成される。

10

【0012】

しかしながら、電子をキャリアとして用いるためには2DEGが望ましく、図3(c)に示すように、ストレス緩和された窒素面(N面)を有するAlN層のN面上にAlGaN層を形成する必要がある。図中の破線は2DEGを示す。

このような状態で、図3(d)に示すように、ゲート電極となる部分のAlGaN層の一部を除去し、AlN層まで酸化することで、理想的なAl₂O₃/AlN界面を得ることが可能となり、移動度の大きな改善が得られる。

【0013】

そこで、N面を有するAlN層のN面上にAl_xGa_{1-x}N(0 < x < 1)層を形成することによりAlN/AlGaN界面のAlGaN側に2DEGが形成されるため、オーミック電極形成のためのイオン注入が不要となる。

20

【0014】

一方、Al_xGa_{1-x}N(0 < x < 1)層を除去しないで酸化した場合には、AlN層が酸化されるまでに多くの時間を要するが、それ以外の効果は上記と同じである。

【0015】

本発明のMOS電界効果トランジスタの製造方法は、

(a) 窒素面を有するストレス緩和されたAlN層の窒素面上にAl_xGa_{1-x}N(0 < x < 1)層を形成する工程、

(b) 前記Al_xGa_{1-x}N層上にオーミック電極からなるソース/ドレイン電極を形成する工程、

30

(c) 前記ソース/ドレイン電極間に酸化領域を形成する工程、および

(d) 前記酸化領域上にゲート電極を形成する工程
を含むことを特徴とする。以下、各工程について詳細に説明する。

【0016】

(a) 窒素面を有するストレス緩和されたAlN層の窒素面上にAl_xGa_{1-x}N(0 < x < 1)層を形成する工程

本発明において、窒素面を有するストレス緩和されたAlN層は、

HVPE法もしくはMOCVD法により基板上に結晶成長させた厚さ0.5 ~ 10 μmの窒素面を有するAlN層、

HVPE法もしくはMOCVD法により基板上に結晶成長させた厚さ0.5 ~ 10 μmのアルミニウム面を有するAlN膜を支持基板に貼付した後、前記基板を剥離し、露出した窒素面をCMPにより平坦化した窒素面を有するAlN層、または

40

HVPE法もしくはMOCVD法により基板上に結晶成長させた厚さ200 ~ 500 μmのアルミニウム面を有するAlN膜を基板から剥離し、露出した窒素面をCMPにより平坦化した窒素面を有するAlN層

であるのが好ましい。

【0017】

上記の基板は、特に限定されないが、例えばSiC基板やサファイア基板などが挙げられる。

上記の支持基板は、特に限定されないが、上記の基板以外に、例えば石英基板、Si基

50

板、ガラス基板などが挙げられる。

【0018】

A1N層およびA1N膜を結晶成長させる方法は、特に限定されないが、上記のようにHVPE法（ハイドライド気相成長法）およびMOCVD法が特に好ましい。

A1N層およびA1N膜の厚さは、A1N層が基板または支持基板を有する場合には、通常0.5～10μm程度であり、A1N層が基板または支持基板を有さない場合には、通常200μm以上、好ましくは200～500μmである。

これらの結晶成長条件は、適宜設定すればよい。

また、ストレス緩和のために、必要に応じて、A1N層を熱処理などに付してもよい。

【0019】

アルミニウム面を有するA1N膜を支持基板に貼付する方法は、特に限定されず、例えば、エポキシ樹脂による貼り付けが挙げられる。

また、支持基板に貼付したA1N膜から基板を剥離する方法およびA1N膜を基板から剥離する方法は、特に限定されず、例えば、レーザ照射などが挙げられる。

露出した窒素面を平坦化するCMP（化学的機械研磨）は、公知の方法であり、例えばダイヤモンド砥粒を含むスラリー（研磨剤）を用いて研磨布で研磨すればよい。

【0020】

上記のA1N層上に $Al_xGa_{1-x}N$ （ $0 < x < 1$ ）層を形成する方法は、特に限定されず、例えば、MOCVD法、HVPE法、GSMBE法（ガスソース分子線エピタキシー法）などが挙げられ、その形成条件は、適宜設定すればよい。

$Al_xGa_{1-x}N$ 層の厚さは、0.01～1μm程度である。

【0021】

(b) $Al_xGa_{1-x}N$ 層上にオーミック電極からなるソース/ドレイン電極を形成する工程

オーミック電極用金属は、オーミック特性が得られる金属であれば特に限定されず、例えば、Ti/Al/Mo/Au積層構造やTi/Al/Nb/Au積層構造などのTi/Al系；Hf/Al/Hf/Au積層構造などのHf/Al系が挙げられる。

これらのオーミック電極用金属を公知の方法により $Al_xGa_{1-x}N$ 層上に積層（デポ）し、熱処理（アニール）することによりオーミック電極からなるソース/ドレイン電極を形成することができる。

これらの形成条件は、適宜設定すればよく、材料系に応じた熱処理温度を用いてオーミック電極を形成すればよい。

それらの厚さは、Hf/Al/Hf/Au積層構造の場合、10/60/10/60nm程度であり、熱処理温度は800℃前後である。

【0022】

(c) ソース/ドレイン電極間に酸化領域を形成する工程

酸化領域は、特に限定されないが、ソース/ドレイン電極間のゲート長方向の一部または全部の $Al_xGa_{1-x}N$ 層をA1N層の一部に到達するまで酸化して形成された酸化物層、またはソース/ドレイン電極間のゲート長方向の一部または全部の $Al_xGa_{1-x}N$ 層を除去した後にA1N層の一部を酸化して形成された酸化物層であるのが好ましい。

すなわち、酸化領域は、ソース/ドレイン電極間のゲート長方向の一部または全部の $Al_xGa_{1-x}N$ 層をA1N層の一部に到達するまで酸化して、またはソース/ドレイン電極間のゲート長方向の一部または全部の $Al_xGa_{1-x}N$ 層を除去した後にA1N層の一部を酸化して、形成されるのが好ましい。

【0023】

上記の酸化は、酸素雰囲気中での熱酸化、または光照射を伴う光電気化学反応により行われるのが好ましい。

酸化においては、予め酸化させない部分をSiO₂などの絶縁膜でマスクしておけばよい。マスクの形成方法は、熱CVD法、プラズマCVD法などの公知の方法が挙げられ、それらの条件は適宜設定すればよい。

10

20

30

40

50

【 0 0 2 4 】

酸素雰囲気中での熱酸化の条件は、酸化させたい厚さや酸化速度により適宜設定すればよい。

膜を均一に酸化させたい場合には、例えば、温度を 4 0 0 以上 8 0 0 未満にすることが望ましい。

一方、酸化速度を早くさせたい場合には、例えば、温度を 8 0 0 以上 1 2 0 0 以下にすることが望ましい。

酸素雰囲気の酸素濃度は、酸化速度の選択によって設定すればよく、1 0 0 %まで可能である。

また、酸化の時間は、 $Al_xGa_{1-x}N$ 層の厚さと酸化させたい AlN 層の厚さおよび酸素分圧と熱処理温度に依存する。

10

【 0 0 2 5 】

光照射を伴う光電気化学反応による酸化は、光照射により所望の領域を選択的に酸化させることができるので好ましい。

その条件は、酸化させたい厚さや酸化速度により適宜設定すればよい。

【 0 0 2 6 】

上記の光照射は、 $Al_xGa_{1-x}N$ 層および AlN 層のバンドギャップに対応した波長よりも短波長の光を用いて行われるのが好ましい。この場合、正孔が励起されて酸化が促進される。

$Al_xGa_{1-x}N$ 層および AlN 層のバンドギャップに対応した波長は、それぞれ 3 9 0 ~ 2 0 0 nm程度および 2 0 0 nm程度であるから、光照射の光は、これらよりも 5 nm程度短波長であるのが好ましい。

20

このように $Al_xGa_{1-x}N$ 層および AlN 層に応じた波長の光を照射しながら酸化させることにより、酸化厚さの制御性がより向上する。

酸化の時間は、酸化させたい厚さと光電流密度、印加電圧などに依存するので、適宜設定すればよい。

【 0 0 2 7 】

上記の除去は、フッ素系ガスと塩素系ガスを用いたドライエッチングにより行われるのが好ましい。このようなガスとしては、例えば、 $Cl_2 + SF_6$ 混合ガス（比率 1 0 : 1）が挙げられる。

30

【 0 0 2 8 】

エッチングガスの選択により、 $Al_xGa_{1-x}N$ ($0 < x < 1$) 層と AlN 層のエッチングを選択的に行うことができ、 Ga を含まない Al_2O_3 の形成が可能となる。また、フッ素を含むことにより、 AlN 層のエッチング速度が急激に減少し、選択的なエッチングが可能となる。

【 0 0 2 9 】

(d) 酸化領域上にゲート電極を形成する工程

ゲート電極は、公知の材料を用いて公知の方法により形成することができる。

ゲート電極を構成する材料としては、 Al 、 Cu 、 Au 、 Ag 、 Ni 、 Pd 、 Pt などの金属、 Ta 、 Ti 、 W などの高融点金属およびそれらの窒化物などが挙げられ、これらの中でも Au 、 Pd 、 Pt 、 WN （タングステンの窒化物）が好ましい。

40

【 0 0 3 0 】

ゲート電極を形成する方法としては、 EB 蒸着法やスパッタ法などが挙げられ、それらの形成条件は適宜設定すればよい。

ゲート電極は、異なる材料の積層であってもよく、その厚さは、0.01 ~ 1 μm 程度である。

ゲート電極を形成する前に、予め酸化領域の GaO_x 層のみをアンモニア水 (NH_4OH) でエッチングしてもよい。このエッチングにより、再現性が向上するので好ましい。

【 実施例 】

【 0 0 3 1 】

50

本発明を実施例によりさらに具体的に説明するが、これらの実施例により本発明が限定されるものではない。

【0032】

(実施例1)

図1に示されるMOS電界効果トランジスタを作製した。

まず、MOCVD法により、基板温度1150、V/III比10000の条件で、SiC基板[1]の炭素面上に厚さ1.5μmのAlN層[2]を形成した。

引き続き、基板温度1100、V/III比2000の条件で、AlN層[2]の窒素面上に厚さ0.1μmのGaN膜[3]を形成した。

【0033】

次いで、熱CVD法により、GaN膜[3]上に厚さ1μm程度のSiO₂からなる絶縁膜(図示せず)を形成し、バッファードフッ酸により、ゲート電極[7]を形成する部分の絶縁膜を除去した。

次いで、得られたSiC基板[1]を、酸素100%雰囲気、温度900に設定した熱処理炉で2時間熱処理に付し、ゲート電極[7]を形成する部分のAlN層[2]およびGaN膜[3]を酸化させて、酸化領域[4]を形成した。

図1において図示されていないが、AlN層[2]の酸化領域[4]に接する領域(厚さ20nm程度)は酸化されている。

【0034】

次いで、フッ酸により、残りの絶縁膜を除去し、EB蒸着法によりオーミック電極用金属として、Hf/Al/Hf/Auをデポ/アニール(窒素雰囲気、800、1分間)してソース/ドレイン電極[5, 6]を形成した。

次いで、酸化領域[4]のGaO_x層のみをアンモニア水(NH₄OH)でエッチングし、EB蒸着法によりPt/Auをデポしてゲート電極[7]を形成し、図1のMOS電界効果トランジスタを得た。

【0035】

得られたMOS電界効果トランジスタのI_d-V_g特性を評価したところ、ゲート電圧+1Vでピンチオフする結果が得られ、良好なノーマリオフ特性を有することがわかった。

【0036】

(実施例2)

図2に示されるMOS電界効果トランジスタを作製した。

まず、HVPE法により、サファイア基板(図示せず)上にアルミニウム面を有する厚さ300μmのAlN層を形成した。

次いで、レーザ照射により、サファイア基板からAlN膜を剥離し、露出した窒素面をCMPにより平坦化して窒素面を有するAlN層[11]を得た。

次いで、MOCVD法により、基板温度1050、V/III比16000の条件で、AlN層[11]の窒素面上に厚さ0.2μmのAl_{0.15}Ga_{0.85}N膜[12]を形成した。

【0037】

次いで、プラズマCVD法により、Al_{0.15}Ga_{0.85}N膜[12]上に厚さ1μm程度のSiO₂からなる絶縁膜(図示せず)を形成し、バッファードフッ酸により、ゲート電極[17]を形成する部分の絶縁膜を除去した。

次いで、Cl₂+SF₆混合ガス(比率10:1)を用いたドライエッチングにより、ゲート電極[17]を形成する部分のAl_{0.15}Ga_{0.85}N膜[12]を除去した。

【0038】

次いで、He-Cdレーザを用いて波長325nm、出力10mWの光をゲート電極[17]を形成する部分のAlN層[11]に照射しながら、グリコール水溶液(酒石酸+プロピレングリコール=比率2:1+アンモニア水でpHを7に調整)の光電気化学反応(光電流密度5mW/cm²、印加電圧5V)により、ゲート電極[17]となる部分の

10

20

30

40

50

AlN層[11]の厚さ10nmを酸化させて、酸化領域[14]を形成した。

【0039】

次いで、フッ酸により、残りの絶縁膜を除去し、EB蒸着法によりオーミック電極用金属として、Ti/Al/Mo/Au(15/60/35/50nm)をデポ/アニール(窒素雰囲気、800℃、1分間)してソース/ドレイン電極[15, 16]を形成した。

次いで、スパッタ法によりWNをデポしてゲート電極[17]を形成し、図2のMOS電界効果トランジスタを得た。

【0040】

得られたMOS電界効果トランジスタの $I_d - V_g$ 特性を評価したところ、ゲート電圧+1Vでピンチオフする結果が得られ、良好なノーマリオフ特性を有することがわかった。

10

【0041】

(実施例3)

図2に示されるMOS電界効果トランジスタを作製した。

まず、HVPE法により、サファイア基板(図示せず)上にアルミニウム面を有する厚さ300μmのAlN層を形成した。

次いで、レーザ照射により、サファイア基板からAlN膜を剥離し、露出した窒素面をCMPにより平坦化して窒素面を有するAlN層[11]を得た。

次いで、MOCVD法により、基板温度1050℃、V/III比16000の条件で、AlN層[11]の窒素面上に厚さ0.2μmの $Al_{0.3}Ga_{0.7}N$ 膜[12]を形成した。

20

【0042】

次いで、プラズマCVD法により、 $Al_{0.3}Ga_{0.7}N$ 膜[12]上に厚さ1μm程度の SiO_2 からなる絶縁膜(図示せず)を形成し、バッファードフッ酸により、ゲート電極[17]を形成する部分の絶縁膜を除去した。

次いで、ハロゲンランプを用いて紫外光をゲート電極[17]となる部分の $Al_{0.3}Ga_{0.7}N$ 膜[12]に照射して、選択的に光化学エッチングした。

次いで、60℃に熱したアンモニア水を用いて、光化学エッチングにより生成した $AlGaO_x$ をAlN層[11]までエッチングした。

【0043】

30

次いで、ハロゲンランプを用いて紫外光をゲート電極[17]となる部分のAlN層[11]に照射しながら、グリコール水溶液(酒石酸+プロピレングリコール=比率2:1+アンモニア水でpHを7に調整)の光電気化学反応(光電流密度5mW/cm²、印加電圧5V)により、ゲート電極[17]となる部分のAlN層[11]の厚さ10nmを酸化させて、酸化領域[14]を形成した。

【0044】

次いで、フッ酸により、残りの絶縁膜を除去し、スパッタ法によりオーミック電極用金属として、Ti/Al/Mo/Au(15/60/35/50nm)をデポ/アニール(窒素雰囲気、800℃、1分間)してソース/ドレイン電極[15, 16]を形成した。

次いで、スパッタ法によりWNをデポしてゲート電極[17]を形成し、図2のMOS電界効果トランジスタを得た。

40

【0045】

得られたMOS電界効果トランジスタの $I_d - V_g$ 特性を評価したところ、ゲート電圧+1Vでピンチオフする結果が得られ、良好なノーマリオフ特性を有することがわかった。

【図面の簡単な説明】

【0046】

【図1】本発明のMOS電界効果トランジスタの一実施形態を示す概略断面図である(実施例1)。

【図2】本発明のMOS電界効果トランジスタの一実施形態を示す概略断面図である(実

50

施例 2 および 3)。

【図 3】本発明の MOS 電界効果トランジスタの効果を説明する概略断面図である。

【図 4】従来の MOS トランジスタを示す概略断面図である。

【符号の説明】

【 0 0 4 7 】

1 SiC 基板

2、11 AlN 層 (AlN 層)

3 GaN 膜 ($\text{Al}_x\text{Ga}_{1-x}\text{N}$ ($0 < x < 1$) 層)

4、14 酸化領域

5、15、S ソース電極

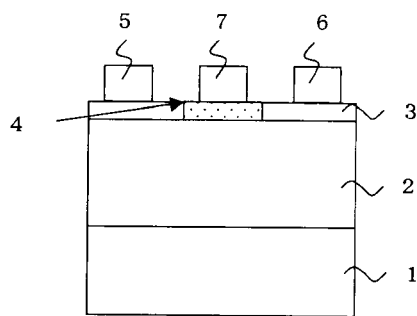
6、16、D ドレイン電極

7、17、G ゲート電極

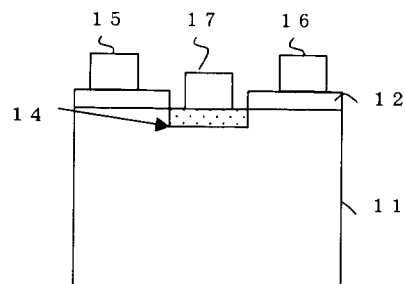
12 $\text{Al}_{0.3}\text{Ga}_{0.7}\text{N}$ 膜または $\text{Al}_{0.15}\text{Ga}_{0.85}\text{N}$ 膜 ($\text{Al}_x\text{Ga}_{1-x}\text{N}$ ($0 < x < 1$) 層)

10

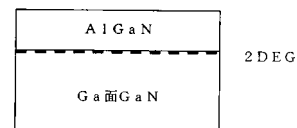
【図 1】



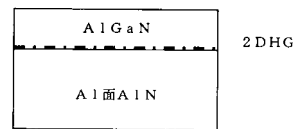
【図 2】



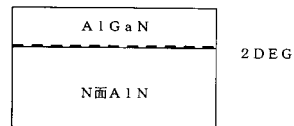
【図 3】



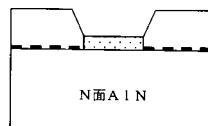
(a)



(b)

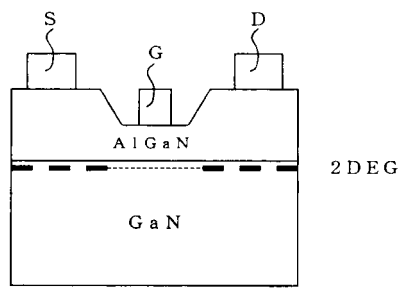


(c)

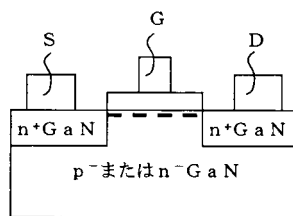


(d)

【図4】



(a)



(b)

 フロントページの続き

(51)Int.Cl. F I
H 0 1 L 29/423 (2006.01) H 0 1 L 29/50 M
H 0 1 L 29/49 (2006.01)
H 0 1 L 29/417 (2006.01)

(56)参考文献 特開 2 0 0 1 - 1 4 4 0 1 4 (J P , A)
 特開 2 0 0 6 - 0 3 2 5 5 2 (J P , A)
 特開 2 0 0 6 - 3 1 0 6 4 4 (J P , A)
 国際公開第 2 0 0 6 / 0 0 1 3 6 9 (W O , A 1)

(58)調査した分野(Int.Cl. , D B 名)
 H 0 1 L 2 1 / 3 3 8
 H 0 1 L 2 1 / 2 8
 H 0 1 L 2 9 / 4 1 7
 H 0 1 L 2 9 / 4 2 3
 H 0 1 L 2 9 / 4 9
 H 0 1 L 2 9 / 7 7 8
 H 0 1 L 2 9 / 7 8
 H 0 1 L 2 9 / 8 1 2