

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4773078号
(P4773078)

(45) 発行日 平成23年9月14日(2011.9.14)

(24) 登録日 平成23年7月1日(2011.7.1)

(51) Int. Cl.	F I
GO 1 R 19/165 (2006.01)	GO 1 R 19/165 G
GO 1 R 31/30 (2006.01)	GO 1 R 19/165 K
GO 1 R 31/26 (2006.01)	GO 1 R 31/30
	GO 1 R 31/26 H

請求項の数 9 (全 13 頁)

(21) 出願番号	特願2004-331036 (P2004-331036)	(73) 特許権者	390019839
(22) 出願日	平成16年11月15日(2004.11.15)		三星電子株式会社
(65) 公開番号	特開2005-148074 (P2005-148074A)		Samsung Electronics
(43) 公開日	平成17年6月9日(2005.6.9)		Co., Ltd.
審査請求日	平成19年11月8日(2007.11.8)		大韓民国京畿道水原市靈通区梅灘洞416
(31) 優先権主張番号	2003-080686		416, Maetan-dong, Yeongtong-gu, Suwon-si,
(32) 優先日	平成15年11月14日(2003.11.14)		Gyeonggi-do, Republic of Korea
(33) 優先権主張国	韓国 (KR)	(74) 代理人	100064908
			弁理士 志賀 正武
		(74) 代理人	100089037
			弁理士 渡邊 隆
		(74) 代理人	100108453
			弁理士 村山 靖彦

最終頁に続く

(54) 【発明の名称】 電源電圧測定装置及び方法

(57) 【特許請求の範囲】

【請求項1】

電源電圧端と、

接地電圧端と、

前記電源電圧端と前記接地電圧端との間に並列連結された複数の第n電源電圧測定部（nは自然数）と、

を含み、

前記第n電源電圧測定部は、

第n電圧検出部と、

第n電圧維持部と、

前記第n電圧維持部の出力を読み出す第n電圧読み出し部と、

を含み、

前記第n電圧検出部は、

前記電源電圧段と第n出力ノードとの間に連結された第nA抵抗と、

前記第n出力ノードと前記接地電圧端との間に連結された第n抵抗と、

を含み、

前記第n電圧維持部は、前記第n出力ノードの電圧が所定の電圧以上である場合には第nインバータが前記第n出力ノードの電圧をハイ状態として感知して第nトランスマッションゲートが活性化されて、前記第n電圧検出部の出力を取り込んで、前記第n電圧検出部から取り込んだ出力を維持し、

前記第 n A 抵抗と前記第 n 抵抗との比をそれぞれ異なるようにして、前記第 n 出力ノードの電圧値をそれぞれ異なるようにし、電源電圧に対応して前記第 n 電圧維持部を介した第 n 電圧読み出し部の出力が活性化されることを特徴とする電源電圧測定装置。

【請求項 2】

前記第 n 電圧検出部は、前記電源電圧端と前記第 n A 抵抗との間にダイオードをさらに備えることを特徴とする請求項 1 に記載の電源電圧測定装置。

【請求項 3】

前記ダイオードは、NMOS トランジスタダイオードであることを特徴とする請求項 2 に記載の電源電圧測定装置。

【請求項 4】

前記ダイオードは、NMOS トランジスタのゲートとドレインとが連結された NMOS ダイオードであることを特徴とする請求項 3 に記載の電源電圧測定装置。

【請求項 5】

前記第 n 電圧検出部は、検出開始信号によって活性化されるスイッチング手段をさらに備えることを特徴とする請求項 1 に記載の電源電圧測定装置。

【請求項 6】

前記スイッチング手段は、少なくとも一つの NMOS トランジスタを含むことを特徴とする請求項 5 に記載の電源電圧測定装置。

【請求項 7】

前記第 n 電圧維持部の初期化手段は、前記接地電圧を伝達することを特徴とする請求項 1 に記載の電源電圧測定装置。

【請求項 8】

前記第 n 電圧読み出し部は、読み出し開始信号によって活性化されることを特徴とする請求項 1 に記載の電源電圧測定装置。

【請求項 9】

請求項 1 乃至 8 の何れか一項に記載の電源電圧測定装置を使用することを特徴とする電源電圧測定方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電源電圧測定装置及び方法に係り、さらに詳細には、半導体装置のバーンインテスト時にストレス電圧として印加される電源電圧の最大値を測定する装置及び方法に関する。

【背景技術】

【0002】

一般に、半導体装置は、様々なテストの実施を通して製品性能と信頼性の検証を受ける。そのようなテストのうち、バーンイン (Burn-In) テストは、半導体装置の信頼性をテストして欠陥がある半導体装置を早期に選り分けるために実施されるテストであって、半導体装置にストレスを印加する方法である。具体的には、バーンインテストは、高い電源電圧と高い温度といった劣悪な条件で半導体装置を動作させることによって短時間で潜在的な欠陥を露出させる役割をする。

【0003】

すなわち、このようなバーンインテストを行うことによって、半導体装置の欠陥 (Defect) の劣化及び進行性初期不良をスクリーンすることができる。ここで、バーンインテスト時に半導体装置に印加されるストレス電圧のレベルは、重要な加速因数 (acceleration factor) として作用する。

【0004】

半導体メモリー装置の場合において、加速因数であるセルデータ電圧のレベルは、ハイデータに対応する電圧のレベルを示しており、これはバーンインストレス電圧及びバーンイン時間の決定において決定的な要素となる。

10

20

30

40

50

【0005】

しかし、加速因数であるストレス電圧のレベルを高く設定する場合には、電源電圧の上昇により半導体メモリー装置内の昇圧電圧ノードの印加電圧が過度に上昇する問題が発生しうる。最近では、半導体装置の小型化の趨勢によって半導体装置を構成するMOSトランジスタ(MOS FET)の大きさが減少してきており、これによってパンチスルーブレークダウン(Punch-through Breakdown)電圧が低下するとともに、MOSトランジスタのゲート酸化膜の厚さが減少しつつある。

【0006】

したがって、バーンインテスト時にストレス電圧を高くし過ぎると、欠陥が発生した場合において、それが半導体装置の劣化や進行性初期不良による欠陥なのか、ストレス電圧が適切なレベルで印加されないことに起因するMOSトランジスタのパンチスルーブレークダウンやMOSトランジスタのゲート酸化膜の破壊などによる欠陥なのかを判断できなくなり、収率向上を図ることができなくなる。

10

【0007】

それゆえ、バーンインテストを行う場合に加速因数であるストレス電圧が適切なレベルで印加されたのか否かを判断することができる装置が必要である。日本公開特許公報特開2001-0035193(2001年2月9日公開)には、半導体メモリー装置においてバーンインテスト時に印加されるストレス電圧が所定の臨界電圧を超過するか否かを検出する条件検出回路が開示されている。

【0008】

しかし、ストレス電圧が所定の臨界電圧を超過するかを検出することだけでは、半導体装置の欠陥が欠陥の劣化や進行性初期不良によるものなのか、ストレス電圧が適切なレベルで印加されないことに起因するMOSトランジスタのパンチスルーブレークダウンやMOSトランジスタのゲート酸化膜の破壊などによるものなのかを正確に判断することが困難である。

20

【特許文献1】特開2001-035193号公報

【特許文献2】特開平6-053299号公報

【発明の開示】

【発明が解決しようとする課題】

【0009】

本発明が解決しようとする技術的課題は、半導体装置のバーンインテスト時にバーンインテストが適切な条件で実施されたか否かを判断することができる印加ストレス電圧の最大値を測定する装置及び方法を提供することにある。

30

【課題を解決するための手段】

【0010】

前記技術的課題を達成するための本発明による電源電圧測定装置は、複数の電圧値として印加される電源電圧のうち最大値を検出する電圧検出部と、前記電圧検出部の出力を受けて維持する電圧維持部と、前記電圧維持部の出力を読み出す電圧読み出し部とを含み、前記電圧維持部は、前記検出された電圧が所定の電圧以上である場合にはインバータが前記検出された電圧をハイ状態として感知してトランスマッションゲートが活性化されて、前記電圧検出部の出力を取り込んで維持する。

40

【0011】

前記技術的課題を達成するための本発明の一実施形態による電源電圧測定装置は、電源電圧端と、接地電圧端と、前記電源電圧端と前記接地電圧端との間に並列連結された複数の第 n 電源電圧測定部(n は2以上の自然数)と、を含み、前記第 n 電源電圧測定部は、

第 n 電圧検出部と、第 n 電圧維持部と、前記第 n 電圧維持部の出力を読み出す第 n 電圧読み出し部と、を含み、前記第 n 電圧検出部は、前記電源電圧段と第 n 出力ノードとの間に連結された第 $n-1$ 抵抗と、前記第 n 出力ノードと前記接地電圧端との間に連結された第 $n-2$ 抵抗と、を含み、前記第 n 電圧維持部は、前記第 n 出力ノードの電圧が所定の電圧以上である場合には第 n インバータが前記第 n 出力ノードの電圧をハイ状態として感知

50

して第 n トランスマッションゲートが活性化されて、前記第 n 電圧検出部の出力を取り込んで、前記第 n 電圧検出部から取り込んだ出力を維持し、前記第 $n - 1$ 抵抗と前記第 $n - 2$ 抵抗との比をそれぞれ異なるようにして、前記第 n 出力ノードの電圧値をそれぞれ異なるようにし、電源電圧に対応して前記第 n 電圧維持部を介した第 n 電圧読み出し部の出力が活性化される。その他、実施形態の具体的な事項は詳細な説明及び図面に含まれている。

【発明の効果】

【0012】

前記したように構成された本発明によれば、半導体装置のバーンインテスト時にバーンインテストが適切な条件で実施されたか否かを判断することができる印加ストレス電圧の最大値を測定する装置及び方法を提供することができる。

10

【発明を実施するための最良の形態】

【0013】

本発明の利点及び特徴、そしてそれらを達成する方法は添付図面と共に詳細に後述されている実施形態を参照するとによって明確になる。しかし、本発明は、以下で開示する実施形態に限られることなく相異なる多様な形態で具現することができるのであり、本実施形態は、単に本発明の開示を完全にし、本発明が属する技術分野で通常の知識を有する者に本発明の範ちゅうを完全に知らせるために提供され、本発明は請求項の記載により定義される。明細書全体にわたって同一参照符号は同一構成要素を意味する。

【0014】

20

図1は、本発明の一実施形態による電源電圧測定装置の電圧測定方法を示すフローチャートである。

【0015】

半導体装置にバーンインテストを行う場合に、まず、多様なストレス電圧を印加する ($S1$ 、 $S2$ 、 S_{final})。そして、各ストレス電圧を印加する都度、そのストレス電圧を検出する ($SD1$ 、 $SD2$ 、 \dots 、 SD_{final})。次いで、検出した各ストレス電圧を維持部に貯蔵する (S_{latch})。最後に、維持部に貯蔵した多様なストレス電圧のうち最大値のストレス電圧を読み出す (S_{READ})。

【0016】

このような方法でバーンインテストを行った後に半導体装置に欠陥が存在することが判明した場合に、その半導体装置の欠陥が劣化や進行性初期不良によるものなのか、ストレス電圧が適切なレベルで印加されないことに起因して起こる半導体装置を構成するMOSトランジスタのパンチスルーブレークダウンやMOSトランジスタのゲート酸化膜破壊などによるものなのかを正確に判断することができる。

30

【0017】

図2は、本発明の一実施形態による電源電圧測定装置の構成を示すブロック構成図である。図3Aは、本発明の一実施形態による電源電圧測定装置における複数の電源電圧測定部の電圧検出部を示す回路図である。図3Bは、本発明の一実施形態による電源電圧測定装置における複数の電源電圧測定部の電圧維持部及び電圧読み出し部を示す回路図である。

40

【0018】

本発明の一実施形態による電源電圧測定装置は、電圧検出部、電圧維持部及び電圧読み出し部を含む。前記電圧検出部は、複数の電圧値として印加される電源電圧のうち最大値を検出する。前記電圧維持部は、前記電圧検出部の出力を受けて維持し、前記電圧読み出し部は、前記電圧維持部の出力を読み出す。

【0019】

前記電圧検出部は、少なくとも2個の個別電圧検出部で構成される。ここで、前記個別電圧検出部は、図2に図示された第1電圧検出部 $D1$ 、 \dots 、第 m 電圧検出部 Dm を意味する。前記個別電圧検出部は、前記電源電圧値を超えない範囲内で各々の電圧値を検出する。すなわち、前記電圧検出部は、前記電源電圧値の範囲内において2段階以上の電圧

50

レベルで前記電源電圧を検出する。検出する電圧レベルの段階が増えれば、前記電圧検出部は前記電源電圧をより精密に検出することができる。

【0020】

図2ないし図3Bを参照すると、本発明の一実施形態による電源電圧測定装置は、電源電圧V_k端と、接地電圧G_{nd}端(G_{nd}1、G_{nd}2、・・・、G_{nd}m)と、電源電圧V_k端と接地電圧G_{nd}端との間に並列連結された複数の電源電圧測定部である第1電源電圧測定部M_EA₁、第2電源電圧測定部M_EA₂、第m電源電圧測定部M_EA_mとを含む。

【0021】

第1電源電圧測定部M_EA₁は、第1電圧検出部D₁、第1電圧維持部L₁及び第1電圧読み出し部R_EA_D₁を含む。具体的には、図3Aに示しているように、第1電圧検出部D₁は、電源電圧V_k端と第1出力ノードN₁との間に連結された第1抵抗R_{1A}、及び、第1出力ノードN₁と接地電圧G_{nd}1端との間に連結された第2抵抗R₁で構成されて、電源電圧V_kを第1抵抗R_{1A}と第2抵抗R₁との抵抗比に相当する電圧に分配して第1出力ノードN₁の電圧として出力する。それゆえ、第1抵抗R_{1A}と第2抵抗R₁との抵抗比を調整することによって第1出力ノードN₁の電圧値を調節することができる。

10

【0022】

例えば、第1抵抗R_{1A}の抵抗値がR_aであり、第2抵抗R₁の抵抗値がR₁であり、電源電圧V_k端の電圧値がV_kである場合には、第1出力ノードN₁の電圧値は、式(1)

20

【0023】

【数1】

$$\frac{V_k \cdot R_1}{R_a + R_1}$$

【0024】

・・・式(1)

30

第2電源電圧測定部M_EA₂は、第2電圧検出部D₂、第2電圧維持部L₂及び第2電圧読み出し部R_EA_D₂を含む。第2電圧検出部D₂は、電源電圧V_k端と第2出力ノードN₂との間に連結された第3抵抗R_{2A}、及び、第2出力ノードN₂と接地電圧G_{nd}2端との間に連結された第4抵抗R₂で構成されて、電源電圧V_kを第3抵抗R_{2A}と第4抵抗R₂との抵抗比に相当する電圧に分配して第2出力ノードN₂の電圧として出力する。

【0025】

例えば、第3抵抗R_{2A}の抵抗値がR_aであり、第4抵抗R₂の抵抗値がR₂であり、電源電圧V_k端の電圧値がV_kである場合には、第2出力ノードN₂の電圧値は、式(2)

40

【0026】

【数2】

$$\frac{V_k \cdot R_2}{R_a + R_2}$$

【0027】

・・・式(2)

第1抵抗R_{1A}(=R_a)と第2抵抗R₁との抵抗比と、第3抵抗R_{2A}(=R_a)と

50

第4抵抗R2との抵抗比とは異なる。それゆえ、第1出力ノードN1の電圧と第2出力ノードN2の電圧は異なる。

【0028】

ストレス電圧が電源電圧V_kとして印加されると、第1電圧検出部D1と第2電圧検出部D2の抵抗比に比例して出力ノードの電圧が出力される。第1電圧維持部L1と第2電圧維持部L2は、それぞれ第1電圧検出部D1と第2電圧検出部D2の出力ノードN1、N2の電圧によって活性化されるので、出力ノードN1、N2の電圧が所定の電圧以上が出力されないと電圧維持部L1、L2は活性化されない。

【0029】

それゆえ、多様なストレス電圧が印加される場合には、その多様なストレス電圧のうち最大値のストレス電圧が印加されると前記出力ノードN1、N2の電圧が所定の電圧を超えて電圧維持部L1、L2が活性化されるので、出力ノードN1、N2の電圧が電圧維持部L1、L2に維持される。したがって、多様なストレス電圧のうち最大値のストレス電圧が電圧維持部L1、L2に維持される。

10

【0030】

望ましくは、本発明の一実施形態による電源電圧測定装置は、第3電源電圧測定部MEA3ないし第m(m≧4)電源電圧測定部MEAmを電源電圧V_k端と接地電圧G_{nd}端との間に並列連結してさらに含む。

【0031】

第3電源電圧測定部MEA3は、第3電圧検出部D3、第3電圧維持部L3、及び、第3電圧読み出し部READ3を含み、第m電源電圧測定部MEAmは、第m電圧検出部D_m、第m電圧維持部L_m及び第m電圧読み出し部READ_mを含む。

20

【0032】

第3電源電圧測定部MEA3ないし第m電源電圧測定部MEAmの電圧検出部D3ないしD_mは、それぞれ電源電圧V_k端と出力ノードN3ないしN_mとの間に連結された抵抗R3AないしR_mA及び出力ノードN3ないしN_mと接地電圧G_{nd}3ないしG_{nd}_m端との間に連結された抵抗R3ないしR_mで構成されて、電源電圧V_kを電源電圧V_k端と出力ノードとの間に連結された抵抗R_mと出力ノードN3ないしN_mと接地電圧G_{nd}3ないしG_{nd}_mとの間に連結された抵抗R3ないしR_mとの抵抗比に相当する電圧に分配して出力ノードN3ないしN_mの電圧として出力する。

30

【0033】

例えば、第m電源電圧測定部MEAmの第m電圧検出部D_mは、電源電圧V_k端と出力ノードN_mとの間に連結された抵抗R_mAの抵抗値がR_aであり、出力ノードN_mと接地電圧G_{nd}_m端との間に連結された抵抗R_mの抵抗値がR_mであり、電源電圧V_k端の電圧値がV_{ks}である場合には、第m出力ノードN_mの電圧値は、式(3)のように表現される。

【0034】

【数3】

$$\frac{V_k \cdot R_m}{R_a + R_m}$$

40

【0035】

・・・式(3)

第1電圧検出部D1ないし第m電圧検出部D_mの抵抗比が変われば、出力ノードN1ないしN_mの電圧値は変わる。それゆえ、複数の電圧検出部D1ないしD_mの抵抗比を調整することによって出力ノードN1ないしN_mの電圧値を調節することができる。

【0036】

50

複数の電圧検出部 D 1 ないし D m の抵抗比がそれぞれ異なるようにだけ構成すれば十分なので、電源電圧 V k 端と出力ノード N 1 ないし N m との間に連結される抵抗 R 1 A ないし R 1 m の抵抗値を同一の抵抗値 R a に構成して、出力ノード N 1 ないし N m と接地電圧 G n d 1 ないし G n d m 端との間に連結される抵抗 R 1 ないし R m を異なるように構成することが望ましい。そうすることで複数の電圧検出部 D 1 ないし D m の構成を簡単化することができる。

【 0 0 3 7 】

そして、出力ノード N 1 ないし N m と接地電圧 G n d 1 ないし G n d m 端との間に連結される抵抗 R 1 ないし R m をそれらの値が順に増加するように決定し、又は、抵抗 R 1 ないし R m をそれらの値が順に減少するように決定することがさらに望ましい。そうすることで、出力ノード N 1 ないし N m の電圧値が順に増加し、又は、順に減少するので、出力ノード N 1 ないし N m の電圧値を容易に予測することができる。

10

【 0 0 3 8 】

出力ノード N 1 ないし N m の電圧値の個数は、電圧検出部 D 1 ないし D m の個数に比例するので、電圧検出部 D 1 ないし D m の個数を増加させることによって複数の出力ノード N 1 ないし N m の電圧値は所定の電圧値の範囲内で電圧検出部 D 1 ないし D m の個数に比例してそれぞれ隣接する出力ノード N 1 ないし N m の電圧値の差が減少する。すなわち、電圧検出部 D 1 ないし D m の個数が増えれば、電源電圧 V k をより精密に検出することができる。

【 0 0 3 9 】

20

複数の電圧検出部 D 1 ないし D m は、それぞれ、出力ノード N 1 ないし N m と電源電圧 V k 端との間に連結された抵抗 R 1 A ないし R m A と電源電圧 V k 端との間にダイオード D I O 1 ないし D I O m をさらに備える。そうすることで、電源電圧 V k がダイオード D I O 1 ないし D I O m のオフセット (O f f s e t) 電圧以下である場合には電源電圧 V k が出力ノード N 1 ないし N m と電源電圧 V k 端との間に連結された抵抗 R 1 A ないし R m A に伝達できないので、消費電力を減少させることができる。

【 0 0 4 0 】

ダイオード D I O 1 ないし D I O m は、N M O S トランジスタのゲートとドレインを連結して利用される N M O S ダイオードであることが望ましい。ダイオード D I O 1 ないし D I O m を N M O S ダイオードで構成する場合には、電源電圧 V k が N M O S トランジスタのしきい電圧 (T h r e s h o l d V o l t a g e) 以下ならば電源電圧 V k が出力ノード N 1 ないし N m と電源電圧 V k 端との間に連結された抵抗に伝達できない。すなわち、N M O S ダイオードのしきい電圧がダイオード D I O 1 ないし D I O m のオフセット電圧になる。それゆえ、N M O S ダイオードのしきい電圧を調整してダイオードのオフセット電圧を調節することができる。

30

【 0 0 4 1 】

例えば、第 m 電源電圧測定部 M E A m の第 m 電圧検出部 D m は、電源電圧 V k 端と出力ノード N m との間に連結された抵抗 R m A の抵抗値が R a であり、出力ノード N m と前記接地電圧 G n d m 端との間に連結された抵抗 R m の抵抗値が R m であり、電源電圧 V k 端の電圧値が V k であり、N M O S ダイオードのしきい電圧が V t である場合には、第 m 出力ノード N m の電圧値は、数 (4) のように表現される。

40

【 0 0 4 2 】

【 数 4 】

$$\frac{(V_k - V_t) \cdot R_m}{R_a + R_m}$$

【 0 0 4 3 】

50

・・・式(4)

電圧検出部 D m に N M O S ダイオード D I O m を備えれば、N M O S ダイオードを備えない場合に比べて、電源電圧 V k が N M O S ダイオードのしきい電圧 V t だけ減少する。その他の出力ノード N 1 ないし N m - 1 の電圧値も、第 m 出力ノード N m の電圧値のように、電源電圧 V k が N M O S ダイオード D I O 1 ないし D I O m - 1 のしきい電圧 V t だけ減少する。

【0044】

複数の電圧検出部 D 1 ないし D m は、それぞれ、出力ノード N 1 ないし N m と接地電圧 G n d 端との間に連結された抵抗 R 1 ないし R m と接地電圧 G n d 1 ないし G n d m 端との間に検出開始信号 M R S 1 ないし M R S m によって活性化されるスイッチング手段 S 1 ないし S m をさらに備える。そうすることで、検出開始信号 M R S 1 ないし M R S m が印加されなければ、電源電圧 V k が印加されても抵抗 R 1 ないし R m と接地電圧 G n d 1 ないし G n d m 端との間が電氣的に連結できないので、抵抗 R 1 ないし R m を介して接地電圧 G n d 1 ないし G n d m 端に漏れ電流 (L e a k a g e C u r r e n t) が流れることを抑制することができる。

10

【0045】

スイッチング手段 S 1 ないし S m を N M O S トランジスタで構成する場合には、電圧検出部 D 1 ないし D m を製造することが簡便になるので、スイッチング手段 S 1 ないし S m は、N M O S トランジスタであることが望ましい。

【0046】

20

そして、第 1 電圧維持部 L 1 は、第 1 出力ノード N 1 の電圧によって活性化されて第 1 電圧検出部 D 1 の出力を入力しこれを維持し、第 1 電圧読み出し部 R E A D 1 は、第 1 電圧維持部 L 1 の出力を読み出す。

【0047】

望ましくは、第 1 電圧維持部 L 1 は、トランスマッションゲート T 1 とインバータラッチ I 1 2、I 1 3、I 1 4 で構成されて、トランスマッションゲート T 1 は、第 1 出力ノード N 1 の電圧によって活性化されてインバータラッチ I 1 2、I 1 3、I 1 4 によって第 1 電圧検出部 D 1 の出力を取り込んで維持する。第 1 出力ノード N 1 の電圧が第 1 電圧維持部 L 1 に入力されると、第 1 出力ノード N 1 の電圧が所定の電圧以上である場合にはインバータ I 1 1 が第 1 出力ノード N 1 の電圧をハイ状態として感知してトランスマッションゲート T 1 が活性化される。そうすることで、第 1 出力ノード N 1 の電圧がハイ状態としてインバータラッチ I 1 2、I 1 3、I 1 4 に伝えられてインバータラッチ I 1 2、I 1 3、I 1 4 は、第 1 出力ノード N 1 の電圧をハイ状態に維持する。

30

【0048】

第 1 出力ノード N 1 の電圧が所定の電圧以下である場合には、インバータ I 1 1 が第 1 出力ノード N 1 の電圧をロー状態として感知するので前記トランスマッションゲート T 1 は活性化されない。そうすることで、第 1 出力ノード N 1 の電圧は、インバータラッチ I 1 2、I 1 3、I 1 4 に伝えられない。それゆえ、インバータラッチ I 1 2、I 1 3、I 1 4 は、以前の状態を維持する。

【0049】

40

その他の電圧維持部 L 2 ないし L m も、各出力ノード N 2 ないし N m の電圧により活性化されて各電圧検出部 D 2 ないし D m の出力を取り込んで維持して、各電圧読み出し部 R E A D 2 ないし R E A D m は、各電圧維持部 L 2 ないし L m の出力を読み出す。

【0050】

具体的には、第 2 ないし第 m 電圧維持部 L 2 ないし L m も、前記第 1 電圧維持部 L 1 のように、トランスマッションゲート T 2、T 3、ないし T m とインバータラッチ I 2 2、I 2 3、I 2 4、I 3 2、I 3 3、I 3 4、ないし I m 2、I m 3、I m 4 で構成されて、それぞれの出力ノード N 2 ないし N m の電圧が所定の電圧以上である場合にはインバータ I 2 1、I 3 1、ないし I m 1 が出力ノード N 2 ないし N m の電圧をハイ状態として感知してトランスマッションゲート T 2、T 3、ないし T m が活性化される。そうすること

50

で、出力ノードN2ないしNmの電圧がハイ状態としてインバータラッチI22、I23、I24、I32、I33、I34、ないしIm2、Im3、Im4に伝えられてインバータラッチI22、I23、I24、I32、I33、I34、ないしIm2、Im3、Im4は、出力ノードN2ないしNmの電圧をハイ状態に維持する。

【0051】

しかし、出力ノードN2ないしNmの電圧が所定の電圧以下である場合には、インバータI21、I31、ないしIm1が出力ノードN2ないしNmの電圧をロー状態として感知してトランスマッションゲートT2、T3、ないしTmは活性化されないので、出力ノードN2ないしNmの電圧はインバータラッチI22、I23、I24、I32、I33、I34、ないしIm2、Im3、Im4に伝えられない。それゆえ、インバータラッチI22、I23、I24、I32、I33、I34、ないしIm2、Im3、Im4は、

10

以前の状態を維持する。

【0052】

多様なストレス電圧が電源電圧として印加される場合には、その多様なストレス電圧のうち最大値のストレス電圧が印加されると出力ノードN1ないしNmの電圧が最大になって活性化される電圧維持部の個数も最大になるので、その活性化された電圧維持部は、出力ノードN2ないしNmの電圧をハイ状態に続けて維持する。したがって、多様なストレス電圧のうち最大値のストレス電圧が電圧維持部に維持される。

【0053】

第1電圧維持部L1ないし第m電圧維持部Lmは、それぞれ接地電圧Gndを伝達する初期化手段INIT1ないしINITmをさらに備える。初期化信号PVCHが初期化手段INIT1ないしINITmに印加されると、初期化手段INIT1ないしINITmが活性化されてインバータラッチI12、I13、I14、I22、I23、I24、I32、I33、I34、ないしIm2、Im3、Im4の入力段と接地電圧Gnd端が電氣的に連結されるのでインバータラッチI12、I13、I14、I22、I23、I24、I32、I33、I34、ないしIm2、Im3、Im4の入力段がロー状態に維持される。

20

【0054】

そうすることで、出力ノードN1ないしNmの電圧が所定の電圧以下である場合にトランスマッションゲートT1ないしTmが活性化されないのでインバータラッチI12、I13、I14、I22、I23、I24、I32、I33、I34、ないしIm2、Im3、Im4はロー状態を維持し、これによりインバータラッチI12、I13、I14、I22、I23、I24、I32、I33、I34、ないしIm2、Im3、Im4の状態を確実にすることができる。

30

【0055】

第1電圧読み出し部READ1は、第1電圧維持部L1の出力信号を受けて第1電圧読み出し部READ1の出力信号Dout1に提供する。第1電圧読み出し部READ1は、第1電圧維持部L1のインバータラッチI12、I13、I14がハイ状態を維持する場合にはハイ状態を出力して、第1電圧維持部L1のインバータラッチI12、I13、I14がロー状態を維持する場合にはロー状態を出力する。

40

【0056】

その他の電圧読み出し部READ2ないしREADmも、第1電圧読み出し部READ1のように、それぞれの電圧維持部L2ないしLmの出力信号を受けて電圧読み出し部READ2ないしREADmの出力信号Dout2ないしDoutmに提供する。電圧読み出し部READ2ないしREADmは、それぞれの電圧維持部L2ないしLmのインバータラッチI22、I23、I24、I32、I33、I34、ないしIm2、Im3、Im4がハイ状態を維持する場合にはハイ状態を出力して、それぞれの電圧維持部L2ないしLmのインバータラッチI22、I23、I24、I32、I33、I34、ないしIm2、Im3、Im4がロー状態を維持する場合にはロー状態を維持する。

【0057】

50

第1電圧読み出し部READ1ないし第m電圧読み出し部READmが提供する出力信号Dout1ないしDoutmから電源電圧Vkを換算することにより多様なストレス電圧のうち最大値のストレス電圧がわかる。

【0058】

第1電圧読み出し部READ1ないし第m電圧読み出し部READmは、それぞれ読み出し開始信号MRS_READによって活性化されることが望ましい。電圧読み出し部READ1ないしREADmの出力信号Dout1ないしDoutmは、それぞれ読み出し開始信号MRS_READと電圧維持部L1ないしLmのインバータラッチI12、I13、I14、I22、I23、I24、I32、I33、I34、ないしIm2、Im3、Im4の出力信号の論理積演算によって提供される。

10

【0059】

それゆえ、読み出し開始信号MRS_READが印加されなければ電圧読み出し部READ1ないしREADmの出力信号Dout1ないしDoutmはロー状態を維持し、読み出し開始信号MRS_READが印加されると電圧維持部L1ないしLmのインバータラッチI12、I13、I14、I22、I23、I24、I32、I33、I34、ないしIm2、Im3、Im4の出力信号が電圧読み出し部READ1ないしREADmの出力信号Dout1ないしDoutmとして提供される。

【0060】

電圧読み出し部READ1ないしREADmが読み出し開始信号MRS_READによって活性化される場合には、読み出し開始信号MRS_READが印加される場合にだけ電圧維持部L1ないしLmのインバータラッチI12、I13、I14、I22、I23、I24、I32、I33、I34、ないしIm2、Im3、Im4の出力信号が電圧読み出し部READ1ないしREADmの出力信号Dout1ないしDoutmで提供されることによって電圧読み出し部READ1ないしREADmの消費電力を減少させることができる。

20

【0061】

以上、添付した図面を参照して本発明の実施形態を説明したが、本発明が属する技術分野で通常の知識を有する者は、本発明の技術的思想や必須な特徴を変更することなく他の具体的な形態で本発明が実施されうることを理解することができる。それゆえ、上記の実施形態はすべての面において例示的なものに過ぎず、本発明を限定するものではないことを理解しなければならない。

30

【産業上の利用可能性】

【0062】

本発明は、例えば、メモリー装置のような半導体装置のテスト装置の一種であるバーンインテスト装置に適用されうる。

【図面の簡単な説明】

【0063】

【図1】本発明の一実施形態による電源電圧測定装置の電圧測定方法を示すフローチャートである。

【図2】本発明の一実施形態による電源電圧測定装置の構成を示すブロック構成図である。

40

【図3A】本発明の一実施形態による電源電圧測定装置の複数の電源電圧測定部の電圧検出部を示す回路図である。

【図3B】本発明の一実施形態による電源電圧測定装置の複数の電源電圧測定部の電圧維持部及び電圧読み出し部を示す回路図である。

【符号の説明】

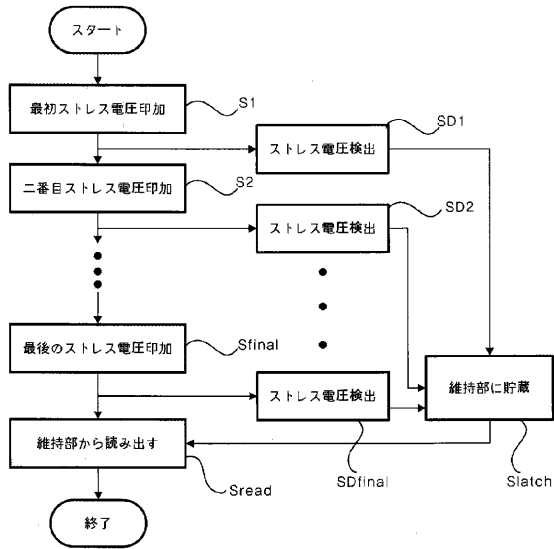
【0064】

電源電圧測定部：MEA1ないしMEAm
D1ないしDm：電圧検出部
L1ないしLm：電圧維持部

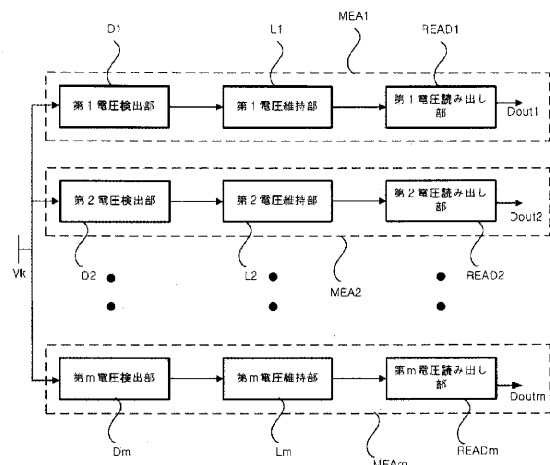
50

READ1ないしREADm：電圧読み出し部
 DIO1ないしDIOm：電圧検出部のダイオード
 S1ないしSm：電圧検出部のスイッチング手段
 N1ないしNm：電圧検出部の出力ノード
 INIT1ないしINITm：電圧維持部の初期化手段

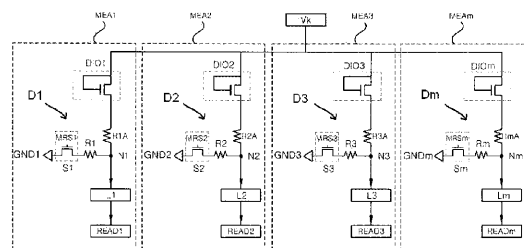
【図1】



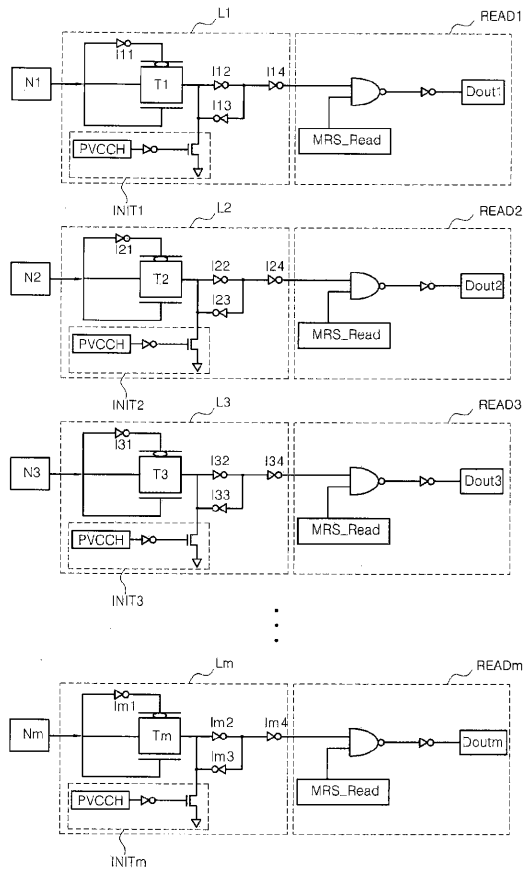
【図2】



【図3A】



【 図 3 B 】



フロントページの続き

(74)代理人 100110364

弁理士 実広 信哉

(72)発明者 洪 官杓

大韓民国京畿道龍仁市器興邑農書里山7 - 1番地月桂樹棟538号

(72)発明者 李 炯鎔

大韓民国京畿道水原市靈通区網浦洞696番地碧山イービレッジ104棟1204号

審査官 藤原 伸二

(56)参考文献 特開平07 - 055850 (JP, A)

特開昭59 - 128455 (JP, A)

特開2001 - 035193 (JP, A)

特開平04 - 259870 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G01R 19/00 - 19/32

G01R 31/26

G01R 31/28 - 31/30