

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5792402号

(P5792402)

(45) 発行日 平成27年10月14日(2015.10.14)

(24) 登録日 平成27年8月14日(2015.8.14)

(51) Int.Cl.

F I

G O 6 T 1/20 (2006.01)

G O 6 T 1/20 B

G O 6 F 9/50 (2006.01)

G O 6 F 9/46 4 6 5 C

請求項の数 34 (全 35 頁)

(21) 出願番号	特願2014-560926 (P2014-560926)	(73) 特許権者	595020643
(86) (22) 出願日	平成25年2月18日 (2013.2.18)		クァアルコム・インコーポレイテッド
(65) 公表番号	特表2015-515052 (P2015-515052A)		Q U A L C O M M I N C O R P O R A T E D
(43) 公表日	平成27年5月21日 (2015.5.21)		アメリカ合衆国、カリフォルニア州 9 2
(86) 国際出願番号	PCT/US2013/026596		1 2 1 - 1 7 1 4、サン・ディエゴ、モア
(87) 国際公開番号	W02013/133957		ハウス・ドライブ 5 7 7 5
(87) 国際公開日	平成25年9月12日 (2013.9.12)	(74) 代理人	100108855
審査請求日	平成27年6月12日 (2015.6.12)		弁理士 蔵田 昌俊
(31) 優先権主張番号	13/414, 450	(74) 代理人	100109830
(32) 優先日	平成24年3月7日 (2012.3.7)		弁理士 福原 淑弘
(33) 優先権主張国	米国 (US)	(74) 代理人	100103034
早期審査対象出願			弁理士 野河 信久
		(74) 代理人	100075672
			弁理士 峰 隆司

最終頁に続く

(54) 【発明の名称】 グラフィックス処理ユニット上でのグラフィックスアプリケーションおよび非グラフィックスアプリケーションの実行

(57) 【特許請求の範囲】

【請求項 1】

グラフィックス処理ユニット (GPU) を用いて、グラフィックスアプリケーションの命令を実行するために確保された、前記 GPU のシェーダプロセッサのシェーダコアの第 1 のセットの指示を受信することと、

前記 GPU を用いて、非グラフィックスアプリケーションの命令を実行するために確保された、同じ GPU の同じシェーダプロセッサのシェーダコアの第 2 の異なるセットの指示を受信することと、

前記 GPU を用いて、前記グラフィックスアプリケーションの前記命令を受信することと、

前記 GPU を用いて、前記非グラフィックスアプリケーションの前記命令を受信することと、

前記 GPU の第 1 の作業負荷分配ユニットを用いて、シェーダコアの前記第 1 のセットのうちのどのシェーダコアが前記グラフィックスアプリケーションの前記命令のうちのどの命令を実行するかを判断することと、

前記 GPU の第 2 の異なる作業負荷分配ユニットを用いて、シェーダコアの前記第 2 のセットのうちのどのシェーダコアが前記非グラフィックスアプリケーションの前記命令のうちのどの命令を実行するかを判断することと、

前記 GPU を用いて、シェーダコアの前記第 1 のセットのうちのどのシェーダコアが前記グラフィックスアプリケーションの前記命令のうちのどの命令を実行するかの前記判断

10

20

に基づいて、他のシェーダコアではなく、シェーダコアの前記第 1 のセットで前記グラフィックスアプリケーションの前記命令のすべてを実行することと、

前記グラフィックスアプリケーションの前記命令を実行するのと実質的に同時に、前記 G P U を用いて、前記非グラフィックスアプリケーションの前記実行と前記グラフィックスアプリケーションの前記実行とをインターリーブすることなく、シェーダコアの前記第 2 のセットのうちのどのシェーダコアが前記非グラフィックスアプリケーションの前記命令のうちのどの命令を実行するかの前記判断に基づいて、他のシェーダコアではなく、シェーダコアの前記第 2 のセットで前記非グラフィックスアプリケーションの前記命令のすべてを実行することと

を備える方法。

10

【請求項 2】

シェーダコアの前記第 1 のセットの前記指示を受信することが、前記 G P U の第 1 のコマンドプロセッサを用いて、シェーダコアの前記第 1 のセットの前記指示を受信することを備え、シェーダコアの前記第 2 のセットの前記指示を受信することが、前記 G P U の第 2 の異なるコマンドプロセッサを用いて、シェーダコアの前記第 2 のセットの前記指示を受信することを備える、請求項 1 に記載の方法。

【請求項 3】

シェーダコアの前記第 1 のセットの前記指示を受信することが、前記 G P U のコマンドプロセッサを用いて、シェーダコアの前記第 1 のセットの前記指示を受信することを備え、シェーダコアの前記第 2 のセットの前記指示を受信することが、同じコマンドプロセッサを用いて、シェーダコアの前記第 2 のセットの前記指示を受信することを備える、請求項 1 に記載の方法。

20

【請求項 4】

前記非グラフィックスアプリケーションの命令を受信することが、前記グラフィックスアプリケーションの命令を受信するのと同時に前記非グラフィックスアプリケーションの前記命令を受信することを備える、請求項 1 に記載の方法。

【請求項 5】

前記グラフィックスアプリケーションの前記命令の前記実行の結果を前記 G P U 内のメモリキャッシュに記憶することを、前記非グラフィックスアプリケーションの前記命令の前記実行の結果を前記 G P U 内の前記メモリキャッシュに記憶することよりも優先させること

30

をさらに備える、請求項 1 に記載の方法。

【請求項 6】

シェーダコアの前記第 1 のセットの前記指示を受信することが、前記 G P U の第 1 のコマンドプロセッサを用いて、シェーダコアの前記第 1 のセットの前記指示を受信することを備え、シェーダコアの前記第 2 のセットの前記指示を受信することが、前記 G P U の第 2 の異なるコマンドプロセッサを用いて、シェーダコアの前記第 2 のセットの前記指示を受信することを備え、前記方法は、

前記非グラフィックスアプリケーションの命令がないとき、前記第 2 のコマンドプロセッサの電源を切断するための指示を受信することと、

40

前記指示を受信したことに応答して前記第 2 のコマンドプロセッサの電源を切断することと

をさらに備える、請求項 1 に記載の方法。

【請求項 7】

シェーダコアの前記第 1 のセットのシェーダコアの数がシェーダコアの前記第 2 のセットのシェーダコアの数とは異なる、請求項 1 に記載の方法。

【請求項 8】

プロセッサ上のドライバを用いて、グラフィックス処理ユニット ( G P U ) のシェーダプロセッサのシェーダコアのうちのいくつかのシェーダコアおよびどのシェーダコアがグラフィックスアプリケーションのために確保されるかを判断することと、前記グラフィック

50

スアプリケーションのために確保された前記判断されたシェーダコアは、シェーダコアの第1のセットを備え、前記グラフィックスアプリケーションのすべての命令は、シェーダコアの前記第1のセット上で実行されるべきである、

前記プロセッサ上の前記ドライバを用いて、同じGPUの同じシェーダプロセッサの前記シェーダコアのうちのいくつかのシェーダコアおよびどのシェーダコアが非グラフィックスアプリケーションのために確保されるかを判断することと、前記非グラフィックスアプリケーションのために確保された前記判断されたシェーダコアは、シェーダコアの第2の異なるセットを備え、前記非グラフィックスアプリケーションのすべての命令は、シェーダコアの前記第2のセットによって実行されるべきである、

前記GPUが、前記非グラフィックスアプリケーションと前記グラフィックスアプリケーションの前記実行をインターリーブすることなく、実質的に同時に前記グラフィックスアプリケーションの命令と前記非グラフィックスアプリケーションの命令とを実行することを可能にするために、シェーダコアの前記第1のセットの指示とシェーダコアの前記第2のセットの指示とを前記GPUに送信することと

を備える方法。

【請求項9】

より多くのシェーダコアが前記グラフィックスアプリケーションを実行するために利用可能であるように、シェーダコアの前記第1のセットがシェーダコアの前記第2のセットよりも多くのシェーダコアを含むと判断すること

をさらに備える、請求項8に記載の方法。

【請求項10】

シェーダコアの前記第1のセットを判断することが、前記グラフィックスアプリケーションのキューイングされた命令の数に基づいてシェーダコアの前記第1のセットを判断することを備える、請求項8に記載の方法。

【請求項11】

シェーダコアの前記第2のセットを判断することが、前記非グラフィックスアプリケーションのキューイングされた命令の数に基づいてシェーダコアの前記第2のセットを判断することを備える、請求項8に記載の方法。

【請求項12】

送信することが、

シェーダコアの前記第1のセットの前記指示を前記GPU内の第1のコマンドプロセッサに送信することと、

シェーダコアの前記第2のセットの前記指示を前記GPU内の第2の異なるプロセッサに送信することと

を備える、請求項8に記載の方法。

【請求項13】

送信することが、

シェーダコアの前記第1のセットの前記指示を前記GPU内のコマンドプロセッサに送信することと、

シェーダコアの前記第2のセットの前記指示を前記GPU内の同じコマンドプロセッサに送信することと

を備える、請求項8に記載の方法。

【請求項14】

複数のシェーダコアを含むシェーダプロセッサと、

グラフィックスアプリケーションの命令を実行するために確保された前記シェーダプロセッサの前記シェーダコアの第1のセットの指示を受信し、前記グラフィックスアプリケーションの前記命令を受信するように構成された第1のコマンドプロセッサと、

非グラフィックスアプリケーションの命令を実行するために確保された同じシェーダプロセッサの前記シェーダコアの第2の異なるセットの指示を受信し、前記非グラフィックスアプリケーションの前記命令を受信するように構成された第2のコマンドプロセッサと

10

20

30

40

50

、  
前記シェーダコアの前記第 1 のセットのうちのどのシェーダコアが前記グラフィックスアプリケーションの前記命令のうちのどの命令を実行するかを判断するように構成された第 1 の作業負荷分配ユニットと、

前記シェーダコアの前記第 2 のセットのうちのどのシェーダコアが前記非グラフィックスアプリケーションの前記命令のうちのどの命令を実行するかを判断するように構成された第 2 の異なる作業負荷分配ユニットと、

を備え、

他のシェーダコアではなく、前記シェーダコアの前記第 1 のセットが、シェーダコアの前記第 1 のセットのうちのどのシェーダコアが前記グラフィックスアプリケーションの前記命令のうちのどの命令を実行するかの前記第 1 の作業負荷分配ユニットの前記判断に基づいて、前記グラフィックスアプリケーションの前記命令のすべてを実行するように構成され、

他のシェーダコアではなく、前記シェーダコアの前記第 2 のセットが、前記グラフィックスアプリケーションの前記命令の前記実行と実質的に同時に、前記非グラフィックスアプリケーションの前記実行と前記グラフィックスアプリケーションの前記実行とをインターリーブすることなく、シェーダコアの前記第 2 のセットのうちのどのシェーダコアが前記非グラフィックスアプリケーションの前記命令のうちのどの命令を実行するかの前記第 2 の作業負荷分配ユニットの前記判断に基づいて、前記非グラフィックスアプリケーションの前記命令のすべてを実行するように構成された、

グラフィックス処理ユニット (GPU)。

【請求項 15】

前記第 1 のコマンドプロセッサが前記第 2 のコマンドプロセッサとは異なる、請求項 14 に記載の GPU。

【請求項 16】

前記第 1 のコマンドプロセッサが前記第 2 のコマンドプロセッサと同じである、請求項 14 に記載の GPU。

【請求項 17】

前記第 1 のコマンドプロセッサは、前記第 2 のコマンドプロセッサが前記非グラフィックスアプリケーションの前記命令を受信すると同時に前記グラフィックスアプリケーションの前記命令を受信するように構成された、請求項 14 に記載の GPU。

【請求項 18】

メモリキャッシュ

をさらに備え、

前記第 1 のコマンドプロセッサおよび前記第 2 のコマンドプロセッサのうちの少なくとも 1 つが、前記メモリキャッシュへの前記グラフィックスアプリケーションの前記命令の前記実行の結果の記憶を、前記メモリキャッシュへの前記非グラフィックスアプリケーションの前記命令の前記実行の結果の記憶よりも優先させるように構成された、請求項 14 に記載の GPU。

【請求項 19】

前記 GPU は、前記非グラフィックスアプリケーションの命令がないとき、前記第 2 のコマンドプロセッサの電源を切断するための指示を受信し、電源を切断するための前記指示の前記受信に応答して前記第 2 のコマンドプロセッサの電源を切断するように構成された、請求項 14 に記載の GPU。

【請求項 20】

前記シェーダコアの前記第 1 のセットのシェーダコアの数が前記シェーダコアの前記第 2 のセットのシェーダコアの数とは異なる、請求項 14 に記載の GPU。

【請求項 21】

グラフィックス処理ユニット (GPU) のシェーダプロセッサのシェーダコアのうちのいくつかのシェーダコアおよびどのシェーダコアがグラフィックスアプリケーションのため

10

20

30

40

50

に確保されるかを判断することと、前記グラフィックスアプリケーションのために確保された前記判断されたシェーダコアは、シェーダコアの第1のセットを備え、前記グラフィックスアプリケーションのすべての命令は、前記シェーダコアの前記第1のセット上で実行されるべきである、

同じGPUの同じシェーダプロセッサの前記シェーダコアのうちのいくつかのシェーダコアおよびどのシェーダコアが非グラフィックスアプリケーションのために確保されるかを判断することと、前記非グラフィックスアプリケーションのために確保された前記判断されたシェーダコアは、シェーダコアの第2の異なるセットを備え、前記非グラフィックスアプリケーションのすべての命令は、シェーダコアの前記第2のセットによって実行されるべきである、

10

前記GPUが、前記非グラフィックスアプリケーションと前記グラフィックスアプリケーションの前記実行をインターリーブすることなく、実質的に同時に前記グラフィックスアプリケーションの命令と前記非グラフィックスアプリケーションの命令とを実行することを可能にするために、シェーダコアの前記第1のセットの指示とシェーダコアの前記第2のセットの指示とを前記GPUに送信することと  
を行うように構成されたプロセッサ。

【請求項22】

前記プロセッサが、前記判断と前記GPUへの前記送信とを行うドライバを実行する、請求項21に記載のプロセッサ。

【請求項23】

20

前記プロセッサは、より多くのシェーダコアが前記グラフィックスアプリケーションを実行するために利用可能であるように、シェーダコアの前記第1のセットがシェーダコアの前記第2のセットよりも多くのシェーダコアを含むと判断するように構成された、請求項21に記載のプロセッサ。

【請求項24】

前記プロセッサが、前記グラフィックスアプリケーションのキューイングされた命令の数に基づいてシェーダコアの前記第1のセットを判断するように構成された、請求項21に記載のプロセッサ。

【請求項25】

前記プロセッサが、前記非グラフィックスアプリケーションのキューイングされた命令の数に基づいてシェーダコアの前記第2のセットを判断するように構成された、請求項21に記載のプロセッサ。

30

【請求項26】

前記プロセッサが、  
前記シェーダコアの前記第1のセットの前記指示を前記GPUの第1のコマンドプロセッサに送信することと、  
前記シェーダコアの前記第2のセットの前記指示を前記GPUの第2の異なるコマンドプロセッサに送信することと  
を行うように構成された、請求項21に記載のプロセッサ。

【請求項27】

40

前記プロセッサが、  
前記シェーダコアの前記第1のセットの前記指示を前記GPUのコマンドプロセッサに送信することと、  
前記シェーダコアの前記第2のセットの前記指示を前記GPUの同じコマンドプロセッサに送信することと  
を行うように構成された、請求項21に記載のプロセッサ。

【請求項28】

グラフィックス処理ユニット(GPU)であって、  
グラフィックスアプリケーションの命令を実行するために確保された、前記GPUのシェーダプロセッサのシェーダコアの第1のセットの指示を受信するための第1の手段と、

50

非グラフィックスアプリケーションの命令を実行するために確保された、同じGPUの同じシェーダプロセッサのシェーダコアの第2の異なるセットの指示を受信するための第2の手段と、

前記グラフィックスアプリケーションの前記命令を受信するための第3の手段と、

前記非グラフィックスアプリケーションの前記命令を受信するための第4の手段と、

シェーダコアの前記第1のセットのうちのどのシェーダコアが前記グラフィックスアプリケーションの前記命令のうちのどの命令を実行するかを判断するための手段と、

シェーダコアの前記第2のセットのうちのどのシェーダコアが前記非グラフィックスアプリケーションの前記命令のうちのどの命令を実行するかを判断するための手段と、

シェーダコアの前記第1のセットのうちのどのシェーダコアが前記グラフィックスアプリケーションの前記命令のうちのどの命令を実行するかの前記判断に基づいて、他のシェーダコアではなく、シェーダコアの前記第1のセットで前記グラフィックスアプリケーションの前記命令のすべてを実行するための手段と、

前記グラフィックスアプリケーションの前記命令を実行すると同時に、前記非グラフィックスアプリケーションの前記実行と前記グラフィックスアプリケーションの前記実行とをインターリーブすることなく、シェーダコアの前記第2のセットのうちのどのシェーダコアが前記非グラフィックスアプリケーションの前記命令のうちのどの命令を実行するかの前記判断に基づいて、他のシェーダコアではなく、シェーダコアの前記第2のセットで前記非グラフィックスアプリケーションの前記命令のすべてを実行するための手段と

を備えるGPU。

【請求項29】

受信するための前記第1の手段および受信するための前記第2の手段が、受信するための異なる手段を備える、請求項28に記載のGPU。

【請求項30】

グラフィックス処理ユニット(GPU)に、

前記GPUを用いて、グラフィックスアプリケーションの命令を実行するために確保された、前記GPUのシェーダプロセッサのシェーダコアの第1のセットの指示を受信することと、

前記GPUを用いて、非グラフィックスアプリケーションの命令を実行するために確保された、同じGPUの同じシェーダプロセッサのシェーダコアの第2の異なるセットの指示を受信することと、

前記GPUを用いて、前記グラフィックスアプリケーションの前記命令を受信することと、

前記GPUを用いて、前記非グラフィックスアプリケーションの前記命令を受信することと、

前記GPUの第1の作業負荷分配ユニットを用いて、シェーダコアの前記第1のセットのうちのどのシェーダコアが前記グラフィックスアプリケーションの前記命令のうちのどの命令を実行するかを判断することと、

前記GPUの第2の異なる作業負荷分配ユニットを用いて、シェーダコアの前記第2のセットのうちのどのシェーダコアが前記非グラフィックスアプリケーションの前記命令のうちのどの命令を実行するかを判断することと、

前記GPUを用いて、シェーダコアの前記第1のセットのうちのどのシェーダコアが前記グラフィックスアプリケーションの前記命令のうちのどの命令を実行するかの前記判断に基づいて、他のシェーダコアではなく、シェーダコアの前記第1のセットで前記グラフィックスアプリケーションの前記命令のすべてを実行することと、

前記グラフィックスアプリケーションの前記命令を実行すると同時に、前記GPUを用いて、前記非グラフィックスアプリケーションの前記実行と前記グラフィックスアプリケーションの前記実行とをインターリーブすることなく、シェーダコアの前記第2のセットのうちのどのシェーダコアが前記非グラフィックスアプリケーションの前記命令のうちのどの命令を実行するかの前記判断に基づいて、他のシェーダコアではなく、シェーダコ

10

20

30

40

50

アの前記第 2 のセットで前記非グラフィックスアプリケーションの前記命令のすべてを実行することと

を行わせる命令を備える、非一時的コンピュータ可読記憶媒体。

【請求項 3 1】

シェーダコアの前記第 1 のセットの前記指示を受信するための前記命令が、第 1 のコマンドプロセッサを用いてシェーダコアの前記第 1 のセットの前記指示を受信するための命令を備え、シェーダコアの前記第 2 のセットの前記指示を受信するための前記命令が、第 2 の異なるコマンドプロセッサを用いてシェーダコアの前記第 2 のセットの前記指示を受信するための命令を備える、請求項 3 0 に記載の非一時的コンピュータ可読記憶媒体。

【請求項 3 2】

グラフィックス処理ユニット (GPU) のシェーダプロセッサのシェーダコアのうちのいくつかのシェーダコアおよびどのシェーダコアがグラフィックスアプリケーションのために確保されるかを判断するための手段と、前記グラフィックスアプリケーションのために確保された前記判断されたシェーダコアは、シェーダコアの第 1 のセットを備え、前記グラフィックスアプリケーションのすべての命令は、シェーダコアの前記第 1 のセット上で実行されるべきである、

同じ GPU の同じシェーダプロセッサの前記シェーダコアのうちのいくつかのシェーダコアおよびどのシェーダコアが非グラフィックスアプリケーションのために確保されるかを判断するための手段と、前記非グラフィックスアプリケーションのために確保された前記判断されたシェーダコアは、シェーダコアの第 2 の異なるセットを備え、前記非グラフィックスアプリケーションのすべての命令は、シェーダコアの前記第 2 のセットによって実行されるべきである、

前記 GPU が、前記非グラフィックスアプリケーションと前記グラフィックスアプリケーションの前記実行をインターリーブすることなく、実質的に同時に前記グラフィックスアプリケーションの命令と前記非グラフィックスアプリケーションの命令とを実行することを可能にするために、シェーダコアの前記第 1 のセットの指示とシェーダコアの前記第 2 のセットの指示とを前記 GPU に送信するための手段と

を備えるプロセッサ。

【請求項 3 3】

1 つまたは複数のプロセッサに、

前記 1 つまたは複数のプロセッサ上のドライバを用いて、グラフィックス処理ユニット (GPU) のシェーダプロセッサのシェーダコアのうちのいくつかのシェーダコアおよびどのシェーダコアがグラフィックスアプリケーションのために確保されるかを判断することと、前記グラフィックスアプリケーションのために確保された前記判断されたシェーダコアは、シェーダコアの第 1 のセットを備え、前記グラフィックスアプリケーションのすべての命令は、シェーダコアの前記第 1 のセット上で実行されるべきである、

前記 1 つまたは複数のプロセッサ上の前記ドライバを用いて、同じ GPU の同じシェーダプロセッサの前記シェーダコアのうちのいくつかのシェーダコアおよびどのシェーダコアが非グラフィックスアプリケーションのために確保されるかを判断することと、前記非グラフィックスアプリケーションのために確保された前記判断されたシェーダコアは、シェーダコアの第 2 の異なるセットを備え、前記非グラフィックスアプリケーションのすべての命令は、シェーダコアの前記第 2 のセットによって実行されるべきである、

前記 GPU が、前記非グラフィックスアプリケーションと前記グラフィックスアプリケーションの前記実行をインターリーブすることなく、実質的に同時に前記グラフィックスアプリケーションの命令と前記非グラフィックスアプリケーションの命令とを実行することを可能にするために、シェーダコアの前記第 1 のセットの指示とシェーダコアの前記第 2 のセットの指示とを前記 GPU に送信することと

を行わせる命令を備える、非一時的コンピュータ可読記憶媒体。

【請求項 3 4】

プロセッサと、

グラフィックス処理ユニット（GPU）と  
を備え、  
前記プロセッサが、

シェーダコアの第1のセット上で実行されるべきグラフィックスアプリケーションの  
ために確保された、前記GPUのシェーダプロセッサの前記シェーダコアの前記第1のセ  
ットを判断することと、

シェーダコアの第2の異なるセットによって実行されるべき非グラフィックスアプリ  
ケーションのために確保された、同じGPUの同じシェーダプロセッサのシェーダコアの  
前記第2のセットを判断することと、

前記GPUが、互いに干渉せずに実質的に同時に前記グラフィックスアプリケーショ  
ンの命令と前記非グラフィックスアプリケーションの命令とを実行することを可能にする  
ために、シェーダコアの前記第1のセットの指示とシェーダコアの前記第2のセットの指  
示とを前記GPUに送信することと

を行うように構成され、

前記GPUが、

シェーダコアの前記第1のセットとシェーダコアの前記第2のセットとを含む複数の  
シェーダコアを含む前記シェーダプロセッサと、

前記グラフィックスアプリケーションの命令を実行するために確保された前記シェー  
ダコアの前記第1のセットの前記指示を受信し、前記グラフィックスアプリケーションの  
前記命令を受信するように構成された第1のコマンドプロセッサと、

前記非グラフィックスアプリケーションの命令を実行するために確保された前記シェ  
ーダコアの前記第2の異なるセットの前記指示を受信し、前記非グラフィックスアプリケ  
ーションの前記命令を受信するように構成された第2のコマンドプロセッサと

前記シェーダコアの前記第1のセットのうちのどのシェーダコアが前記グラフィック  
スアプリケーションの前記命令のうちのどの命令を実行するかを判断するように構成され  
た第1の作業負荷分配ユニットと、

前記シェーダコアの前記第2のセットのうちのどのシェーダコアが前記非グラフィッ  
クスアプリケーションの前記命令のうちのどの命令を実行するかを判断するように構成さ  
れた第2の異なる作業負荷分配ユニットと、

を備え、

他のシェーダコアではなく、前記シェーダコアの前記第1のセットが、シェーダコア  
の前記第1のセットのうちのどのシェーダコアが前記グラフィックスアプリケーションの  
前記命令のうちのどの命令を実行するかの前記第1の作業負荷分配ユニットの前記判断に  
基づいて、前記グラフィックスアプリケーションの前記命令のすべてを実行するように構  
成され、

他のシェーダコアではなく、前記シェーダコアの前記第2のセットが、前記グラフィ  
ックスアプリケーションの前記命令の前記実行と実質的に同時に、前記非グラフィックス  
アプリケーションの前記実行と前記グラフィックスアプリケーションの前記実行とをイン  
ターリーブすることなく、シェーダコアの前記第2のセットのうちのどのシェーダコアが  
前記非グラフィックスアプリケーションの前記命令のうちのどの命令を実行するかの前記  
第2の作業負荷分配ユニットの前記判断に基づいて、前記非グラフィックスアプリケーシ  
ョンの前記命令のすべてを実行するように構成された、装置。

【発明の詳細な説明】

【技術分野】

【0001】

[0001]本開示は、グラフィックス処理ユニット（GPU）上で実行するアプリケーション  
を対象とし、より詳細には、GPUがそのようなアプリケーションを実行する方法を対  
象とする。

【背景技術】

【0002】

10

20

30

40

50



[0002]グラフィックス処理ユニット（GPU）は、従来、極めて限られた機能的フレキシビリティを与える固定機能パイプラインにおけるグラフィックス関係処理のみを実行することに限定されていた。より新しいGPUは、プログラムを実行するプログラマブルコアを含み、それによって、従来のGPUと比較してより大きい機能的フレキシビリティを与える。プログラマブルコアは、グラフィックスアプリケーションと非グラフィックスアプリケーションの両方を実行し、いわゆる汎用GPU（GP GPU：general purpose GPU）アプリケーションを可能にし得る。

【発明の概要】

【0003】

[0003]概して、本開示は、グラフィックス処理ユニット（GPU）上でのグラフィックスアプリケーションおよび非グラフィックスアプリケーションの並列実行のための技法に関する。GPUは、1つまたは複数のグラフィックスアプリケーションと1つまたは複数の非グラフィックスアプリケーションとを実行することが可能である複数のシェーダコア（shader core）を含み得る。本開示で説明する技法は、グラフィックスアプリケーションのためのシェーダコアの第1のセットと非グラフィックスアプリケーションのためのシェーダコアの第2のセットとを選択的に確保し得る。本技法はまた、グラフィックスアプリケーションのための命令と非グラフィックスアプリケーションのための命令とを画成し得る。このようにして、シェーダコアの第1のセット上で実行するグラフィックスアプリケーションは、シェーダコアの第2のセット上で実行する非グラフィックスアプリケーションの実行に干渉しないことがあり、その逆も同様である。そのような画成された実行は、GPU上での同時の（すなわち、並列の）グラフィックスアプリケーションおよび非グラフィックスアプリケーションの効率的な実行を促進し得る。

【0004】

[0004]一例では、本開示では、グラフィックス処理ユニット（GPU）を用いて、グラフィックスアプリケーションのために確保された、GPUのシェーダプロセッサ（shader processor）のシェーダコアの第1のセットの指示を受信することと、GPUを用いて、非グラフィックスアプリケーションのために確保された、GPUのシェーダプロセッサのシェーダコアの第2の異なるセットの指示を受信することとを含む方法について説明する。本方法は、GPUを用いて、グラフィックスアプリケーションの命令を受信することと、GPUを用いて、非グラフィックスアプリケーションの命令を受信することとをさらに含む。本方法はまた、GPUを用いて、シェーダコアの第1のセットでグラフィックスアプリケーションの命令を実行することと、グラフィックスアプリケーションの命令を実行するのと実質的に同時に、GPUを用いて、シェーダコアの第2のセットで非グラフィックスアプリケーションの命令を実行することとを含む。

【0005】

[0005]別の例では、本開示では、プロセッサ上のドライバを用いて、シェーダコアの第1のセット上で実行されるべきグラフィックスアプリケーションのために確保された、グラフィックス処理ユニット（GPU）のシェーダプロセッサのシェーダコアの第1のセットを判断することと、プロセッサ上のドライバを用いて、シェーダコアの第2の異なるセットによって実行されるべき非グラフィックスアプリケーションのために確保された、GPUのシェーダプロセッサのシェーダコアの第2のセットを判断することとを含む方法について説明する。本方法はまた、シェーダコアの第1のセットの指示とシェーダコアの第2のセットの指示とをGPUに送信することを含む。

【0006】

[0006]別の例では、本開示では、複数のシェーダコアを含むシェーダプロセッサを含むグラフィックス処理ユニット（GPU）について説明する。本GPUはまた、グラフィックスアプリケーションの命令を実行するために確保されたシェーダコアの第1のセットの指示を受信し、グラフィックスアプリケーションの命令を受信するように構成された第1のコマンドプロセッサを含む。本GPUはまた、非グラフィックスアプリケーションの命令を実行するために確保されたシェーダコアの第2の異なるセットの指示を受信し、非グ

グラフィックスアプリケーションの命令を受信するように構成された第2のコマンドプロセッサを含む。

【0007】

[0007]別の例では、本開示では、シェーダコアの第1のセット上で実行されるべきグラフィックスアプリケーションのために確保された、グラフィックス処理ユニット(GPU)のシェーダプロセッサのシェーダコアの第1のセットを判断し、シェーダコアの第2の異なるセットによって実行されるべき非グラフィックスアプリケーションのために確保された、GPUのシェーダプロセッサのシェーダコアの第2のセットを判断するように構成されたプロセッサについて説明する。本プロセッサはまた、シェーダコアの第1のセットの指示とシェーダコアの第2のセットの指示とをGPUに送信するように構成される。

10

【0008】

[0008]別の例では、本開示では、グラフィックスアプリケーションのために確保された、GPUのシェーダプロセッサのシェーダコアの第1のセットの指示を受信するための第1の手段と、非グラフィックスアプリケーションのために確保された、GPUのシェーダプロセッサのシェーダコアの第2の異なるセットの指示を受信するための第2の手段とを含むGPUについて説明する。本GPUはまた、グラフィックスアプリケーションの命令を受信するための第3の手段と、非グラフィックスアプリケーションの命令を受信するための第4の手段とを備える。本GPUは、シェーダコアの第1のセットでグラフィックスアプリケーションの命令を実行するための手段と、グラフィックスアプリケーションの命令を実行すると同時に、シェーダコアの第2のセットで非グラフィックスアプリケーションの命令を実行するための手段とをさらに備える。

20

【0009】

[0009]別の例では、本開示では、1つまたは複数のプロセッサに、グラフィックス処理ユニット(GPU)を用いて、グラフィックスアプリケーションのために確保された、GPUのシェーダプロセッサのシェーダコアの第1のセットの指示を受信することと、GPUを用いて、非グラフィックスアプリケーションのために確保された、GPUのシェーダプロセッサのシェーダコアの第2の異なるセットの指示を受信することとを行わせる命令を備えるコンピュータ可読記憶媒体について説明する。命令はまた、1つまたは複数のプロセッサに、GPUを用いて、グラフィックスアプリケーションの命令を受信することと、GPUを用いて、非グラフィックスアプリケーションの命令を受信することとを行わせる。命令はまた、1つまたは複数のプロセッサに、GPUを用いて、シェーダコアの第1のセットでグラフィックスアプリケーションの命令を実行することと、グラフィックスアプリケーションの命令を実行すると同時に、GPUを用いて、シェーダコアの第2のセットで非グラフィックスアプリケーションの命令を実行することとを行わせる。

30

【0010】

[0010]別の例では、本開示では、シェーダコアの第1のセット上で実行されるべきグラフィックスアプリケーションのために確保された、グラフィックス処理ユニット(GPU)のシェーダプロセッサのシェーダコアの第1のセットを判断するための手段と、シェーダコアの第2の異なるセットによって実行されるべき非グラフィックスアプリケーションのために確保された、GPUのシェーダプロセッサのシェーダコアの第2のセットを判断するための手段とを含むプロセッサについて説明する。本プロセッサはまた、シェーダコアの第1のセットの指示とシェーダコアの第2のセットの指示とをGPUに送信するための手段を含む。

40

【0011】

[0011]別の例では、本開示では、1つまたは複数のプロセッサに、1つまたは複数のプロセッサ上のドライバを用いて、シェーダコアの第1のセット上で実行されるべきグラフィックスアプリケーションのために確保された、グラフィックス処理ユニット(GPU)のシェーダプロセッサのシェーダコアの第1のセットを判断することと、1つまたは複数のプロセッサ上のドライバを用いて、シェーダコアの第2の異なるセットによって実行されるべき非グラフィックスアプリケーションのために確保された、GPUのシェーダプロ

50

セッサのシェーダコアの第2のセットを判断することとを行わせる命令を備えるコンピュータ可読記憶媒体について説明する。命令はまた、1つまたは複数のプロセッサに、シェーダコアの第1のセットの指示とシェーダコアの第2のセットの指示とをGPUに送信することを行わせる。

【0012】

[0012]別の例では、本開示では、プロセッサとグラフィックス処理ユニット(GPU)とを含む装置について説明する。本プロセッサは、シェーダコアの第1のセット上で実行されるべきグラフィックスアプリケーションのために確保された、GPUのシェーダプロセッサのシェーダコアの第1のセットを判断し、シェーダコアの第2の異なるセットによって実行されるべきグラフィックスアプリケーションのために確保された、GPUのシェーダプロセッサのシェーダコアの第2のセットを判断し、シェーダコアの第1のセットの指示とシェーダコアの第2のセットの指示とをGPUに送信するように構成される。本GPUは、シェーダコアの第1のセットとシェーダコアの第2のセットとを含む複数のシェーダコアを含むシェーダプロセッサと、グラフィックスアプリケーションの命令を実行するために確保されたシェーダコアの第1のセットの指示を受信し、グラフィックスアプリケーションの命令を受信するように構成された第1のコマンドプロセッサと、非グラフィックスアプリケーションの命令を実行するために確保されたシェーダコアの第2の異なるセットの指示を受信し、非グラフィックスアプリケーションの命令を受信するように構成された第2のコマンドプロセッサとを含む。

【0013】

[0013]本開示の1つまたは複数の態様の詳細を添付の図面および以下の説明に記載する。本開示の他の特徴、目的、および利点は、説明および図面、ならびに特許請求の範囲から明らかになる。

【図面の簡単な説明】

【0014】

【図1】[0014]本開示で説明する1つまたは複数の例示的な技法を実装し得るデバイスを示すブロック図。

【図2】[0015]図1のグラフィックス処理ユニット(GPU)の一例をさらに詳細に示すブロック図。

【図3】[0016]図1のGPUの別の例をさらに詳細に示すブロック図。

【図4】[0017]本開示で説明する1つまたは複数の例による例示的な技法を示すフローチャート。

【図5】[0018]本開示で説明する1つまたは複数の例による別の例示的な技法を示すフローチャート。

【図6】[0019]図1に示した例示的なデバイスをさらに詳細に示すブロック図。

【発明を実施するための形態】

【0020】

[0020]グラフィックス処理ユニット(GPU)は、コマンドプロセッサと、固定機能グラフィックス処理ハードウェアユニットと、シェーダプロセッサを形成する1つまたは複数のシェーダコアとを含む。従来、シェーダプロセッサの1つまたは複数のシェーダコアは、グラフィックスデータに対して機能を実行することによって限定されたプログラムを実行していた。たとえば、1つまたは複数のシェーダコアは、頂点シェーダとフラグメントシェーダとを実行し、従来、非グラフィックスアプリケーションを実行していなかった。

【0021】

[0021]しかしながら、GPUによってサポートされる超並列(massive parallel)計算効率は非グラフィックス関係アプリケーションに利益を与え得る。たとえば、より新しいGPUは、一般的な処理機能を与え、汎用GPU(GPGPU)と呼ばれることがある。これらのGPGPUのシェーダコアは、グラフィックスアプリケーションならびに非グラフィックスアプリケーションを実行し得る。

【0022】

[0022]グラフィックスアプリケーションと非グラフィックスアプリケーションが両方とも G P G P U の 1 つまたは複数のシェーダコア上で実行するので、非グラフィックスアプリケーションの実行はグラフィックスアプリケーションの実行に潜在的に干渉し得る。たとえば、G P G P U のシェーダコアは、非グラフィックスアプリケーションと、デバイスのためのユーザインターフェースを生成するグラフィックスアプリケーションとを実行していると仮定する。この例では、非グラフィックスアプリケーションの実行がユーザインターフェースの生成に干渉することが可能であり得る。この干渉によりユーザインターフェースが反応しなくなることがあり、それによりユーザエクスペリエンスが潜在的に低下することがある。

【 0 0 1 8 】

10

[0023]以下でより詳細に説明するように、本開示では、単一の G P G P U のシェーダプロセッサの 1 つまたは複数のシェーダコアが、非グラフィックスアプリケーションがグラフィックスアプリケーションの性能に干渉することなしにグラフィックスアプリケーションと非グラフィックスアプリケーションとを実行し得、その逆も同様である技法について説明する。たとえば、シェーダプロセッサの 1 つまたは複数のシェーダコアはグラフィックスアプリケーションのために確保され得、シェーダプロセッサの 1 つまたは複数の他のシェーダコアは非グラフィックスアプリケーションのために確保され得る。シェーダコアの確保は静的にまたは動的に行われ得る。たとえば、シェーダコアの確保はあらかじめ決定され得る。別の例では、グラフィックスアプリケーションおよび非グラフィックスアプリケーションの実行中に、本技法は、いくつのシェーダコアがグラフィックスアプリケーションのために確保されるべきか、およびいくつのシェーダコアが非グラフィックスアプリケーションのために確保されるべきかを選択し得る。本技法により、単一の組込み G P U を、グラフィックスアプリケーションと非グラフィックスアプリケーションとの間で共有することがはるかに簡単になることがあり、それにより、高レイテンシ非グラフィックスアプリケーションが、低レイテンシグラフィックスアプリケーションを中断させることなしに実行することが可能になり得る。

20

【 0 0 1 9 】

[0024]図 1 は、本開示で説明する 1 つまたは複数の例示的な技法を実装し得るデバイスを示すブロック図である。図 1 は、プロセッサ 1 2 と、グラフィックス処理ユニット ( G P U ) 1 6 と、システムメモリ 2 6 とを含むデバイス 1 0 を示す。デバイス 1 0 は、図 6 にさらに示されているように、図 1 に示された構成要素に加えて、構成要素を含む。デバイス 1 0 の例としては、限定はしないが、メディアプレーヤなどのビデオデバイス、セットトップボックス、携帯電話またはいわゆるスマートフォンなどのワイヤレスハンドセット、携帯情報端末 ( P D A )、デスクトップコンピュータ、ラップトップコンピュータ、ゲーミングコンソール、ビデオ会議ユニット、タブレットコンピューティングデバイスなどがある。

30

【 0 0 2 0 】

[0025]プロセッサ 1 2 はデバイス 1 0 の中央処理ユニット ( C P U ) であり得る。G P U 1 6 は、グラフィックス関係機能を実行するように構成された処理ユニットであり得る。たとえば、G P U 1 6 は、ディスプレイ上での提示のためにグラフィックスデータを生成し、出力し、ならびに G P U 1 6 によって行われる超並列処理 ( massive processing parallelism ) を活用する非グラフィックス関係機能を実行し得る。たとえば、G P U 1 6 は、計算アプリケーションと呼ばれることがある、グラフィックスアプリケーションと非グラフィックスアプリケーションの両方を実行し得る。G P U 1 6 は、グラフィックス処理能力に加えて汎用処理能力を与え得るので、G P U 1 6 は汎用 G P U ( G P G P U ) と呼ばれることがある。

40

【 0 0 2 1 】

[0026]プロセッサ 1 2 および G P U 1 6 の例としては、限定はしないが、デジタル信号プロセッサ ( D S P )、汎用マイクロプロセッサ、特定用途向け集積回路 ( A S I C )、フィールドプログラマブル論理アレイ ( F P G A )、あるいは他の等価な集積回路または

50

ディスクリット論理回路など、様々な汎用または専用処理ハードウェアのいずれかがある。いくつかの例では、GPU 16は、グラフィックスを処理するために、ならびに非グラフィックス関係アプリケーションを実行するために超並列処理を行うことなど、特定の使用のために設計された複数のプロセッサコアを有するマイクロプロセッサであり得る。さらに、プロセッサ 12およびGPU 16は別個の構成要素として示されているが、本開示の態様はそうのように限定されない。たとえば、プロセッサ 12およびGPU 16は共通の集積回路(IC)中に常駐し得る。

【0022】

[0027]システムメモリ 26は、デバイス 10のシステムメモリであり、プロセッサ 12およびGPU 16の外部にある。たとえば、システムメモリ 26は、プロセッサ 12およびGPU 16に対してオフチップであり得、システムバスを介してアクセス可能であり得る。図示のように、システムメモリ 26は、プロセッサ 12およびGPU 16によって実行されるアプリケーションを記憶し得る。たとえば、グラフィックスアプリケーション 28は、GPU 16が実行するグラフィックスアプリケーションである。グラフィックスアプリケーション 28の例としては頂点シェーダおよびフラグメントシェーダがある。非グラフィックスアプリケーション 30は、GPU 16が実行する非グラフィックスアプリケーションである。非グラフィックスアプリケーション 30の一例は、パノラマピクチャを作成するために異なるピクチャをスティッチするアプリケーションである。たとえば、ピクチャは、デバイス 10によってキャプチャされ、GPU 16とともにスティッチされたピクチャであり得る。GPUドライバ 14は、システムメモリ 26が記憶するアプリケーションの別の例である。プロセッサ 12は、プロセッサ 12とGPU 16との間の通信を可能にするアプリケーションであり得るGPUドライバ 14を実行し得る。

【0023】

[0028]さらに、システムメモリ 26は、実行されたアプリケーションが動作するデータ、ならびにアプリケーションから生じるデータを記憶し得る。しかしながら、すべてのそのようなデータが、あらゆる例においてシステムメモリ 26に記憶される必要があるとは限らない。いくつかの事例では、データは、プロセッサ 12またはGPU 16上のメモリにローカルに記憶され得る。

【0024】

[0029]システムメモリ 26はコンピュータ可読記憶媒体の一例であり得る。たとえば、システムメモリ 26は、本開示では、プロセッサ 12とGPU 16とに、各々に起因する機能を実行させる命令を記憶し得る。システムメモリ 26は、1つまたは複数のプロセッサ、たとえば、アプリケーションプロセッサ 12またはGPU 16に様々な機能を実行させる命令を備えるコンピュータ可読記憶媒体と見なされ得る。

【0025】

[0030]システムメモリ 26の例としては、限定はしないが、ランダムアクセスメモリ(RAM)、読取り専用メモリ(ROM)、電気消去可能プログラマブル読取り専用メモリ(EEPROM(登録商標))、あるいは命令またはデータ構造の形態の所望のプログラムコードを搬送または記憶するために使用され得、コンピュータまたはプロセッサによってアクセスされ得る、任意の他の媒体がある。システムメモリ 26は、いくつかの例では、非一時的記憶媒体と見なされ得る。「非一時的」という用語は、記憶媒体が、搬送波または伝搬信号では実施されないことを示し得る。ただし、「非一時的」という用語は、システムメモリ 26が非可動であることを意味するものと解釈されるべきでない。一例として、システムメモリ 26は、デバイス 10から取り外され、別のデバイスに移され得る。別の例として、システムメモリ 26と実質的に同様のストレージデバイスが、デバイス 10中に挿入され得る。いくつかの例では、非一時的記憶媒体は、経時的に変動し得るデータを(たとえば、RAMに)記憶し得る。

【0026】

[0031]上記で説明したように、GPU 16は、1つまたは複数のグラフィックスアプリケーション(たとえば、グラフィックスアプリケーション 28)と1つまたは複数の非グ

グラフィックスアプリケーション（たとえば、非グラフィックスアプリケーション 30）とを同時に（すなわち、並列に）実行し得る。しかしながら、不十分なりソース管理により、非グラフィックスアプリケーション 30 の実行がグラフィックスアプリケーション 28 の実行に干渉することがある。本開示の技法によれば、GPU 16 は、最小の実行干渉でグラフィックスアプリケーション 28 と非グラフィックスアプリケーション 30 とを同時に実行することが可能であり得る。

【0027】

[0032] 図示のように、GPU 16 は、（グラフィックス機能パイプライン 18 と総称される）グラフィックス機能パイプライン 18 A および 18 B と、（非グラフィックス機能パイプライン 20 と総称される）非グラフィックス機能パイプライン 20 A および 20 B と、シェーダプロセッサ 22 と、GPU メモリ 24 とを含む。GPU メモリ 24 は GPU 16 のためのオンチップメモリであり得る。たとえば、GPU メモリ 24 は、グラフィックス機能パイプライン 18、非グラフィックス機能パイプライン 20、およびシェーダプロセッサ 22 が迅速にデータにアクセスすることを可能にする、キャッシュメモリであり得る。

10

【0028】

[0033] グラフィックス機能パイプライン 18 はグラフィックス関係機能进行处理し、非グラフィックス機能パイプライン 20 は非グラフィックス関係機能进行处理する。このようにして、本開示で説明する技法は、非グラフィックス関係機能のためのリソースからグラフィックス関係機能のためのリソースを画成する。たとえば、グラフィックス機能パイプライン 18 によって処理されるグラフィックス関係機能は、GPU 16 がグラフィックス関係機能と非グラフィックス関係機能の両方を同時に実行しているときでも、非グラフィックス機能パイプライン 20 によって処理される非グラフィックス関係機能に干渉しないことがあり、その逆も同様である。言い換えれば、グラフィックス機能パイプライン 18 および非グラフィックス機能パイプライン 20 はそれぞれの機能を並列に実行し得る。

20

【0029】

[0034] いくつかの例では、グラフィックス機能パイプライン 18 および非グラフィックス機能パイプライン 20 は固定機能ユニットを含み得る。しかしながら、グラフィックス機能パイプライン 18 および非グラフィックス機能パイプライン 20 はシェーダプロセッサ 22 を共有し得る。シェーダプロセッサ 22 は、グラフィックスアプリケーションと非グラフィックスアプリケーションの両方を同時に実行するように構成される。たとえば、シェーダプロセッサ 22 は、グラフィックスアプリケーション 28 を実行し、同時に、非グラフィックスアプリケーション 30 を実行し得る。図 1 は、1 つのグラフィックスアプリケーションおよび 1 つの非グラフィックスアプリケーションのみを示しているが、本開示の態様はそうに限定されない。他の例では、GPU 16 は、1 つまたは複数のグラフィックスアプリケーションと 1 つまたは複数の非グラフィックスアプリケーションとをすべて同時に実行し得る。

30

【0030】

[0035] グラフィックスアプリケーション 28 と非グラフィックスアプリケーション 30 とを実行するために、シェーダプロセッサ 22 は、グラフィックスアプリケーション 28 および非グラフィックスアプリケーション 30 の命令を実行する複数のシェーダコアを含む。たとえば、シェーダコアは、作業グループまたはタスクと呼ばれる、グラフィックスアプリケーション 28 および非グラフィックスアプリケーション 30 の命令のサブセットを実行し得る。これらのシェーダコアはグラフィックスアプリケーション 28 または非グラフィックスアプリケーション 30 に割り振られ得る。

40

【0031】

[0036] 本開示で説明する技法では、GPU ドライバ 14 は、グラフィックスアプリケーション 28 を実行するためにシェーダプロセッサ 22 内のシェーダコアの第 1 のセットを確保し、非グラフィックスアプリケーション 30 を実行するためにシェーダプロセッサ 22 内のシェーダコアの第 2 のセットを確保し得る。上記で説明したように、GPU ドライ

50

バ 1 4 は、プロセッサ 1 2 および G P U 1 5 が互いに通信することを可能にし得る。シェーダコアを確保することは、シェーダプロセッサ 2 2 内のそのシェーダコアをグラフィックスアプリケーション 2 8 または非グラフィックスアプリケーション 3 0 のうちの特定の 1 つに割り振ることを指し得る。たとえば、グラフィックスアプリケーション 2 8 のために確保されたシェーダコアは、グラフィックスアプリケーション 2 8 の命令を実行するために割り振られ、そのシェーダコアがもはやグラフィックスアプリケーション 2 8 のために確保されなくなるまで、非グラフィックスアプリケーション 3 0 の命令を実行することが可能でないことがある。同様に、非グラフィックスアプリケーション 3 0 のために確保されたシェーダコアは、そのシェーダコアがもはや非グラフィックスアプリケーション 3 0 のために確保されなくなるまで、グラフィックスアプリケーション 2 8 の命令を実行するために使用可能でないことがある。

10

#### 【 0 0 3 2 】

[0037] 例示的な例として、シェーダプロセッサ 2 2 は 4 つのシェーダコアを含み得るが、より多いまたはより少ないシェーダコアが可能である。この例では、G P U ドライバ 1 4 は、グラフィックスアプリケーション 2 8 のために 4 つのシェーダコアのうちの 2 つを確保し、非グラフィックスアプリケーション 3 0 のために残りの 2 つのシェーダコアを確保し得る。ただし、シェーダコアの任意の組合せが可能である。たとえば、G P U ドライバ 1 4 は、グラフィックスアプリケーション 2 8 のために 4 つのシェーダコアのうちの 3 つを確保し、非グラフィックスアプリケーション 3 0 のために残りのシェーダコアを確保し得る。G P U ドライバ 1 4 が、グラフィックスアプリケーション 2 8 のためにすべての 4 つのシェーダコアを確保し、非グラフィックスアプリケーション 3 0 のためにいずれも確保しないこと、またはその逆さえも可能であり得る。

20

#### 【 0 0 3 3 】

[0038] G P U ドライバ 1 4 は、プロセッサ 1 2 が G P U 1 6 を制御することを可能にする、プロセッサ 1 2 と G P U 1 6 との間のインターフェースとして機能し得る。たとえば、プロセッサ 1 2 が G P U 1 6 にコマンドを送信する必要があるとき、プロセッサ 1 2 がコマンドを送信するのは、G P U ドライバ 1 4 を通してである。プロセッサ 1 2 が G P U 1 6 に送信し得るコマンドは、グラフィックスアプリケーション 2 8 および非グラフィックスアプリケーション 3 0 の命令をロードし、実行するためのコマンドと、データがシステムメモリ 2 6 中のどこに位置するかを G P U 1 6 に示すコマンド、およびそのようなデータをロードするためのコマンドと、他のそのようなコマンドとを含む。このようにして、プロセッサ 1 2 は G P U 1 6 の機能を制御し得る。

30

#### 【 0 0 3 4 】

[0039] 図示ように、G P U ドライバ 1 4 はプロセッサ 1 2 内に破線で示されている。これは、G P U ドライバ 1 4 が、プロセッサ 1 2 上で実行しているソフトウェアであることを示すためである。この例では、システムメモリ 2 6 は、プロセッサ 1 2 が実行のために取り出す、G P U ドライバ 1 4 のソースコードまたはオブジェクトコードを記憶する。代替として、G P U ドライバ 1 4 は、プロセッサ 1 2 内に組み込まれたハードウェア、またはプロセッサ 1 2 および G P U 1 6 に結合する、プロセッサ 1 2 の外部のハードウェアであり得る。概して、G P U ドライバ 1 4 は、ハードウェア、ソフトウェア、ファームウェア、またはそれらの任意の組合せであり得る。説明および明快のために、本開示で説明する例について、プロセッサ 1 2 上で実行しているソフトウェアである G P U ドライバ 1 4 に関して説明する。

40

#### 【 0 0 3 5 】

[0040] G P U ドライバ 1 4 は、グラフィックスアプリケーション 2 8 および非グラフィックスアプリケーション 3 0 のために確保されるべきであるシェーダコアの数を判断するために様々な基準を利用し得る。一例として、プロセッサ 1 2 は G P U 1 6 を制御するので、プロセッサ 1 2 は、グラフィックスアプリケーション 2 8 のためのいくつかの命令および非グラフィックスアプリケーション 3 0 のためのいくつかの命令が、シェーダプロセッサ 2 2 のシェーダコアによる実行のために現在キューイングされているかに関してよく知っ

50

ていることがある。この例では、GPUドライバ14は、シェーダプロセッサ22による実行のためにキュー中にある、グラフィックスアプリケーション28および非グラフィックスアプリケーション30のための命令の数に基づいてシェーダコアを確保し得る。

【0036】

[0041]たとえば、グラフィックスアプリケーション28および非グラフィックスアプリケーション30のためのキューイングされた命令の数が等しい場合、GPUドライバ14は、アプリケーションの各タイプについて、シェーダプロセッサ22の等しい数のシェーダコアを確保し得る。グラフィックスアプリケーション28のためのコマンドよりも非グラフィックスアプリケーション30のためのコマンドが多い場合、GPUドライバ14は、グラフィックスアプリケーション28のためのシェーダコアよりも非グラフィックスアプリケーション30のためのシェーダコアを多く確保し得る。実行のために現在キューイングされている、非グラフィックスアプリケーション30のための命令がない場合、GPUドライバ14は、グラフィックスアプリケーション28のためにすべてのシェーダコアを確保し得る。いくつかの例では、各アプリケーションのために確保されたシェーダコアの数は、実行のためにキューイングされた命令の数に比例し得る。しかしながら、実行時間および優先度など、他のファクタが、アプリケーションの各々のために確保されたシェーダコアの数に影響を及ぼすこともある。

【0037】

[0042]いくつかの例では、GPUドライバ14はグラフィックスアプリケーション28のほうへバイアスされ得る。たとえば、反応しないグラフィックスアプリケーションがユーザエクスペリエンスを低下させることがある。ユーザエクスペリエンスのそのような低下を制限するために、GPUドライバ14は、非グラフィックスアプリケーション30の命令を実行する際にユーザエクスペリエンスがわずかな低下を生じる場合でも、グラフィックスアプリケーション28専用の十分なシェーダコアがあることを保証するように構成され得る。言い換えれば、ユーザエクスペリエンスの観点から、グラフィックスアプリケーション28の適時の実行は非グラフィックスアプリケーション30の適時の実行よりも有益であり得る。より良いユーザエクスペリエンスを支援するために、GPUドライバ14は、十分なシェーダコアをグラフィックスアプリケーション28に充てるために非グラフィックスアプリケーション30の適時の実行を犠牲にするように構成され得る。

【0038】

[0043]これらの場合では、GPUドライバ14はシェーダコアを不均等に割り当て得る。たとえば、グラフィックスアプリケーション28および非グラフィックスアプリケーション30のためのキューイングされた命令の数が等しい場合、GPUドライバ14は、非グラフィックスアプリケーション30のためのシェーダコアよりもグラフィックスアプリケーション28のためのシェーダコアを多く確保し得る。非グラフィックスアプリケーション30のための命令がグラフィックスアプリケーション28のための命令の2倍である場合、GPUドライバ14は、グラフィックスアプリケーション28および非グラフィックスアプリケーション30の各々に等しい数のシェーダコアを割り当て得る。

【0039】

[0044]このようにして、GPUドライバ14は、好適なユーザエクスペリエンスを与えるために、いくつかのシェーダコアがグラフィックスアプリケーション28によって必要とされ、いくつかのシェーダコアが非グラフィックスアプリケーション30によって必要とされるかを判断し得る。そのような好適なユーザエクスペリエンスを実現するために、GPUドライバ14はいくつかの基準を利用し得る。たとえば、上記で説明したように、グラフィックスアプリケーション28の無中断実行は、非グラフィックスアプリケーション30の遅いまたは遅延した実行よりも重要であり得、それが、非グラフィックスアプリケーション30のためのシェーダコアがより少ないことを意味する場合でも、GPUドライバ14は、十分なシェーダコアがグラフィックスアプリケーション28のために利用可能であることを保証するように構成され得る。

【0040】



[0045]いくつかの例では、非グラフィックスアプリケーション 30 の実行をグラフィックスアプリケーション 28 よりも優先させることが可能であり得る。たとえば、非グラフィックスアプリケーション 30 は、適時の実行がグラフィックスディスプレイの潜在的な軽微な劣化よりも有益であり得る重要なアプリケーションであり得る。このようにして、グラフィックスアプリケーション 28 および非グラフィックスアプリケーション 30 の相対的優先度は構成可能であり得る。

【0041】

[0046]たとえば、プロセッサ 12 によって実行される GPU ドライバ 14 は、いくつかのシェーダコアがグラフィックスアプリケーション 28 のために確保されるべきか、およびいくつかのシェーダコアが非グラフィックスアプリケーション 30 のために確保されるべきかを判断する際に追加の基準を利用し得る。たとえば、グラフィックスアプリケーション 28 の 1 つまたは複数のタスクは、比較的短い時間期間（たとえば、数ミリ秒）で完了し得、非グラフィックスアプリケーション 30 の 1 つまたは複数のタスクは、比較的長い時間期間（たとえば、数秒）で完了し得る。例示的な例として、GPU 16 は、ビデオゲームのフレームまたはユーザインターフェーススクリーンを生成するために複数のグラフィックスアプリケーションを実行し得、それらのうちの 1 つがグラフィックスアプリケーション 28 である。一例として、GPU 16 はまた、一例として複数のカメラピクチャを単一のパノラマ画像にスティッチするか、または他の例として解読（decryption）または復元（decompression）を行うために、非グラフィックスアプリケーション 30 を実行し得る。

【0042】

[0047]この状況では、GPU 16 は、滑らかなアニメーションを実現するために、30 ~ 60 フレーム毎秒のリフレッシュ速度でフレームを生成する必要がある。そのような 30 ~ 60 フレーム毎秒のリフレッシュ速度では、シェーダプロセッサ 22 は、GPU 16 が 30 ~ 60 フレーム毎秒のリフレッシュ速度を達成することができるよう数ミリ秒以内にグラフィックスアプリケーション 28 のタスクの実行を完了する必要がある。非グラフィックスアプリケーション 30 の実行は、滑らかなアニメーション、またはそのことについてどんなアニメーションをも実現することを必要としないことがある。したがって、GPU 16 は、数ミリ秒以上で非グラフィックスアプリケーション 30 の実行を完了することが好適であり得る。たとえば、この例では、非グラフィックスアプリケーション 30 は、ほぼ数ミリ秒以内に単一のパノラマ画像へのカメラピクチャのスティッチングを完了する必要があることがあり、非グラフィックスアプリケーション 30 は、スティッチングを完了するのに 0.5 ~ 1 秒かかることが好適であり得る。

【0043】

[0048]GPU ドライバ 14 は、概して、グラフィックスアプリケーション 28 および非グラフィックスアプリケーション 30 が、グラフィックスアプリケーション 28 および非グラフィックスアプリケーション 30 のためのシェーダコアの数を判断するためのタスクを完了するために異なる時間量を必要とし得る基準を利用し得る。本開示で使用するタスクは、グラフィックスアプリケーション 28 または非グラフィックスアプリケーション 30 によって実行される機能のサブセットを指す。タスクは作業グループと見なされ得る。グラフィックスアプリケーション 28 の場合、作業グループを画成するための論理的方法があり得る。たとえば、1 つの作業グループは、グラフィックスアプリケーション 28 のための 1 つのフレーム、またはそのフレーム中のタイルを生成するために必要とされるすべての機能を含み得る。作業グループのこの論理的な画成のために、シェーダプロセッサ 22 がグラフィックスアプリケーション 28 のためのタスクを完了するのにどのくらいの時間がかかるかを予測することは容易であり得る。

【0044】

[0049]非グラフィックスアプリケーション 30 のための機能を画成するための論理的方法がないことがあり、それにより、シェーダプロセッサ 22 が非グラフィックスアプリケーション 30 のためのタスクを完了するのにかかる時間量を推定することが困難になり

得る。グラフィックスアプリケーション 28 のためのシェーダプロセッサ 22 のシェーダコアを確保することと、非グラフィックスアプリケーション 30 のためのシェーダプロセッサ 22 のシェーダコアを確保することとによって、本技法は、非グラフィックスアプリケーション 30 がタスクを完了するのにどのくらいの時間がかかるかを予測することが困難であり得る場合でも、グラフィックスアプリケーション 28 と非グラフィックスアプリケーション 30 との間の実行干渉を最小限に抑えることが可能であり得る。

【0045】

[0050]本開示で説明する技法は、システムメモリ 26 への過度のアクセスなしに、および複数の GPU を必要とすることなしに、グラフィックスアプリケーション 28 および非グラフィックスアプリケーション 30 の効率的な並列実行を可能にし得る。たとえば、GPU 16 は、グラフィックスアプリケーション 28 を実行するために非グラフィックスアプリケーション 30 を実行するのを停止する必要があることがある。たとえば、非グラフィックスアプリケーションに専用のシェーダプロセッサ 22 のシェーダコアは非グラフィックスアプリケーション上でのみ動作し、グラフィックスアプリケーションに専用のシェーダプロセッサ 22 のプロセッサコアはグラフィックスアプリケーション上でのみ別々に動作する。また、本技法は、単一の GPU 16 上で実行するためにグラフィックスアプリケーション 28 と非グラフィックスアプリケーション 30 の両方を可能にし得る。

【0046】

[0051]いくつかの他の技法は、グラフィックスアプリケーション 28 の実行を可能にするために非グラフィックスアプリケーション 30 の実行を停止し得る。しかしながら、非グラフィックスアプリケーション 30 の実行を停止するために、これらの他の技法において使用される GPU は、それが休止される瞬間に非グラフィックスアプリケーションのすべての状態情報をシステムメモリ 26 に記憶し、非グラフィックスアプリケーション 30 の実行が再開されたとき、システムメモリ 26 からすべての状態情報を取り出す必要があり得る。すべての状態情報のこの記憶および取出しは、バス帯域幅を消費し、比較的大きな電力量を必要とし得る。

【0047】

[0052]非グラフィックスアプリケーション 30 の実行を停止し、次いで後で実行を再開するこれらの他の技法は、グラフィックスアプリケーション 28 および非グラフィックスアプリケーション 30 を同時に実行するのではなく、これらのアプリケーションの実行をインターリーブすると見なされ得る。本開示で説明するように、シェーダプロセッサ 22 のプロセッサコアの異なるセットを使用する、同時のグラフィックスアプリケーション 28 および非グラフィックスアプリケーション 30 の効率的な並列実行（すなわち、同時）は、これらのアプリケーションの実行をインターリーブする必要がないことがあり、それにより、バス帯域幅および電力消費の効率的な使用が促進され得る。

【0048】

[0053]いくつかの他の追加の技法の例では、本技法は、非グラフィックスアプリケーション 30 などの非グラフィックスアプリケーションがどのくらい長く GPU 上で実行したかを計時した。実行がしきい値時間よりも長くかった場合、GPU は、非グラフィックスアプリケーション 30 を実行するのを完全に停止することになる。しかしながら、そのような技法は、いくつかのタイプの非グラフィックスアプリケーション（たとえば、実行するために割り当てられた時間よりも多くの時間を必要とする非グラフィックスアプリケーション）が実行することを可能にできなかった。

【0049】

[0054]さらにいくつかの他の技法では、デバイスは 2 つの GPU を含むことになる。一方の GPU はグラフィックスアプリケーション 28 のために確保され、他方は非グラフィックスアプリケーション 30 のために確保されることになる。しかしながら、2 つのグラフィックス処理デバイスを利用することはデバイス上の追加のスペースを利用し、ただし、そのような追加のスペースは利用可能でないことがある。また、所与の瞬間について、実行される必要があるグラフィックスアプリケーションがないが、実行される必要がある

非グラフィックスアプリケーションがあるか、またはその逆も同様であることが可能であり得る。これらの場合のいずれでも、一方のGPUはアイドルのままであるが、他方のGPUはアクティブのままであり、これは、GPUの非効率的な使用であり得る。

【0050】

[0055]図2は、図1のGPUの一例をさらに詳細に示すブロック図である。たとえば、図2は、GPU16をさらに詳細に示し、GPU16は汎用GPU(GPGPU)の一例である。図示のように、シェーダプロセッサ22およびGPUメモリ24に加えて、GPU16は、グラフィックスコマンドプロセッサ32と、グラフィックス作業負荷分配ユニット34と、(グラフィックス固定機能ユニット36と総称される)グラフィックス固定機能ユニット36Aおよび36Bと、非グラフィックスコマンドプロセッサ38と、非グラフィックス作業負荷分配ユニット40とを含み得る。シェーダプロセッサ22は、(シェーダコア42と総称される)複数のシェーダコア42A~42Nを含み得る。たとえば、シェーダプロセッサ22は4つのシェーダコア42を含み得るが、より多いまたはより少ないシェーダコア42が可能である。いくつかの例では、シェーダコア42は、テクスチャリングがそのようなコア中で行われることもあることを示すために、シェーダ/テクスチャコアと呼ばれることがある。ただし、理解を容易にするために、シェーダコア42はシェーダコアまたはシェーダ/テクスチャコアを指す。

10

【0051】

[0056]GPU16は、図2に示された構成要素以外に、追加の構成要素を含み得る。たとえば、図示のように、非グラフィックス作業負荷分配ユニット40はシェーダプロセッサ22に直接出力し、シェーダプロセッサ22はGPUメモリ24に直接出力する。他の例では、非グラフィックス作業負荷分配ユニット40とシェーダプロセッサ22との間に、およびシェーダプロセッサ22とGPUメモリ24との間に1つまたは複数の構成要素があり得る。さらに、GPU16内の構成要素の特定の構成も、例示のために与えたものであり、限定的であると考えられるべきではない。代替例では、構成要素は、図2に示された方法とは異なる方法で順序付けられ得る。

20

【0052】

[0057]図2において、グラフィックスコマンドプロセッサ32、グラフィックス作業負荷分配ユニット34、グラフィックス固定機能ユニット36Aおよびグラフィックス固定機能ユニット36Bは、グラフィックス機能パイプライン18Aおよび18B(図1)の一部であり得る。また、非グラフィックスコマンドプロセッサ38および非グラフィックス作業負荷分配ユニット40は、非グラフィックス機能パイプライン20A(図1)の一部であり得る。GPU16は、明快のために図2に示していない非グラフィックス機能パイプライン20B(図1)の一部になる構成要素を含み得る。GPU16のこれらの様々な構成要素は、ハードウェア、ハードウェア上で実行されるソフトウェア、またはそれらの組合せとして実装され得る。限定としてではなく、単に例示のために、GPU16の構成要素をハードウェアユニットとして説明する。

30

【0053】

[0058]図示のように、GPU16は、2つのコマンドプロセッサ(すなわち、グラフィックスコマンドプロセッサ32および非グラフィックスコマンドプロセッサ38)を含む。代替例では、図3に関してより詳細に説明するように、GPU16が単一のコマンドプロセッサを含むことが可能であり得る。図2の例では、グラフィックスコマンドプロセッサ32と非グラフィックスコマンドプロセッサ38は互いに同じであり得る。グラフィックスコマンドプロセッサ32は、グラフィックス機能のためのものであり、非グラフィックス機能のためのものでないコマンドまたは命令に基づいて動作し得る。非グラフィックスコマンドプロセッサ38は、非グラフィックス機能のためのものであり、グラフィックス機能のためのものでないコマンドまたは命令に基づいて動作し得る。このようにして、GPU16は、グラフィックスコマンドおよび命令と非グラフィックスコマンドおよび命令とを画成し得、それによって、GPU16上でのグラフィックスアプリケーションと非グラフィックスアプリケーションの両方の効率的な並列実行(たとえば、同時)を促進し

40

50

得る。

【 0 0 5 4 】

[0059]たとえば、図 1 に示したように、プロセッサ 1 2 上で実行している G P U ドライバ 1 4 は、システムメモリ 2 6 からグラフィックスアプリケーション 2 8 の命令とそれらの命令によって使用されるべきであるデータとを取り出すようにグラフィックスコマンドプロセッサ 3 2 に命令し得る。G P U ドライバ 1 4 はまた、グラフィックスアプリケーション 2 8 のために確保されたシェーダコア 4 2 の数（たとえば、グラフィックスアプリケーション 2 8 のために確保されたシェーダコア 4 2 の第 1 のセット）、および場合によってはシェーダコア 4 2 のうちのどのシェーダコアがグラフィックスアプリケーション 2 8 のために確保されるかを示す指示をグラフィックスコマンドプロセッサ 3 2 に送信し得る。同様に、G P U ドライバ 1 4 は、システムメモリ 2 6 から非グラフィックスアプリケーション 3 0 の命令とそれらの命令によって使用されるべきであるデータとを取り出すように非グラフィックスコマンドプロセッサ 3 8 に命令し得る。G P U ドライバ 1 4 はまた、非グラフィックスアプリケーション 3 0 のために確保されたシェーダコア 4 2 の数（たとえば、非グラフィックスアプリケーション 3 0 のために確保された 1 つまたは複数のシェーダコア 4 2 の第 2 のセット）、および場合によってはシェーダコア 4 2 のうちのどのシェーダコアが非グラフィックスアプリケーション 3 0 のために確保されるかを示す指示を非グラフィックスコマンドプロセッサ 3 8 に送信し得る。

10

【 0 0 5 5 】

[0060]グラフィックスコマンドプロセッサ 3 2 と非グラフィックスコマンドプロセッサ 3 8 の両方を含む G P U 1 6 は、単一のコマンドプロセッサを含む他の G P U と比較して、G P U 1 6 の全体的なサイズを増加させ得る。ただし、追加のコマンドプロセッサを含めることによるサイズ増加は極めてわずかであり得る。たいていの場合、追加のコマンドプロセッサを含めることによるサイズ増加は、上記で説明したように、2 つの別個のグラフィックス処理デバイスを使用することよりもはるかに小さい。

20

【 0 0 5 6 】

[0061]さらに、追加のコマンドプロセッサを含めることは、単一のコマンドプロセッサを含む G P U と比較して、G P U 1 6 に追加の電力を使用させ得る。ただし、本開示で説明する技法は、追加の電力の使用を最小限に抑え得る。たとえば、上記で説明したように、G P U ドライバ 1 4 は、非グラフィックスアプリケーション 3 0 およびグラフィックスアプリケーション 2 8 のための命令またはコマンドがあるかどうかを判断するように構成され得る。非グラフィックスアプリケーション 3 0 のための命令がない場合、G P U ドライバ 1 4 は、電源を切断するように非グラフィックスコマンドプロセッサ 3 8 に命令し得る。G P U ドライバ 1 4 は、次いで、必要とされるときに電源投入するようにコマンドプロセッサ 3 8 に命令し得る。

30

【 0 0 5 7 】

[0062]グラフィックス作業負荷分配ユニット 3 4 および非グラフィックス作業負荷分配ユニット 4 0 は、作業負荷をそれぞれの確保されたシェーダコア 4 2 にどのように分配するかを判断する。たとえば、グラフィックス作業負荷分配ユニット 3 4 は、グラフィックスコマンドプロセッサ 3 2 から、シェーダコア 4 2 のうちのどのシェーダコアがグラフィックスアプリケーション 2 8 のために確保されるかの指示を受信し得る。グラフィックス作業負荷分配ユニット 3 4 は、グラフィックスコマンドプロセッサ 3 2 がシステムメモリ 2 6 から取り出した命令が、グラフィックスアプリケーション 2 8 のために確保されたシェーダコア 4 2 間でどのように分割されるべきかを判断し得る。非グラフィックス作業負荷分配ユニット 4 0 は、非グラフィックスコマンドプロセッサ 3 8 から、シェーダコア 4 2 のうちのどのシェーダコアが非グラフィックスアプリケーション 3 0 のために確保されるかの指示を受信し得る。非グラフィックス作業負荷分配ユニット 4 0 は、非グラフィックスコマンドプロセッサ 3 8 がシステムメモリ 2 6 から取り出した命令が、非グラフィックスアプリケーション 3 0 のために確保されたシェーダコア 4 2 間でどのように分割されるべきかを判断し得る。

40

50

## 【 0 0 5 8 】

[0063]グラフィックス固定機能ユニット 3 6 は、特定のグラフィックス機能を実行するハードワイヤード固定機能論理ユニットであり得る。たとえば、シェーダプロセッサ 2 2 の確保されたシェーダコア 4 2 上で実行しているグラフィックスアプリケーション 2 8 は、機能的フレキシビリティを可能にし得、グラフィックス固定機能ユニット 3 6 は、もしあれば、最小の機能的フレキシビリティを与え得る。グラフィックス固定機能ユニット 3 6 の各々は、プリミティブアセンブリユニット、錐台ユニット (frustum unit)、透視除算ユニット (perspective divide unit)、ビューポート変換ユニット、深度テストユニット、ラスタライゼーションユニット (rasterization unit)、フラグメント単位動作ユニット (per-fragment operation unit)、およびアルファブレンディングユニット (alpha blending unit) など、様々なハードワイヤードユニットを含み得る。グラフィックス機能パイプライン 1 8 A の一部を形成し得る、固定機能ユニット 3 6 のこれらのユニットは、例示のために与えたものであり、限定的であると考えられるべきではない。さらに、これらのユニットのいくつかはグラフィックス固定機能ユニット 3 6 A 中に常駐し得、他のユニットはグラフィックス固定機能ユニット 3 6 B 中に常駐し得る。これらのユニットの特定の順序は異なる例においても異なり得る。

10

## 【 0 0 5 9 】

[0064]図 2 において、グラフィックス固定機能ユニット 3 6 B およびシェーダプロセッサ 2 2 は G P U メモリ 2 4 に出力し得る。G P U メモリ 2 4 は、(たとえば、アドレスベースの) カラーバッファキャッシュまたは汎用キャッシュ、あるいはそれらの任意の組合せを含む、多段専用キャッシュ (multi-stage specialized cache) など、キャッシュメモリであり得る。いくつかの例では、G P U メモリ 2 4 は、2 つの領域 (すなわち、グラフィックスメモリ 4 4 および非グラフィックスメモリ 4 6) に分割され得る。この例では、グラフィックスメモリ 4 4 はグラフィックス機能のために確保され得、非グラフィックスメモリ 4 6 は非グラフィックス機能のために確保され得る。

20

## 【 0 0 6 0 】

[0065]G P U メモリ 2 4 は、グラフィックスメモリ 4 4 のためのストレージスペースを非グラフィックスメモリ 4 6 よりも優先させ得る。一例として、グラフィックスコマンドプロセッサ 3 2 および非グラフィックスコマンドプロセッサ 3 8 のうちの少なくとも 1 つは、ストレージグラフィックスデータを非グラフィックスデータよりも優先させるように G P U メモリ 2 4 に命令し得る。言い換えれば、グラフィックス機能 (たとえば、命令またはコマンド、命令またはコマンドによって使用されるべきデータ、および得られたデータ) のための記憶は非グラフィックス機能のための記憶よりも優先させられ得る。この例では、次いで、非グラフィックス機能のためのデータは、G P U メモリ 2 4 内にローカルにではなく、システムメモリ 2 6 に記憶され得る。また、キャッシュミスが生じた場合、グラフィックスアプリケーション 2 8 のための要求、および一般のグラフィックス機能は、たとえば、システムバスを介した、システムメモリ 2 6 へのアクセスのために、非グラフィックスアプリケーション 3 0 および一般の非グラフィックス機能に勝る優先度を与えられ得る。メモリ記憶および取出しにおけるそのような優先度は、ユーザエクスペリエンスの低下を最小限に抑えるために、グラフィックスアプリケーションが適時に実行されることをさらに保証し得る。

30

40

## 【 0 0 6 1 】

[0066]図 3 は、図 1 の G P U の別の例をさらに詳細に示すブロック図である。図 3 に示す G P U 1 6 は、図 2 に示した G P U 1 6 と実質的に同様であり得る。したがって、簡潔のために、異なるそれらのユニットのみについて、詳細に説明する。図 2 に示したユニットと同じ参照番号をもつ図 3 に示すユニットは、実質的に同様の方法で機能し得る。

## 【 0 0 6 2 】

[0067]図 3 の例では、G P U 1 6 は、2 つの別個のコマンドプロセッサ (たとえば、図 2 のグラフィックスコマンドプロセッサ 3 2 および非グラフィックスコマンドプロセッサ 3 8) ではなく、単一のコマンドプロセッサ 3 3 を含み得る。この例では、コマンドプロ

50

セッサ 33 は、コマンドの 2 つ以上のストリームを並列に（すなわち、同時に）処理するように構成され得る。たとえば、GPU ドライバ 14 は、GPU ドライバ 14 がグラフィックスコマンドプロセッサ 32 と非グラフィックスコマンドプロセッサ 38 とに送信した命令と同様の命令をコマンドプロセッサ 33 に送信し得る。

【0063】

[0068] 一例として、GPU ドライバ 14 は、システムメモリ 26 からグラフィックスアプリケーション 28 の命令を取り出し、システムメモリ 26 からの命令によって使用されるべきであるデータを取り出し、グラフィックスアプリケーション 28 のために確保されたシェーダコア 42 の数を示し、場合によってはシェーダコア 42 のうちのどのシェーダコアがグラフィックスアプリケーション 28 のために確保されるかを示すようにコマンドプロセッサ 33 に命令し得る。コマンドプロセッサ 33 がグラフィックスアプリケーション 28 のための命令を受信すると同時にまたは重複して、コマンドプロセッサ 33 は、システムメモリ 26 から非グラフィックスアプリケーション 30 の命令を取り出し、システムメモリ 26 からの命令によって使用されるべきであるデータを取り出し、非グラフィックスアプリケーション 30 のために確保されたシェーダコア 42 の数を示し、場合によってはシェーダコア 42 のうちのどのシェーダコアが非グラフィックスアプリケーション 30 のために確保されるかを示すようにコマンドプロセッサ 33 に命令する、GPU ドライバ 14 からの命令を受信し得る。

【0064】

[0069] この例では、コマンドプロセッサ 33 は、どの命令がグラフィックス機能のためのものであるかと、どの命令が非グラフィックス機能のためのものであるかとを画成するように構成され得る。たとえば、GPU ドライバ 14 は、GPU ドライバ 14 がコマンドプロセッサ 33 に送信する命令が、グラフィックス機能のためのものであるか、非グラフィックス機能のためのものであるかを示し得る。概して、GPU ドライバ 14 およびコマンドプロセッサ 33 は、グラフィックスアプリケーション 28 の命令など、グラフィックス機能のための命令と、非グラフィックスアプリケーション 30 の命令など、非グラフィックス機能のための命令とを画成するために任意の技法を利用し得る。

【0065】

[0070] 単一のコマンドプロセッサを含む GPU の他の例では、そのようなコマンドプロセッサは、同時にまたは重複してプロセッサから複数の命令ストリームを受信することが可能でないことがある。コマンドプロセッサ 33 は、GPU 16 に、グラフィックスアプリケーション 28 および非グラフィックスアプリケーション 30 のための命令を同時に処理させ得る。いくつかの事例では、グラフィックスアプリケーション 28 のための命令がないか、またはグラフィックスアプリケーション 28 がアイドルである場合、コマンドプロセッサ 33 は、依然として、実行のために非グラフィックスアプリケーション 30 のための命令を受信し得る。同様に、非グラフィックスアプリケーション 30 のための命令がないか、またはグラフィックスアプリケーション 30 がアイドルである場合、コマンドプロセッサ 33 は、依然として、実行のためにグラフィックスアプリケーション 28 のための命令を受信し得る。

【0066】

[0071] 図 4 は、本開示で説明する 1 つまたは複数の例による例示的な技法を示すフローチャートである。単に説明のために、および理解を容易にするために、図 1 ~ 図 3 を参照する。

【0067】

[0072] GPU が、グラフィックスアプリケーションのために確保された、GPU のシェーダプロセッサの 1 つまたは複数のシェーダコアの第 1 のセットの指示を受信する（48）。GPU はまた、非グラフィックスアプリケーションのために確保された、シェーダプロセッサの 1 つまたは複数のシェーダコアの第 2 の異なるセットの指示を受信する（50）。一例として、GPU 16 の第 1 のコマンドプロセッサ（たとえば、グラフィックスコマンドプロセッサ 32）が、グラフィックスアプリケーション 28 のために確保されたシ

ェーダコア 4 2 から、シェーダコアの第 1 のセットの G P U ドライバ 1 4 からの指示を受信し得る。この例では、G P U 1 6 の第 2 の異なるコマンドプロセッサ（たとえば、非グラフィックスコマンドプロセッサ 3 8 ）は、非グラフィックスアプリケーション 3 0 のために確保されたシェーダコア 4 2 から、シェーダコアの第 2 の異なるセットの G P U ドライバ 1 4 からの指示を受信し得る。代替例では、第 1 のコマンドプロセッサと第 2 のコマンドプロセッサは同じコマンドプロセッサであり得る。たとえば、この代替例では、コマンドプロセッサ 3 3 は、グラフィックスアプリケーション 2 8 のために確保されたシェーダコアの第 1 のセットの G P U ドライバ 1 4 からの指示と、非グラフィックスアプリケーション 3 0 のために確保されたシェーダコアの第 2 の異なるセットの指示とを受信し得る。

10

**【 0 0 6 8 】**

[0073]これらの例のいずれでも、シェーダコアの第 1 のセットの指示およびシェーダコアの第 2 の異なるセットの指示は、シェーダコア 4 2 のうちのいくつかグラフィックスアプリケーション 2 8 のために確保され、シェーダコア 4 2 のうちのいくつか非グラフィックスアプリケーション 3 0 のために確保されるかを示す指示を含み得る。いくつかの例では、シェーダコアの第 1 のセットの指示およびシェーダコアの第 2 の異なるセットの指示はまた、シェーダコア 4 2 のうちのどのシェーダコアがグラフィックスアプリケーション 2 8 のために確保され、シェーダコア 4 2 のうちのどのシェーダコアが非グラフィックスアプリケーション 3 0 のために確保されるかの指示を含み得る。

**【 0 0 6 9 】**

20

[0074]シェーダコアの第 1 のセット（たとえば、1 つまたは複数のシェーダコア 4 2 ）は、グラフィックスアプリケーション 2 8 などのグラフィックスアプリケーションの命令を実行する（5 2 ）。たとえば、グラフィックスコマンドプロセッサ 3 2 またはコマンドプロセッサ 3 3 は、実行のためにグラフィックスアプリケーション 2 8 の命令を受信し、シェーダコアの第 1 のセットにグラフィックスアプリケーション 2 8 の命令を実行させ得る。この例では、シェーダコアの第 1 のセットは非グラフィックスアプリケーション 3 0 の命令を実行しないことがある。いくつかの例では、第 1 の作業負荷分配ユニット（たとえば、グラフィックス作業負荷分配ユニット 3 4 ）は、シェーダコアの第 1 のセットのうちのどのシェーダコアがグラフィックスアプリケーション 2 8 の命令のうちのどの命令を実行するかを判断し得る。この例では、シェーダコアの第 1 のセットは、グラフィックス作業負荷分配ユニット 3 4 によって判断された命令を実行し得る。

30

**【 0 0 7 0 】**

[0075]シェーダコアの第 2 のセット（たとえば、残りのシェーダコア 4 2 のうちの 1 つまたは複数）は非グラフィックスアプリケーション 3 0 の命令を実行する（5 4 ）。たとえば、非グラフィックスコマンドプロセッサ 3 8 またはコマンドプロセッサ 3 3 は、実行のために非グラフィックスアプリケーション 3 0 の命令を受信し、シェーダコアの第 2 のセットに非グラフィックスアプリケーション 3 0 の命令を実行させ得る。この例では、シェーダコアの第 2 のセットはグラフィックスアプリケーション 2 8 の命令を実行しないことがある。いくつかの例では、第 2 の作業負荷分配ユニット（たとえば、非グラフィックス作業負荷分配ユニット 4 0 ）は、シェーダコアの第 2 のセットのうちのどのシェーダコアが非グラフィックスアプリケーション 3 0 ののうちのどの命令を実行するかを判断し得る。この例では、シェーダコアの第 2 のセットは、非グラフィックス作業負荷分配ユニット 4 0 によって判断された命令を実行し得る。

40

**【 0 0 7 1 】**

[0076]いくつかの例では、シェーダコアの第 1 のセットがグラフィックスアプリケーション 2 8 の命令を実行しているのと同時に、シェーダコアの第 2 のセットは、グラフィックスアプリケーション 2 8 および非グラフィックスアプリケーション 3 0 の並列実行を可能にするために非グラフィックスアプリケーション 3 0 の命令を実行していることがある。いくつかの例では、G P U 1 6 が、グラフィックスコマンドプロセッサ 3 2 またはコマンドプロセッサ 3 3 を介して、グラフィックスアプリケーション 2 8 のための命令を受信

50

しているのと同時に、GPU 16は、非グラフィックスコマンドプロセッサ38またはコマンドプロセッサ33を介して、非グラフィックスアプリケーション30のための命令を受信している。

【0072】

[0077]図5は、本開示で説明する1つまたは複数の例による別の例示的な技法を示すフローチャートである。単に説明のために、および理解を容易にするために、図1～図3を参照する。

【0073】

[0078]プロセッサ上のドライバが、シェーダコアの第1のセット上で実行されるべきグラフィックスアプリケーションのために確保された、GPUのシェーダプロセッサのシェーダコアの第1のセットを判断する(56)。たとえば、プロセッサ12上で実行していることがあるGPUドライバ14は、グラフィックスアプリケーション28を実行するために、GPU16のシェーダプロセッサ22のシェーダコア42のうちのいくつかのシェーダコアおよびどのシェーダコアがグラフィックスアプリケーション28のために確保されるかを判断し得る。

【0074】

[0079]プロセッサ上のドライバは、シェーダコアの第2の異なるセットによって実行されるべき非グラフィックスアプリケーションのために確保された、GPUのシェーダプロセッサのシェーダコアの第2のセットを判断する(58)。たとえば、GPUドライバ14は、非グラフィックスアプリケーション30を実行するために、GPU16のシェーダプロセッサ22のシェーダコア42のうちのいくつかのシェーダコアおよびどのシェーダコアが非グラフィックスアプリケーション30のために確保されるかを判断し得る。

【0075】

[0080]いくつかの例では、GPUドライバ14は、シェーダコアの第1のセット(すなわち、グラフィックスアプリケーション28のために確保されたシェーダコア)がシェーダコアの第2のセット(すなわち、非グラフィックスアプリケーション30のために確保されたシェーダコア)よりも多くのシェーダコアを含むと判断し得る。いくつかのシェーダコアがグラフィックスアプリケーション28のために確保されるべきかの判断を行うために、GPUドライバ14は、現在キューイングされている、グラフィックスアプリケーション28の命令の数を判断し得る。同様に、いくつかのシェーダコアが非グラフィックスアプリケーション30のために確保されるべきかの判断を行うために、GPUドライバ14は、現在キューイングされている、非グラフィックスアプリケーション30の命令の数を判断し得る。

【0076】

[0081]ドライバは、シェーダコアの第1のセットの指示をGPU内の第1のコマンドプロセッサに送信する(60)。ドライバはまた、シェーダコアの第2のセットの指示をGPU内の第2のコマンドプロセッサに送信する(62)。次いで、GPUは、シェーダコアの第1のセット上でグラフィックスアプリケーション28を実行し、シェーダコアの第2のセット上で非グラフィックスアプリケーション30を実行し得る。いくつかの例では、第1のコマンドプロセッサと第2のコマンドプロセッサは異なるコマンドプロセッサであり得る。代替例では、第1のコマンドプロセッサと第2のコマンドプロセッサは同じコマンドプロセッサであり得る。たとえば、GPUドライバ14は、第1のコマンドプロセッサと第2のコマンドプロセッサが異なるコマンドプロセッサである例において、シェーダコア42のうちのいくつかのシェーダコアおよびどのシェーダコアがグラフィックスアプリケーション28のために確保されるかを示す指示をグラフィックスコマンドプロセッサ32に送信し、シェーダコア42のうちのいくつかのシェーダコアおよびどのシェーダコアが非グラフィックスアプリケーション30のために確保されるかを示す指示を非グラフィックスコマンドプロセッサ38に送信し得る。別の例では、GPUドライバ14は、第1のコマンドプロセッサと第2のコマンドプロセッサが同じコマンドプロセッサである例において、シェーダコア42のうちのいくつかのシェーダコアおよびどのシェーダコアがグラフィ



ィックスアプリケーション 28 のために確保されるかを示す指示をコマンドプロセッサ 33 に送信し、シェーダコア 42 のうちのいくつかのシェーダコアおよびどのシェーダコアが非グラフィックスアプリケーション 30 ために確保されるかを示す指示をコマンドプロセッサ 33 に送信し得る。

【0077】

[0082]図 6 は、図 1 に示した例示的なデバイスをさらに詳細に示すブロック図である。たとえば、図 6 は、図 1 のデバイス 10 をより詳細に示す。簡潔のために、図 6 に示されているが、図 1 に示されていないデバイス 10 の構成要素のみについて、詳細に説明する。

【0078】

[0083]図 6 の例では、デバイス 10 は、プロセッサ 12 と、GPU 16 と、メモリ 26 と、トランシーバモジュール 64 と、ユーザインターフェース 66 と、ディスプレイ 68 と、ディスプレイプロセッサ 70 とを含み得る。デバイス 10 は、明快のために図 6 に示されていない追加のモジュールまたはユニットを含み得る。たとえば、デバイス 10 は、デバイス 10 がモバイルワイヤレス電話である例において電話通信を実現するために、そのいずれも図 6 に示されていないスピーカーおよびマイクロフォンを含み、またはデバイス 10 がメディアプレーヤである例においてスピーカーを含み得る。デバイス 10 はまた、ビデオカメラを含み得る。さらに、デバイス 10 に示された様々なモジュールおよびユニットは、デバイス 10 のあらゆる例において必要であるとは限らない。たとえば、ユーザインターフェース 66 およびディスプレイ 68 は、デバイス 10 が、デスクトップコン

【0079】

[0084]ユーザインターフェース 66 の例としては、限定はしないが、トラックボール、マウス、キーボード、および他のタイプの入力デバイスがある。ユーザインターフェース 66 はまた、タッチスクリーンであり得、ディスプレイ 68 の一部として組み込まれ得る。トランシーバモジュール 64 は、デバイス 10 と別のデバイスまたはネットワークとの間のワイヤレスまたはワイヤード通信を可能にするための回路を含み得る。トランシーバモジュール 64 は、ワイヤードまたはワイヤレス通信のための変調器、復調器、増幅器および他のそのような回路を含み得る。ディスプレイ 68 は、液晶ディスプレイ (LCD)、有機発光ダイオードディスプレイ (OLED)、陰極線管 (CRT) ディスプレイ、プラズマディスプレイ、または別のタイプのディスプレイデバイスを備え得る。

【0080】

[0085]いくつかの例では、GPU 16 が、ディスプレイ 68 上での表示のためにグラフィックスデータを生成した後、GPU 16 は、一時記憶のために、得られたグラフィックスデータをシステムメモリ 26 に出力し得る。ディスプレイプロセッサ 70 は、システムメモリ 26 からグラフィックスデータを取り出し、グラフィックスデータに対して何らかの後処理を実行し、得られたグラフィックスデータをディスプレイ 68 に出力し得る。たとえば、ディスプレイプロセッサ 70 は、さらなる拡張を実行するか、または GPU 16 によって生成されたグラフィックスデータをスケーリングし得る。他の例では、GPU 16 がグラフィックスデータをシステムメモリ 26 内のフレームバッファに出力することが可能であり得、フレームバッファは、次いで、グラフィックスデータをディスプレイ 68 に出力する。この例では、ディスプレイプロセッサ 70 は必要でないことがある。

【0081】

[0086]図 6 の例では、プロセッサ 12 および GPU 16 は、図 1 ~ 図 5 に関して上記で説明したように構成され得る。たとえば、GPU 16 は、複数のシェーダコアを含むシェーダプロセッサを含み得る。プロセッサ 12 は、グラフィックスアプリケーションを実行するために GPU 16 のための複数のシェーダコアの第 1 のセットを確保し、非グラフィックスアプリケーションを実行するために GPU 16 のための複数のシェーダコアの第 2 のセットを確保し得る。この例では、上記で説明したように、グラフィックスアプリケー

ションのために確保されたシェーダコアは非グラフィックスアプリケーションのための命令を実行しないことがあり、その逆も同様である。

【 0 0 8 2 】

[0087] 1つまたは複数の例では、説明した機能は、ハードウェア、ソフトウェア、ファームウェア、またはそれらの任意の組合せで実装され得る。ソフトウェアで実装した場合、機能は、1つまたは複数の命令またはコードとしてコンピュータ可読媒体上に記憶され得る。コンピュータ可読媒体はコンピュータデータ記憶媒体を含み得る。データ記憶媒体は、本開示で説明した技法の実装のための命令、コードおよび/またはデータ構造を取り出すために1つまたは複数のコンピュータあるいは1つまたは複数のプロセッサによってアクセスされ得る任意の利用可能な媒体であり得る。限定ではなく例として、そのようなコンピュータ可読媒体は、ランダムアクセスメモリ(RAM)、読取り専用メモリ(ROM)、EEPROM、CD-ROMまたは他の光ディスクストレージ、磁気ディスクストレージまたは他の磁気ストレージデバイス、あるいは命令またはデータ構造の形態の希望のプログラムコードを記憶するために使用され得、コンピュータによってアクセスされ得る、任意の他の媒体を備えることができる。本明細書で使用するディスク(disk)およびディスク(disc)は、コンパクトディスク(disc)(CD)、レーザディスク(disc)、光ディスク(disc)、デジタル多用途ディスク(disc)(DVD)、フロッピー(登録商標)ディスク(disk)およびBlu-ray(登録商標)ディスク(disc)を含み、ディスク(disk)は、通常、データを磁氣的に再生し、ディスク(disc)は、データをレーザで光学的に再生する。上記の組合せもコンピュータ可読媒体の範囲内に含めるべきである。

【 0 0 8 3 】

[0088] コードは、1つまたは複数のデジタル信号プロセッサ(DSP)などの1つまたは複数のプロセッサ、汎用マイクロプロセッサ、特定用途向け集積回路(ASIC)、フィールドプログラマブル論理アレイ(FPGA)、あるいは他の等価な集積回路またはディスクリート論理回路によって実行され得る。したがって、本明細書で使用する「プロセッサ」という用語は、前述の構造、または本明細書で説明した技法の実装に好適な他の構造のいずれかを指し得る。また、本技法は、1つまたは複数の回路または論理要素中に十分に実装され得る。

【 0 0 8 4 】

[0089] 本開示の技法は、ワイヤレスハンドセット、集積回路(IC)またはICのセット(たとえば、チップセット)を含む、多種多様なデバイスまたは装置において実装され得る。本開示では、開示する技法を実行するように構成されたデバイスの機能的態様を強調するために様々な構成要素、モジュール、またはユニットについて説明したが、それらの構成要素、モジュール、またはユニットを、必ずしも異なるハードウェアユニットによって実現する必要があるとは限らない。むしろ、上記で説明したように、様々なユニットが、好適なソフトウェアおよび/またはファームウェアとともに、上記で説明した1つまたは複数のプロセッサを含めて、ハードウェアユニットにおいて組み合わせられるか、または相互動作可能なハードウェアユニットの集合によって与えられ得る。

【 0 0 8 5 】

[0090] 様々な例について説明した。これらおよび他の例は以下の特許請求の範囲内に入る。

以下に、本願出願の当初の特許請求の範囲に記載された発明を付記する。

【 C 1 】

グラフィックス処理ユニット(GPU)を用いて、グラフィックスアプリケーションのために確保された、前記GPUのシェーダプロセッサのシェーダコアの第1のセットの指示を受信することと、

前記GPUを用いて、非グラフィックスアプリケーションのために確保された、前記GPUの前記シェーダプロセッサのシェーダコアの第2の異なるセットの指示を受信することと、

前記GPUを用いて、前記グラフィックスアプリケーションの命令を受信することと、  
前記GPUを用いて、前記非グラフィックスアプリケーションの命令を受信することと

、  
前記GPUを用いて、シェーダコアの前記第1のセットで前記グラフィックスアプリケーションの前記命令を実行することと、  
前記グラフィックスアプリケーションの前記命令を実行するのと実質的に同時に、前記GPUを用いて、シェーダコアの前記第2のセットで前記非グラフィックスアプリケーションの前記命令を実行することと  
を備える方法。

[C2]

シェーダコアの前記第1のセットの前記指示を受信することが、前記GPUの第1のコマンドプロセッサを用いて、シェーダコアの前記第1のセットの前記指示を受信することを備え、シェーダコアの前記第2のセットの前記指示を受信することが、前記GPUの第2の異なるコマンドプロセッサを用いて、シェーダコアの前記第2のセットの前記指示を受信することを備える、C1に記載の方法。

[C3]

シェーダコアの前記第1のセットの前記指示を受信することが、前記GPUのコマンドプロセッサを用いて、シェーダコアの前記第1のセットの前記指示を受信することを備え、シェーダコアの前記第2のセットの前記指示を受信することが、同じコマンドプロセッサを用いて、シェーダコアの前記第2のセットの前記指示を受信することを備える、C1  
に記載の方法。

[C4]

シェーダコアの前記第1のセットで前記非グラフィックスアプリケーションの前記命令を実行しないことと、  
シェーダコアの前記第2のセットで前記グラフィックスアプリケーションの前記命令を実行しないことと  
をさらに備える、C1に記載の方法。

[C5]

前記非グラフィックスアプリケーションの命令を受信することが、前記グラフィックスアプリケーションの命令を受信するのと同時に前記非グラフィックスアプリケーションの前記命令を受信することを備える、C1に記載の方法。

[C6]

第1の作業負荷分配ユニットを用いて、シェーダコアの前記第1のセットのうちのどのシェーダコアが前記グラフィックスアプリケーションの前記命令のうちのどの命令を実行するかを判断することと、  
第2の異なる作業負荷分配ユニットを用いて、シェーダコアの前記第2のセットのうちのどのシェーダコアが前記非グラフィックスアプリケーションの前記命令のうちのどの命令を実行するかを判断することと  
をさらに備え、

前記グラフィックスアプリケーションの前記命令を実行することは、シェーダコアの前記第1のセットのうちのどのシェーダコアが前記グラフィックスアプリケーションの前記命令のうちのどの命令を実行するかの前記判断に基づいて前記グラフィックスアプリケーションの前記命令を実行することを備え、

前記非グラフィックスアプリケーションの前記命令を実行することは、シェーダコアの前記第2のセットのうちのどのシェーダコアが前記非グラフィックスアプリケーションの前記命令のうちのどの命令を実行するかの前記判断に基づいて前記非グラフィックスアプリケーションの前記命令を実行することを備える、C1に記載の方法。

[C7]

前記グラフィックスアプリケーションの前記命令の前記実行の結果を前記GPU内のメモリキャッシュに記憶することを前記非グラフィックスアプリケーションの前記命令の前

10

20

30

40

50

記実行の結果を前記 G P U 内の前記メモリキャッシュに記憶することよりも優先させること

をさらに備える、C 1 に記載の方法。

[ C 8 ]

シェーダコアの前記第 1 のセットの前記指示を受信することが、前記 G P U の第 1 のコマンドプロセッサを用いて、シェーダコアの前記第 1 のセットの前記指示を受信することを備え、シェーダコアの前記第 2 のセットの前記指示を受信することが、前記 G P U の第 2 の異なるコマンドプロセッサを用いて、シェーダコアの前記第 2 のセットの前記指示を受信することを備え、前記方法は、

前記非グラフィックスアプリケーションの命令がないとき、前記第 2 のコマンドプロセッサの電源を切断するための指示を受信することと、

前記指示を受信したことに応答して前記第 2 のコマンドプロセッサの電源を切断することと

をさらに備える、C 1 に記載の方法。

[ C 9 ]

シェーダコアの前記第 1 のセットのシェーダコアの数がシェーダコアの前記第 2 のセットのシェーダコアの数とは異なる、C 1 に記載の方法。

[ C 1 0 ]

プロセッサ上のドライバを用いて、シェーダコアの第 1 のセット上で実行されるべきグラフィックスアプリケーションのために確保された、グラフィックス処理ユニット ( G P U ) のシェーダプロセッサのシェーダコアの前記第 1 のセットを判断することと、

前記プロセッサ上の前記ドライバを用いて、シェーダコアの第 2 の異なるセットによって実行されるべき非グラフィックスアプリケーションのために確保された、前記 G P U の前記シェーダプロセッサのシェーダコアの前記第 2 のセットを判断することと、

シェーダコアの前記第 1 のセットの指示とシェーダコアの前記第 2 のセットの指示とを前記 G P U に送信することと

を備える方法。

[ C 1 1 ]

シェーダコアの前記第 1 のセットを判断することは、前記シェーダコアのうちのいくつかのシェーダコアおよびどのシェーダコアが前記グラフィックスアプリケーションのために確保されるべきかを判断することを備え、シェーダコアの前記第 2 のセットを判断することは、前記シェーダコアのうちのいくつかのシェーダコアおよびどのシェーダコアが前記非グラフィックスアプリケーションのために確保されるべきかを判断することを備える、C 1 0 に記載の方法。

[ C 1 2 ]

シェーダコアの前記第 1 のセットがシェーダコアの前記第 2 のセットよりも多くのシェーダコアを含むと判断すること

をさらに備える、C 1 0 に記載の方法。

[ C 1 3 ]

シェーダコアの前記第 1 のセットを判断することが、前記グラフィックスアプリケーションのキューイングされた命令の数に基づいてシェーダコアの前記第 1 のセットを判断することを備える、C 1 0 に記載の方法。

[ C 1 4 ]

シェーダコアの前記第 2 のセットを判断することが、前記非グラフィックスアプリケーションのキューイングされた命令の数に基づいてシェーダコアの前記第 2 のセットを判断することを備える、C 1 0 に記載の方法。

[ C 1 5 ]

送信することが、

シェーダコアの前記第 1 のセットの前記指示を前記 G P U 内の第 1 のコマンドプロセッサに送信することと、

10

20

30

40

50

シェーダコアの前記第 2 のセットの前記指示を前記 G P U 内の第 2 の異なるプロセッサに送信することと  
を備える、C 1 0 に記載の方法。

[ C 1 6 ]

送信することが、

シェーダコアの前記第 1 のセットの前記指示を前記 G P U 内のコマンドプロセッサに送信することと、

シェーダコアの前記第 2 のセットの前記指示を前記 G P U 内の同じコマンドプロセッサに送信することと  
を備える、C 1 0 に記載の方法。

[ C 1 7 ]

複数のシェーダコアを含むシェーダプロセッサと、

グラフィックスアプリケーションの命令を実行するために確保された前記シェーダコアの第 1 のセットの指示を受信し、前記グラフィックスアプリケーションの前記命令を受信するように構成された第 1 のコマンドプロセッサと、

非グラフィックスアプリケーションの命令を実行するために確保された前記シェーダコアの第 2 の異なるセットの指示を受信し、前記非グラフィックスアプリケーションの前記命令を受信するように構成された第 2 のコマンドプロセッサと  
を備えるグラフィックス処理ユニット ( G P U ) 。

[ C 1 8 ]

前記第 1 のコマンドプロセッサが前記第 2 のコマンドプロセッサとは異なる、C 1 7 に記載の G P U 。

[ C 1 9 ]

前記第 1 のコマンドプロセッサが前記第 2 のコマンドプロセッサと同じである、C 1 7 に記載の G P U 。

[ C 2 0 ]

前記シェーダコアの前記第 1 のセットが、前記グラフィックスアプリケーションの前記命令を実行するように構成され、

前記グラフィックスアプリケーションの前記命令の前記実行と実質的に同時に、前記シェーダコアの前記第 2 のセットが、前記非グラフィックスアプリケーションの前記命令を実行するように構成された、C 1 7 に記載の G P U 。

[ C 2 1 ]

シェーダコアの前記第 1 のセットが、前記非グラフィックスアプリケーションの命令を実行しないように構成され、

シェーダコアの前記第 2 のセットが、前記グラフィックスアプリケーションの命令を実行しないように構成された、C 1 7 に記載の G P U 。

[ C 2 2 ]

前記第 1 のコマンドプロセッサは、前記第 2 のコマンドプロセッサが前記非グラフィックスアプリケーションの前記命令を受信すると同時に前記グラフィックスアプリケーションの前記命令を受信するように構成された、C 1 7 に記載の G P U 。

[ C 2 3 ]

前記シェーダコアの前記第 1 のセットのうちのどのシェーダコアが前記グラフィックスアプリケーションの前記命令のうちのどの命令を実行するかを判断するように構成された第 1 の作業負荷分配ユニットと、

前記シェーダコアの前記第 2 のセットのうちのどのシェーダコアが前記非グラフィックスアプリケーションの前記命令のうちのどの命令を実行するかを判断するように構成された第 2 の異なる作業負荷分配ユニットと

をさらに備え、

前記シェーダコアの前記第 1 のセットが、前記第 1 の作業負荷分配ユニットの前記判断に基づいて前記グラフィックスアプリケーションの前記命令を実行するように構成され、

10

20

30

40

50

前記シェーダコアの前記第 2 のセットが、前記第 2 の作業負荷分配ユニットの前記判断に基づいて前記非グラフィックスアプリケーションの前記命令を実行するように構成された、C 17 に記載の GPU。

[ C 2 4 ]

メモリキャッシュ  
をさらに備え、

前記第 1 のコマンドプロセッサおよび前記第 2 のコマンドプロセッサのうちの少なくとも 1 つが、前記メモリキャッシュへの前記グラフィックスアプリケーションの前記命令の前記実行の結果の記憶を前記メモリキャッシュへの前記非グラフィックスアプリケーションの前記命令の前記実行の結果の記憶よりも優先させるように構成された、C 17 に記載の GPU。

10

[ C 2 5 ]

前記 GPU は、前記非グラフィックスアプリケーションの命令がないとき、前記第 2 のコマンドプロセッサの電源を切断するための指示を受信し、電源を切断するための前記指示の前記受信に応答して前記第 2 のコマンドプロセッサの電源を切断するように構成された、C 17 に記載の GPU。

[ C 2 6 ]

前記シェーダコアの前記第 1 のセットのシェーダコアの数が前記シェーダコアの前記第 2 のセットのシェーダコアの数とは異なる、C 17 に記載の GPU。

[ C 2 7 ]

20

シェーダコアの第 1 のセット上で実行されるべきグラフィックスアプリケーションのために確保された、グラフィックス処理ユニット ( GPU ) のシェーダプロセッサの前記シェーダコアの前記第 1 のセットを判断することと、

シェーダコアの第 2 の異なるセットによって実行されるべき非グラフィックスアプリケーションのために確保された、前記 GPU の前記シェーダプロセッサのシェーダコアの前記第 2 のセットを判断することと、

シェーダコアの前記第 1 のセットの指示とシェーダコアの前記第 2 のセットの指示とを前記 GPU に送信することと  
を行うように構成されたプロセッサ。

[ C 2 8 ]

30

前記プロセッサが、前記判断と前記 GPU への前記送信とを行うドライバを実行する、C 27 に記載のプロセッサ。

[ C 2 9 ]

前記プロセッサは、シェーダコアの前記第 1 のセットを判断するために、前記シェーダコアのうちのいくつかのシェーダコアおよびどのシェーダコアが前記グラフィックスアプリケーションのために確保されるべきかを判断し、シェーダコアの前記第 2 のセットを判断するために、前記シェーダコアのうちのいくつかのシェーダコアおよびどのシェーダコアが前記非グラフィックスアプリケーションのために確保されるべきかを判断するように構成された、C 27 に記載のプロセッサ。

[ C 3 0 ]

40

前記プロセッサは、シェーダコアの前記第 1 のセットがシェーダコアの前記第 2 のセットよりも多くのシェーダコアを含むと判断するように構成された、C 27 に記載のプロセッサ。

[ C 3 1 ]

前記プロセッサが、前記グラフィックスアプリケーションのキューイングされた命令の数に基づいてシェーダコアの前記第 1 のセットを判断するように構成された、C 27 に記載のプロセッサ。

[ C 3 2 ]

前記プロセッサが、前記非グラフィックスアプリケーションのキューイングされた命令の数に基づいてシェーダコアの前記第 2 のセットを判断するように構成された、C 27 に

50

記載のプロセッサ。

[ C 3 3 ]

前記プロセッサが、

前記シェーダコアの前記第 1 のセットの前記指示を前記 G P U の第 1 のコマンドプロセッサに送信することと、

前記シェーダコアの前記第 2 のセットの前記指示を前記 G P U の第 2 の異なるコマンドプロセッサに送信することと

を行うように構成された、C 2 7 に記載のプロセッサ。

[ C 3 4 ]

前記プロセッサが、

前記シェーダコアの前記第 1 のセットの前記指示を前記 G P U のコマンドプロセッサに送信することと、

前記シェーダコアの前記第 2 のセットの前記指示を前記 G P U の同じコマンドプロセッサに送信することと

を行うように構成された、C 2 7 に記載のプロセッサ。

[ C 3 5 ]

グラフィックス処理ユニット ( G P U ) であって、

グラフィックスアプリケーションのために確保された、前記 G P U のシェーダプロセッサのシェーダコアの第 1 のセットの指示を受信するための第 1 の手段と、

非グラフィックスアプリケーションのために確保された、前記 G P U の前記シェーダプロセッサのシェーダコアの第 2 の異なるセットの指示を受信するための第 2 の手段と、

前記グラフィックスアプリケーションの命令を受信するための第 3 の手段と、

前記非グラフィックスアプリケーションの命令を受信するための第 4 の手段と、

シェーダコアの前記第 1 のセットで前記グラフィックスアプリケーションの前記命令を実行するための手段と、

前記グラフィックスアプリケーションの前記命令を実行するのと同時に、シェーダコアの前記第 2 のセットで前記非グラフィックスアプリケーションの前記命令を実行するための手段と

を備える G P U 。

[ C 3 6 ]

受信するための前記第 1 の手段および受信するための前記第 2 の手段が、受信するための異なる手段を備える、C 3 5 に記載の G P U 。

[ C 3 7 ]

1 つまたは複数のプロセッサに、

グラフィックス処理ユニット ( G P U ) を用いて、グラフィックスアプリケーションのために確保された、前記 G P U のシェーダプロセッサのシェーダコアの第 1 のセットの指示を受信することと、

前記 G P U を用いて、非グラフィックスアプリケーションのために確保された、前記 G P U の前記シェーダプロセッサのシェーダコアの第 2 の異なるセットの指示を受信することと、

前記 G P U を用いて、前記グラフィックスアプリケーションの命令を受信することと、

前記 G P U を用いて、前記非グラフィックスアプリケーションの命令を受信することと

、

前記 G P U を用いて、シェーダコアの前記第 1 のセットで前記グラフィックスアプリケーションの前記命令を実行することと、

前記グラフィックスアプリケーションの前記命令を実行するのと同時に、前記 G P U を用いて、シェーダコアの前記第 2 のセットで前記非グラフィックスアプリケーションの前記命令を実行することと

を行わせる命令を備えるコンピュータ可読記憶媒体。

[ C 3 8 ]

10

20

30

40

50

シェーダコアの前記第 1 のセットの前記指示を受信するための前記命令が、第 1 のコマンドプロセッサを用いてシェーダコアの前記第 1 のセットの前記指示を受信するための命令を備え、シェーダコアの前記第 2 のセットの前記指示を受信するための前記命令が、第 2 の異なるコマンドプロセッサを用いてシェーダコアの前記第 2 のセットの前記指示を受信するための命令を備える、C 3 7 に記載のコンピュータ可読記憶媒体。

[ C 3 9 ]

シェーダコアの第 1 のセット上で実行されるべきグラフィックスアプリケーションのために確保された、グラフィックス処理ユニット ( G P U ) のシェーダプロセッサのシェーダコアの前記第 1 のセットを判断するための手段と、

シェーダコアの第 2 の異なるセットによって実行されるべき非グラフィックスアプリケーションのために確保された、前記 G P U の前記シェーダプロセッサのシェーダコアの前記第 2 のセットを判断するための手段と、

シェーダコアの前記第 1 のセットの指示とシェーダコアの前記第 2 のセットの指示とを前記 G P U に送信するための手段とを備えるプロセッサ。

[ C 4 0 ]

1 つまたは複数のプロセッサに、

前記 1 つまたは複数のプロセッサ上のドライバを用いて、シェーダコアの第 1 のセット上で実行されるべきグラフィックスアプリケーションのために確保された、グラフィックス処理ユニット ( G P U ) のシェーダプロセッサのシェーダコアの前記第 1 のセットを判断することと、

前記 1 つまたは複数のプロセッサ上の前記ドライバを用いて、シェーダコアの第 2 の異なるセットによって実行されるべき非グラフィックスアプリケーションのために確保された、前記 G P U の前記シェーダプロセッサのシェーダコアの前記第 2 のセットを判断することと、

シェーダコアの前記第 1 のセットの指示とシェーダコアの前記第 2 のセットの指示とを前記 G P U に送信することとを行わせる命令を備えるコンピュータ可読記憶媒体。

[ C 4 1 ]

プロセッサと、

グラフィックス処理ユニット ( G P U ) とを備え、

前記プロセッサが、

シェーダコアの第 1 のセット上で実行されるべきグラフィックスアプリケーションのために確保された、前記 G P U のシェーダプロセッサの前記シェーダコアの前記第 1 のセットを判断することと、

シェーダコアの第 2 の異なるセットによって実行されるべき非グラフィックスアプリケーションのために確保された、前記 G P U の前記シェーダプロセッサのシェーダコアの前記第 2 のセットを判断することと、

シェーダコアの前記第 1 のセットの指示とシェーダコアの前記第 2 のセットの指示とを前記 G P U に送信することとを行うように構成され、

前記 G P U が、

シェーダコアの前記第 1 のセットとシェーダコアの前記第 2 のセットとを含む複数のシェーダコアを含む前記シェーダプロセッサと、

前記グラフィックスアプリケーションの命令を実行するために確保された前記シェーダコアの前記第 1 のセットの前記指示を受信し、前記グラフィックスアプリケーションの前記命令を受信するように構成された第 1 のコマンドプロセッサと、

前記非グラフィックスアプリケーションの命令を実行するために確保された前記シェーダコアの前記第 2 の異なるセットの前記指示を受信し、前記非グラフィックスアプリケー

10

20

30

40

50



ションの前記命令を受信するように構成された第２のコマンドプロセッサとを備える、装置。

【図１】

図 1

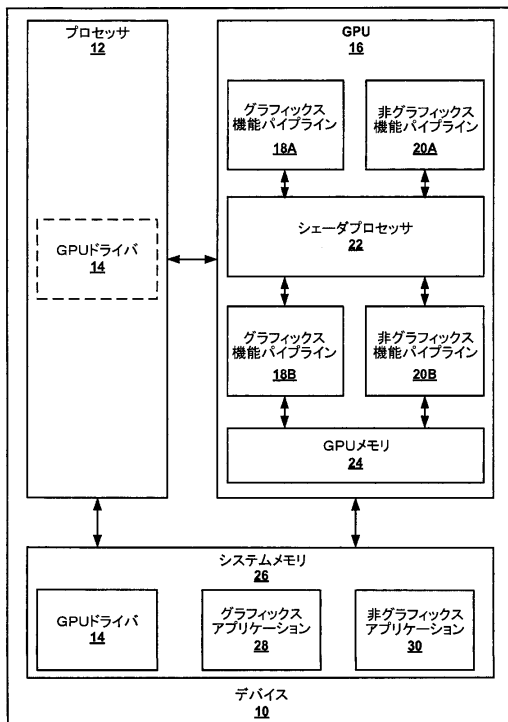


FIG. 1

【図２】

図 2

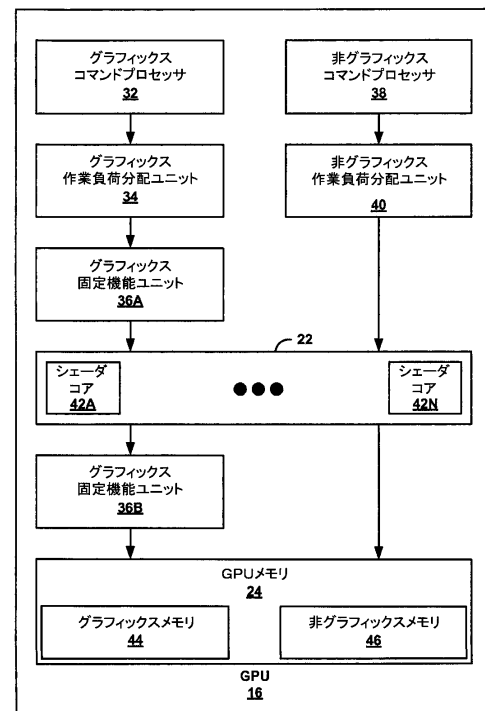


FIG. 2

【図 3】

図 3

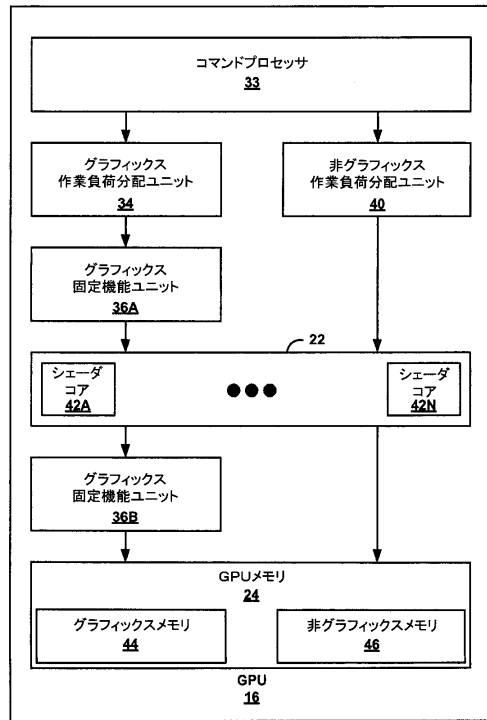


FIG. 3

【図 4】

図 4

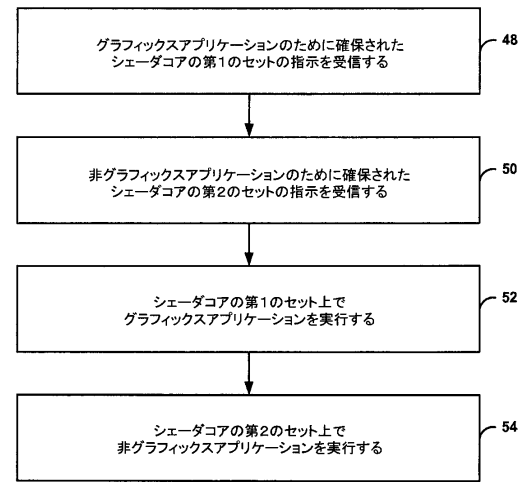


FIG. 4

【図 5】

図 5

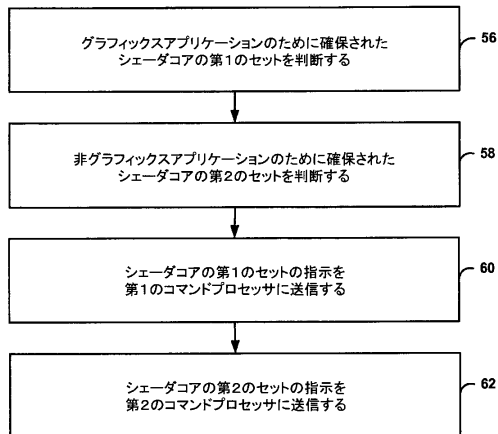


FIG. 5

【図 6】

図 6

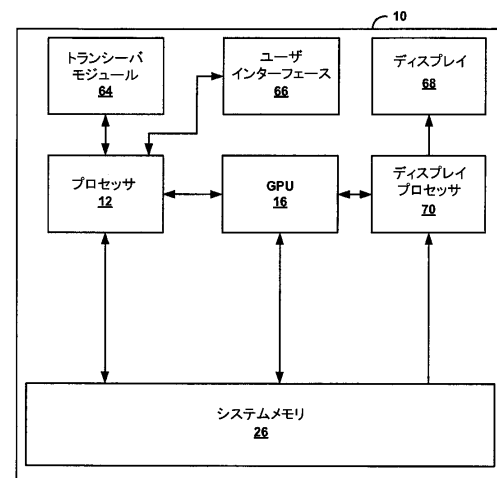


FIG. 6

---

フロントページの続き

- (74)代理人 100153051  
弁理士 河野 直樹
- (74)代理人 100140176  
弁理士 砂川 克
- (74)代理人 100158805  
弁理士 井関 守三
- (74)代理人 100179062  
弁理士 井上 正
- (74)代理人 100124394  
弁理士 佐藤 立志
- (74)代理人 100112807  
弁理士 岡田 貴志
- (74)代理人 100111073  
弁理士 堀内 美保子
- (72)発明者 ボウルド、アレクセイ・ブイ .  
アメリカ合衆国、カリフォルニア州 92121、サン・ディエゴ、モアハウス・ドライブ 57  
75

審査官 板垣 有紀

- (56)参考文献 米国特許出願公開第2013/0141447 (US, A1)  
米国特許出願公開第2007/0204268 (US, A1)  
米国特許出願公開第2011/0063306 (US, A1)

- (58)調査した分野(Int.Cl., DB名)  
G06T 1/20  
G06F 9/50