

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-228273
(P2004-228273A)

(43) 公開日 平成16年8月12日(2004.8.12)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
HO 1 L 29/786	HO 1 L 29/78 6 2 6 C	5 F 0 3 3
HO 1 L 21/02	HO 1 L 21/02 B	5 F 0 4 8
HO 1 L 21/3205	HO 1 L 27/08 3 3 1 E	5 F 1 1 0
HO 1 L 21/336	HO 1 L 27/12 B	
HO 1 L 21/8234	HO 1 L 27/08 1 0 2 B	
審査請求 未請求 請求項の数 6 O L (全 12 頁) 最終頁に続く		

(21) 出願番号 特願2003-13062 (P2003-13062)
(22) 出願日 平成15年1月22日 (2003.1.22)

(71) 出願人 503121103
株式会社ルネサステクノロジ
東京都千代田区丸の内二丁目4番1号
(74) 代理人 100089233
弁理士 吉田 茂明
(74) 代理人 100088672
弁理士 吉竹 英俊
(74) 代理人 100088845
弁理士 有田 貴弘
(72) 発明者 一法師 隆志
東京都千代田区丸の内二丁目2番3号 三
菱電機株式会社内
Fターム(参考) 5F033 HH08 HH11 HH13 HH19 MM30
VV15 XX19 XX22

最終頁に続く

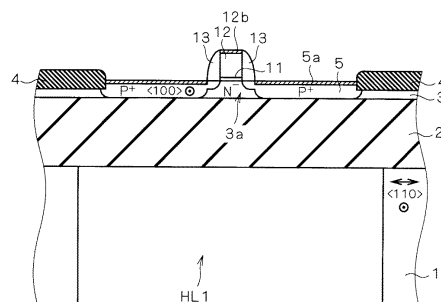
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】半導体基板上に形成される半導体装置であって、半導体基板の特長を有効に利用することが可能な半導体装置を提供する。

【解決手段】SOI層3の結晶方位<100>に支持基板1の結晶方位<110>を一致させて形成されたSOI基板上に、PチャネルMOSトランジスタを形成する。そして、開口部HL1を設けてその下部の支持基板を除去することによりチャネル形成領域にひずみを加える。支持基板1の一部が除去されることにより、その部分の上層の酸化膜層2およびSOI層3には歪み応力がかかることになる。よって、MOSトランジスタのチャネル形成領域を含むSOI層3にひずみを与えることが可能となり、チャネルにおけるキャリアの移動度を向上させることができる。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

支持基板、酸化膜層およびSOI (Semiconductor On Insulator) 層が順に積層されたSOI基板と、
 前記SOI層上に形成されたゲート絶縁膜、前記ゲート絶縁膜上に形成されたゲート電極、
 前記SOI層内において前記ゲート電極に隣接する位置に形成されたソース/ドレイン
 活性層を含むMIS (Metal Insulator Semiconductor) トランジスタと
 を備え、
 前記支持基板のうち少なくとも前記MISトランジスタの下方に位置する部分が除去され
 た
 半導体装置。 10

【請求項 2】

請求項 1 に記載の半導体装置であって、
 前記支持基板のうち除去された部分には四方を囲む端面が露出し、前記端面は全て (1 1
 1) 面である
 半導体装置。

【請求項 3】

請求項 1 に記載の半導体装置であって、
 前記支持基板を備える代わりに、
 前記MISトランジスタを覆う層間絶縁膜と、
 前記層間絶縁膜上に貼り合わされた他の支持基板と
 をさらに備える半導体装置。 20

【請求項 4】

請求項 1 に記載の半導体装置であって、
 前記支持基板の表面および除去された部分に露出した端面、並びに、前記支持基板の除去
 された部分に露出した前記酸化膜層を覆うように形成された金属膜
 をさらに備える半導体装置。

【請求項 5】

請求項 4 に記載の半導体装置であって、
 前記酸化膜層を貫通して、前記MISトランジスタの前記ソース/ドレイン活性層と前記
 金属膜とを電氣的に接続するコンタクトプラグ
 をさらに備える半導体装置。 30

【請求項 6】

請求項 1 に記載の半導体装置であって、
 前記支持基板と前記SOI層とにおいては互いの結晶方位がずれている
 半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、半導体基板上に形成される半導体装置に関する。 40

【0002】

【従来の技術】

従来の半導体装置の一例として、SOI (Silicon On Insulator) またはSemiconductor On Insulator) 基板上に形成されたPチャ
 ネルMOS (Metal Oxide Semiconductor) トランジスタが
 ある。

【0003】

SOI基板では、シリコン基板等の支持基板、酸化膜層およびSOI層がこの順に積層され
 る。また、PチャネルMOSトランジスタは、ゲート電極、ゲート絶縁膜およびP型の 50

ソース/ドレイン活性層を備える。

【0004】

SOI基板にPチャンネルMOSトランジスタを形成する場合、ゲート電極およびゲート絶縁膜の積層構造はSOI層の表面上に形成され、ソース/ドレイン活性層はSOI層内のゲート電極を挟む位置に形成される。

【0005】

さて、従来の半導体装置においては、MOSトランジスタのソース/ドレイン間のチャンネル方向が半導体ウェハの結晶方位 $\langle 110 \rangle$ と平行になるように配置されるのが一般的であった。

【0006】

しかし、チャンネル方向を結晶方位 $\langle 110 \rangle$ ではなく、結晶方位 $\langle 100 \rangle$ と平行になるよう配置することで、トランジスタ特性を変化させることができる。具体的には、チャンネル方向を結晶方位 $\langle 100 \rangle$ と平行に配置することにより、PチャンネルMOSトランジスタの電流駆動力が15パーセント程度向上し、さらに、短チャンネル効果も小さくなることが分かっている（後述の特許文献1を参照）。

【0007】

電流駆動力が向上する理由は、結晶方位 $\langle 100 \rangle$ の正孔の移動度の方が結晶方位 $\langle 110 \rangle$ のそれよりも大きいためであり、短チャンネル効果が小さくなる理由は、結晶方位 $\langle 100 \rangle$ のボロンの拡散係数の値の方が結晶方位 $\langle 110 \rangle$ のそれよりも小さいためと考えられている。

【0008】

よって、PチャンネルMOSトランジスタをSOI基板上に形成する場合も、そのチャンネル方向がSOI層の結晶方位 $\langle 100 \rangle$ と平行になるように配置されればよい。そのためには例えば、表面側のSOI層の結晶方位 $\langle 100 \rangle$ に支持基板の結晶方位 $\langle 110 \rangle$ を一致させて形成されたSOI基板を採用して、その表面にPチャンネルMOSトランジスタ等のデバイスを形成するのがよい。

【0009】

(100)ウェハの場合、結晶面 $\{110\}$ が劈開面となる。よって、SOI層用ウェハの結晶方位 $\langle 100 \rangle$ を支持基板のウェハの結晶方位 $\langle 110 \rangle$ に一致させて貼り合わせれば、試験研究のための劈開時に、ウェハ厚の大部分を占める支持基板のウェハの劈開面に沿ってウェハ全体を割ることができる。そうすれば、支持基板において結晶方位 $\langle 110 \rangle$ の断面を露出させつつ、SOI層において結晶方位 $\langle 100 \rangle$ の断面を露出させることが可能になるという利点を有する。

【0010】

このような、SOI層の結晶方位 $\langle 100 \rangle$ と支持基板1の結晶方位 $\langle 110 \rangle$ とを一致させる技術は、例えば特許文献1または特許文献2に記載されている。

【0011】

その他、この出願の発明に関連する先行技術文献情報としては非特許文献1～3がある。

【0012】

【特許文献1】

特開2002-134374号公報

【特許文献2】

特開平7-335511号公報

【非特許文献1】

Y. Hirano et al., 「Bulk-Layout-Compatible 0.18 μ m SOI-CMOS Technology Using Body-Fixed Partial Trench Isolation (PTI)」, (米国), IEEE 1999 SOI conf., p. 131-132

【非特許文献2】

S. Maeda et al., 「Suppression of Delay Tim

10

20

30

40

50

e Instability on Frequency using Field Shield Isolation Technology for Deep Sub-Micron SOI Circuits」, (米国), IEDM, 1996, p. 129 - 132

【非特許文献3】

L. - J. Huang et al., 「Carrier Mobility Enhancement in Strained Si-On-Insulator Fabricated by Wafer Bonding」, (米国), 2001 Symposium on VLSI Technology, p. 57 - 58

【0013】

10

【発明が解決しようとする課題】

さて、SOI層の結晶方位<100>に支持基板の結晶方位<110>を一致させて形成されたSOI基板は、電流駆動力の向上等の理由からPチャネルMOSトランジスタの形成に適しているが、PチャネルMOSトランジスタの電流駆動力の向上にはまだ改善の余地がある。

【0014】

そこで、この発明の課題は、半導体基板上に形成されるMOSトランジスタの電流駆動力を向上させることが可能な半導体装置を提供することにある。

【0015】

【課題を解決するための手段】

20

請求項1に記載の発明は、支持基板、酸化膜層およびSOI(Semiconductor On Insulator)層が順に積層されたSOI基板と、前記SOI層上に形成されたゲート絶縁膜、前記ゲート絶縁膜上に形成されたゲート電極、前記SOI層内において前記ゲート電極に隣接する位置に形成されたソース/ドレイン活性層を含むMIS(Metal Insulator Semiconductor)トランジスタとを備え、前記支持基板のうち少なくとも前記MISトランジスタの下方に位置する部分が除去された半導体装置である。

【0016】

【発明の実施の形態】

<実施の形態1>

30

本実施の形態は、SOI層の結晶方位<100>に支持基板の結晶方位<110>を一致させて形成されたSOI基板上に、PチャネルMOSトランジスタを形成し、その下部の支持基板を除去することによりチャンネル形成領域にひずみを加えるものである。

【0017】

本実施の形態に係る半導体装置を図1および図2に示す。なお、図2は図1中の切断線I-Iにおける断面を示した図である。

【0018】

この半導体装置はPチャネルMOSトランジスタであり、シリコン基板等の支持基板1、酸化膜層2、および、シリコン層等のSOI層3が順に積層されたSOI基板の表面に形成されている。また、このPチャネルMOSトランジスタは、ゲート電極12、ゲート絶縁膜11およびP型のソース/ドレイン活性層5を備える。

40

【0019】

ゲート電極12およびゲート絶縁膜11の積層構造はSOI層3の表面上に形成され、P型ソース/ドレイン活性層5はSOI層3内で平面視上、ゲート電極12に隣接する位置に形成される。なお、ソース/ドレイン活性層5の外縁は部分分離型の素子分離領域4により規定されている。

【0020】

ゲート電極12およびゲート絶縁膜11の側面には側壁絶縁膜13が形成され、ゲート電極12およびソース/ドレイン活性層5の表面にはそれぞれシリサイド化領域12b, 5aが形成されている。また、ゲート電極12のうちソース/ドレイン活性層5に隣接する

50

部分は、ゲート長を短くするために細く形成されているが、コンタクトプラグ（図示せず）と接続するための引き出し部分 12a は幅広に形成されている。なお、SOI 層 3 のうちゲート電極 12 下方の部分は、比較的低濃度（ N^- ）の N 型ボディ層 3a となっている。

【0021】

図 1 および図 2 に示すように、この半導体装置においては、支持基板 1 のうち MOS トランジスタの下方に位置する部分が除去され、開口部 HL1 が形成されている。

【0022】

このように本実施の形態によれば、SOI 基板の支持基板 1 のうち P チャンネル MOS トランジスタの下方に位置する部分が除去されている。支持基板 1 の一部が除去されることにより、その部分の上層の酸化膜層 2 および SOI 層 3 には歪み応力がかかることになる。よって、MOS トランジスタのチャンネル形成領域を含む SOI 層 3 にひずみを与えることが可能となり、チャンネルにおけるキャリアの移動度を向上させることができる。

10

【0023】

なお、SOI 層 3 にひずみを与えると、チャンネルにおけるキャリアの移動度が向上することについて以下に説明する。

【0024】

SOI 層のうち表面側（チャンネル形成領域）を通常のシリコンよりも格子定数の大きくなったシリコンストレインチャンネル層とし、SOI 層の残り（チャンネル形成領域の隣接領域）をシリコンよりも格子定数の大きいシリコンゲルマニウム層とする構造の MOS トランジスタが存在する（非特許文献 3 参照）。いわゆるストレインチャンネル構造の MOS トランジスタである。

20

【0025】

シリコンよりも格子定数の大きい隣接領域にエピタキシャル成長させた表面側のシリコン層の格子定数の値は、隣接領域の格子配置の影響を受けて隣接領域の格子定数の値に略等しくなり、通常のシリコンよりも大きな格子定数を有する。よって、表面側のシリコン層は、引っ張り応力（strain stress）を受けた状態になっている。すると、チャンネルにおけるキャリア移動度の上昇が見られ、特性を向上させた MOS トランジスタが得られるのである。

【0026】

本実施の形態の場合には、支持基板 1 の一部を除去することにより、その部分の上層の酸化膜層 2 および SOI 層 3 に歪み応力を加えている。これにより、上記ストレインチャンネル構造の MOS トランジスタと同様の効果が得られるわけである。

30

【0027】

また、本実施の形態の SOI 基板においては、支持基板 1 と SOI 層 3 とにおいて互いの結晶方位をずらせている。これにより、支持基板 1 の劈開面と SOI 層 3 の劈開面とを異ならせることができ、SOI 基板を割れにくくすることができる。

【0028】

また、ストレスによりトランジスタの特性は変化するので、ストレス制御は重要である。特に、本実施の形態においては、支持基板 1 の一部を除去することにより、その部分の上層の酸化膜層 2 および SOI 層 3 に歪み応力を加えており、より高精度なストレス制御が必要である。本 SOI 基板を用いることにより、P チャンネル MOS トランジスタにおける電流駆動能力の向上に加えて、各製造工程で生じる不確定なストレスを小さくしてストレス制御を向上させることができる。

40

【0029】

なお、図 1 および図 2 の構造は容易に形成できる。例えば支持基板 1 の表面側にフォトリジストを形成し、これをパターンニングして開口部 HL1 のエッチング用マスクに形成する。そしてエッチングを行い、フォトリジストを除去すれば、図 1 および図 2 の構造が得られる。

【0030】

50

なお、図3および図4は、図1および図2の構造の変形例である。図4は図3中の切断線I V - I Vにおける断面を示した図である。この変形例では、PチャネルM O Sトランジスタのソース/ドレイン活性層5の直下の支持基板1に、ソース/ドレイン活性層5と同程度の大きさで平面視長形状の開口部H L 2が設けられている。なお、開口部H L 2に露出した四方を囲む端面は全て(1 1 1)面である。

【0031】

(1 1 1)面は結晶方位<1 1 0>に平行な面であるので、(1 1 1)面を露出させるエッチングを行えば、支持基板1の結晶方位<1 1 0>に平行な辺を有する開口部を支持基板に設けることができる。よって、支持基板1の除去部分を長方形に形成することができ、除去部分のサイズをM O Sトランジスタのサイズに応じて必要最小限に留めることが可能となる。

10

【0032】

(1 1 1)面を露出させるエッチングは、例えば以下のように行えばよい。

【0033】

図5および図6に示すように、まず、支持基板1の表面であってM O Sトランジスタ直下の位置にフォトレジストR M 2を形成し、フォトレジストR M 2に開口部H L 2よりは開口面積が小さい開口O P 1を設ける。なお、図6は図5中の切断線V I - V Iにおける断面を示した図である。

【0034】

次に、水酸化カリウム溶液等の強アルカリ溶液でウェットエッチングを行う。すると、図7および図8に示すように、支持基板1の表面に(1 1 1)面を端面とする開口部H L 2が形成される。水酸化カリウム溶液はシリコン酸化膜をほとんどエッチングすることがないので、酸化膜層2がエッチングストップとなる。なお、図8は図7中の切断線V I I I - V I I Iにおける断面を示した図である。

20

【0035】

その後、フォトレジストR M 2を除去すれば、図3および図4に示した構造が得られる。

【0036】

なお、水酸化カリウム溶液以外にも、水酸化ナトリウム溶液、水酸化テトラメチルアンモニウム(Tetramethyl Ammonium Hydroxide)等の強アルカリ溶液を用いてもよい。

30

【0037】

図9は、複数のM O Sトランジスタがそのソース/ドレイン活性層5を共有して形成される場合を示した図である。この場合も、支持基板1の表面に開口部H L 2を形成できる。開口部H L 2は、共有、非共有いずれものソース/ドレイン活性層5の全てを覆う形で形成されればよい。

【0038】

<実施の形態2>

本実施の形態は、実施の形態1に係る半導体装置の変形例であり、支持基板1が全て除去されて、その代わりにM O Sトランジスタ上に形成された層間絶縁膜上に他の支持基板を貼り合わせた半導体装置である。

40

【0039】

本実施の形態に係る半導体装置を図10に示す。この半導体装置においては、支持基板1が全て除去されている。そして、S O I層3上に形成されたM O Sトランジスタを覆う第1乃至第3層間絶縁膜I L 1 ~ I L 3がさらに形成されている。

【0040】

なお、第2層間絶縁膜I L 2内には第2層配線L N 1が、第3層間絶縁膜I L 3内には第3層配線L N 2が、それぞれ形成されている。また、第2層配線L N 1はコンタクトプラグP G 1によりソース/ドレイン活性層5と、第3層配線L N 2はコンタクトプラグP G 2により第2層配線L N 1と、それぞれ接続されている。

【0041】

50

さて、この半導体装置においては、最上層の第3層間絶縁膜IL3の表面に、新たな他の支持基板100が貼り合わされている。この支持基板100についても、その結晶方位<110>をSOI層3の結晶方位<100>に一致させて貼り合わせればよい。なお、他の支持基板100にはシリコン基板を採用すればよいが、これに限る必要はなく、支持機能を有する基板であれば、例えばガラス基板やプラスチック基板など半導体以外の基板を採用してもよい。

【0042】

本実施の形態の場合には、支持基板1は製造工程上における支持機能を担うだけであり、新たな他の支持基板100が貼り合わされた後にはエッチングやCMP (Chemical Mechanical Polishing) 等により除去される。

10

【0043】

本実施の形態においては支持基板1を完全に除去しているため、MOSトランジスタとその近傍で発生した熱の放熱性に優れる。また、他の支持基板100を備えるため、強度的な問題も生じない。

【0044】

<実施の形態3>

本実施の形態も、実施の形態1に係る半導体装置の変形例であり、支持基板1の表面と、開口部HL1またはHL2内の各部の表面を覆うように金属膜を形成した半導体装置である。

【0045】

図11は、図4の構造に基づいて本実施の形態を説明する図である。図11に示す通り、本実施の形態においては、支持基板1の表面と開口部HL2に露出した端面および酸化膜層2とに、Au、Al、W、Cu等の金属膜MT1が例えば金属蒸着等により形成される。

20

【0046】

このように、金属膜MT1を形成することで、MOSトランジスタとその近傍で発生した熱の放熱性に優れた半導体装置を実現できる。また、金属膜MT1を数百の高温で形成しておけば、室温に戻ったときに金属層MT1が酸化膜層2やSOI層3よりも大きく縮む。金属層MT1の方が酸化膜層2やSOI層3よりも熱膨張率が大きいからである。よって、SOI層3にひずみを与える効果もあり、チャネルにおけるキャリアの移動度を向上させることができる。

30

【0047】

<実施の形態4>

本実施の形態は、実施の形態3の変形例であり、支持基板1の表面側に設けた金属層MT1と、SOI層3内のソース/ドレイン活性層5の一部とを電気的に接続した半導体装置である。

【0048】

本実施の形態に係る半導体装置を図12に示す。図12では、MOSトランジスタが二組表示されている。そして、そのいずれにおいても、ソース/ドレイン活性層5の例えばソース側に酸化膜層2を貫通するコンタクトプラグPG3の一端が接続されている。なお、コンタクトプラグPG3は、支持基板1の側からフォトリソグラフィ技術やエッチング技術を用いて酸化膜層2の一部が開口された後、金属膜を埋め込むことにより酸化膜層2内に形成される。そして、コンタクトプラグPG3の他端は金属膜MT1に接続される。

40

【0049】

これにより、金属膜MT1に例えば電源電位V_{dd}を与えて、MOSトランジスタのソース/ドレイン活性層5の電位を固定することができる。また、金属膜MT1を支持基板1の表面全面に形成しておけば、金属膜MT1の抵抗値を低く抑えることができるので、電力消費を抑えつつ電位固定を行える。

【0050】

なお、本実施の形態のアイデアは、もちろん実施の形態2に係る半導体装置にも適用する

50

ことが可能である。図 1 3 にその場合の半導体装置の構造を示す。この場合は、支持基板 1 が完全除去されているので、金属膜 M T 1 は酸化膜層 2 の表面に形成されることになる。しかし、それ以外のコンタクトプラグ P G 3 等の形成は、図 1 2 の場合と同様である。

【 0 0 5 1 】

なお、ソース/ドレイン活性層 5 に直接に接続するコンタクトプラグ P G 3 に代わって、図 1 4 に示すようなコンタクトプラグ P G 4 を採用してもよい。このコンタクトプラグ P G 4 は、酸化膜層 2、素子分離領域 4 a および第 1 層間絶縁膜 I L 1 を貫通して第 2 層配線 L N 1 に接続されている。このように、直接にソース/ドレイン領域 5 に接続されていなくとも、配線等を介して電氣的にソース/ドレイン領域 5 と金属膜 M T 1 とを接続するコンタクトプラグを採用してもよい。なお、素子分離領域 4 a は部分分離型ではなく、完全分離型となっている。

10

【 0 0 5 2 】

【 発明の効果 】

請求項 1 に記載の発明によれば、S O I 基板の支持基板のうち少なくとも M I S トランジスタの下方に位置する部分が除去されている。よって、M I S トランジスタのチャネル形成領域を含む S O I 層にひずみを与えることが可能となり、チャネルにおけるキャリアの移動度を向上させることができる。

【 図面の簡単な説明 】

【 図 1 】 実施の形態 1 に係る半導体装置を示す上面図である。

【 図 2 】 実施の形態 1 に係る半導体装置を示す断面図である。

20

【 図 3 】 実施の形態 1 に係る半導体装置の変形例を示す上面図である。

【 図 4 】 実施の形態 1 に係る半導体装置の変形例を示す断面図である。

【 図 5 】 実施の形態 1 に係る半導体装置の変形例の製造方法を示す上面図である。

【 図 6 】 実施の形態 1 に係る半導体装置の変形例の製造方法を示す断面図である。

【 図 7 】 実施の形態 1 に係る半導体装置の変形例の製造方法を示す上面図である。

【 図 8 】 実施の形態 1 に係る半導体装置の変形例の製造方法を示す断面図である。

【 図 9 】 実施の形態 1 に係る半導体装置の変形例を示す上面図である。

【 図 1 0 】 実施の形態 2 に係る半導体装置を示す断面図である。

【 図 1 1 】 実施の形態 3 に係る半導体装置を示す断面図である。

【 図 1 2 】 実施の形態 4 に係る半導体装置を示す断面図である。

30

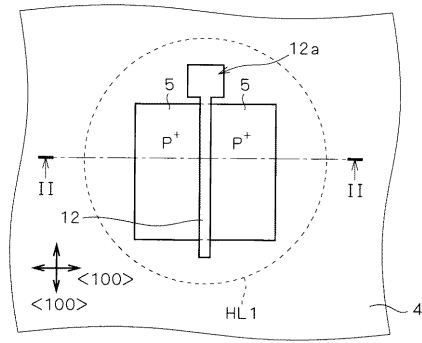
【 図 1 3 】 実施の形態 4 に係る半導体装置を示す断面図である。

【 図 1 4 】 実施の形態 4 に係る半導体装置を示す断面図である。

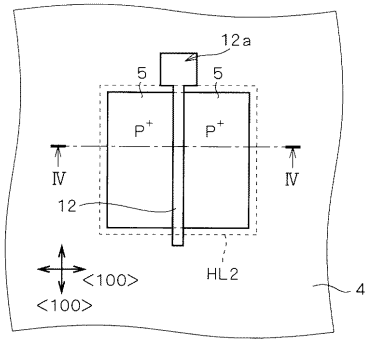
【 符号の説明 】

1 支持基板、2 酸化膜層、3 S O I 層、3 a ボディ層、4 素子分離領域、5 ソース/ドレイン活性層、H L 1 , H L 2 開口部、M T 1 金属膜、P G 3 コンタクトプラグ。

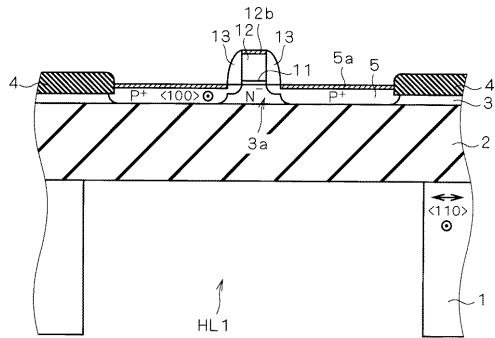
【 図 1 】



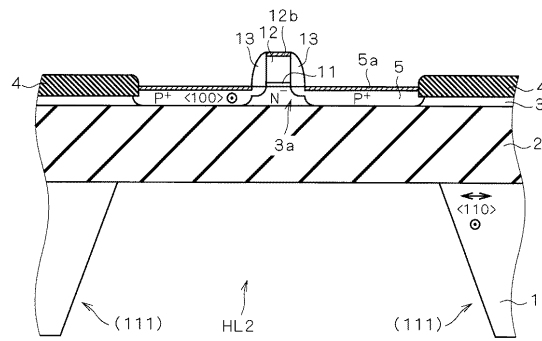
【 図 3 】



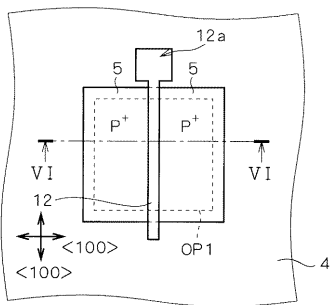
【 図 2 】



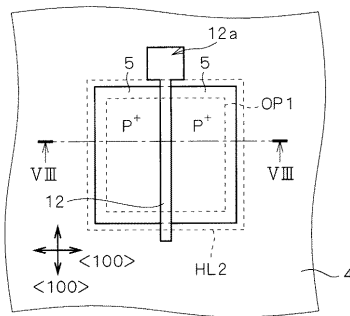
【 図 4 】



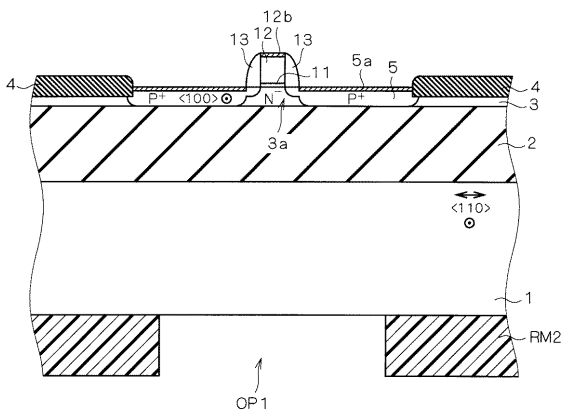
【 図 5 】



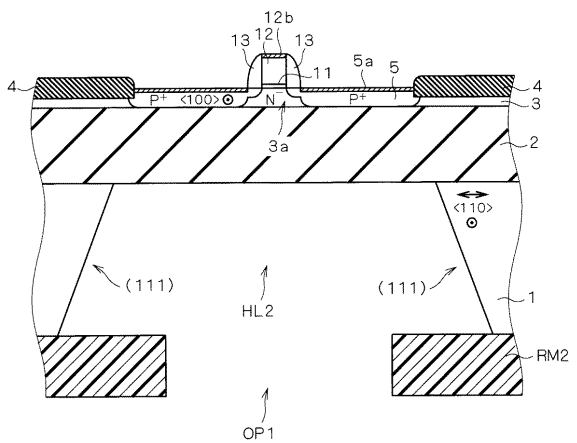
【 図 7 】



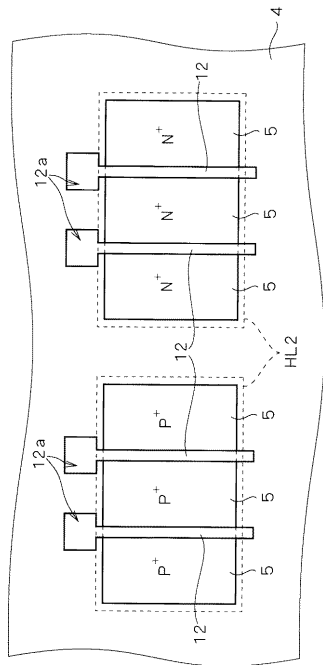
【 図 6 】



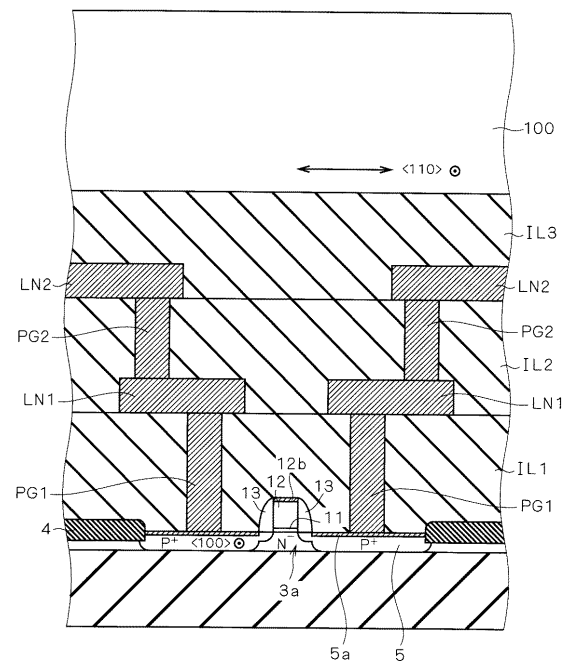
【 図 8 】



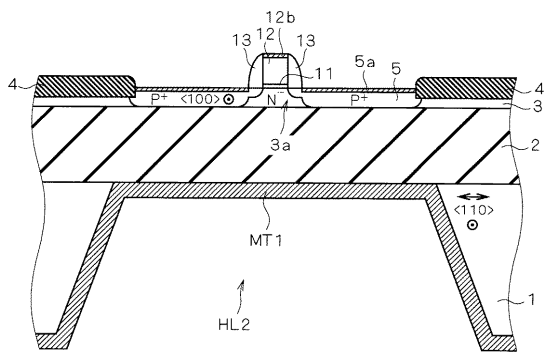
【図 9】



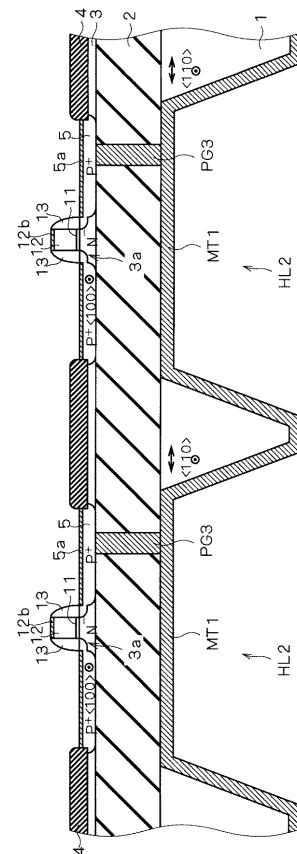
【図 10】



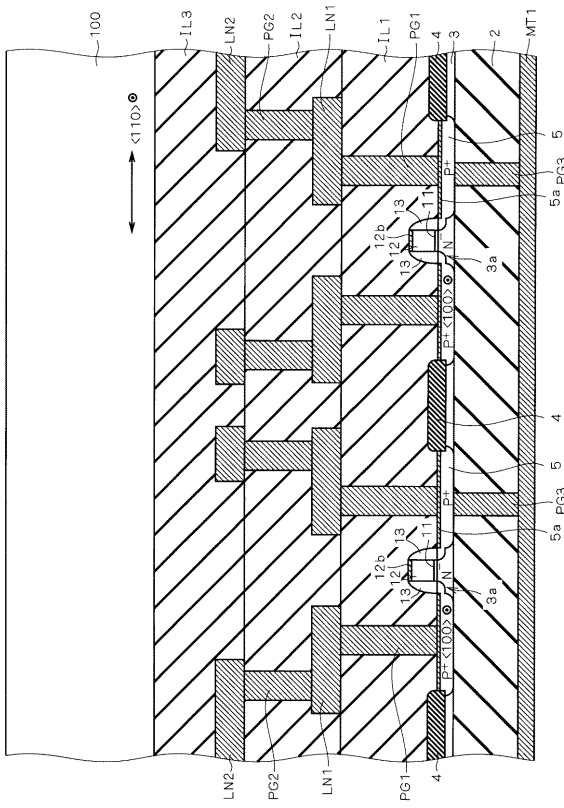
【図 11】



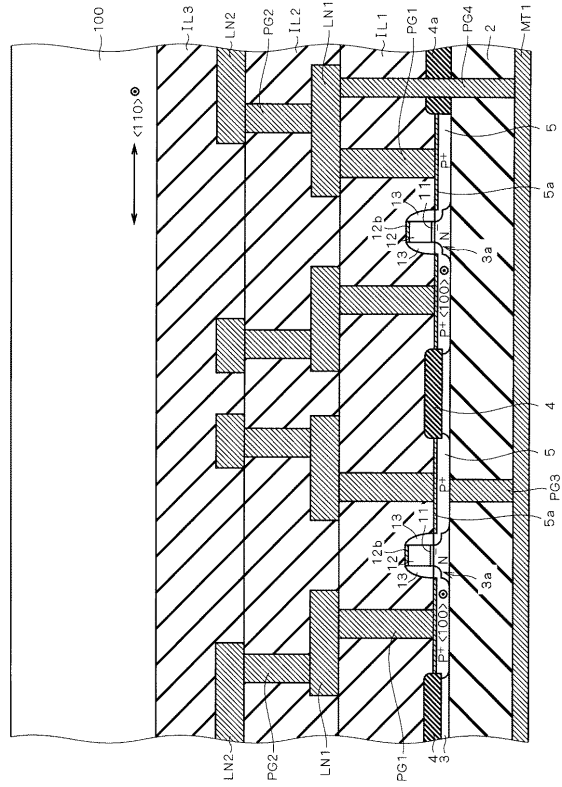
【図 12】



【 図 1 3 】



【 図 1 4 】



 フロントページの続き

(51)Int.Cl. ⁷	F I	テーマコード(参考)
H 0 1 L 27/08	H 0 1 L 29/78	6 2 0
H 0 1 L 27/088	H 0 1 L 29/78	6 2 7 D
H 0 1 L 27/12	H 0 1 L 21/88	S
	H 0 1 L 21/88	J

Fターム(参考) 5F048 AC01 AC03 AC04 BA09 BA10 BA14 BA16 BB05 BB08 BB12
 BC06 BC11 BC12 BC16 BD01 BF06 BF12 BF16 DA23
 5F110 AA01 AA09 AA30 BB04 CC02 DD05 DD13 DD21 EE05 EE14
 EE31 GG02 GG12 GG17 HK05 HL02 HL03 HL04 HL14 HL22
 HM15 QQ16 QQ17