

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 3 区分

【発行日】平成 21 年 3 月 26 日 (2009.3.26)

【公表番号】特表 2008-537656 (P2008-537656A)

【公表日】平成 20 年 9 月 18 日 (2008.9.18)

【年通号数】公開・登録公報 2008-037

【出願番号】特願 2008-501886 (P2008-501886)

【国際特許分類】

H 0 4 L 7/033 (2006.01)

【F I】

H 0 4 L 7/02 B

【手続補正書】

【提出日】平成 21 年 2 月 4 日 (2009.2.4)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

放送システムにおいてエキサイタクロックをモデムフレームクロックと同期させる方法であって、

モデムフレームの開始を表し、タイミングがモデムフレームクロックにより制御される複数のモデムフレームパルスを受信し、

エキサイタクロック信号を発生させ、

エキサイタクロック信号を表すパルスをカウントして各入来モデムフレームパルスのタイミングエラーを表すカウントを発生させ、

前記カウントにตอบสนองしてエキサイタクロック信号を制御し、

同期信号とモデムフレームパルスとの組合せにตอบสนองして前記カウントをリセットするステップより成る同期方法。

【請求項 2】

モデムフレームパルスにตอบสนองして前記カウントをラッチするステップをさらに含む請求項 1 の方法。

【請求項 3】

エキサイタクロック信号を表すパルスが可変モジュラス割算器を用いて発生される請求項 1 の方法。

【請求項 4】

モデムフレームパルスの周波数は 0 . 6 7 3 H z であり、エキサイタクロックの周波数は 1 0 M H z である請求項 1 の方法。

【請求項 5】

放送システムにおいてエキサイタクロックをモデムフレームクロックと同期させる装置であって、

モデムフレームの開始を表し、タイミングがモデムフレームクロックにより制御される複数のモデムフレームパルスを受信する手段と、

エキサイタクロック信号を発生させる手段と、

エキサイタクロック信号を表すパルスをカウントして各入来モデムフレームパルスのタイミングエラーを表すカウントを発生させる手段と、

前記カウントにตอบสนองしてエキサイタクロック信号を制御する手段と、

同期信号とモデムフレームパルスとの組合せに应答して前記カウントをリセット手段とより成る同期装置。

【請求項 6】

モデムフレームパルスに应答して前記カウントをラッチする手段をさらに含む請求項 5 の装置。

【請求項 7】

エキサイタクロック信号を表すパルスを発生させる 可変モジュラス割算器 をさらに含む請求項 5 の装置。

【請求項 8】

モデムフレームパルスの周波数は 0 . 6 7 3 H z であり、エキサイタクロックの周波数は 1 0 M H z である請求項 5 の装置。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0 0 2 2

【補正方法】変更

【補正の内容】

【0 0 2 2】

図 3 は図 1 及び 2 のエキサイタの一部を示す機能図である。エクスジンサブシステム 1 8 0 はライン 1 8 2 上に周波数が約 0 . 6 7 3 H z のクロック信号を発生させる。このクロック信号はモデムフレームタイミングから導出される。クロック信号は、エクスポートから S T L リンクを介して同期メッセージとして与えられ、その後、復号されると同期メッセージが約 0 . 6 7 3 H z で周期的に到達する時パルスを発生させる。この信号は 1 0 M H z クロック発生器 1 8 4 の入力として作用する。1 0 M H z クロック発生器はライン 1 8 6 上に 1 0 M H z クロック信号を発生させ、この信号はデジタルアップコンバータ 1 8 8 の制御に使用される。デジタルアップコンバータは矢印 1 9 0 で示すようにエクスジンサブシステムから波形データを受け、ライン 1 9 2 上に H D ラジオ（登録商標）信号を発生させる。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0 0 2 4

【補正方法】変更

【補正の内容】

【0 0 2 4】

本発明は、エクスジンの 1 0 M H z クロックをエクスポートからのモデムフレームクロックと同期させる方法を提供する。図 5 は、本発明に従って構成された位相ロックループ（P L L）回路の概略図である。図 5 の回路において、周期が約 1 . 4 8 6 秒（逆数が 0 . 6 7 3 H z）のモデムフレームパルスはライン 2 1 0 を介してラッチ回路 2 1 2 へ入力される。モデムフレームパルスはモデムフレームの開始を指示する。ライン 2 1 4 上の初期同期信号はゲート 2 1 6 によりモデムフレームパルスとの間で論理 A N D 処理されて、ライン 2 2 0 上にモジュロ 2 1 6 カウンタ 2 1 8 のリセット信号を発生させる。この初期同期の捕捉を開始するために種々の方法を用いることができる。1 つのプロトタイプは押しボタンにより初期同期の捕捉を開始させることである。全ての送信パラメータがグラフィカル・ユーザー・インターフェイス（G U I）により制御されるコンピュータコントローラによるかまたは製造者が便利だと見なす方法により、市販のハードウェアを使用してこれを開始させることができる。カウンタ 2 1 8 からのカウントはラッチ 2 1 2 に記憶される。このカウントはモデムフレームパルスの先端に应答してラッチされる。