

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5874670号
(P5874670)

(45) 発行日 平成28年3月2日(2016.3.2)

(24) 登録日 平成28年1月29日(2016.1.29)

(51) Int. Cl.	F 1	
HO 4 N 5/374 (2011.01)	HO 4 N 5/335	7 4 0
HO 1 L 29/786 (2006.01)	HO 1 L 29/78	6 1 7 N
HO 1 L 27/146 (2006.01)	HO 1 L 29/78	6 1 7 T
HO 1 L 27/144 (2006.01)	HO 1 L 29/78	6 1 8 B
HO 4 N 5/32 (2006.01)	HO 1 L 27/14	C
請求項の数 13 (全 28 頁) 最終頁に続く		

(21) 出願番号 特願2013-68636 (P2013-68636)
 (22) 出願日 平成25年3月28日(2013.3.28)
 (65) 公開番号 特開2014-192825 (P2014-192825A)
 (43) 公開日 平成26年10月6日(2014.10.6)
 審査請求日 平成27年2月18日(2015.2.18)

(73) 特許権者 000002185
 ソニー株式会社
 東京都港区港南1丁目7番1号
 (74) 代理人 110001357
 特許業務法人つばさ国際特許事務所
 (72) 発明者 山田 泰弘
 東京都港区港南1丁目7番1号 ソニー株式会社内
 審査官 鈴木 肇

最終頁に続く

(54) 【発明の名称】 撮像装置および撮像表示システム

(57) 【特許請求の範囲】

【請求項1】

各々が光電変換素子と電界効果型のトランジスタとを含む複数の画素を有する撮像部と、
 前記トランジスタを電圧制御して、前記画素内に蓄積された信号電荷の読み出し駆動を行う駆動部と、
 前記トランジスタを駆動するための電圧値を補正する補正部とを備え、
 前記トランジスタは、半導体層を間にして対向配置された第1および第2のゲート電極を有し、
 前記駆動部は、前記トランジスタの前記第1のゲート電極にパルス電圧である第1の電圧を印加すると共に、前記第2のゲート電極にバイアス電圧である第2の電圧を印加することにより、前記トランジスタのオン・オフ制御を行い、
 前記補正部は、前記トランジスタの閾値電圧のシフト量に応じて前記第1および第2の電圧のうち少なくとも一方の電圧値を補正し、
 前記補正部は、前記第2の電圧の電圧値を補正する際に、
 非露光状態において、前記第2の電圧として複数の電圧値を段階的に変化させて印加しつつ、前記複数の電圧値のそれぞれに対応する画素値をサンプリングし、
 サンプリングした複数の画素値に基づいて、前記閾値電圧のシフト量に応じた前記第2の電圧の最適値を算出する

撮像装置。

【請求項 2】

前記補正部は、所定のタイミングで、前記閾値電圧のシフト量に応じて前記第 2 の電圧の電圧値を補正する

請求項 1 に記載の撮像装置。

【請求項 3】

前記撮像部は、入射した放射線に基づいて電気信号を発生させるものである

請求項 1 に記載の撮像装置。

【請求項 4】

前記トランジスタは、シリコン酸化物膜を含むゲート絶縁膜を有する

請求項 1 に記載の撮像装置。

10

【請求項 5】

前記半導体層は、多結晶シリコン、微結晶シリコン、非結晶シリコンまたは酸化物半導体を含む

請求項 1 に記載の撮像装置。

【請求項 6】

前記半導体層は、低温多結晶シリコンを含む

請求項 5 に記載の撮像装置。

【請求項 7】

前記駆動部は、前記第 1 の電圧におけるオン電圧の印加期間中、前記第 2 のゲート電極をフローティング状態に保持する

請求項 1 に記載の撮像装置。

20

【請求項 8】

前記駆動部は、前記第 1 の電圧におけるオン電圧の印加期間中、前記第 2 のゲート電極に対し、前記オン電圧と同値の電圧を印加する

請求項 1 に記載の撮像装置。

【請求項 9】

前記撮像部は、前記光電変換素子の光入射側に、前記放射線を前記光電変換素子の感度域の波長に変換する波長変換層を有する

請求項 3 に記載の撮像装置。

30

【請求項 10】

前記複数の画素はそれぞれ、前記放射線を吸収して電気信号に変換するものである

請求項 3 に記載の撮像装置。

【請求項 11】

前記放射線は X 線である

請求項 3 に記載の撮像装置。

【請求項 12】

前記光電変換素子が、PIN 型のフォトダイオードまたは MIS 型センサからなる

請求項 1 に記載の撮像装置。

【請求項 13】

撮像装置と、この撮像装置により得られた撮像信号に基づく画像表示を行う表示装置とを備え、

前記撮像装置は、

各々が光電変換素子と電界効果型のトランジスタとを含む複数の画素を有する撮像部と

、

前記トランジスタを電圧制御して、前記画素内に蓄積された信号電荷の読み出し駆動を行う駆動部と、

前記トランジスタを駆動するための電圧値を補正する補正部と

を備え、

前記トランジスタは、半導体層を間にして対向配置された第 1 および第 2 のゲート電極

40

50

を有し、

前記駆動部は、前記トランジスタの前記第1のゲート電極にパルス電圧である第1の電圧を印加すると共に、前記第2のゲート電極にバイアス電圧である第2の電圧を印加することにより、前記トランジスタのオン・オフ制御を行い、

前記補正部は、前記トランジスタの閾値電圧のシフト量に応じて前記第1および第2の電圧のうちの少なくとも一方の電圧値を補正し、

前記補正部は、前記第2の電圧の電圧値を補正する際に、

非露光状態において、前記第2の電圧として複数の電圧値を段階的に変化させて印加しつつ、前記複数の電圧値のそれぞれに対応する画素値をサンプリングし、

サンプリングした複数の画素値に基づいて、前記閾値電圧のシフト量に応じた前記第2の電圧の最適値を算出する

10

撮像表示システム。

【発明の詳細な説明】

【技術分野】

【0001】

本開示は、光電変換素子を有する撮像装置、およびそのような撮像装置を備えた撮像表示システムに関する。

【背景技術】

【0002】

従来、各画素（撮像素）に光電変換素子を内蔵する撮像装置として、種々のものが提案されている。そのような光電変換素子を有する撮像装置の一例としては、例えばいわゆる光学式のタッチパネルや、放射線撮像装置などが挙げられる（例えば特許文献1）。

20

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開2011-135561号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

上記のような撮像装置では、各画素から信号電荷を読み出すためのスイッチング素子として薄膜トランジスタ（TFT：Thin Film Transistor）が用いられるが、このTFTの閾値電圧のシフトによって信頼性が低下するという問題がある。

30

【0005】

本開示はかかる問題点に鑑みてなされたもので、その目的は、トランジスタの閾値電圧のシフトによる影響を緩和して高信頼性を実現することが可能な撮像装置、およびそのような撮像装置を備えた撮像表示システムを提供することにある。

【課題を解決するための手段】

【0006】

本開示の撮像装置は、各々が光電変換素子と電界効果型のトランジスタとを含む複数の画素を有する撮像部と、トランジスタを電圧制御して、画素内に蓄積された信号電荷の読み出し駆動を行う駆動部と、トランジスタを駆動するための電圧値を補正する補正部とを備え、トランジスタは半導体層を間にして対向配置された第1および第2のゲート電極を有し、駆動部は、トランジスタの第1のゲート電極にパルス電圧である第1の電圧を印加すると共に、第2のゲート電極にバイアス電圧である第2の電圧を印加することにより、トランジスタのオン・オフ制御を行い、補正部は、トランジスタの閾値電圧のシフト量に応じて第1および第2の電圧のうちの少なくとも一方の電圧値を補正するものである。ここで、補正部は、第2の電圧の電圧値を補正する際に、非露光状態において、第2の電圧として複数の電圧値を段階的に変化させて印加しつつ、複数の電圧値のそれぞれに対応する画素値をサンプリングし、サンプリングした複数の画素値に基づいて、閾値電圧のシフト量に応じた第2の電圧の最適値を算出する。

40

50

【 0 0 0 7 】

本開示の撮像表示システムは、上記本開示の撮像装置と、この撮像装置により得られた撮像信号に基づく画像表示を行う表示装置とを備えたものである。

【 0 0 0 8 】

本開示の撮像装置および撮像表示システムでは、信号電荷の読み出しの際、トランジスタの第1のゲート電極に第1の電圧、第2のゲート電極に第2の電圧がそれぞれ印加されることにより、トランジスタのオン・オフ制御がなされる。第1および第2の電圧のうち一方の電圧値が、トランジスタの閾値電圧のシフト量に応じて、所定のタイミングで補正される。

【 発明の効果 】

10

【 0 0 0 9 】

本開示の撮像装置および撮像表示システムによれば、撮像部が、光電変換素子と電界効果型のトランジスタとを含む複数の画素を有し、トランジスタが半導体層を間にして対向配置された第1および第2のゲート電極を有する。駆動部が、そのようなトランジスタの第1のゲート電極に対して第1の電圧を印加すると共に、第2のゲート電極に第2の電圧を印加して、トランジスタのオン・オフ制御を行い、補正部が、閾値電圧のシフト量に応じて、第1および第2の電圧のうち一方の電圧値を補正する。これにより、トランジスタの閾値電圧のシフトによる影響を緩和して高信頼性を実現することが可能となる。

【 図面の簡単な説明 】

【 0 0 1 0 】

20

【 図 1 】 本開示の一実施の形態に係る撮像装置の全体構成例を表すブロック図である。

【 図 2 】 図 1 に示した撮像部の概略構成例を表す模式図である。

【 図 3 】 図 1 に示した画素等の詳細構成例を表す回路図である。

【 図 4 】 図 3 に示したトランジスタの概略構成を表す断面図である。

【 図 5 A 】 図 1 に示した行走査部の詳細構成例を表すブロック図である。

【 図 5 B 】 図 1 に示した列選択部の詳細構成例を表すブロック図である。

【 図 6 A 】 図 1 に示したバイアス電圧制御部の構成を表す機能ブロック図である。

【 図 6 B 】 バイアス電圧制御例を表す模式図である。

【 図 7 A 】 露光期間の動作状態の一例を表す回路図である。

【 図 7 B 】 読み出し/リセット期間における動作状態の一例を表す回路図である。

30

【 図 8 】 撮像駆動動作を説明するためのタイミング図である。

【 図 9 】 X線照射による閾値電圧シフトを説明するための電流電圧特性図である。

【 図 1 0 】 バイアス電圧 (V_{tg}) 補正時の駆動動作を説明するためのタイミング図である。

【 図 1 1 】 X線未照射の場合 (0 Gy) と X線を照射した場合 (7.5 Gy) の各場合の電流電圧特性の変化について説明するための特性図である。

【 図 1 2 】 X線を照射した場合 (7.5 Gy) におけるバイアス電圧変化に対する電流電圧特性のシフトについて説明するための特性図である。

【 図 1 3 】 画素値サンプリングに基づくバイアス電圧補正動作を説明するための特性図である。

40

【 図 1 4 】 変形例 1 に係る接点構成例とバイアス電圧制御部との機能ブロック図である。

【 図 1 5 】 変形例 2 に係るバイアス電圧制御部の構成を表す機能ブロック図である。

【 図 1 6 】 変形例 3 に係る画素等の構成を表す回路図である。

【 図 1 7 】 変形例 4 に係る画素等の構成を表す回路図である。

【 図 1 8 】 図 1 7 に示した2つのトランジスタの概略構成を表す断面図である。

【 図 1 9 】 変形例 5 に係る画素等の構成を表す回路図である。

【 図 2 0 】 変形例 6 に係る画素等の構成を表す回路図である。

【 図 2 1 A 】 変形例 7 に係る撮像部の概略構成を表す模式図である。

【 図 2 1 B 】 変形例 8 に係る撮像部の概略構成を表す模式図である。

【 図 2 2 】 適用例に係る撮像表示システムの概略構成を表す模式図である。

50

【発明を実施するための形態】

【0011】

以下、本開示の実施の形態について、図面を参照して詳細に説明する。尚、説明は以下の順序で行う。

1. 実施の形態（2つのゲート電極のうち一方にバイアス電圧を印加しつつ信号読み出しを行い、バイアス電圧を閾値電圧のシフト量に応じて補正する撮像装置の例）
2. 変形例1（バイアス電圧が印加されるゲート電極を、一時的にフローティング状態に切り替える例）
3. 変形例2（バイアス電圧が印加されるゲート電極を、一時的にもう一方のゲート電極と同電位となるように切り替える例）
4. 変形例3（パッシブ型の画素回路の他の例）
5. 変形例4（パッシブ型の画素回路の他の例）
6. 変形例5, 6（アクティブ型の画素回路の例）
7. 変形例7, 8（放射線に基づいて撮像を行う撮像部の例）
8. 適用例（撮像表示システムへの適用例）

10

【0012】

<実施の形態>

[撮像装置1の全体構成]

図1は、本開示の一実施の形態に係る撮像装置（撮像装置1）の全体のブロック構成を表すものである。撮像装置1は、例えば後述する放射線等の入射光（撮像光）に基づいて被写体の情報を読み取る（被写体を撮像する）ものである。この撮像装置1は、撮像部11、行走査部13、A/D変換部14、列走査部15、システム制御部16およびバイアス電圧制御部18を備えている。これらのうち、行走査部13、A/D変換部14、列走査部15、システム制御部16およびバイアス電圧制御部18が、本開示における「駆動部」の一具体例に対応し、バイアス電圧制御部18が、本開示における「補正部」の一具体例に対応する。

20

【0013】

（撮像部11）

撮像部11は、入射光（撮像光）に応じて電気信号を発生させるものである。この撮像部11では、画素（撮像画素、単位画素）20が、行列状（マトリクス状）に2次元配置されており、各画素20は、撮像光の光量に応じた電荷量の光電荷を発生して内部に蓄積する光電変換素子（後述の光電変換素子21）を有している。尚、図1中に示したように、以下、撮像部11内における水平方向（行方向）を「H」方向とし、垂直方向（列方向）を「V」方向として説明する。

30

【0014】

図2は、この撮像部11の概略構成例である。撮像部11は、画素20毎に光電変換素子21が配置された光電変換層111を有している。光電変換層111では、図中に示したように、入射した撮像光Linに基づく光電変換（撮像光Linから信号電荷への変換）がなされるようになっている。

40

【0015】

図3は、画素20の回路構成（いわゆるパッシブ型の回路構成）を、A/D変換部14内の後述する列選択部17の回路構成とともに例示したものである。このパッシブ型の画素20には、1つの光電変換素子21と、1つのトランジスタ22とが設けられている。この画素20にはまた、H方向に沿って延在する読み出し制御線（後述する2つの読み出し制御線Lread1, Lread2）と、V方向に沿って延在する信号線Lsigとが接続されている。

【0016】

光電変換素子21は、例えばPIN（Positive Intrinsic Negative）型のフォトダイオードまたはMIS（Metal-Insulator-Semiconductor）型センサからなり、前述したように、入射光（撮像光Lin）の光量に応じた電荷量の信号電荷を発生させるようになって

50

いる。尚、この光電変換素子 2 1 のカソードは、ここでは蓄積ノード N に接続されている。

【 0 0 1 7 】

トランジスタ 2 2 は、読み出し制御線 (L read 1 , L read 2) から供給される行走査信号に応じてオン状態となることにより、光電変換素子 2 1 により得られた信号電荷 (入力電圧 V in) を信号線 L sig へ出力するトランジスタ (読み出し用トランジスタ) である。このトランジスタ 2 2 は、ここでは N チャネル型 (N 型) の電界効果トランジスタ (F E T ; Field Effect Transistor) により構成されている。但し、トランジスタ 2 2 は P チャネル型 (P 型) の F E T 等により構成されていてもよい。

【 0 0 1 8 】

本実施の形態では、このトランジスタ 2 2 が、半導体層 (後述の半導体層 2 2 6) を間にして対向配置された 2 つのゲート (後述の第 1 ゲート電極 2 2 0 A , 第 2 ゲート電極 2 2 0 B) を備えた、いわゆるデュアルゲート構造を有している。

【 0 0 1 9 】

図 4 は、トランジスタ 2 2 の断面構造を表したものである。トランジスタ 2 2 は、基板 1 1 0 上に、第 1 ゲート電極 2 2 0 A (第 1 のゲート電極) と、この第 1 ゲート電極 2 2 0 A を覆うように形成された第 1 ゲート絶縁膜 2 2 9 を有している。第 1 ゲート絶縁膜 2 2 9 上には、チャネル層 (活性層) 2 2 6 a , L D D (Lightly Doped Drain) 層 2 2 6 b および N⁺層 2 2 6 c を含む半導体層 2 2 6 が設けられている。この半導体層 2 2 6 を覆って、第 2 ゲート絶縁膜 2 3 0 が形成され、第 2 ゲート絶縁膜 2 3 0 上の第 1 ゲート電極 2 2 0 A に対向する領域に、第 2 ゲート電極 2 2 0 B (第 2 のゲート電極) が配設されている。第 2 ゲート電極 2 2 0 B 上には、コンタクトホール H 1 を有する第 1 層間絶縁膜 2 3 1 が形成されており、このコンタクトホール H 1 を埋め込むようにソース・ドレイン電極 2 2 8 が形成されている。これらの第 1 層間絶縁膜 2 3 1 およびソース・ドレイン電極 2 2 8 上には、第 2 層間絶縁膜 2 3 2 が設けられている。

【 0 0 2 0 】

半導体層 2 2 6 は、例えば非晶質シリコン (アモルファスシリコン) 、微結晶シリコンまたは多結晶シリコン (ポリシリコン) 等のシリコン系半導体、望ましくは低温多結晶シリコン (L T P S : Low Temperature Poly-silicon) により構成されている。あるいは、酸化インジウムガリウム亜鉛 (I n G a Z n O) または酸化亜鉛 (Z n O) 等の酸化物半導体により構成されていてもよい。この半導体層 2 2 6 では、チャネル層 2 2 6 a と N⁺層 2 2 6 c との間に、リーク電流を低減する目的で L D D 層 2 2 6 b が形成されている。ソース・ドレイン電極 2 2 8 は、ソースまたはドレインとして機能し、例えば T i 、 A l 、 M o 、 W 、 C r 等からなる単層膜またはこれらの積層膜からなる。

【 0 0 2 1 】

第 1 ゲート電極 2 2 0 A および第 2 ゲート電極 2 2 0 B はそれぞれ、例えば T i 、 A l 、 M o 、 W 、 C r 等のいずれかよりなる単層膜またはこれらの積層膜よりなる。これらの第 1 ゲート電極 2 2 0 A および第 2 ゲート電極 2 2 0 B は、上述のように第 1 ゲート絶縁膜 2 2 9 、半導体層 2 2 6 および第 2 ゲート絶縁膜 2 3 0 を挟み込むようにして、互に対向して設けられている。

【 0 0 2 2 】

第 1 ゲート絶縁膜 2 2 9 および第 2 ゲート絶縁膜 2 3 0 は、例えば酸化シリコン (S i O₂) 膜または窒化シリコン (S i O N) 膜等の単層膜であるか、あるいはこのようなシリコン化合物膜と、窒化シリコン (S i N_x) 膜とを有する積層膜である。例えば、第 1 ゲート絶縁膜 2 2 9 は、基板 1 1 0 側から順に窒化シリコン膜 2 2 9 A および酸化シリコン膜 2 2 9 B を積層したものであり、第 2 ゲート絶縁膜 2 3 0 は、基板 1 1 0 側から順に、酸化シリコン膜 2 3 0 A 、窒化シリコン膜 2 3 0 B および酸化シリコン膜 2 3 0 C を積層したものである。但し、半導体層 2 2 6 が低温多結晶シリコン (低温ポリシリコン) により構成されている場合、第 1 ゲート絶縁膜 2 2 9 および第 2 ゲート絶縁膜 2 3 0 では、半導体層 2 2 6 (詳細にはチャネル層 2 2 6 a) と接する面に、酸化シリコン膜 (酸化

10

20

30

40

50

シリコン膜 229B, 230A) を有することが、製造性の観点から望ましい。

【0023】

第1層間絶縁膜 231 および第2層間絶縁膜 232 は、例えば酸化シリコン膜、酸化シリコン膜および窒化シリコン膜のうちの単層膜またはこれらの積層膜により構成されている。例えば、第1層間絶縁膜 231 は、基板 110 側から順に酸化シリコン膜 231a および窒化シリコン膜 231b を積層したものであり、第2層間絶縁膜 232 は、酸化シリコン膜からなる。

【0024】

本実施の形態では、画素 20 の回路構成において、例えば第1ゲート電極 220A が読み出し制御線 L read 1 に接続され、第2ゲート電極 220B が読み出し制御線 L read 2 に接続されている。このような構成において、第1ゲート電極 220A および第2ゲート電極 220B は別々に電圧制御される。具体的には、第1ゲート電極 220A へ印加される電圧は、例えばシステム制御部 16 および行走査部 13 により制御され、第2ゲート電極 220B へ印加される電圧は、例えばバイアス電圧制御部 18 により制御される。これにより、第1ゲート電極 220A には、行走査信号に相当するパルス電圧 V_g (第1の電圧) が印加され、第2ゲート電極 220B には、バイアス電圧 V_{tg} (第2の電圧) が印加される。尚、ここでは、パルス電圧が印加される第1ゲート電極 220A を下側 (半導体層 226 よりも下方) に配置し、バイアス電圧が印加される第2ゲート電極 220B を上側 (半導体層 226 よりも上方) に配置しているが、上下逆の構造であってもよい。トランジスタ 22 のソース (ソース・ドレイン電極 228) は、例えば信号線 L sig に接続されており、ドレイン (ソース・ドレイン電極 228) は、例えば光電変換素子 21 のカソードに蓄積ノード N を介して接続されている。また、光電変換素子 21 のアノードは、ここではグランドに接続 (接地) されている。

【0025】

(行走査部 13)

行走査部 13 は、後述のシフトレジスタ回路や所定の論理回路等を含んで構成されており、撮像部 11 内の複数の画素 20 に対して行単位 (水平ライン単位) での駆動 (線順次走査) を行う画素駆動部 (行走査回路) である。具体的には、後述する読み出し動作やリセット動作等の撮像動作を例えば線順次走査により行う。尚、この線順次走査は、例えば読み出し制御線 L read 1 を介して行走査信号を各画素 20 へ供給することによって行われるようになっている。

【0026】

図 5A は、行走査部 13 のブロック構成例である。行走査部 13 は、V 方向に沿って延在する複数の単位回路 130 を有している。尚、ここでは、図中に示した 4 つの単位回路 130 に接続された 8 つの読み出し制御線 L read 1 を、上から順に、L read 1 (1) ~ L read 1 (8) として示している。

【0027】

各単位回路 130 は、例えば、1 または複数列 (ここでは 2 列) のシフトレジスタ回路 131, 132 (図中のブロック内では便宜上、「S/R」と記載; 以下同様) と、4 つの AND 回路 (論理積回路) 133A ~ 133D と、2 つの OR 回路 (論理和回路) 134A, 134B と、2 つのバッファ回路 135A, 135B とを有している。ここでは、一例として、2 列のシフトレジスタ回路を有する構成について説明するが、1 列のシフトレジスタ回路により構成されていてもよい。但し、シフトレジスタ回路を 2 列以上設けることにより、詳述はしないが、1 フレーム期間において複数回のリセット動作を行うことができる。

【0028】

シフトレジスタ回路 131 は、システム制御部 16 から供給されるスタートパルス VST1 およびクロック信号 CLK1 に基づいて、複数の単位回路 130 全体として、V 方向に順次シフトするパルス信号を生成する回路である。同様に、シフトレジスタ回路 132 は、システム制御部 16 から供給されるスタートパルス VST2 およびクロック信号 CLK

10

20

30

40

50

K 2に基づいて、複数の単位回路 1 3 0 全体として、V 方向に順次シフトするパルス信号を生成する回路である。これにより、例えば、シフトレジスタ回路 1 3 1 が、1 回目のリセット駆動用のパルス信号を生成し、シフトレジスタ回路 1 3 2 が、2 回目のリセット駆動用のパルス信号を生成する。

【 0 0 2 9 】

A N D 回路 1 3 3 A ~ 1 3 3 D にはそれぞれ、シフトレジスタ回路 1 3 1 , 1 3 2 から出力される各パルス信号 (各出力信号) の有効期間を制御 (規定) するための 4 種類のイネーブル信号 E N 1 ~ E N 4 が入力されている。具体的には、A N D 回路 1 3 3 A では、一方の入力端子にはシフトレジスタ回路 1 3 2 からのパルス信号が入力され、他方の入力端子にはイネーブル信号 E N 1 が入力されている。A N D 回路 1 3 3 B では、一方の入力端子にはシフトレジスタ回路 1 3 1 からのパルス信号が入力され、他方の入力端子にはイネーブル信号 E N 2 が入力されている。A N D 回路 1 3 3 C では、一方の入力端子にはシフトレジスタ回路 1 3 2 からのパルス信号が入力され、他方の入力端子にはイネーブル信号 E N 3 が入力されている。A N D 回路 1 3 3 D では、一方の入力端子にはシフトレジスタ回路 1 3 1 からのパルス信号が入力され、他方の入力端子にはイネーブル信号 E N 4 が入力されている。

【 0 0 3 0 】

O R 回路 1 3 4 A は、A N D 回路 1 3 3 A からの出力信号と A N D 回路 1 3 3 B からの出力信号との論理和信号 (O R 信号) を生成する回路である。同様に、O R 回路 1 3 4 B は、A N D 回路 1 3 3 C からの出力信号と A N D 回路 1 3 3 D からの出力信号との論理和信号を生成する回路である。このようにして、上記した A N D 回路 1 3 3 A ~ 1 3 3 D と O R 回路 1 3 4 A , 1 3 4 B とによって、シフトレジスタ回路 1 3 1 , 1 3 2 からの出力信号 (パルス信号) 同士の論理和信号が、各出力信号の有効期間を制御しつつ生成される。これにより、後述する複数回のリセット駆動の際の駆動タイミング等が規定される。

【 0 0 3 1 】

バッファ回路 1 3 5 A は、O R 回路 1 3 4 A からの出力信号 (パルス信号) に対するバッファとして機能する回路であり、バッファ回路 1 3 5 B は、O R 回路 1 3 4 B からの出力信号に対するバッファとして機能する回路である。これらのバッファ回路 1 3 5 A , 1 3 5 B によるバッファ後のパルス信号 (行走査信号) は、読み出し制御線 L read 1 を介して、撮像部 1 1 内の各画素 2 0 へ出力される。

【 0 0 3 2 】

(A / D 変換部 1 4)

A / D 変換部 1 4 は、複数 (ここでは 4 つ) の信号線 L sig ごとに 1 つ設けられた複数の列選択部 1 7 を有しており、信号線 L sig を介して入力した信号電圧 (信号電荷) に基づいて A / D 変換 (アナログ / デジタル変換) を行うものである。これにより、デジタル信号からなる出力データ D out (撮像信号) が生成され、外部へ出力されるようになっている。

【 0 0 3 3 】

各列選択部 1 7 は、例えば図 3 および図 5 B に示したように、チャージアンプ 1 7 2、容量素子 (コンデンサ , フィードバック容量素子) C 1、スイッチ S W 1、サンプルホールド (S / H) 回路 1 7 3、4 つのスイッチ S W 2 を含むマルチプレクサ回路 (選択回路) 1 7 4、および A / D コンバータ 1 7 5 を有している。これらのうち、チャージアンプ 1 7 2、容量素子 C 1、スイッチ S W 1、S / H 回路 1 7 3 およびスイッチ S W 2 はそれぞれ、信号線 L sig 毎に設けられている。マルチプレクサ回路 1 7 4 および A / D コンバータ 1 7 5 は、列選択部 1 7 毎に設けられている。

【 0 0 3 4 】

チャージアンプ 1 7 2 は、信号線 L sig から読み出された信号電荷を電圧に変換 (Q - V 変換) するためのアンプ (増幅器) である。このチャージアンプ 1 7 2 では、負側 (- 側) の入力端子に信号線 L sig の一端が接続され、正側 (+ 側) の入力端子には所定のリセット電圧 V rst が入力されるようになっている。チャージアンプ 1 7 2 の出力端子と負

10

20

30

40

50

側の入力端子との間は、容量素子C 1とスイッチS W 1との並列接続回路を介して帰還接続（フィードバック接続）されている。即ち、容量素子C 1の一方の端子がチャージアンプ1 7 2の負側の入力端子に接続され、他方の端子がチャージアンプ1 7 2の出力端子に接続されている。同様に、スイッチS W 1の一方の端子がチャージアンプ1 7 2の負側の入力端子に接続され、他方の端子がチャージアンプ1 7 2の出力端子に接続されている。尚、このスイッチS W 1のオン・オフ状態は、システム制御部1 6からアンプリセット制御線L carstを介して供給される制御信号（アンプリセット制御信号）によって制御される。

【0 0 3 5】

S / H回路1 7 3は、チャージアンプ1 7 2とマルチプレクサ回路1 7 4（スイッチS W 2）との間に配置されており、チャージアンプ1 7 2からの出力電圧V caを一時的に保持するための回路である。

10

【0 0 3 6】

マルチプレクサ回路1 7 4は、列走査部1 5による走査駆動に従って4つのスイッチS W 2のうちの1つが順次オン状態となることにより、各S / H回路1 7 3とA / Dコンバータ1 7 5との間を選択的に接続または遮断する回路である。

【0 0 3 7】

A / Dコンバータ1 7 5は、スイッチS W 2を介して入力されたS / H回路1 7 3からの出力電圧に対してA / D変換を行うことにより、上記した出力データD outを生成して出力する回路である。

20

【0 0 3 8】

（列走査部1 5）

列走査部1 5は、例えば図示しないシフトレジスタやアドレスデコーダ等を含んで構成されており、上記した列選択部1 7内の各スイッチS W 2を走査しつつ順番に駆動するものである。このような列走査部1 5による選択走査によって、信号線L sigの各々を介して読み出された各画素2 0の信号（上記した出力データD out）が、順番に外部へ出力されるようになっている。

【0 0 3 9】

（バイアス電圧制御部1 8）

バイアス電圧制御部1 8は、例えば上述した第2ゲート電極2 2 0 Bへ、読み出し制御線L read 2を介してバイアス電圧V tgを供給すると共に、このバイアス電圧V tgを、トランジスタ2 2の閾値電圧V thのシフト量に応じて補正するものである。このバイアス電圧制御部1 8によるバイアス電圧V tgの補正動作は、所定のタイミング、例えば撮像装置起動時に自動的に行われたり、一定期間毎に自動的に行われる。あるいは、外部入力信号（図示しない外部入力手段を介して得られる入力信号）に基づいて手動により行われてもよい。尚、バイアス電圧制御部1 8の各動作は、システム制御部1 6からの制御信号に基づいてなされてもよい（図1中の点線矢印A 1）が、本実施の形態では、バイアス電圧制御部1 8が、例えば次のような機能構成を有し、システム制御部1 6から独立してバイアス電圧制御を行う。

30

【0 0 4 0】

図6 Aは、バイアス電圧制御部1 8の機能構成を、読み出し制御線L read 2と共に表したものである。尚、図6 Aでは、画素部1 1に画素行毎に接続される読み出し制御線L read 2のうち、上から3行分の読み出し制御線L read 2 (1) ~ L read 2 (3)を例示している。バイアス電圧制御部1 8は、例えばF P G A（field-programmable gate array）制御部1 8 0と、D / Aコンバータ1 8 1と、L D O（Low Drop Out）レギュレータ1 8 2とを備える。バイアス電圧制御部1 8では、F P G A制御部1 8 0において、バイアス電圧V tgの電圧値および切り替えタイミング等が設定される。例えば、図6 Bに示したように、バイアス電圧V tgの電圧値p 1, p 2, p 3, p 4と、各電圧値の切り替えタイミングt 1, t 2, t 3が設定される。

40

【0 0 4 1】

50

このようにして設定されたバイアス電圧 V_{tg} は、FPGA 制御部 18 の制御により、D/A コンバータ 181 においてデジタル信号からアナログ信号へ変換された後、LDOLレギュレータ 182 を介して出力される。バイアス電圧制御部 18 から出力されたバイアス電圧 V_{tg} は、読み出し制御線 $L_{read} 2 (1)$, $L_{read} 2 (2)$, $L_{read} 2 (3)$, ... へそれぞれ供給される。このように、例えば FPGA 制御によるバイアス電圧制御部 18 を用いることで、既存のパネルに外付けでバイアス電圧制御部 18 を形成可能となり、周辺回路部の設計を大きく変更することなく、後述するような本実施の形態の駆動動作を実現可能となる。

【0042】

(システム制御部 16)

システム制御部 16 は、行走査部 13、A/D 変換部 14 および列走査部 15 の各動作を制御するものである。具体的には、システム制御部 16 は、前述した各種のタイミング信号 (制御信号) を生成するタイミングジェネレータを有しており、このタイミングジェネレータにおいて生成される各種のタイミング信号を基に、行走査部 13、A/D 変換部 14 および列走査部 15 の駆動制御を行う。このシステム制御部 16 の制御に基づいて、行走査部 13、A/D 変換部 14 および列走査部 15 がそれぞれ撮像部 11 内の複数の画素 20 に対する撮像駆動 (線順次撮像駆動) を行うことにより、撮像部 11 から出力データ D_{out} が取得されるようになっている。

【0043】

[撮像装置 1 の作用・効果]

本実施の形態の撮像装置 1 では、撮像光 L_{in} が撮像部 11 へ入射すると、各画素 20 内の光電変換素子 21 では、この撮像光 L_{in} が信号電荷に変換 (光電変換) される。このとき、蓄積ノード N では、光電変換により発生した信号電荷の蓄積によって、ノード容量に応じた電圧変化が生じる。具体的には、蓄積ノード容量を C_s 、発生した信号電荷を q とすると、蓄積ノード N では (q / C_s) の分だけ電圧が変化 (ここでは低下) する。このような電圧変化に応じて、トランジスタ 22 のドレインには入力電圧 V_{in} (信号電荷に対応した電圧) が供給される。蓄積ノード N に蓄積された信号電荷は、読み出し制御線 $L_{read} 1$ から供給される行走査信号に応じてトランジスタ 22 がオン状態になると、画素 20 から信号線 L_{sig} へ読み出される。

【0044】

読み出された信号電荷は、信号線 L_{sig} を介して複数 (ここでは 4 つ) の画素列ごとに、A/D 変換部 14 内の列選択部 17 へ入力される。列選択部 17 では、まず、各信号線 L_{sig} から入力される信号電荷毎に、チャージアンプ 172 等からなるチャージアンプ回路において $Q - V$ 変換 (信号電荷から信号電圧への変換) を行う。次いで、変換された信号電圧 (チャージアンプ 172 からの出力電圧 V_{ca}) 毎に、 S / H 回路 173 およびマルチプレクサ回路 174 を介して A/D コンバータ 175 において A/D 変換を行い、デジタル信号からなる出力データ D_{out} (撮像信号) を生成する。このようにして、各列選択部 17 から出力データ D_{out} が順番に出力され、外部へ伝送される (または図示しない内部メモリへ入力される)。以下、このような撮像駆動動作について詳細に説明する。

【0045】

(露光期間、読み出し期間における動作)

図 7A および図 7B は、露光期間および読み出し期間における画素 20 および列選択部 17 内のチャージアンプ回路の動作例を表したものである。尚、以下では説明の便宜上、トランジスタ 22 のオン・オフ状態を、スイッチを用いて図示している。

【0046】

まず、図 7A に示したように、露光期間 T_{ex} では、トランジスタ 22 はオフ状態となっている。この状態では、画素 20 内の光電変換素子 21 へ入射した撮像光 L_{in} に基づく信号電荷は、蓄積ノード N に蓄積され、信号線 L_{sig} 側へは出力されない (読み出されない)。一方、チャージアンプ回路では、後述するアンプリセット動作 (チャージアンプ回路のリセット動作) がなされた後の状態であるため、スイッチ SW_1 がオン状態となってお

10

20

30

40

50

り、結果としてボルテージフォロワ回路が形成されている。

【0047】

続いて、この露光期間 T_{ex} 後には、画素20から信号電荷を読み出す動作（読み出し動作）と共に、画素20内に蓄積された信号電荷をリセット（排出）するため動作（リセット動作、画素リセット動作）がなされる。本実施の形態では、画素20がパッシブ型の画素回路を有することから、上記読み出し動作に伴ってリセット動作が行われる。以下では、この読み出しおよびリセットが行われる期間を、「読み出し/リセット期間 T_r 」あるいは単に「期間 T_r 」と称して説明を行う。

【0048】

具体的には、読み出し/リセット期間 T_r では、図7Bに示したように、トランジスタ22がオン状態となることにより、画素20内の蓄積ノードNから信号線Lsig側へ信号電荷が読み出される（図中の矢印P11参照）。このようにして読み出された信号電荷は、チャージアンプ回路へ入力されるが、この際、チャージアンプ回路では、スイッチSW1がオフ状態となっている（チャージアンプ回路が読み出し動作状態となっている）。従って、チャージアンプ回路へ入力された信号電荷は容量素子C1に蓄積され、その蓄積電荷に応じた信号電圧（出力電圧 V_{ca} ）がチャージアンプ172から出力される。尚、容量素子C1に蓄積された電荷は、後述するアンプリセット動作の際にスイッチSW1がオン状態となることにより、リセットされる（アンプリセット動作がなされる）。

【0049】

この読み出し/リセット期間 T_r では、上記読み出し動作に伴って、図中の矢印P12で示したように、チャージアンプ回路（チャージアンプ172）の仮想短絡（イマジナリー・ショート）現象を利用したリセット動作がなされる。詳細には、仮想短絡現象によって、チャージアンプ172における負側の入力端子側（信号線Lsig側）の電圧が、正側の入力端子に印加されているリセット電圧 V_{rst} に略等しくなることから、蓄積ノードNもリセット電圧 V_{rst} となる。このように、パッシブ型の画素回路を用いた本実施の形態では、読み出し/リセット期間 T_r において、信号電荷の読み出し動作に伴って、蓄積ノードNが所定のリセット電圧 V_{rst} にリセットされる。尚、このような読み出し動作は、各読み出し制御線Lread1に対して線順次になされる。

【0050】

ここで、図8に、上記のような撮像駆動時の各電圧のタイミング波形を示す。具体的には、読み出し制御線Lread1に供給されるパルス電圧 V_g 、読み出し制御線Lread2に供給されるバイアス電圧 V_{tg} 、チャージアンプ172からの出力電圧 V_{ca} 、信号線Lsigの電圧 V_{sig} 、蓄積ノードNの電圧 V_n 、の各タイミング波形を表す。尚、各波形では、1ライン分の撮像駆動動作のうちの1フレーム期間 T_v を含む前後数フレームの期間について示している。

【0051】

1フレーム期間 T_v では、まず露光期間 T_{ex} （タイミング $t_{11} \sim t_{12}$ ）において、前述（図7A）のようにして露光動作がなされる。これにより、画素20内の光電変換素子21では、入射した撮像光Linが信号電荷に変換（光電変換）される。この信号電荷が蓄積ノードNに蓄積されることにより、蓄積ノードNの電圧 V_n が徐々に変化する（図8中のP31）。ここでは、光電変換素子21のカソード側が蓄積ノードNに接続されているため、露光期間 T_{ex} では、電圧 V_n がリセット電圧 V_{rst} 側から0Vへ向けて徐々に低下する。この露光期間 T_{ex} では、トランジスタ22はオフ状態にあるため、読み出し制御線Lread1には、パルス電圧 V_g におけるオン電圧 V_{on} およびオフ電圧 V_{off} のうち、オフ電圧 V_{off} が印加されている。

【0052】

次いで、読み出し/リセット期間 T_r （タイミング $t_{12} \sim t_{11}$ ）において、前述のように、読み出し動作およびリセット動作が行われる。具体的には、読み出し制御線Lread1（即ちトランジスタ22の第1ゲート電極220A）に対し、オン電圧 V_{on} が印加される（オフ電圧 V_{off} からオン電圧 V_{on} へ切り替えられる）。これにより、トランジスタ2

10

20

30

40

50

2 がオン状態となる。この後、読み出し制御線 L read 1 (トランジスタ 2 2 の第 1 ゲート電極 2 2 0 A) に対し、オフ電圧 V_{off} が印加される (オン電圧 V_{on} からオフ電圧 V_{off} へ切り替えられる) ことにより、トランジスタ 2 2 がオフ状態となる。尚、オン電圧 V_{on} は、トランジスタ 2 2 をオフ状態からオン状態に切り替え可能な電圧であり、パルス電圧 V_g における high 側の電圧 (例えば正電位) である。オフ電圧 V_{off} は、トランジスタ 2 2 をオン状態からオフ状態に切り替え可能な電圧であり、パルス電圧 V_g における low 側の電圧 (例えば負電位) である。また、その後、チャージアンプ回路におけるスイッチ S W 1 がオン状態となることにより、このチャージアンプ回路内の容量素子 C 1 に蓄積された電荷がリセットされる (アンプリセット動作が行われる)。

【 0 0 5 3 】

一方、上記のような撮像駆動時において、読み出し制御線 L read 2 (即ち第 2 ゲート電極 2 2 0 B) には、露光期間 T_{ex} および読み出し / リセット期間 T_r に亘って一定の電圧 (V_{tg0}) が印加される。この電圧値 V_{tg0} は、例えば撮像装置起動前等に設定されている初期設定の電圧値 (あるいはバイアス電圧補正前の電圧値) であり、任意の電圧 (例えばグランド) に設定されている。

【 0 0 5 4 】

このように、本実施の形態では、第 1 ゲート電極 2 2 0 A と第 2 ゲート電極 2 2 0 B とが別制御され、第 1 ゲート電極 2 2 0 A へパルス電圧 V_g 、第 2 ゲート電極 2 2 0 B へバイアス電圧 V_{tg} がそれぞれ印加されることにより、トランジスタ 2 2 のオン・オフ制御がなされる。換言すると、パルス電圧 V_g がバイアス電圧 V_{tg} によって嵩上げ (または嵩下げ) されて、半導体層 2 2 6 (詳細にはチャネル層 2 2 6 a) に印加され、トランジスタ 2 2 のオン・オフ制御がなされる。このようにして、各画素 2 0 から、入射した放射線に基づく信号電荷が読み出される。

【 0 0 5 5 】

ところで、この撮像装置 1 へ入射した放射線 (X 線) の中には、波長変換されずに、撮像部 1 1 へ漏れ込むものがあり、このような放射線によりトランジスタ 2 2 が被曝すると、次のような不具合が生じる。即ち、トランジスタ 2 2 は、第 1 ゲート絶縁膜 1 2 9 および第 2 ゲート絶縁膜 1 3 0 に酸化シリコン膜を有するが、この酸素を含む膜中に放射線が入射すると、いわゆる光電効果、コンプトン散乱あるいは電子対生成等により膜中の電子が励起される。その結果、第 1 ゲート絶縁膜 1 2 9 および第 2 ゲート絶縁膜 1 3 0 の膜中において、正孔が界面や欠陥にトラップされて溜まり、これに起因して、トランジスタ 2 2 の閾値電圧 V_{th} が負側にシフトしてしまう。

【 0 0 5 6 】

図 9 に、低温多結晶シリコンを用いたトランジスタ 2 2 へ X 線を照射した場合の、ゲート電圧 (V_g) に対するドレイン電流 (I_d) の関係 (電流電圧特性) について示す。このように、放射線を照射した場合、その照射量が、0 Gy, 5.4 Gy, 7.9 Gy, 10.4 Gy, 12.9 Gy, 15.4 Gy, 25.4 Gy, 35.4 Gy と増大するに従って、閾値電圧 V_{th} が負側にシフトすることがわかる。また、照射量が増すに従って、S (サブスレッショルドスウィング) 値も悪化している。加えて、この閾値電圧 V_{th} のシフト量の増加は、オフ電流およびオン電流の変化を引き起こす。例えば、オフ電流が増して電流リークが生じたり、オン電流が減少して読み出し不能になる等、トランジスタの信頼性を維持することが困難となる。このように、特に低温多結晶ポリシリコンを用いた放射線撮像装置では、被曝によってトランジスタ 2 2 の閾値電圧 V_{th} が負側へシフトし、これが信頼性低下の要因となっている。そこで、本実施の形態では、以下のような閾値電圧 V_{th} のシフト量を考慮した補正 (キャリブレーション) がなされる。

【 0 0 5 7 】

(バイアス電圧補正動作)

バイアス電圧制御部 1 8 は、例えば上述した F P G A 制御により、所定のタイミングで、上記のようなバイアス電圧 V_{tg} を、トランジスタ 2 2 の閾値電圧 V_{th} のシフト量に応じて補正する。具体的には、以下のようにして補正を行う。

10

20

30

40

50

【 0 0 5 8 】

図 1 0 は、バイアス電圧 V_{tg} の補正時の駆動動作について説明するもので、各電圧のタイミング波形を表している。タイミング波形としては、上記撮像駆動時と同様、パルス電圧 V_g 、バイアス電圧 V_{tg} 、出力電圧 V_{ca} 、電圧 V_{sig} および電圧 V_n について示している。

【 0 0 5 9 】

まず、バイアス電圧制御部 1 8 は、暗状態（非露光状態）において、読み出し制御線 L_{read2} に対して供給する電圧の値を変化させて、その電圧値毎の信号出力（例えば画素値）をサンプリングする。例えば、バイアス電圧 V_{tg} において、電圧値を一定間隔で（期間 T_a 毎に）電圧 $V_{tg}(1)$ 、 $V_{tg}(2)$ 、 $V_{tg}(3)$ 、... と段階的に変化させつつ、上述したよう
10
な撮像駆動時と同様の読み出し動作を行う。期間 T_a は、任意に設定されればよいが、例えば 1 フレーム期間以上の期間に設定される。また、数フレーム期間に亘って期間 T_a が設定されてもよく、その場合には、各フレームの平均値を、そのフレームに印加された電圧値に対応する画素値としてもよい。例えば、期間 T_a を 2 フレーム期間（ $2 \cdot T_v$ ）として、電圧 $V_{tg}(1)$ （ $V_{tg}(2)$ 、 $V_{tg}(3)$ ）についても同様）を印加しつつフレーム毎に画素値 b_1 、 b_2 を取得し、その 2 つの画素値 b_1 、 b_2 の平均値 b_{12} を、電圧 $V_{tg}(1)$ （あるいは $V_{tg}(2)$ 、 $V_{tg}(3)$ ）に対応する画素値としてもよい。図 1 0 では、一例として、 $V_{tg}(1) = -0.5 \text{ V}$ 、 $V_{tg}(2) = 0 \text{ V}$ 、 $V_{tg}(3) = 0.5 \text{ V}$ 、... のように、バイアス電圧 V_{tg} の電圧値を例えば 0.5 V 刻みで変化させている。

【 0 0 6 0 】

図 1 1 は、バイアス電圧 V_{tg} がグランド（ 0 V ）に設定された状態において、X 線未照射の場合（線量 0 Gy ）の電流電圧特性（電流電圧特性 A）と、X 線を照射した場合（管電圧 80 kV 、線量 75 Gy ）の電流電圧特性（電流電圧特性 B）を表したものである。このように、X 線の照射によって電流電圧特性が変化し、これに伴って閾値電圧 V_{th} も負側に大きくシフトする。この X 線照射後の電流電圧特性 B を有するトランジスタ 2 2 に対し、バイアス電圧 V_{tg} の値を、 $-3 \text{ V} \sim 3 \text{ V}$ の範囲において 1.0 V 刻みで変化させた各場合の電流電圧特性について、図 1 2 に示す。尚、ドレインおよびソース間の電圧 V_{ds} は 0.1 V とした。

【 0 0 6 1 】

図 1 2 に示したように、X 線照射後のトランジスタ 2 2 に対して印加するバイアス電圧 V_{tg} の値を変化させると、電流電圧特性 B が正方向または負方向へ平行シフトしていることがわかる。つまり、バイアス電圧 V_{tg} を変化させることで、トランジスタ 2 2 の閾値電圧 V_{th} のシフト分を補填することができ、閾値電圧 V_{th} シフトに追従したオン・オフ制御を行うことが可能となる。

【 0 0 6 2 】

具体的には、以下のようにして、閾値電圧 V_{th} のシフト量に応じたバイアス電圧 V_{tg} の最適電圧値（電圧値 V_{tg1} ）を求め、その後の撮像駆動動作において使用するバイアス電圧 V_{tg} を、電圧値 V_{tg0} から電圧値 V_{tg1} へ変更する。まず、バイアス電圧制御部 1 8 では、初期状態（X 線照射量 0 Gy ）でのバイアス電圧 V_{tg} の閾値電圧（ V_0 とする）を予め保持しておく。この初期状態における閾値電圧 V_0 と、補正時におけるバイアス電圧 V_{tg} の閾値電圧（ V_1 とする）との比較から、トランジスタ 2 2 の閾値電圧 V_{th} のシフト量に応じたバイアス電圧 V_{tg} の値を決定する。

【 0 0 6 3 】

例えば、図 1 3 に示したように、撮像装置 1 の初期設定として、図 1 0 において説明した駆動動作と同様の動作を行い、初期状態における、バイアス電圧 V_{tg} の電圧値 $V_{tg}(1)$ 、 $V_{tg}(2)$ 、 $V_{tg}(3)$ 、... 毎の画素値を予めサンプリングし、保持しておく。これらの電圧値毎の画素値から、画素値の基準値に対応するバイアス電圧 V_{tg} の値を求め、これを、初期状態におけるバイアス電圧 V_{tg} の基準電圧 V_0 とする。補正時には、図 1 0 において説明した駆動動作を行い、上述したように、バイアス電圧 V_{tg} の電圧値 $V_{tg}(1)$ 、 $V_{tg}(2)$ 、 $V_{tg}(3)$ 、... 毎の画素値をサンプリングする。図 1 3 には、その一例として、 75 Gy 照
50

射後にサンプリングした画素値をプロットしている。但し、ここでは、画素値の基準値を例えば1000LSBとして、基準電圧 V_0 （例えば4.6V）を設定している。この画素値は、LSB（Least Significant Bit）に対応するものであり、例えば以下の式（1）によって表される。

【0064】

画素値（LSB）＝トランジスタ22のリーク電流（A）／フレームレート（fps）／素電荷（C）／158LSB＋光電変換素子21のリーク定数A ……（1）

【0065】

ここでは、フレームレート7.5（fps）、1LSB＝158e⁻、素電荷1.602×E⁻¹⁹（C）、定数A＝0として算出している。尚、パルス電圧 V_g におけるオフ電圧は-4Vとした。また、1LSBの上記値は一例であり、これはアンプICによって異なるものである。

10

【0066】

この後、補正時においてサンプリングした電圧値毎の画素値に基づいて、バイアス電圧 V_{tg} の基準電圧 V_1 （画素値100LSBに対応するバイアス電圧 V_{tg} ）を算出する。このようにして算出した基準電圧 V_1 と、初期状態の基準電圧 V_0 とを比較し、基準電圧 V_1 の基準電圧 V_0 からのシフト量を算出する。このシフト量を初期設定の電圧値 V_{tg0} に加算する（式（2））。例えば、初期設定の電圧値 V_{tg0} が0V、基準電圧 V_0 が4.6V、補正時の基準電圧 V_1 が3.0Vである場合には、式（3）に示したように、電圧値 V_{tg1} を-1.6Vに設定すればよい。即ち、この例では、バイアス電圧 V_{tg} の電圧値を

20

$$V_{tg1} = V_{tg0} + (V_1 - V_0) \quad \dots\dots (2)$$

$$V_{tg1} = 0V + (3.0V - 4.6V) = -1.6V \quad \dots\dots (3)$$

【0067】

上記のように、本実施の形態では、所定のタイミングにおいて、バイアス電圧制御部18が、バイアス電圧 V_{tg} の電圧値毎に画素値のサンプリングを行い、サンプリングした画素値に基づいて、トランジスタ22の閾値電圧 V_{th} のシフト分を補填し得る、バイアス電圧 V_{tg} の最適値（電圧値 V_{tg1} ）を算出する。バイアス電圧制御部18は、算出した電圧値 V_{tg1} を、所定のタイミングで読み出し制御線Lread2へ出力する。補正後は、バイアス電圧 V_{tg} として電圧値 V_{tg1} が読み出し制御線Lread2（第2ゲート電極220B）に印加されつつ、トランジスタ22のオン・オフ制御がなされる。尚、バイアス電圧補正のタイミングは任意であり、1度補正した後に、所定の間隔をあけて再度補正を行ってもよい。このように複数回にわたって補正を行う場合には、上述したような一連の補正動作がその都度行われる。

30

【0068】

尚、バイアス電圧補正に用いるパラメータとしては、上述したような暗状態の画素値に限らず、例えば明状態（露光状態）と暗状態との間の画素値の変化量であってもよい。この場合、初期状態において、電圧 $V_{tg}(1)$ 、 $V_{tg}(2)$ 、 $V_{tg}(3)$ 、…の電圧値毎に、明状態と暗状態との各状態における画素値を求め、各状態間の画素値の変化量をサンプリングすればよい。

40

【0069】

以上のように本実施の形態では、各画素20からの信号電荷の読み出しの際、トランジスタ22の第1ゲート電極220Aにパルス電圧 V_g を、第2ゲート電極220Bにバイアス電圧 V_{tg} がそれぞれ印加され、トランジスタのオン・オフ制御がなされる。このとき、所定のタイミングにおいて、バイアス電圧制御部18が、バイアス電圧 V_{tg} を、トランジスタ22の閾値電圧 V_{th} のシフト量に応じて補正する。これにより、トランジスタの閾値電圧のシフトによる影響を緩和して高信頼性を実現することが可能となる。

【0070】

続いて、上記実施の形態の変形例（変形例1～8）について説明する。尚、上記実施の形態における構成要素と同一のものには同一の符号を付し、適宜説明を省略する。

50

【 0 0 7 1 】

< 変形例 1 >

上記実施の形態では、撮像駆動動作の際に、読み出し制御線 L read 2 (第2ゲート電極 2 2 0 B) に印加されるバイアス電圧 V tg の電圧値は、補正動作によって電圧値が切り替えられるタイミングまでの期間は一定である。ところが、第2ゲート電極 2 2 0 B が、固定の電位を有すると、この第2ゲート電極 2 2 0 B と半導体層 2 2 6 (詳細にはチャンネル層 2 2 6 a) との間に、寄生容量が生じる。これによって、読み出し制御線 L read 1 (第1ゲート電極 2 2 0 A) に印加されるパルス電圧 V g に対するスイッチング動作 (トランジスタ 2 2 のオンおよびオフの切り替え動作) の応答が遅くなることがある。

【 0 0 7 2 】

そこで、本変形例では、読み出し制御線 L read 1 にパルス電圧 V g におけるオン電圧 V on が印加されている期間 (例えば図 8 の期間 T r)、読み出し制御線 L read 2 (第2ゲート電極 2 2 0 B) をいわゆるフローティング状態に保持する駆動がなされる。

【 0 0 7 3 】

図 1 4 は、本変形例の接点構成例をバイアス電圧制御部 1 8 およびシステム制御部 1 6 と共に表したものである。このように、本変形例では、読み出し制御線 L read 2 とバイアス電圧制御部 1 8 (電圧補正線 L 1) との間にスイッチ (S W 1 1) を有している。スイッチ S W 1 1 のオン状態およびオフ状態の切り替えは、図示しない制御信号 (例えば行走査部からの制御信号) によってなされる。

【 0 0 7 4 】

本変形例では、上記構成により、読み出し制御線 L read 1 へのオン電圧 V on の印加タイミングに同期して、スイッチ S W 1 1 がオフ状態 (開状態) に制御される。これにより、第2ゲート電極 2 2 0 B がフローティング状態となり、読み出し/リセット期間 T r 中において、上述のような寄生容量の発生が抑制される。一方、このような読み出し/リセット期間 T r 以外の期間 (即ちトランジスタ 2 2 のオフ期間) には、スイッチ S W 1 1 がオン状態 (閉状態) に制御され、上記実施の形態と同様の駆動動作がなされる。このように、オフ期間中には、閾値電圧のシフト量に応じて設定されたバイアス電圧 V tg を印加することにより、閾値電圧シフトに起因するオフリーク増大等を抑制できる。よって、読み出し時の寄生容量の発生を抑制しつつ、上記実施の形態と同等の効果を得ることができる。

【 0 0 7 5 】

< 変形例 2 >

上記変形例 1 では、読み出し制御線 L read 1 へのオン電圧 V on の印加期間中、読み出し制御線 L read 2 をフローティング状態に切り替えたが、本変形例のように、読み出し制御線 L read 2 にオン電圧 V on と同値の電圧を印加してもよい。即ち、読み出し/リセット期間 T r 中は、読み出し制御線 L read 1, L read 2 を同電位に保持するようにしてもよい。

【 0 0 7 6 】

図 1 5 は、本変形例のバイアス電圧制御部 1 8 A の機能構成をシステム制御部 1 6 と共に表したものである。このように、本変形例では、バイアス電圧制御部 1 8 A が、読み出し制御線 L read 2 にいわゆる共通接点 c を有するスイッチ (スイッチ S W 1 2) が設けられている。このスイッチ S W 1 2 は、共通接点 c と、2 つの接点 a, b を有する切り替えスイッチであり、これにより、バイアス電圧制御部 1 8 A から 2 値の電圧値を択一的に出力できるようになっている。例えば、バイアス電圧制御部 1 8 A は、バイアス電圧 V tg の電圧値を生成する回路部 1 8 a 1 と、読み出し/リセット期間中に印加する電圧値を生成する回路部 1 8 a 2 とを有しており、これらの回路部 1 8 a 1, 1 8 a 2 は F P G A 制御部 1 8 0 によって制御される。回路部 1 8 a 1 はスイッチ S W 1 2 の接点 a に、回路部 1 8 a 2 はスイッチ S W 1 2 の接点 b に、それぞれ接続されている。尚、スイッチ S W 1 2 の切り替えは、図示しない制御信号によってなされ、例えば、通常時 (スイッチ S W 1 2 のオフ時) は接点 a につながり、動作時 (スイッチ S W 1 2 のオン時) には接点 b につながるようになっている。

【 0 0 7 7 】

10

20

30

40

50

本変形例では、上記構成により、読み出し制御線 L read 1 へのオン電圧 V on の印加タイミングに同期して、読み出し制御線 L read 2 が、スイッチ S W 1 2 の接点 b を介して回路部 1 8 a 2 へ接続される。これにより、読み出し制御線 L read 2 へオン電圧 V on が印加され、読み出し制御線 L read 1 , L read 2 が同電位となる。これにより、読み出し/リセット期間 T r 中において、上述のような寄生容量の発生を抑制できる。一方、このような読み出し/リセット期間 T r 以外の期間（即ちトランジスタ 2 2 のオフ期間）には、読み出し制御線 L read 2 が、接点 a を介して回路部 1 8 a 1 へ接続され、上記実施の形態と同様の駆動動作がなされる。よって、本変形例によっても、上記実施の形態および変形例 1 と同等の効果を得ることができる。

【 0 0 7 8 】

< 変形例 3 >

図 1 6 は、変形例 3 に係る画素（画素 2 0 A）の回路構成を、上記実施の形態で説明した列選択部 1 7 の回路構成例と共に表したものである。本変形例の画素 2 0 A は、実施の形態の画素 2 0 と同様にいわゆるパッシブ型の回路構成となっており、1つの光電変換素子 2 1 と1つのトランジスタ 2 2 とを有している。また、この画素 2 0 A には H 方向に沿って延在する読み出し制御線 L read 1 , L read 2 と、V 方向に沿って延在する信号線 L sig とが接続されている。

【 0 0 7 9 】

但し、本変形例の画素 2 0 A では、上記実施の形態の画素 2 0 とは異なり、光電変換素子 2 1 のアノードが蓄積ノード N に接続され、カソードがグランド（接地）に接続されている。このように、画素 2 0 A において光電変換素子 2 1 のアノードに蓄積ノード N が接続されるようにしてもよく、このように構成した場合であっても、上記実施の形態の撮像装置 1 と同様の効果を得ることが可能である。

【 0 0 8 0 】

< 変形例 4 >

図 1 7 は、変形例 4 に係る画素（画素 2 0 B）の回路構成を、上記実施の形態で説明した列選択部 1 7 の回路構成例と共に表したものである。本変形例の画素 2 0 B は、実施の形態の画素 2 0 と同様にいわゆるパッシブ型の回路構成となっており、1つの光電変換素子 2 1 を有しており、H 方向に沿って延在する読み出し制御線 L read 1 , L read 2 と、V 方向に沿って延在する信号線 L sig とに接続されている。

【 0 0 8 1 】

但し、本変形例では、画素 2 0 B が、2つのトランジスタ 2 2（トランジスタ 2 2 B 1 , 2 2 B 2）を有している。これら2つのトランジスタ 2 2 B 1 , 2 2 B 2 は、互いに直列に接続されている（一方のソースまたはドレインと他方のソースまたはドレインとが電氣的に接続されている。または、後述するように半導体層 2 2 6 が一体的に連結して形成されている。）。また、各トランジスタ 2 2 B 1 , 2 2 B 2 における一方のゲートが読み出し制御線 L read 1 に接続され、他方のゲートが読み出し制御線 L read 2 に接続されている。

【 0 0 8 2 】

図 1 8 に、このような2つのトランジスタ 2 2 B 1 , 2 2 B 2 の断面構成例を示す。図 1 8 に示したように、2つのゲート電極 2 2 0 A , 2 2 0 B により半導体層 2 2 6 を挟み込んだ積層構造が2つ並んで形成されており、これらの積層構造の両側に一对のソース・ドレイン電極 2 2 8 が配設されている。尚、この例では、トランジスタ 2 2 B 1 , 2 2 B 2 において、半導体層 2 2 6 が一体化されている。具体的には、基板 1 1 0 上の選択的な領域に、2つの第1ゲート電極 2 2 0 A を有し、これらの第1ゲート電極 2 2 0 A を覆うように第1ゲート絶縁膜 2 2 9 および半導体層 2 2 6 が設けられている。この半導体層 2 2 6 上には、第2ゲート絶縁膜 2 3 0 が形成され、第2ゲート絶縁膜 2 3 0 上の選択的な領域（2つの第1ゲート電極 2 2 0 A のそれぞれに対向する領域）に、第2ゲート電極 2 2 0 B が配設されている。これらの第2ゲート電極 2 2 0 B を覆って第1層間絶縁膜 2 3 1 が形成されており、この第1層間絶縁膜 2 3 1 上には、コンタクトホール H 1 を埋め込

10

20

30

40

50

むように一対のソース・ドレイン電極 228 が配設されている。ソース・ドレイン電極 228 上には、2つのトランジスタ 22B1, 22B2 を覆うように、第2層間絶縁膜 232 が設けられている。尚、本変形例のように、ゲート電極を並設させることにより、オフリークを低減させることができる。

【0083】

このように、画素 20B 内に直列接続させた2つのトランジスタ 22B1, 22B2 を設けてもよく、この場合にも、上記実施の形態で説明したような撮像駆動動作および補正動作を行うことにより、閾値電圧 V_{th} のシフトによる影響を軽減することができる。尚、3つ以上のトランジスタを直列接続させてもよい。

【0084】

<変形例 5, 6>

図19は、変形例5に係る画素(画素20C)の回路構成を、以下説明する列選択部17Bの回路構成例とともに表したものである。また、図20は、変形例6に係る画素(画素20D)の回路構成を、列選択部17Bの回路構成例とともに表したものである。これらの変形例5, 6に係る画素20C, 20Dはそれぞれ、これまで説明した画素20, 20A, 20Bとは異なり、いわゆるアクティブ型の画素回路を有している。

【0085】

このアクティブ型の画素20C, 20Dには、1つの光電変換素子21と、3つのトランジスタ22, 23, 24とが設けられている。これらの画素20C, 20Dにはまた、H方向に沿って延在する読み出し制御線 L_{read1} , L_{read2} およびリセット制御線 L_{rst} と、V方向に沿って延在する信号線 L_{sig} とが接続されている。

【0086】

画素20C, 20Dではそれぞれ、トランジスタ22の一方のゲートが読み出し制御線 L_{read1} 、他方のゲートが読み出し制御線 L_{read2} にそれぞれ接続され、ソースが信号線 L_{sig} に接続され、ドレインが、ソースフォロワ回路を構成するトランジスタ23のドレインに接続されている。トランジスタ23のソースは電源 V_{DD} に接続され、ゲートは、蓄積ノードNを介して、光電変換素子21のカソード(図19の例)またはアノード(図20の例)と、リセット用トランジスタとして機能するトランジスタ24のドレインとに接続されている。トランジスタ24のゲートはリセット制御線 L_{rst} に接続され、ソースにはリセット電圧 V_{rst} が印加されるようになっている。図19の変形例5では、光電変換素子21のアノードがグランドに接続され、図20の変形例6では、光電変換素子21のカソードがグランドに接続されている。尚、簡便化のため、図20では、トランジスタ23, 24のゲートを1つのみ図示しているが、詳細には、トランジスタ23, 24は、トランジスタ22と同様の2つのゲート電極を有する素子構造を有する。トランジスタ23, 24では、例えば2つのゲート電極がショートした状態で駆動されるため、1つのゲートを有する素子構造のものと回路的には等価となる。但し、3つのトランジスタ22, 23, 24のうち少なくともトランジスタ22が上述したような2つのゲート電極を有するものであれば、本開示の効果を得ることができる。

【0087】

また、これらの変形例5, 6において列選択部17Bは、前述した列選択部17において、チャージアンプ172、容量素子C1およびスイッチSW1に代わりに、定電流源171およびアンプ176を設けたものとなっている。アンプ176では、正側の入力端子には信号線 L_{sig} が接続されると共に、負側の入力端子と出力端子とが互いに接続され、ボルテージフォロワ回路が形成されている。尚、信号線 L_{sig} の一端側には定電流源171の一方の端子が接続され、この定電流源171の他方の端子には電源 V_{SS} が接続されている。

【0088】

<変形例 7, 8>

図21Aおよび図21Bはそれぞれ、変形例7, 8に係る撮像部11の概略構成を模式的に表したものである。上記実施の形態の撮像装置1が、放射線撮像装置である場合には

10

20

30

40

50

、撮像部 11 は、これらの変形例 7, 8 のいずれかの構成を有している。

【0089】

図 21A に示した変形例 7 に係る撮像部 11 は、いわゆる間接変換型の放射線撮像装置に適用されるものであり、光電変換層 111 上（受光面側）に、波長変換層 112 を有している。波長変換層 112 は、放射線 R rad（線、線、線、X 線等）を、光電変換層 111 の感度域の波長に波長変換するものであり、これにより光電変換層 111 では、この放射線 R rad に基づく情報を読み取ることが可能となる。この波長変換層 112 は、例えば X 線などの放射線を可視光に変換する蛍光体（例えば、シンチレータ）からなる。このような波長変換層 112 は、例えば有機平坦化膜、スピンオンガラス材料等からなる平坦化膜、および蛍光体膜をこの順に積層したものである。蛍光体膜は、例えば CsI（Tl 添加）、 Gd_2O_2S 、BaFX（X は Cl, Br, I 等）、NaI または CaF_2 等からなる。

10

【0090】

図 21B に示した変形例 8 に係る撮像部 11 は、いわゆる直接変換型の放射線撮像装置に適用されるものであり、入射した放射線 R rad を吸収して電気信号に変換する光電変換層 111 を有している。本変形例の光電変換層 111 は、例えば、アモルファスセレン（a-Se）半導体や、カドミニウムテルル（CdTe）半導体などにより構成されている。尚、この直接変換型の場合の画素 20 の回路構成は、図 3 に示した各要素のうち光電変換素子 21 を容量に置き換えたものとなる。

【0091】

20

上記のような間接変換型または直接変換型の放射線撮像装置は、入射した放射線 R rad に基づいて電気信号を得る、様々な種類の撮像装置として利用される。例えば、医療用の X 線撮像装置（Digital Radiography 等）、空港等で用いられる携帯物検査用 X 線撮影装置、工業用 X 線撮像装置（例えば、コンテナ内の危険物等の検査を行う装置）などに適用可能である。

【0092】

<適用例>

続いて、上記実施の形態および変形例（変形例 1～8）に係る撮像装置は、以下に説明するような撮像表示システムへ適用することも可能である。

【0093】

30

図 22 は、適用例に係る撮像表示システム（撮像表示システム 5）の概略構成例を模式的に表したものである。撮像表示システム 5 は、上記実施の形態等に係る撮像部 11 等を有する撮像装置 1 と、画像処理部 52 と、表示装置 4 とを備えており、この例では放射線を用いた撮像表示システム（放射線撮像表示システム）となっている。

【0094】

画像処理部 52 は、撮像装置 1 から出力される出力データ Dout（撮像信号）に対して所定の画像処理を施すことにより、画像データ D1 を生成するものである。表示装置 4 は、画像処理部 52 において生成された画像データ D1 に基づく画像表示を、所定のモニタ画面 40 上で行うものである。

【0095】

40

この撮像表示システム 5 では、撮像装置 1（ここでは放射線撮像装置）が、光源（ここでは X 線源等の放射線源）51 から被写体 50 に向けて照射された照射光（ここでは放射線）に基づき、被写体 50 の画像データ Dout を取得し、画像処理部 52 へ出力する。画像処理部 52 は、入力された画像データ Dout に対して上記した所定の画像処理を施し、その画像処理後の画像データ（表示データ）D1 を表示装置 4 へ出力する。表示装置 4 は、入力された画像データ D1 に基づいて、モニタ画面 40 上に画像情報（撮像画像）を表示する。

【0096】

このように、本適用例の撮像表示システム 5 では、撮像装置 1 において被写体 50 の画像を電気信号として取得可能であるため、取得した電気信号を表示装置 4 へ伝送すること

50

によって画像表示を行うことができる。即ち、従来のような放射線写真フィルムを用いることなく、被写体50の画像を観察することが可能となり、また、動画撮影および動画表示にも対応することが可能となる。

【0097】

尚、本適用例では、撮像装置1が放射線撮像装置として構成されており、放射線を用いた撮像表示システムとなっている場合を例に挙げて説明したが、本開示の撮像表示システムは、他の方式の撮像装置を用いたものにも適用することが可能である。

【0098】

以上、実施の形態、変形例および適用例を挙げたが、本開示内容はこれらの実施の形態等に限定されず、種々の変形が可能である。例えば、上記実施の形態等では、トランジスタ22において、半導体層226よりも下方に第1ゲート電極220Aが配置され、上方に第2ゲート電極220Bが配置された構成を例に挙げたが、これらが上下逆の構成となってもよい。即ち、2つのゲート電極のうちの上下どちらの電極に、パルス電圧（あるいはバイアス電圧）を印加してもよい。

【0099】

また、上記実施の形態等では、第1ゲート電極220Aに印加されるパルス電圧と、第2ゲート電極220Bに印加されるバイアス電圧とのうち、バイアス電圧の電圧値を補正する場合について説明したが、補正される電圧値はこれに限定されない。即ち、パルス電圧の電圧値のみが補正されてもよいし、パルス電圧とバイアス電圧との両方が補正されてもよい。但し、上記実施の形態等において説明したように、バイアス電圧を補正する場合の方が、行走査部13等の回路構成を複雑化させずに済むので望ましい。

【0100】

更に、上記実施の形態等では、トランジスタ22の2つのゲート電極のうち一方のゲート電極（第1ゲート電極220A）にパルス電圧、他方のゲート電極（第2ゲート電極220B）にバイアス電圧をそれぞれ印加するようにしたが、各ゲート電極に印加される電圧は、これらに限定されるものではない。

【0101】

加えて、上記実施の形態等の撮像部における画素の回路構成は、上記実施の形態等で説明したもの（画素20, 20A~20Dの回路構成）には限られず、他の回路構成であってもよい。同様に、行走査部や列選択部等の回路構成についても、上記実施の形態等で説明したものには限られず、他の回路構成であってもよい。

【0102】

また、上記実施の形態等で説明した撮像部、行走査部、A/D変換部（列選択部）および列走査部等はそれぞれ、例えば同一基板上に形成されているようにしてもよい。具体的には、例えば低温多結晶シリコンなどの多結晶半導体を用いることにより、これらの回路部分におけるスイッチ等も同一基板上に形成することができるようになる。このため、例えば外部のシステム制御部からの制御信号に基づいて、同一基板上における駆動動作を行うことが可能となり、狭額縁化（3辺フリーの額縁構造）や配線接続の際の信頼性向上を実現することができる。

【0103】

尚、本開示は以下のような構成を取ることも可能である。

(1)

各々が光電変換素子と電界効果型のトランジスタとを含む複数の画素を有する撮像部と、
前記トランジスタを電圧制御して、前記画素内に蓄積された信号電荷の読み出し駆動を行う駆動部と、

前記トランジスタを駆動するための電圧値を補正する補正部と

を備え、

前記トランジスタは、半導体層を間にして対向配置された第1および第2のゲート電極を有し、

10

20

30

40

50

前記駆動部は、前記トランジスタの前記第 1 のゲート電極に第 1 の電圧を印加すると共に、前記第 2 のゲート電極に第 2 の電圧を印加することにより、前記トランジスタのオン・オフ制御を行い、

前記補正部は、前記閾値電圧のシフト量に応じて前記第 1 および第 2 の電圧のうち少なくとも一方の電圧値を補正する

撮像装置。

(2)

前記第 1 の電圧はパルス電圧であり、前記第 2 の電圧はバイアス電圧である

上記 (1) に記載の撮像装置。

(3)

前記補正部は、所定のタイミングで、前記閾値電圧のシフト量に応じて前記第 2 の電圧の電圧値を補正する

上記 (2) に記載の撮像装置。

(4)

前記撮像部は、入射した放射線に基づいて電気信号を発生させるものである

上記 (1) ~ (3) のいずれかに記載の撮像装置。

(5)

前記トランジスタは、シリコン酸化物膜を含むゲート絶縁膜を有する

上記 (1) ~ (4) のいずれかに記載の撮像装置。

(6)

前記半導体層は、多結晶シリコン、微結晶シリコン、非結晶シリコンまたは酸化物半導体を含む

上記 (1) ~ (5) のいずれかに記載の撮像装置。

(7)

前記半導体層は、低温多結晶シリコンを含む

上記 (6) に記載の撮像装置。

(8)

前記補正部は、

非露光状態において、前記第 2 の電圧として複数の電圧値を段階的に変化させて印加しつつ、前記複数の電圧値のそれぞれに対応する画素値をサンプリングし、

サンプリングした複数の画素値に基づいて、前記閾値電圧のシフト量に応じた前記第 2 の電圧の最適値を算出する

上記 (3) に記載の撮像装置。

(9)

前記駆動部は、前記第 1 の電圧におけるオン電圧の印加期間中、前記第 2 のゲート電極をフローティング状態に保持する

上記 (2) , (3) , (8) のいずれかに記載の撮像装置。

(10)

前記駆動部は、前記第 1 の電圧におけるオン電圧の印加期間中、前記第 2 のゲート電極に対し、前記オン電圧と同値の電圧を印加する

上記 (2) , (3) , (8) のいずれかに記載の撮像装置。

(11)

前記撮像部は、前記光電変換素子の光入射側に、前記放射線を前記光電変換素子の感度域の波長に変換する波長変換層を有する

上記 (4) に記載の撮像装置。

(12)

前記複数の画素はそれぞれ、前記放射線を吸収して電気信号に変換するものである

上記 (4) に記載の撮像装置。

(13)

前記放射線は X 線である

10

20

30

40

50

上記(4), (11), (12)に記載の撮像装置。

(14)

前記光電変換素子が、PIN型のフォトダイオードまたはMIS型センサからなる上記(1)~(13)のいずれかに記載の撮像装置。

(15)

撮像装置と、この撮像装置により得られた撮像信号に基づく画像表示を行う表示装置とを備え、

前記撮像装置は、

各々が光電変換素子と電界効果型のトランジスタとを含む複数の画素を有する撮像部と

、

前記トランジスタを電圧制御して、前記画素内に蓄積された信号電荷の読み出し駆動を行う駆動部と、

前記トランジスタを駆動するための電圧値を補正する補正部とを備え、

前記トランジスタは、半導体層を間にして対向配置された第1および第2のゲート電極を有し、

前記駆動部は、前記トランジスタの前記第1のゲート電極に第1の電圧を印加すると共に、前記第2のゲート電極に第2の電圧を印加することにより、前記トランジスタのオン・オフ制御を行い、

前記補正部は、前記閾値電圧のシフト量に応じて前記第1および第2の電圧のうち少なくとも一方の電圧値を補正する

撮像表示システム。

【符号の説明】

【0104】

1...撮像装置、11...撮像部、13...行走査部、130...単位回路、131, 132...シフトレジスタ回路(S/R)、135A, 135B...バッファ回路、133A~133D...AND回路、134A, 134B...OR回路、14...A/D変換部、15...列走査部、16...システム制御部、17...列選択部、171...定電流源、172...チャージアンプ、173...S/H回路、174...マルチプレクサ回路、175...A/Dコンバータ、176...アンプ、18, 18A...バイアス電圧制御部、20, 20A~20D...画素(撮像画素)、21...光電変換素子、22, 22B1, 22B2, 23, 24...トランジスタ、226...半導体層、220A...第1ゲート電極、220B...第2ゲート電極、229...第1ゲート絶縁膜、230...第2ゲート絶縁膜、231...第1層間絶縁膜、232...第2層間絶縁膜、111...光電変換層、112...波長変換層、4...表示装置、40...モニタ画面、5...撮像表示システム、50...被写体、51...光源(放射線源)、52...画像処理部、Lsig...信号線、Lread1, Lread2...読み出し制御線、Lrst...リセット制御線、Lcarst...アンプリセット制御線、Dout...出力データ、N...蓄積ノード、SW1, SW2...スイッチ、C1...容量素子、Tv...1垂直期間(1フレーム期間)、Tex...露光期間、Tr...読み出し/リセット期間、Lin...撮像光、Rrad...放射線、Vg...パルス電圧、Vtg...バイアス電圧。

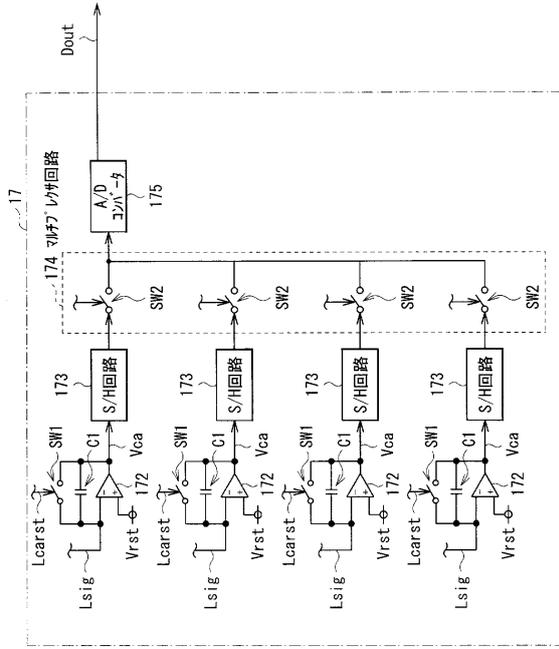
10

20

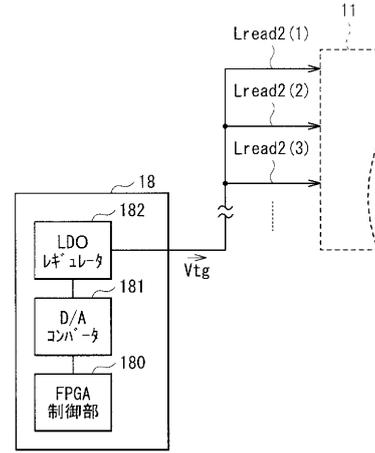
30

40

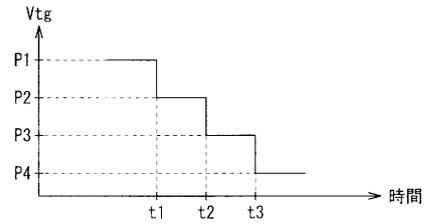
【図5B】



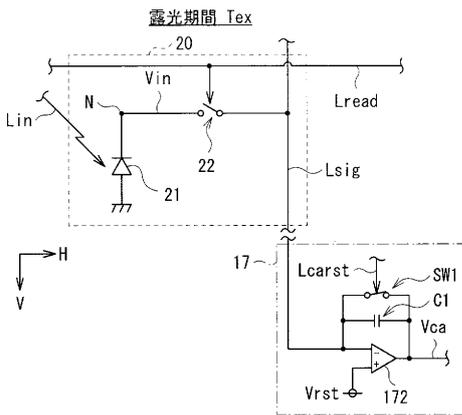
【図6A】



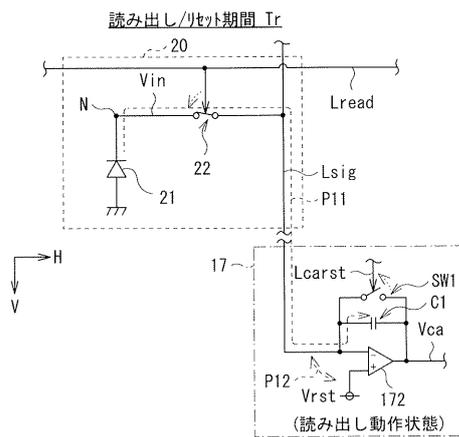
【図6B】



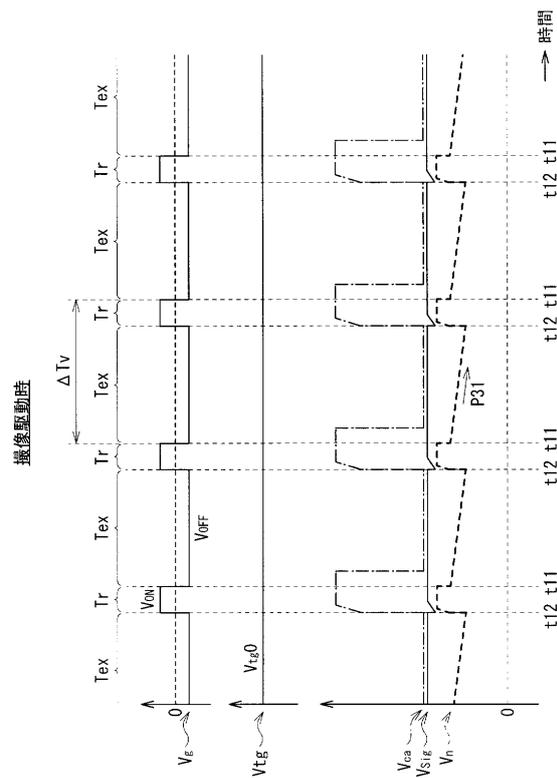
【図7A】



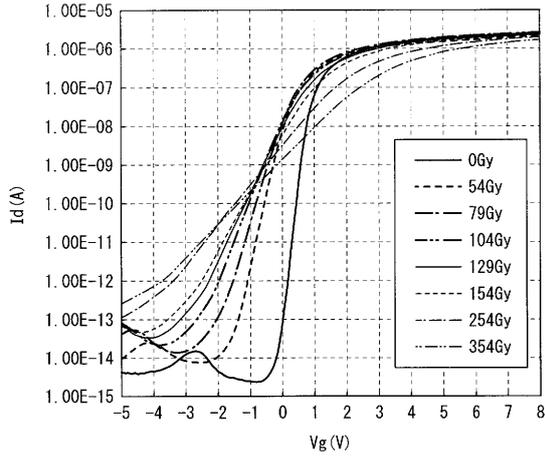
【図7B】



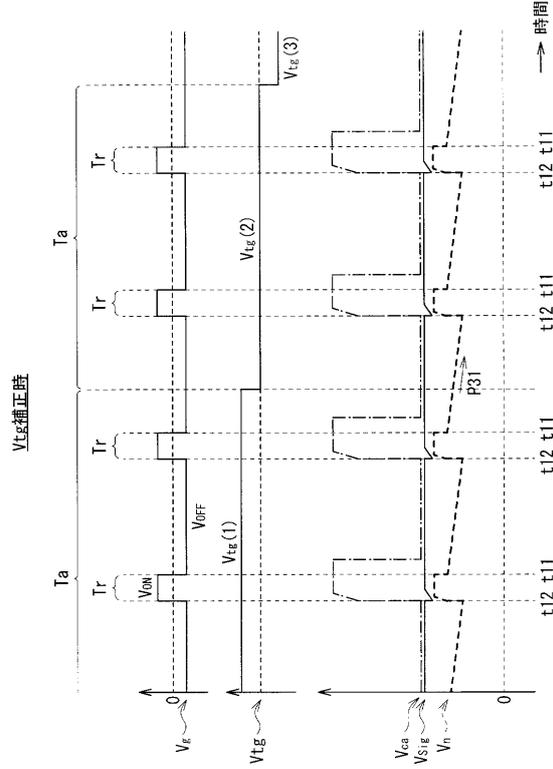
【図8】



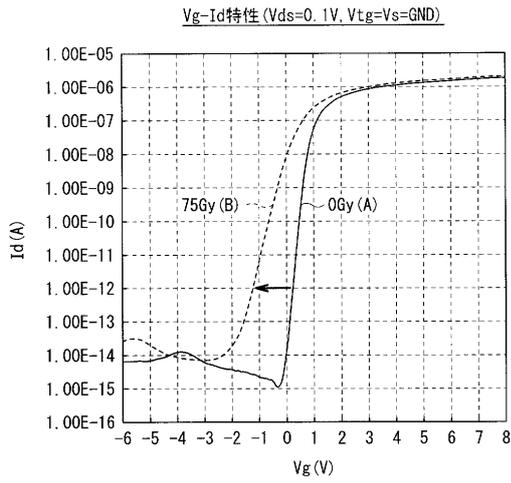
【 図 9 】



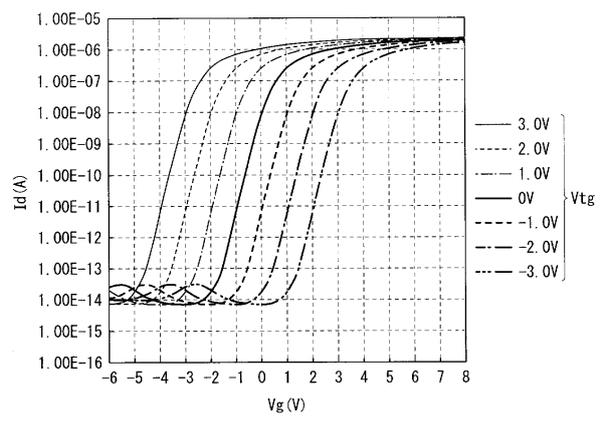
【 図 10 】



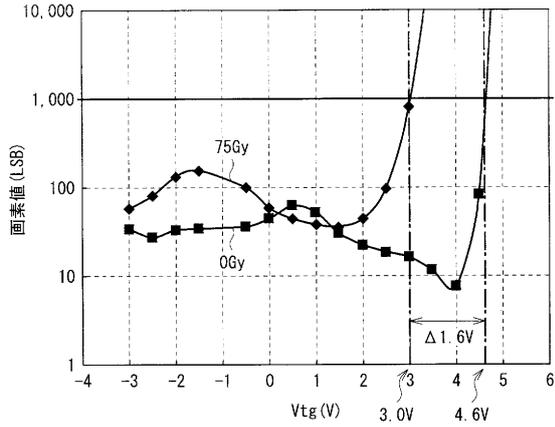
【 図 11 】



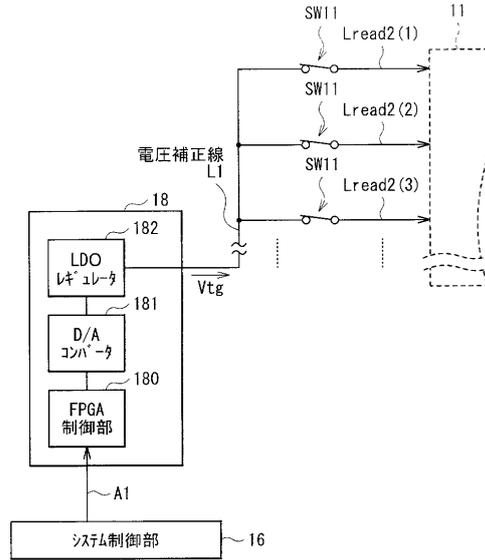
【 図 12 】



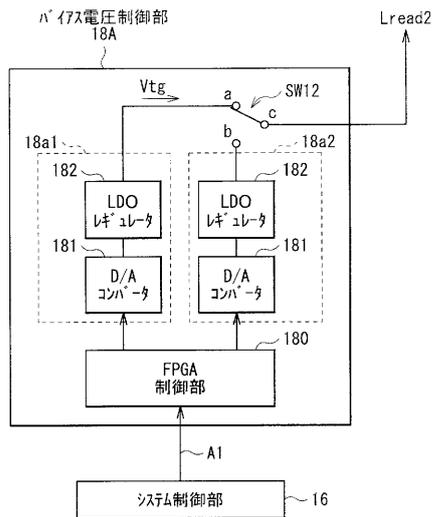
【図13】



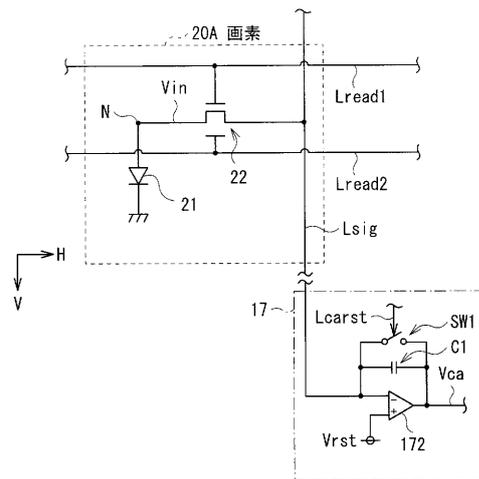
【図14】



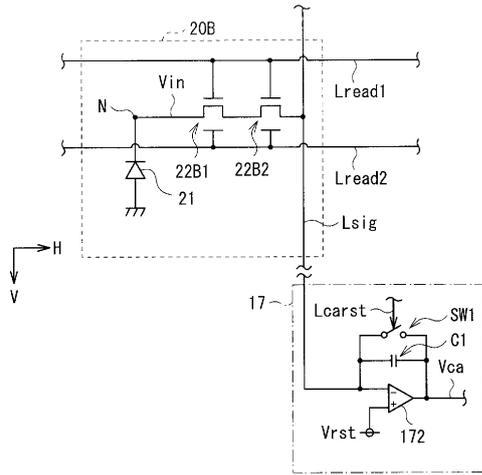
【図15】



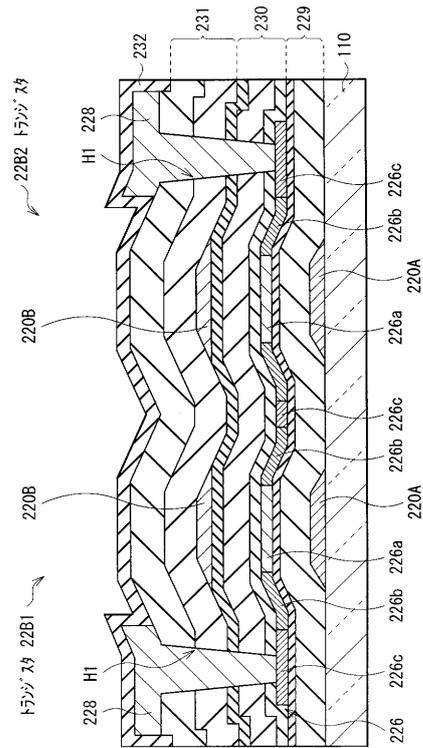
【図16】



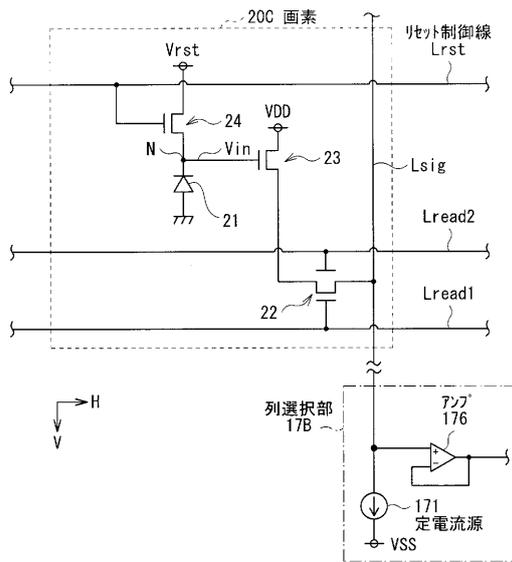
【図17】



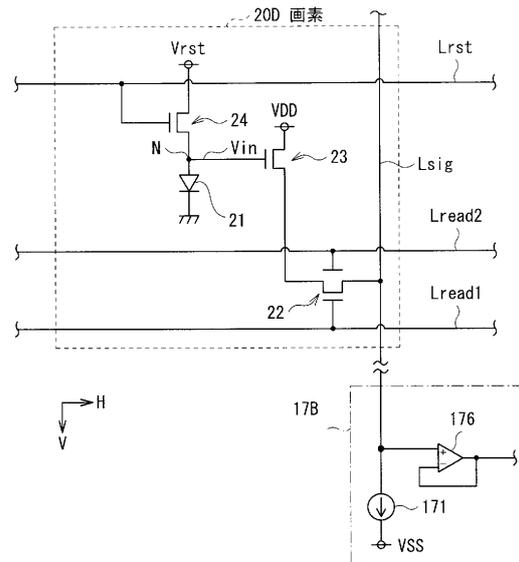
【図18】



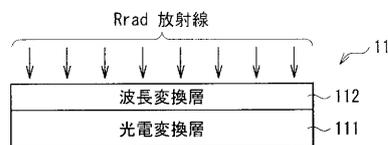
【図19】



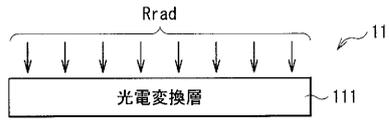
【図20】



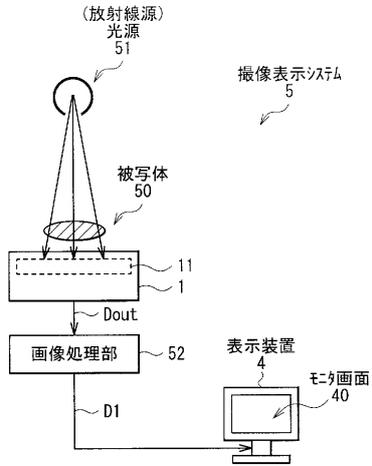
【図21A】



【図 2 1 B】



【図 2 2】



フロントページの続き

(51)Int.Cl. F I
H 0 1 L 27/14 K
H 0 4 N 5/32

(56)参考文献 特開2012-146805(JP,A)
特開2001-169190(JP,A)
特開2001-320546(JP,A)
特開2002-151669(JP,A)
特開2012-231138(JP,A)
特開2011-146574(JP,A)

(58)調査した分野(Int.Cl., DB名)

H 0 4 N 5 / 3 0 - 5 / 3 7 8
A 6 1 B 6 / 0 0 - 6 / 1 4
G 0 1 T 1 / 0 0 - 7 / 1 2
H 0 1 L 2 1 / 3 3 6
H 0 1 L 2 1 / 3 3 9
H 0 1 L 2 7 / 1 4 - 2 7 / 1 4 8
H 0 1 L 2 9 / 7 6 2
H 0 1 L 2 9 / 7 8 6