



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

242 072

(11) (B1)

(61)

(23) Výstavní priorita
(22) Přihlášeno 29 11 84
(21) PV 9135-84

(51) Int. Cl.⁴

G 06 F 3/05

(40) Zveřejněno 22 08 85
(45) Vydáno 01 02 88

(75)
Autor vynálezu

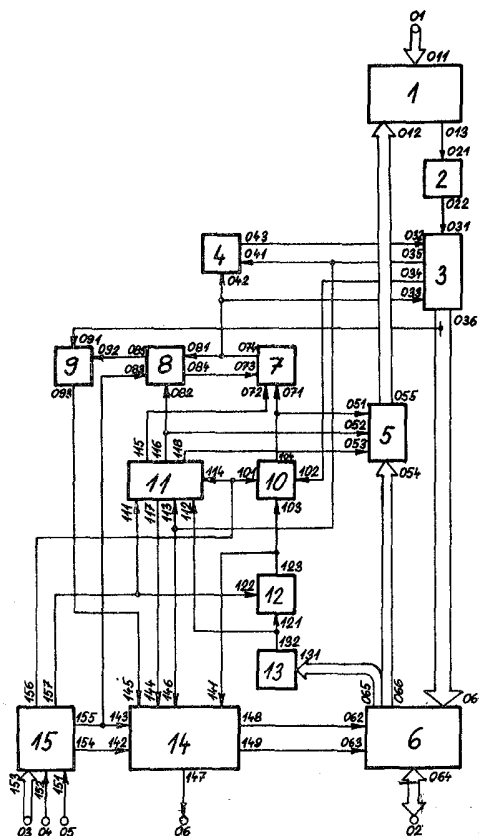
TELENSKÝ BOHUSLAV ing., PRAHA

(54)

Zapojení řídicího logického obvodu analogového
vstupního bloku mikropočítače

Řešení se týká vstupního bloku mikropočítače a řeší zapojení jeho řídicího logického obvodu.

Po vyslání příslušné volací adresy, řídicího zapisovacího signálu a inicializačního slova, se inicializuje příslušná vstupní deska. Inicializaci potvrzuje vybraný vstupní blok mikropočítače. Analogový multiplexer na žádaný vstupní kanál a probíhá analogově číslicový převod. Po ukončení převodu je připraveno první a druhé slovo dat ke čtení mikropočítačem a multiplexer se přepíná na následující kanál, na kterém po přečtení dat prvního kanálu mikropočítačem probíhá analogově číslicový převod. Po jeho ukončení jsou připravena data tohoto kanálu ke čtení mikropočítačem a multiplexer přepíná na další kanál. Tento děj se opakuje, pokud mikropočítač pokračuje ve čtení dat připravených analogovým vstupním blokem. Při výběru určitého vstupního kanálu se jeho volba provede vysláním inicializačního slova. Řešení se využije při řízení technologických procesů mikropočítačem.



Vynález se týká zapojení řídicího logického obvodu analogového vstupního bloku mikropočítače.

Při využívání mikropočítačů v technologickém procesu se převádí analogové signály z čidel na číslicový tvar, vhodný pro zpracování mikropočítačem pomocí analogových vstupních systémů. Tyto systémy obsahují obvykle vstupní analogový multiplexer se zesilovačem, analogově číslicový převodník a řídicí logické obvody, které řeší jednak jejich veškerou vnitřní činnost a jednak spolupráci celého analogového vstupního systému s řídicím zařízením, například s mikropočítačem. Nejobvyklejší spolupráce je adresním způsobem. Mikropočítač vyšle adresu požadovaného vstupního analogového kanálu, v analogovém vstupním bloku přepne multiplexer na příslušný kanál a po ustálení výstupu následného zesilovače se provede analogově číslicový převod a po jeho ukončení se vyšlou výstupní data v binární formě mikropočítači, který je buď okamžitě zpracovává, nebo zapisuje do paměti. Čtení dalšího vstupního kanálu se provede opakováním tohoto postupu, včetně adresování vstupního kanálu.

Méně obvyklý je cyklický způsob spolupráce mikropočítače a vstupního analogového systému, kdy mikropočítač vyšle vstupnímu systému startovací signál a ten pak provádí opakovaně přepnutí multiplexeru, analogově číslicový převod a vyslání dat postupně všech analogových kanálů za sebou prvním počínaje, posledním konče. Cyklický způsob spolupráce spotřebuje podstatně kratší čas k analogově číslicovému převodu všech analogových kanálů než adresní

způsob. Odpadá zde totiž adresování každého kanálu zvlášť. Navíc zde může probíhat přepínání vstupních analogových kanálů a analogově číslicový převod následujícího kanálu současně se čtením a zpracováním výstupních dat předchozího kanálu mikropočítačem. Je-li vstupní systém vybaven vzorkovacím zesilovačem, může při analogově číslicovém převodu již probíhat přepnutí multiplexeru na další kanál. Nevýhodou cyklického způsobu spolupráce je, že neumožňuje sběr dat z určitého zvoleného vstupního kanálu, což naopak umožňuje adresní způsob spolupráce vstupního systému s mikropočítačem. Jeho nevýhodou je ovšem nižší rychlost přenosu dat mezi vstupním systémem a mikropočítačem. Další nevýhodou je, že každý vstupní analogový kanál zabírá jednu, případně dvě adresy v adresovém poli mikropočítače.

Tyto nedostatky odstraňuje zapojení řídicího logického obvodu analogového vstupního bloku mikropočítače podle vynálezu, u kterého je skupinový obousměrný datový vývod obousměrného budiče spojen se skupinovou obousměrnou datovou svorkou zapojení, jehož skupinová analogová vstupní svorka je spojena se skupinovým analogovým vstupem multiplexeru. Diferenciální výstup multiplexeru je spojen s diferenciálním vstupem zesilovače, jehož výstup je spojen s analogovým vstupem analogově číslicového převodníku. Podstata vynálezu spočívá v tom, že devátý bit skupinového datového výstupu analogově číslicového převodníku je spojen s nastavovacím vstupem uvolňovacího obvodu a všechny bity skupinového datového výstupu analogově číslicového převodníku jsou spojeny se skupinovým datovým vstupem obousměrného budiče. První řídicí vstup obousměrného budiče je spojen s prvním řídicím výstupem řídicího obvodu, jehož druhý řídicí výstup je spojen se druhým řídicím vstupem obousměrného budiče, jehož skupinový pětibitový výstup je spojen se skupinovým adresovým vstupem registru. Skupinový výstup registru je spojen se skupinovým adresovacím vstupem

multiplexeru. Skupinový tříbitový datový výstup obousměrného budiče je spojen se skupinovým vstupem výběrového obvodu, jehož výstup je spojen s uvolňovacím vstupem tvarovacího obvodu a s řídicím vstupem inicializačního obvodu. Výstup inicializačního obvodu je spojen s blokovacím vstupem blokovacího obvodu a s blokovacím vstupem přepínacího generátoru, jehož výstup je spojen s prvním spouštěcím vstupem startovacího generátoru a s inkrementačním vstupem registru. Uvolňovací vstup registru je spojen s invertovaným kontrolním výstupem tvarovacího obvodu, jehož zpožďovací výstup je spojen s nastavovacím vstupem registru a s nastavovacím vstupem blokovacího obvodu. Invertovaný výstup blokovacího obvodu je spojen se druhým spouštěcím vstupem startovacího generátoru, jehož blokovací vstup je spojen s blokovacím výstupem tvarovacího obvodu. Koincidenční vstup tvarovacího obvodu je spojen se spouštěcím výstupem adresového dekodéru a se spouštěcím vstupem přepínacího generátoru. Nastavovací vstup přepínacího generátoru je spojen se stavovým výstupem analogově číslicového převodníku, jehož hodinový vstup je spojen s výstupem hodinového generátoru. Blokovací vstup hodinového generátoru je spojen s blokovacím vstupem tvarovacího obvodu, se druhým otevíracím vstupem řídicího obvodu a s invertovaným stavovým výstupem analogově číslicového převodníku, jehož startovací vstup je spojen se spouštěcím vstupem hodinového generátoru, s výstupem startovacího generátoru a s nulovacím vstupem blokovacího obvodu. Hodinový vstup blokovacího obvodu je spojen se druhým ovládacím vstupem řídicího obvodu a se druhým výstupem adresového dekodéru, jehož první řídicí vstup je spojen se čtecí vstupní svorkou zapojení. Zapisovací vstupní svorka zapojení je spojena se druhým řídicím vstupem adresového dekodéru, jehož skupinový adresový vstup je spojen se skupinovou adresovou vstupní svorkou zapojení. Potvrzovací svorka zapojení

je spojena s potvrzovacím výstupem řídicího obvodu, jehož první ovládací vstup je spojen s prvním výstupem adresového dekodéru. Invertovaný spouštěcí výstup adresového dekodéru je spojen s nastavovacím vstupem inicializačního obvodu a se spouštěcím vstupem tvarovacího obvodu, jehož kontrolní výstup je spojen s budicím vstupem řídicího obvodu. První otevírací vstup řídicího obvodu je spojen s výstupem uvolňovacího obvodu, jehož nulovací vstup je spojen s invertovaným výstupem blokovacího obvodu.

Výhodou zapojení řídicích logických obvodů analogového vstupního bloku mikropočítače podle vynálezu je, že využívá předností cyklického čtení vstupních analogových kanálů a přitom odstraňuje jeho hlavní nevýhodu, neboť umožňuje mikropočítači sběr dat z libovolně zvoleného vstupního analogového kanálu. Umožňuje též zahájit cyklus čtení celé řady vstupních analogových kanálů, počínaje zvoleným kanálem. Dovoluje další zvýšení rychlosti přenosu dat tím, že čtení prvního slova dat mikropočítačem se umožní už po ukončení analogové číslicového převodu osmého bitu. Nemusí se tedy čekat až se ukončí převod všech dvanácti bitů, jak je obvyklé. Celý analogový vstupní systém obsazuje pouze dvě adresy v adresovém poli mikropočítače, přestože umožňuje připojit k mikropočítači až osm analogových vstupních bloků - desek - po 32 kanálech, tedy celkem je možno snímat až 256 analogových signálů.

Příklad uspořádání podle vynálezu je znázorněn v blokovém schematu na připojeném výkrese.

Jednotlivé bloky zapojení je možno charakterizovat takto. Multiplexor 1 je 32 kanálový analogový diferenciální multiplexor s předřazenými obvody. Slouží ke snímání proudových, případně i napěťových vstupních signálů. Zesilovač 2 je diferenciální zesilovač s vysokým vstupním odporem a je tvořen dvěma operačními zesilovači a příslušnou

odporovou sítí. Slouží k zesilování napětí. Analogově číslicový převodník 3 je dvanácti bitový analogově číslicový převodník, využívající principu postupných aproximací. Je tvořen číslicově analogovým převodníkem, registrem postupných aproximací, komparátorem, zdrojem referenčního napětí a jedním invertorem. Slouží k převádění analogových veličin na číslicový tvar. Hodinový generátor 4 je tvořen dvěma monostabilními klopnými obvody integrovaného provedení a jedním hradlem typu NAND. Slouží ke generování hodinových pulsů pro analogově číslicový převodník 3. Registr 5 je složen z vratného binárního čítače s přednastavením klopného obvodu typu D, ze dvou logických členů typu NAND a z invertoru. Slouží jako paměť binárního kódu toho analogového vstupního kanálu, jehož analogová veličina to je. Napětí nebo proud se má převádět na číslicový tvar. Obousměrný budič 6 je tvořen čtyřmi čtyřbitovými obousměrnými budiči sběrnice. Slouží jako budič osmibitové datové sběrnice mikroprocesorového systému s možností obracet tok dat. Volba aktivní dvojice ze čtyř čtyřbitových budičů sběrnice a obracení směru toku dat se provádí pomocí prvního a druhého řídicího vstupu. Je-li tok dat směrován z mikropočítače do analogového vstupního bloku, pak tři vyšší bity dat přichází na skupinový tříbitový datový výstup 065 obousměrného budiče 6 a nižších pět bitů dat na skupinový pěti-bitový datový výstup 066 obousměrného budiče 6. Startovací generátor 7 je monostabilní klopný obvod. Slouží k vytváření startovacího pulsu analogově číslicového převodu a to za předpokladu, že multiplexor 1 ukončil přepnutí na příslušný analogový vstupní kanál a procesor ukončil čtení druhého slova dat předchozího převáděného kanálu. Blokovací obvod 8 je klopný obvod typu D. Slouží k blokování možnosti vyslat další startovací puls analogově číslicového převodu, a to od začátku analogově číslicového převodu až do ukončení čtení druhého slova dat procesorem. Dále slouží k nulo-

vání uvolňovacího obvodu 9 v okamžiku ukončení čtení druhého slova dat procesorem. Uvolňovací obvod 9 tvoří klopný obvod typu D a jeden invertor. Slouží k uvolňování možnosti čtení prvního slova - bytu - dat procesorem a to v případě, že analogově číslicový převodník ukončil převod vyšších osmi bitů. Výstup se aktivuje nastavením devátého bitu převodníku a nuluje se přečtením druhého slova dat procesorem. Přepínací generátor 10 je monostabilní klopný obvod. Slouží k vytváření přepínacího pulsu, jehož délka překrývá dobu ustalování vstupních analogových obvodů při přepínání multiplexoru 1 na jiný vstupní analogový kanál. Čelní hrana tohoto pulsu zvyšuje o jeden obsah registru 5 a způsobuje tak přepnutí multiplexoru 1 na následující kanál. Týlová hrana tohoto pulsu spouští startovací generátor 7. Tvarovací obvod 11 je složen ze třech invertorů, ze třívstupového a ze dvouvstupového hradla typu NAND a ze zpožďovacího RC-článku. Po příchodu spouštěcího pulsu za předpokladu ukončení předchozího analogově číslicového převodu a toho, že je vybrána právě tato deska výběrovým obvodem 13, vytváří puls invertovaný, puls časově zpožděný a puls se zpožděnou pouze týlovou hranou. Inicializační obvod 12 je klopný obvod typu D. Překlápí se do aktivního stavu značícího, že se inicializuje právě tato deska systému po příchodu spouštěcího pulsu v tom případě, když dostane signál potvrzující výběr právě této desky výběrovým obvodem 13. Inicializace se ruší výběrem jiné desky vstupního analogového systému. Výběrový obvod 13 je logický kombinační obvod složený ze čtyř invertorů, tří přepínačů a jednoho třívstupového hradla typu NAND. Slouží ke srovnání tří nejvyšších bitů přijatého inicializačního slova dat s hodnotou kódu desky nastaveného pomocí třech přepínačů. V případě souhlasu potvrzuje správnost výběru desky navigujícím obvodům. Řídící obvod 14 je složen ze tří třívstupových, dvou dvouvstupových hradel NAND a dvou invertorů. Slouží k vytváření logických signálů pro řízení směru

přenosu dat obousměrným budičem 6 sběrnice a k vytváření logického signálu potvrzujícího přijetí inicializačního slova, případně připravenost požadovaného prvního či druhého slova dat. Adresový dekodér 15 je tvořen dvěma binárními dekodéry jedna z osmi a jedním invertorem. Slouží k dekodování adresy a dvou řídicích vstupních signálů, to je čtení a zápisu vysílaných mikropočítačem. Podle přijatých signálů dekoduje na svých výstupech požadavek mikropočítače na zahájení činnosti jako spouštěcí puls celého vstupního bloku, popřípadě požadavek čtení prvního či druhého slova dat. Skupinová obousměrná datová svorka 02 zapojení a skupinová adresová vstupní svorka 03 zapojení představují datovou a adresovou sběrnici mikroprocesorového systému, s nímž analogový vstupní blok spolupracuje. Zapisovací vstupní svorka 04 zapojení, čtecí vstupní svorka 05 zapojení a potvrzovací svorka 06 zapojení jsou součástí řídicích signálů zmíněného mikroprocesorového systému. Skupinová analogová vstupní svorka 01 zapojení představuje třicet dva vstupní analogové kanály pracující s proudovým, případně s napěťovým diferenciálním signálem.

Zapojení jednotlivých bloků a jejich propojení se vstupními a výstupními svorkami je provedeno takto. Diferenciální výstup 013 multiplexeru je spojen s diferenciálním vstupem 021 zesilovače 2. Výstup 022 zesilovače 2 je spojen s analogovým vstupem 031 analogově číslicového převodníku 3. Devátý bit skupinového datového výstupu 036 analogově číslicového převodníku 3 je spojen s nastavovacím vstupem 091 uvolňovacího obvodu 9. Všechny bity skupinového datového výstupu 036 analogově číslicového převodníku 3 jsou spojeny se skupinovým datovým vstupem 061 obousměrného budiče 6. První řídicí vstup 062 obousměrného budiče 6 je spojen s prvním řídicím výstupem 148 řídicího obvodu 14. Druhý řídicí výstup 149 řídicího obvodu 14 je spojen se druhým řídicím vstupem 063 obousměrného budiče 6. Skupinový obousměrný datový vývod 064 obousměrného budiče 6 je spojen se

skupinovou obousměrnou datovou svorkou 02 zapojení. Skupinová analogová vstupní svorka 01 zapojení je spojena se skupinovým analogovým vstupem 011 multiplexeru 1. Skupinový adresovací vstup 012 multiplexeru 1 je spojen se skupinovým výstupem 055 registru 5. Skupinový adresový vstup 054 registru 5 je spojen se skupinovým pětibitovým datovým výstupem 066 obousměrného budiče 6, jehož skupinový tříbitový datový výstup 065 je spojen se skupinovým vstupem 131 výběrového obvodu 13. Výstup 132 výběrového obvodu 13 je spojen s uvolňovacím vstupem 112 tvarovacího obvodu 11 a s řídicím vstupem 121 inicializačního obvodu 12. Výstup 123 inicializačního obvodu 12 je spojen s blokovacím vstupem 141 blokovacího obvodu 14 a s blokovacím vstupem 103 přepínacího generátoru 10. Výstup 104 přepínacího generátoru 10 je spojen s prvním spouštěcím vstupem 071 startovacího generátoru 7 a s inkrementačním vstupem 051 registru 5. Uvolňovací vstup 053 registru 5 je spojen s invertovaným kontrolním výstupem 118 tvarovacího obvodu 11. Zpožďovací výstup 116 tvarovacího obvodu 11 je spojen s nastavovacím vstupem 052 registru 5 a s nastavovacím vstupem 082 blokovacího obvodu 8. Invertovaný výstup 084 blokovacího obvodu 8 je spojen se druhým spouštěcím vstupem 073 startovacího generátoru 7. Blokovací vstup 072 startovacího generátoru 7 je spojen s blokovacím výstupem 115 tvarovacího obvodu 11. Koincidenční vstup 114 tvarovacího obvodu 11 je spojen se spouštěcím výstupem 156 adresového dekodéru 15 a se spouštěcím vstupem 101 přepínacího generátoru 10. Nastavovací vstup 102 přepínacího generátoru 10 je spojen se stavovým výstupem 034 analogově číslicového převodníku 3. Hodinový vstup 032 analogově číslicového převodníku 3 je spojen s výstupem 043 hodinového generátoru 4. Blokovací vstup 041 hodinového generátoru 4 je spojen s blokovacím vstupem 113 tvarovacího obvodu 11, se druhým otevíracím vstupem 146 řídicího obvodu 14 a s invertovaným stavovým výstupem 035 analogově číslicového převodníku 3. Startovací

vstup 033 analogově číslicového převodníku 3 je spojen se spouštěcím vstupem 042 hodinového generátoru 4, s výstupem 074 startovacího generátoru 7 a s nulovacím vstupem 081 blokovacího obvodu 8. Hodinový vstup 083 blokovacího obvodu 8 je spojen se druhým ovládacím vstupem 143 řídicího obvodu 14 a se druhým výstupem 155 adresového dekodéru 15. První řídicí vstup 151 adresového dekodéru 15 je spojen se čtecí vstupní svorkou 05 zapojení. Zapisovací vstupní svorka 04 zapojení je spojena se druhým řídicím vstupem 152 adresového dekodéru 15. Skupinový adresový vstup 153 adresového dekodéru 15 je spojen se skupinovou adresovou vstupní svorkou 03 zapojení. Potvrzovací svorka 06 zapojení je spojena s potvrzovacím výstupem 147 řídicího obvodu 14. První ovládací vstup 142 řídicího obvodu 14 je spojen s prvním výstupem 154 adresového dekodéru 15. Invertovaný spouštěcí výstup 157 adresového dekodéru 15 je spojen s nastavovacím vstupem 122 inicializačního obvodu 12 a se spouštěcím vstupem 111 tvarovacího obvodu 11. Kontrolní výstup 117 tvarovacího obvodu 11 je spojen s budicím vstupem 144 řídicího obvodu 14. První otevírací vstup 145 řídicího obvodu 14 je spojen s výstupem 093 uvolňovacího obvodu 9. Nulovací vstup 092 uvolňovacího obvodu 9 je spojen s invertovaným výstupem 085 blokovacího obvodu 8.

Zapojení pracuje takto. Mikropočítač vyšle příslušnou volací adresu, řídicí zapisovací signál a inicializační osmibitové slovo. Jestliže jsou tři nejvyšší bity inicializačního slova vyslaného mikropočítačem na skupinovou obousměrnou datovou svorku 02 zapojení v souladu s nastaveným kódem desky, aktivuje se prostřednictvím obousměrného budiče 6 výstup 132 výběrového obvodu 13, což signalizuje, že se vybírá právě tento analogový vstupní blok - deska - . Příchod řídicího zapisovacího signálu na zapisovací vstupní svorku 04 zapojení a správné volací adresy na skupinovou adresovou vstupní svorku 03 zapojení

vyvolá na spouštěcím výstupu 156 a invertovaném spouštěcím výstupu 157 adresového dekodéru 15 spouštěcí pulsy celého analogového vstupního bloku. Příchod tohoto pulsu na nastavovací vstup 122 inicializačního obvodu 12 spolu s přítomností aktivního signálu o výběru desky na řídicím vstupu 121 inicializačního obvodu 12 způsobí překlopení tohoto obvodu do aktivního stavu, který potvrzuje, že mikropočítač vybírá a inicializuje právě tuto desku vstupního systému. Spouštěcí puls se také přivede na spouštěcí vstup 111 tvarovacího obvodu 11 a v neinvertované formě i na jeho koincidenční vstup 114. Je-li současně přítomen aktivní signál o výběru desky na uvolňovacím vstupu 112 tvarovacího obvodu 11 a je-li ukončen předchozí analogově číslicový převod stavovým signálem převodníku na blokovacím vstupu 113 tvarovacího obvodu 11, dojde k vytvoření pulsů, jež časově odpovídají spouštěcímu pulsu na kontrolním výstupu 117 tvarovacího obvodu 11 a na jeho invertovaném kontrolním výstupu 118, dále k vytvoření pulsu časově zpožděného na zpožďovacím výstupu 116 tvarovacího obvodu 11 a pulsu se zpožděnou pouze týlovou hranou na blokovacím výstupu 115 tvarovacího obvodu 11. Vytvořený puls na kontrolním výstupu 117 tvarovacího obvodu 11 způsobí prostřednictvím řídicího obvodu 14 vyslání řídicího signálu, potvrzujícího mikropočítači provedení inicializace vstupního analogového bloku, na potvrzovací svorku 06 zapojení. Současně se nastaví registr 5 podle hodnoty udané nižšími pěti bity inicializačního slova přivedenými na skupinový adresový vstup 054 registru 5, neboť na jeho nastavovací vstup 052 a na jeho uvolňovací vstup 053 se přivádějí příslušné spouštěcí pulsy z tvarovacího obvodu 11. Podle nastavení skupinového výstupu 055 registru 5 přepíná multiplexer 1 na příslušný analogový vstupní kanál. Tím se inicializuje analogový vstupní blok a mikropočítač, po obdržení řídicího signálu potvrzujícího ukončení inicializace na potvrzovací svorce 06 zapojení, může zrušit inicializační sběrní-

cové signály, a to datové, adresové i řídící. Jestliže v okamžiku příchodu spouštěcího pulsu na spouštěcí vstup 111 tvarovacího obvodu 11 není ukončen předchozí analogově číslicový převod, potom se tvarovací obvod 11 zablokuje stavovým signálem analogově číslicového převodníku 3 přicházejícím na blokovací vstup 113 tvarovacího obvodu 11. Inicializace se dokončí až po skončení tohoto analogově číslicového převodu, kdy dojde též k potvrzení inicializace obvyklým způsobem. Časově zpožděný spouštěcí puls na zpožďovacím výstupu 116 tvarovacího obvodu 11 způsobí též nastavení blokovacího obvodu 8, který svým invertovaným výstupem 085 zajistí vynulování uvolňovacího obvodu 2, nebyl-li již tento vynulován předchozím čtením dat mikropočítačem. Tyl spouštěcího pulsu přivedený na spouštěcí vstup 101 přepínacího generátoru 10 způsobí, že tento monostabilní obvod vytvoří na svém výstupu 104 přepínací puls, který blokuje na prvním spouštěcím vstupu 071 startovacího generátoru 7 možnost vyslání startovacího pulsu analogově číslicového převodu. Během inicializace je tato možnost zablokována prodlouženým spouštěcím pulsem na blokovacím vstupu 072 startovacího generátoru 7. Čelo přepínacího pulsu, přivedeného na inkrementační vstup 051 registru 5, způsobí zvětšení obsahu registru 5 o jedničku. Ovšem v tomto případě, kdy probíhá první přepnutí multiplexoru 1 po inicializaci, se tato inkrementace zablokuje zpožděným spouštěcím signálem na nastavovacím vstupu 052 registru 5. Příchodem tylové hrany přepínacího pulsu na první spouštěcí vstup 071 startovacího generátoru 7 se generuje startovací puls analogově číslicového převodu na výstupu 074 startovacího generátoru 7. Tento startovací puls odstartuje hodinový generátor 4, který začne na svém výstupu 043 generovat hodinové pulsy pro aproximační registr analogově číslicového převodníku 3. Současně se odstartuje tento analogově číslicový převodník 3, jehož stavový výstup 034 zabrání po dobu trvání analogově číslicového převodu opětovnému spuštění přepínacího generátoru

10. Invertovaný stavový výstup 035 analogově číslicového převodníku 3 během převodu odblokuje hodinový generátor 4; zablokuje tvarovací obvod 11 přes jeho blokovací vstup 113 proti vyslání dalšího spouštěcího pulsu, a zablokuje řídicí obvod 14 přes jeho druhý otevírací vstup 146 proti možnosti potvrzení platnosti druhého slova dat mikropočítači. Startovací puls analogově číslicového převodu též vynuluje blokovací obvod 8, který svým neinvertovaným výstupem 084 zabraňuje startovacímu generátoru 7 vyslat další startovací puls. Jestliže analogově číslicový převodník 3 ukončil převod osmi vyšších bitů, to znamená, že osm vyšších bitů z dvanácti bitů na jeho skupinovém datovém výstupu 036 je platných, což se projeví nastavením devátého bitu na skupinovém datovém výstupu 036 analogově číslicového převodníku 3, potom se uvolňovací obvod 9 aktivuje prostřednictvím svého nastavovacího vstupu 091. Na svém výstupu 093 dává uvolňovací obvod 9 řídicímu obvodu 14 signál o tom, že první slovo převedených dat je připraveno ke čtení mikropočítačem. Jestliže před tímto okamžikem již mikropočítač vyslal požadavek čtení prvního slova dat, to znamená, že vyslal příslušnou adresu na skupinovou adresovou vstupní svorku 03 zapojení a současně vyslal řídicí čtecí signál na čtecí vstupní svorku 05 zapojení, což se projeví aktivací prvního výstupu 154 adresového dekodéru 15, potvrdí řídicí obvod 14 svým potvrzovacím výstupem 147 na potvrzovací svorce 06 zapojení platnost prvního slova dat připravených ke čtení mikropočítačem. Současně se první slovo dat vyšle mikropočítači obousměrným budičem 6 prostřednictvím skupinové obousměrné datové svorky 02 zapojení, neboť se na prvním řídicím výstupu 148 řídicího obvodu 14 objevil signál, který změnil směr toku dat obousměrným budičem 6 směrem ven z analogového vstupního bloku k mikropočítači. To ovšem platí pouze pro první slovo dat, to je pro osm vyšších bitů z dvanácti bitů přijímaných skupinovým datovým vstupem 061 obousměrného budiče 6. Po ukončení čtení

prvního slova dat mikropočítačem, to znamená po zrušení příslušných adresových signálů a řídicího čtecího signálu, mizí aktivní signál na prvním výstupu 154 adresového dekodéru 15. Tudíž i řídicí obvod 14 změnil svým prvním řídicím výstupem 148 směr toku dat obousměrným budičem 6 směrem do analogového vstupního bloku od mikropočítače. Tento směr toku trvá stále, kromě doby, kdy se vysílá první nebo druhé slovo dat. Zároveň řídicí obvod 14 signálem přes svůj potvrzovací výstup 147 zruší potvrzení platnosti prvního slova dat. Když mikropočítač požadavek na čtení prvního slova dat ještě nevyslal, potom první slovo dat i potvrzení platnosti dat vyšle analogový vstupní blok až v okamžiku příchodu tohoto požadavku. Ukončení celého převodu, to je všech dvanácti bitů, se projeví změnou stavového výstupu 034 invertovaného stavového výstupu 035 analogově číslicového převodníku 3. Tato změna způsobí: zablokování hodinového generátoru 4, uvolnění tvarovacího obvodu 11 pro přijetí dalšího případného spouštěcího pulsu, vybudování přepínacího generátoru 10 a uvolnění možnosti potvrdit platnost druhého slova dat pro řídicí obvod 14. Vybudovaný přepínací generátor 10 vygeneruje na svém výstupu 104 přepínací puls, jehož čelo způsobí zvětšení obsahu registru 5 o jedničku a prostřednictvím jeho skupinového výstupu 055 přepnutí multiplexoru 1 na následující vstupní analogový kanál. Délka přepínacího pulsu překrývá dobu přepínání multiplexoru 1 a ustalování vstupních analogových obvodů až po analogový vstup 031 analogově číslicového převodníku 3. Jestliže již před ukončením analogově číslicového převodu vyslal mikropočítač požadavek na čtení druhého slova dat, tzn. vyslal příslušnou adresu na skupinovou adresovou vstupní svorku 03 zapojení a řídicí čtecí signál na čtecí vstupní svorku 05 zapojení, což se projeví aktivací druhého výstupu 155 adresového dekodéru 15, potvrdí řídicí obvod 14 svým potvrzovacím výstupem 147 na potvrzovací svorce 06

zapojení platnost druhého slova dat a současně se druhé slovo dat vyšle mikropočítači obousměrným budičem 6, jehož směr toku dat se opět změnil směrem ven z analogového vstupního bloku k mikropočítači prostřednictvím příslušného řídicího signálu na druhém řídicím výstupu 149 řídicího obvodu 14. Tentokrát pouze pro druhé slovo dat, to je pro čtyři nižší bity z dvanácti bitů přijímaných skupinovým datovým vstupem 061 obousměrného budiče 6. Ukončení čtení druhého slova dat mikropočítačem, když se předtím samozřejmě přečetlo i první slovo dat, se projeví změnou logické úrovně na druhém výstupu 155 adresového dekodéru 15. Tato změna způsobí jednak opětovné nastavení blokovacího obvodu 8, který vyvolá vynulování uvolňovacího obvodu 9, což zabráňuje předčasnému výběru prvního slova dat mikropočítačem; a současně prostřednictvím řídicího obvodu 14 se obrátí směr toku dat obousměrným budičem 6 směrem dovnitř, čímž se přestává vysílat druhé slovo dat a zruší se i potvrzovací signál pro druhé slovo dat. Jestliže mikropočítač požadavek čtení druhého slova dat dosud nevyslal, potom se tato data vyšlou a jejich platnost se potvrdí až v okamžiku příchodu tohoto požadavku. Ukončení prepínacího pulsu na výstupu 104 prepínacího generátoru 10 způsobí již dříve popsáním způsobem odstartování analogově číslicového převodu, ovšem jen v případě, že mikropočítač již ukončil čtení druhého slova dat odpovídajících předchozímu analogovému vstupnímu kanálu. Jestliže mikropočítač tato data ještě nepřečetl, potom se vyslání startovacího pulsu analogově číslicového převodu startovacím generátorem 7 zablokuje vynulovaným neinvertovaným výstupem 084 blokovacího obvodu 8 do té doby, než mikropočítač čtení druhého slova dat předchozího analogového kanálu ukončí. Pak proběhne obvyklým způsobem analogově číslicový převod a po jeho ukončení se vybudí prepínací generátor 10, opět se inkrementuje registr 5

a tím se přepne multiplexor 1 na další analogový vstupní kanál. Rovněž jsou již připravena obě slova dat ke čtení mikropočítačem. Po jejich přečtení a ukončení přepínacího pulsu generovaného přepínacím generátorem 10 dojde k analogově číslicovému převodu dalšího kanálu. Tento postup se neustále opakuje do té doby, pokud mikropočítač pokračuje ve čtení dat připravených analogovým vstupním systémem, přičemž vstupní kanály se čtou v pořadí v jakém po sobě následují, počínaje kanálem, jehož kód byl vyslán inicializačním slovem. Před novým čtením, před čtením dat z jiné desky vstupního analogového systému nebo při případném opakovaném čtení vybraného vstupního kanálu, nebo několika kanálů je nutno opět inicializovat.

Vynálezu se využije při sběru analogových dat v oblasti řízení technologických procesů mikropočítačem.

PŘEDMĚT VYNÁLEZU

242 072

Zapojení řídicího logického obvodu analogového vstupního bloku mikropočítače, u kterého je skupinový obousměrný datový vývod obousměrného budiče spojen se skupinovou obousměrnou datovou svorkou zapojení, jehož skupinová analogová vstupní svorka zapojení je spojena se skupinovým analogovým vstupem multiplexoru, jehož diferenciální výstup je spojen s diferenciálním vstupem zesilovače, jehož výstup je spojen s analogovým vstupem analogově číslicového převodníku, vyznačující se tím, že devátý bit skupinového datového výstupu (036) analogově číslicového převodníku (3) je spojen s nastavovacím vstupem (091) uvolňovacího obvodu (9) a všechny bity skupinového datového výstupu (036) analogově číslicového převodníku (3) jsou spojeny se skupinovým datovým vstupem (061) obousměrného budiče (6), jehož první řídicí vstup (062) je spojen s prvním řídicím výstupem (148) řídicího obvodu (14), jehož druhý řídicí výstup (149) je spojen se druhým řídicím vstupem (063) obousměrného budiče (6), jehož skupinový pětibitový výstup (066) je spojen se skupinovým adresovým vstupem (054) registru (5), jehož skupinový výstup (055) je spojen se skupinovým adresovacím vstupem (012) multiplexoru (1) a skupinový tříbitový datový výstup (065) obousměrného budiče (6) je spojen se skupinovým vstupem (131) výběrového obvodu (13), jehož výstup (132) je spojen s uvolňovacím vstupem (112) tvarovacího obvodu (11) a s řídicím vstupem (121) inicializačního obvodu (12), jehož výstup (123) je spojen s blokovacím vstupem (141) blokovacího obvodu (14), a s blokovacím vstupem (103) přepínacího generátoru (10), jehož výstup (104) je spojen s prvním spouštěcím vstupem (071) startovacího generátoru (7) a s inkrementačním vstupem (051) registru (5), jehož uvolňovací vstup (053) je spojen s invertovaným kontrolním výstupem (118) tvarovacího

obvodu (11), jehož zpoždovací výstup (116) je spojen s nastavovacím vstupem (052) registru (5) a s nastavovacím vstupem (082) blokovacího obvodu (8), jehož invertovaný výstup (084) je spojen se druhým spouštěcím vstupem (073) startovacího generátoru (7), jehož blokovací vstup (072) je spojen s blokovacím výstupem (115) tvarovacího obvodu (11), jehož koincidenční vstup (114) je spojen se spouštěcím výstupem (156) adresového dekodéru (15) a se spouštěcím vstupem (101) přepínacího generátoru (10), jehož nastavovací vstup (102) je spojen se stavovým výstupem (034) analogově číslicového převodníku (3), jehož hodinový vstup (032) je spojen s výstupem (043) hodinového generátoru (4), jehož blokovací vstup (041) je spojen s blokovacím vstupem (113) tvarovacího obvodu (11), se druhým otevíracím vstupem (146) řídicího obvodu (14) a s invertovaným stavovým výstupem (035) analogově číslicového převodníku (3), jehož startovací vstup (033) je spojen se spouštěcím vstupem (042) hodinového generátoru (4), s výstupem (074) startovacího generátoru (7) a s nulovacím vstupem (081) blokovacího obvodu (8), jehož hodinový vstup (083) je spojen se druhým ovládacím vstupem (143) řídicího obvodu (14) a se druhým výstupem (155) adresového dekodéru (15), jehož první řídicí vstup (151) je spojen se čtecí vstupní svorkou (05) zapojení, jehož zapisovací vstupní svorka (04) zapojení je spojena se druhým řídicím vstupem (152) adresového dekodéru (15), jehož skupinový adresový vstup (153) je spojen se skupinovou adresovou vstupní svorkou (03) zapojení, jehož potvrzovací svorka (06) zapojení je spojena s potvrzovacím výstupem (147) řídicího obvodu (14), jehož první ovládací vstup (142) je spojen s prvním výstupem (154) adresového dekodéru (15), jehož invertovaný spouštěcí výstup (157) je spojen s nastavovacím vstupem (122) inicializačního obvodu (12) a se spouštěcím vstupem (111) tvarovacího obvodu (11), jehož kontrolní výstup (117) je spojen s budícím vstupem (144)

řídícího obvodu (14), jehož první otevírací vstup (145) je spojen s výstupem (093) uvolňovacího obvodu (9), jehož nulovací vstup (092) je spojen s invertovaným výstupem (085) blokovacího obvodu (8).

1 výkres

