

【特許請求の範囲】

【請求項 1】

半導体基板の正面を覆うようにして、交互に繰り返し積層して配置された配線層および接続層を有し、

前記配線層の各々は、導体パターンと、前記導体パターン間を絶縁する層間絶縁膜とを有し、

前記接続層の各々は、異なる前記配線層の前記導体パターン同士を接続する接続導体部と、前記接続導体部間を絶縁する前記層間絶縁膜とを有し、

前記配線層のうちの最上の配線層は、前記導体パターンにより形成される外部端子と、前記外部端子を覆う保護絶縁膜とを有し、

前記外部端子は、アルミニウムを主体とする導体からなり、

前記保護絶縁膜は、前記外部端子の一部を露出させる開口部を有し、

前記外部端子は、前記保護絶縁膜の開口部から露出した領域の一部に、プローブ接触領域を有し、

前記配線層のうち、前記最上の配線層の一つ下の配線層において、前記プローブ接触領域と平面的に重なる部分には、前記導体パターンは配置されておらず、

前記外部端子とその直下の前記層間絶縁膜との間にバリア導体膜が配置され、

前記バリア導体膜は、チタンを主体とする第1バリア導体膜と、窒化チタンを主体とする第2バリア導体膜との積層膜によって構成され、

前記第1バリア導体膜は前記層間絶縁膜と接する側に、前記第2バリア導体膜は前記外部端子と接する側にそれぞれ配置され、

前記バリア導体膜では、縦方向の膜厚が、前記第1バリア導体膜の方が、前記第2バリア導体膜よりも厚いことを特徴とする半導体装置。

【請求項 2】

請求項1記載の半導体装置において、

前記第1バリア導体膜の縦方向の膜厚は、前記第2バリア導体膜の縦方向の膜厚の2倍以上であることを特徴とする半導体装置。

【請求項 3】

請求項2記載の半導体装置において、

前記第1バリア導体膜の縦方向の膜厚は20nm以上であり、

前記第2バリア導体膜の縦方向の膜厚は5nm以上であり、

前記第1バリア導体膜と前記第2バリア導体膜との縦方向の合計膜厚は、200nm以下であることを特徴とする半導体装置。

【請求項 4】

請求項3記載の半導体装置において、

前記外部端子と平面的に重なる位置における、前記半導体基板の正面には、半導体素子が形成されていることを特徴とする半導体装置。

【請求項 5】

請求項4記載の半導体装置において、

前記最上の配線層の一つ下の前記配線層の上下の前記接続層には、前記プローブ接触領域と平面的に重なる部分において、前記接続導体部は配置されていないことを特徴とする半導体装置。

【請求項 6】

請求項5記載の半導体装置において、

前記配線層のうち、前記最上の配線層の一つ下の配線層において、前記保護絶縁膜の前記開口部と平面的に重なる部分には、前記導体パターンは配置されておらず、

前記最上の配線層の一つ下の前記配線層の上下の前記接続層には、前記保護絶縁膜の前記開口部と平面的に重なる部分には、前記接続導体部は配置されていないことを特徴とする半導体装置。

【請求項 7】

10

20

30

40

50

請求項 6 記載の半導体装置において、

前記最上の配線層の一つ下の前記配線層と、その上下の前記接続層との縦方向の合計の膜厚は、1 μm 以上、3 . 5 μm 以下であることを特徴とする半導体装置。

【請求項 8】

請求項 7 記載の半導体装置において、

前記プローブ接触領域は、前記保護絶縁膜の前記開口部から露出した範囲内の前記外部端子上において、10 μm 以上の幅を有するプローブ痕を有することを特徴とする半導体装置。

【請求項 9】

請求項 8 記載の半導体装置において、

前記最上の配線層の前記外部端子と、その一つ下の前記配線層の前記導体パターンとを接続する前記接続導体部である最上接続導体部は、前記最上の配線層の前記バリア導体膜および前記外部端子と同一の材料で、接続孔を一体的に埋め込むようにして形成されることを特徴とする半導体装置。

【請求項 10】

請求項 9 記載の半導体装置において、

前記第 1 バリア導体膜は粒状結晶であり、

前記第 2 バリア導体膜は柱状結晶であることを特徴とする半導体装置。

【請求項 11】

請求項 10 記載の半導体装置において、

前記最上の配線層以外の前記配線層が有する前記導体パターンは、銅を主体とする導体からなり、

前記最上接続導体部における前記バリア導体膜は、前記配線層の前記導体パターンと接する部分において、更に、窒化チタンを主体とする第 3 バリア導体膜を有し、

前記配線層と前記第 1 バリア導体膜とは、前記第 3 バリア導体膜によって互いに接触しないようにして隔てられ、

前記第 1 バリア導体膜の縦方向の膜厚は、前記第 3 バリア導体膜の縦方向の膜厚の 2 倍以上であり、

前記第 3 バリア導体膜の縦方向の膜厚は 5 nm 以上であり、

前記第 1 バリア導体膜、前記第 2 バリア導体膜、および、前記第 3 バリア導体膜の合計膜厚は、200 nm 以下であることを特徴とする半導体装置。

【請求項 12】

請求項 10 記載の半導体装置において、

前記配線層が有する前記導体パターンは、アルミニウムを主体とする導体からなることを特徴とする半導体装置。

【請求項 13】

半導体基板の主面を覆うようにして、交互に繰り返し積層して配置された配線層および接続層を有し、

前記配線層の各々は、導体パターンと、前記導体パターン間を絶縁する層間絶縁膜とを有し、

前記接続層の各々は、異なる前記配線層の前記導体パターン同士を接続する接続導体部と、前記接続導体部間を絶縁する前記層間絶縁膜とを有し、

前記配線層のうちの最上の配線層は、前記導体パターンにより形成される外部端子と、前記外部端子を覆う保護絶縁膜とを有し、

前記外部端子は、アルミニウムを主体とする導体からなり、

前記保護絶縁膜は、前記外部端子の一部を露出させる開口部を有し、

前記外部端子は、前記保護絶縁膜の開口部から露出した領域の一部に、プローブ接触領域を有し、

前記配線層のうち、前記最上の配線層の一つ下の配線層において、前記プローブ接触領域と平面的に重なる部分には、前記導体パターンは配置されておらず、

10

20

30

40

50

前記外部端子とその直下の前記層間絶縁膜との間にはバリア導体膜が配置され、前記最上の配線層の前記外部端子と、その一つ下の前記配線層の前記導体パターンとを接続する前記接続導体部である最上接続導体部は、前記最上の配線層の前記バリア導体膜および前記外部端子と同一の材料で、接続孔を一体的に埋め込むようにして形成され、

前記最上の配線層以外の前記配線層が有する前記導体パターンは、銅を主体とする導体からなり、

前記バリア導体膜は、チタンを主体とする第1バリア導体膜と、窒化チタンを主体とする第2バリア導体膜および第3バリア導体膜との積層膜によって構成され、

前記第1バリア導体膜は、前記第2バリア導体膜と第3バリア導体膜とに挟まれるようにして配置されていることを特徴とする半導体装置。

10

【請求項14】

請求項13記載の半導体装置において、

前記バリア導体膜では、縦方向の膜厚が、前記第1バリア導体膜の方が、前記第2バリア導体膜および前記第3バリア導体膜よりも厚いことを特徴とする半導体装置。

【請求項15】

請求項14記載の半導体装置において、

前記第1バリア導体膜の縦方向の膜厚は20nm以上であり、

前記第2バリア導体膜および前記第3バリア導体膜の縦方向の膜厚は、それぞれ5nm以上であり、

前記第1バリア導体膜、前記第2バリア導体膜、および、前記第3バリア導体膜の合計膜厚は、200nm以下であることを特徴とする半導体装置。

20

【請求項16】

半導体基板の主面に形成された半導体素子と、

前記半導体基板の主面を覆うようにして、交互に繰り返し積層して配置された配線層および接続層とを有し、

前記配線層の各々は、導体パターンと、前記導体パターン間を絶縁する層間絶縁膜とを有し、

前記接続層の各々は、異なる前記配線層の前記導体パターン同士を接続する接続導体部と、前記接続導体部間を絶縁する前記層間絶縁膜とを有し、

前記配線層のうちの最上の配線層は、前記導体パターンにより形成される外部端子と、前記外部端子を覆う保護絶縁膜とを有し、

30

前記外部端子は、アルミニウムを主体とする導体からなり、

前記保護絶縁膜は、前記外部端子の一部を露出させる開口部を有し、

前記外部端子は、前記保護絶縁膜の開口部から露出した領域の一部に、プローブ接触領域を有し、

前記配線層のうち、前記最上の配線層の一つ下の配線層において、前記プローブ接触領域と平面的に重なる部分には、前記導体パターンは配置されておらず、

前記外部端子とその直下の前記層間絶縁膜との間にはバリア導体膜が配置され、

前記バリア導体膜は、タンタルまたは窒化タンタルを主体とする導体によって構成され、

40

前記半導体素子は、前記外部端子と平面的に重なる位置における前記半導体基板の主面に形成されていることを特徴とする半導体装置。

【請求項17】

請求項16記載の半導体装置において、

前記バリア導体膜は、窒化タンタルを主体とする導体によって構成され、

前記バリア導体膜の縦方向の膜厚は、20nm以上、200nm以下であることを特徴とする半導体装置。

【請求項18】

請求項17記載の半導体装置において、

前記プローブ接触領域は、前記保護絶縁膜の前記開口部から露出した範囲内の前記外部

50

端子上において、 $10 \mu m$ 以上の幅を有するプローブ痕を有することを特徴とする半導体装置。

【請求項 1 9】

請求項 1 8 記載の半導体装置において、

前記バリア導体膜は、非晶質であることを特徴とする半導体装置。

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

本発明は、半導体装置に関し、特に、半導体装置の外部端子に加わる外力により外部端子下の絶縁膜にクラックが生じるのを抑制または防止する技術に関するものである。

10

【背景技術】

【0 0 0 2】

半導体装置の製造工程では、半導体ウェハに形成された半導体チップの外部端子であるボンディングパッド（以下、単にパッドという）にプローブ（探針）を当てて半導体装置の電気的特性を検査するプローブ検査工程がある。その際に、パッドに加わる外力（衝撃）によりパッド下の絶縁膜にクラックが生じ、半導体装置の信頼性が低下する問題がある。

【0 0 0 3】

例えば、特開 2007-123546 号公報（特許文献 1）には、アルミニウム（Al）パッドと銅（Cu）配線との間のバリアメタルとして、 $100 nm$ 以上のチタン（Ti）を備えた半導体装置が開示されている。これにより、銅がアルミニウムパッドに滲み出すのを防ぐことができる。

20

【0 0 0 4】

また、例えば、特開 2003-179059 号公報（特許文献 2）には、配線パッド部において、窒化タンタル（Ta_N）層とタンタル（Ta）層とのペア、または、窒化チタン（Ti_N）とチタン層とのペアを連続して交互に 2 ペア以上積層したバリア膜を有する半導体装置が開示されている。これにより、配線パッド部におけるバリア膜のバリア性および強度を向上させ、信頼性を向上させることができる。

30

【0 0 0 5】

また、例えば、特開 2003-31575 号公報（特許文献 3）には、銅パッド上のアルミニウムパッドの構造として、接続ビア開口部を接続銅ビアによって埋設して段差をほぼ零にする技術が開示されている。これにより、アルミニウムパッドを形成するためのアルミニウムの膜厚を薄くすることができ、製造の容易化を実現でき、かつ、銅パッドの酸化を防止できる。

【先行技術文献】

【特許文献】

【0 0 0 6】

【特許文献 1】特開 2007-123546 号公報

【特許文献 2】特開 2003-179059 号公報

【特許文献 3】特開 2003-31575 号公報

40

【発明の概要】

【発明が解決しようとする課題】

【0 0 0 7】

ところで、近年は、半導体チップの面積削減のため、パッドの下方にも素子や配線を配置するようになってきている。このため、プローブ検査時に、如何にしてパッド下の絶縁層にクラックが生じないようにするかが重要な課題となっている。従って、パッドの下方に素子等を配置する場合は、パッドの直下に配線層と同じ材料で応力緩和層を形成したり、 SiO_2 より弾性率が高くかつ塑性変形しにくいタンゲステン（W）や高融点金属で補強したりする必要性が高くなっている。

【0 0 0 8】

50

しかし、本発明者らの検討によれば、配線層と同じ金属（アルミニウムや銅）でパッドの直下に応力緩和層を形成すると、パッドにプローブを当てたときの衝撃により、応力緩和層が塑性変形し、これが原因で配線層中の絶縁膜にクラックが生じて下層に伝播する問題があることを見出した。さらに、タンゲステンや高融点金属を補強層として用いても、以下のような問題点があることを見出した。第一に、タンゲステンや高融点金属の直下に配線層（アルミニウムや銅）が接している構造では、その配線層の塑性変形により、タンゲステンや高融点金属にクラックが生じ、それが下層に伝播する。直下の配線層の幅が広いほど、塑性変形は大きく、パッドと同程度の大きさ（30～100μm）ではクラックが特に顕著となる。第二に、タンゲステンのある部分と無い部分とがあると、その界面にクラックが発生して下層に伝播する。第三に、応力の高いタンゲステンを厚く形成すると、その応力自体でタンゲステンが剥離する。

10

【0009】

一方、パッド下を含むチップ内の全領域では、各配線層の配線パターンの密度が低い部分に、配線材料で形成されたダミーパターンを配置して、パターン占有率をある程度以上に調整するのが一般的である。これは、占有率が低い領域があると、C M P (Chemical and Mechanical Polishing) 工程で高低差が生じ、それより上層でリソグラフィのフォーカスズレが発生するためである。

20

【0010】

パッド直下に素子や配線を配置しない場合、上記目的によりパッド直下にもダミーパターンを設置することが考えられる。しかし、本発明者らの検討によれば、パッド直下にもダミーパターンがあると、パッドにプローブを当てたときの衝撃により、ダミーパターン（配線材料）が塑性変形して絶縁層にクラックが生じて下層に伝播する問題があることを見出した。

【0011】

上記のように配線層中の絶縁膜にクラックが存在すると、そこから水分が浸入し、デバイスや配線の信頼性を低下させる問題がある。さらに、パッケージ後の熱ストレスにより、ワイヤボンドやバンプが力を受け、上記クラック部分を起点としてパッド部が剥離して断線を生じる問題がある。

30

【0012】

このようなクラックや剥離の問題は、特に、配線層の絶縁膜として機械的強度の弱い低誘電率膜（L o w - k 膜）を用いると、顕著になる。

【0013】

一方、上記クラックを抑制または防止する手法として、プローブ検査工程時におけるプローブの針圧を下げる方法があるが、針圧を下げるとき、プローブとパッドとの接触抵抗が大きくなり、半導体装置の電気的特性を正確に測定することが出来なくなる結果、半導体装置の信頼性が低下するという問題がある。

40

【0014】

そこで、本発明の目的の一つは、半導体装置の外部端子に加わる外力により外部端子下の絶縁膜にクラックが生じるのを抑制または防止することのできる技術を提供することにある。

【0015】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【課題を解決するための手段】

【0016】

本願においては、複数の発明が開示されるが、そのうちの一実施例の概要を簡単に説明すれば以下の通りである。

【0017】

半導体基板の主面を覆うようにして、交互に繰り返し積層して配置された配線層および接続層を有し、前記配線層の各々は、導体パターンと、前記導体パターン間を絶縁する層

50

間絶縁膜とを有し、前記接続層の各々は、異なる前記配線層の前記導体パターン同士を接続する接続導体部と、前記接続導体部間を絶縁する前記層間絶縁膜とを有し、前記配線層のうちの最上の配線層は、前記導体パターンにより形成される外部端子と、前記外部端子を覆う保護絶縁膜とを有し、前記外部端子は、アルミニウムを主体とする導体からなり、前記保護絶縁膜は、前記外部端子の一部を露出させる開口部を有し、前記外部端子は、前記保護絶縁膜の開口部から露出した領域の一部に、プローブ接触領域を有し、前記配線層のうち、前記最上の配線層の一つ下の配線層において、前記プローブ接触領域と平面的に重なる部分には、前記導体パターンは配置されておらず、前記外部端子とその直下の前記層間絶縁膜との間にはバリア導体膜が配置され、前記バリア導体膜は、チタンを主体とする第1バリア導体膜と、窒化チタンを主体とする第2バリア導体膜との積層膜によって構成され、前記第1バリア導体膜は前記層間絶縁膜と接する側に、前記第2バリア導体膜は前記外部端子と接する側にそれぞれ配置され、前記バリア導体膜では、縦方向の膜厚が、前記第1バリア導体膜の方が、前記第2バリア導体膜よりも厚い。

10

【発明の効果】

【0018】

本願において開示される複数の発明のうち、上記一実施例により得られる効果を代表して簡単に説明すれば以下の通りである。

【0019】

即ち、半導体装置の外部端子に加わる外力により外部端子下の絶縁膜にクラックが生じるのを抑制または防止することができる。

20

【図面の簡単な説明】

【0020】

【図1】本発明の実施の形態1である半導体装置の要部平面図である。

【図2】図1に示す要部平面図のA1-A1線に沿って矢印方向に見た要部断面図である。

【図3】図2に示す要部断面図の一部を拡大して示した要部断面図である。

【図4】図3に示す要部断面図の一部を拡大して示した要部断面図である。

【図5】本発明の実施の形態1である他の半導体装置の要部平面図である。

【図6】本発明の実施の形態1である更に他の半導体装置の要部平面図である。

30

【図7】本発明の実施の形態2である半導体装置の要部平面図である。

【図8】本発明の実施の形態2である半導体装置の要部断面図である。

【図9】図8に示す要部断面図の一部を拡大して示した要部断面図である。

【図10】本発明の実施の形態3である半導体装置の要部断面図である。

【図11】図10に示す要部断面図の一部を拡大して示した要部断面図である。

【図12】本発明の実施の形態4である半導体装置の要部断面図である。

【図13】本発明の実施の形態5である半導体装置の要部断面図である。

【図14】本発明の実施の形態6である半導体装置の要部平面図である。

【図15】図14に示す要部平面図のA1-A1線に沿って矢印方向に見た要部断面図である。

【発明を実施するための形態】

【0021】

以下の実施の形態においては便宜上その必要があるときは、複数のセクションまたは実施の形態に分割して説明するが、特に明示した場合を除き、それらはお互いに無関係なものではなく、一方は他方の一部または全部の変形例、詳細、補足説明等の関係にある。また、以下の実施の形態において、要素の数等（個数、数値、量、範囲等を含む）に言及する場合、特に明示した場合および原理的に明らかに特定の数に限定される場合等を除き、その特定の数に限定されるものではなく、特定の数以上でも以下でも良い。さらに、以下の実施の形態において、その構成要素（要素ステップ等も含む）は、特に明示した場合および原理的に明らかに必須であると考えられる場合等を除き、必ずしも必須のものではないことは言うまでもない。同様に、以下の実施の形態において、構成要素等の形状、位置

40

50

関係等に言及するときは、特に明示した場合および原理的に明らかにそうでないと考えられる場合等を除き、実質的にその形状等に近似または類似するもの等を含むものとする。このことは、上記数値および範囲についても同様である。また、本実施の形態を説明するための全図において同一機能を有するものは同一の符号を付すようにし、その繰り返しの説明は可能な限り省略するようにしている。以下、本発明の実施の形態を図面に基づいて詳細に説明する。

【0022】

(実施の形態1)

図1は本実施の形態1の半導体装置の要部平面図を示し、図2は、図1のA1-A1線に沿って矢印方向に見た要部断面図である。これらは、本実施の形態1の半導体装置のうち、電気特性検査のためのプローピングや、ワイヤボンディングを施すためのパッド(外部端子)PD1の周辺部を示している。また、図3は、このパッドPD1の周辺部を拡大した要部断面図を示し、図4は、図3の要部p100を拡大した要部断面図を示している。これらの図1～図4を用いて、本実施の形態1の半導体装置が有する構造を詳しく説明する。

10

【0023】

本実施の形態1の半導体装置は、シリコン基板(半導体基板)1の正面s1には、MIS(Metal Insulator Semiconductor)構造の電界効果トランジスタ(Field Effect Transistor: FET)Qなどからなる半導体素子が形成されている。各電界効果トランジスタQは、浅い溝(Shallow Trench: ST)構造の分離部2によってそれぞれ絶縁されている。

20

【0024】

更に、上記の電界効果トランジスタQを含むシリコン基板1の正面s1を覆うようにして、交互に繰り返し積層して、配線層ML, M1, M2, M3, M4, M5, MH、および、接続層VL, V1, V2, V3, V4, V5, VHが形成されている。言い換えれば、シリコン基板1の正面s1直上には最下の接続層VLが配置され、その上に最下の配線層MLが配置され、その上には順に、第1接続層V1、第1配線層M1、第2接続層V2、第2配線層M2、第3接続層V3、第3配線層M3、第4接続層V4、第4配線層M4、第5接続層V5、第5配線層M5が配置され、最後に、最上の接続層VHと最上の配線層MHとが順に配置されている。

30

【0025】

配線層ML, M1～M5, MHの各々は、所望の配線形状を有する導体パターン3と、それら導体パターン3同士の間を絶縁するための層間絶縁膜4を有している。また、接続層VL, V1～V5, VHの各々は、異なる配線層ML, M1～M5, MHの導体パターン3同士を接続するビアプラグ(接続導体部)5と、それらビアプラグ5同士の間を絶縁するための層間絶縁膜4を有している。例えば、第3配線層M3の導体パターン3と第4配線層M4の導体パターン4とは、第4接続層V4のビアプラグ5によって電気的に接続されている。なお、最下の接続層MLは、最下の配線層MLの導体パターン3と電界効果トランジスタQとの電気的な接続を担い、この最下の接続層MLの接続導体部は特にコンタクトプラグ5Lと称される。

40

【0026】

また、層間絶縁膜4は、酸化シリコンやLow-k材料を主体とする絶縁膜からなる。Low-k材料とは、酸化シリコンよりも比誘電率の低い材料であり、例えば、炭素含有酸化シリコン(SiOC)などがある。層間絶縁膜4としてLow-k材料を用いる場合であっても、最上の接続層VH、第5配線層M5および第5接続層V5の層間絶縁膜4においては、Low-k材料より機会強度の高い絶縁膜(例えば酸化シリコン膜)を適用し、他の接続層および配線層の層間絶縁膜4をLow-k材料とする方が、より好ましい。これにより、パッケージのストレスによるLow-k材料の破壊を防ぐことができる。また、各配線層ML, M1～M5, MHと各接続層VL, V1～V5, VHとの境界部にバリア絶縁膜6を有していても良い。バリア絶縁膜6は、例えば炭窒化シリコンを主体とす

50

る絶縁膜からなる。

【0027】

ここで、各配線層M_L，M₁～M₅，M_Hのうち、最上の配線層M_Hの導体パターン3は、外部からのボンディングワイヤを接続させたり、電気特性検査を施すためのプローブP_R_Bを接触させたりするための、パッドP_D₁となっている。最上の配線層M_Hにおいて、パッドP_D₁は保護絶縁膜7によって一部覆われている。保護絶縁膜7は、例えば、酸化シリコン膜と、その上に堆積された窒化シリコン膜と、さらにその上に堆積されたポリイミド樹脂膜との積層体により形成されている。ここで、保護絶縁膜7は、パッドP_D₁の一部を露出させる開口部O_P₁を有する。この開口部O_P₁において露出した部分のパッドP_D₁の一部に、ワイヤボンディングを施すワイヤ接触領域W_Aや、電気検査を施すためのプローブ接触領域P_Aを有する。

10

【0028】

ここで、プローブ領域P_Aとは、本実施の形態1の半導体装置のパッドP_D₁上において、以下のような領域を表す。即ち、パッドP_D₁にプローブP_R_Bを接触させた痕として、パッドP_D₁自体のへこみや盛り上がりなどといった、プローブ痕を有するパッドP_D₁上の箇所である。本発明者らの検証によれば、プローブ痕は10μm以上の幅を有する。プローブ痕の大きさは、当然ながら、パッドP_D₁の露出部（保護絶縁膜7の開口部O_P₁）を超えることは無い。

20

【0029】

最上の配線層M_Hの導体パターン3からなるパッドP_D₁は、アルミニウムを主体とする導体からなる。そして、パッドP_D₁とその直下の最上の接続層V_Hの層間絶縁膜4との間にはバリア導体膜B_M_aが配置されている。この、パッドP_D₁直下のバリア導体膜B_M_aの構成に関しては、後に別図を用いて詳しく説明する。また、パッドP_D₁の上面における保護絶縁膜7との界面には、バリア導体膜B_Mが形成されている。

20

【0030】

本実施の形態1の半導体装置では、最上の配線層M_Hが有するパッドP_D₁以外の、他の配線層M_L，M₁～M₅が有する導体パターン3は、銅を主体とする導体からなる。

【0031】

また、最下の配線層M_Lの導体パターン3と、シリコン基板1の主面s₁に形成された電界効果トランジスタQとを電気的に接続する、最下の接続層V_Lのコンタクトプラグ5_Lは、高融点金属を主体とする導体からなる。このような高融点金属としては、例えばタンゲステンなどがある。更に、この最下の接続層V_Lのコンタクトプラグ5_Lの側面であって層間絶縁膜4との境界部、および、その底面であって電界効果トランジスタQとの境界部には、一体的にバリア導体膜が配置されている。このバリア導体膜は、タンゲステンの成長のきっかけとなる機能、および、配線と絶縁膜との密着性を向上させる機能を有している。このようなバリア導体膜としては、例えば、窒化チタンなどがある。

30

【0032】

また、最上の配線層M_Hの導体パターン3であるパッドP_D₁と、その直下の配線層である第5配線層M₅の導体パターン3とを電気的に接続する、最上の接続層V_Hのビアプラグ5である最上ビアプラグ（最上接続導体部）5_Hは、上記のコンタクトプラグ5_Lと同様の構成を有している。即ち、最上の接続層V_Hの最上ビアプラグ5_Hは、例えばタンゲステンを主体とする導体からなり、その側面および底面に、例えば窒化チタンからなるバリア導体膜B_M_bを有している。

40

【0033】

本実施の形態1の半導体装置は、最下の接続層V_Lが有するコンタクトプラグ5_Lおよび最上の接続層V_Hが有する最上ビアプラグ5_H以外の、他の接続層V₁～V₅が有するビアプラグ5は、銅を主体とする導体からなる。この、ビアプラグ5は、その側面および底面に、例えばタンタルや窒化タンタルなどからなるバリア導体膜B_M_cを有している。ここで、上述の銅からなる導体パターン3やビアプラグ5などは、層間絶縁膜4に孔（ビアホール、配線孔、またはその両方）を形成してそこに銅を埋め込むといった、所謂ダマ

50

シン（シングルダマシン、デュアルダマシン）法によって形成される。

【0034】

本実施の形態1の半導体装置では、配線層M_L，M₁～M₅，M_Hのうち、最上の配線層M_Hの一つ下の配線層（即ち、第5配線層M₅）において、プローブ接触領域P_Aと平面的に重なる部分には、導体パターン3が形成されていない。言い換れば、第5配線層M₅の当該領域には、層間絶縁膜4のみが形成されている。このようにすることで、以下のような効果が得られる。

【0035】

プローブ接触領域P_A下の配線層に導体が配置されていると、プロービングの圧力により配線層全体が塑性変形し易く、その歪みにより、層間絶縁膜4にクラックが生じ易い。例えば銅からなる導体パターン3を有する配線層の場合、このようなクラックが導体パターンまで達すると、銅を酸化させ得る。これにより、導体パターン3のショートまたはオーブンが生じ、特性不良を引き起こす原因となる。

10

【0036】

これに対し、本実施の形態1の半導体装置では、上述のように、最上の配線層M_HのパッドP_D1の一つ下の第5配線層M₅において、プローブ接触領域P_A下に導体パターン3を配置していない。これにより、プロービングの際の塑性変形を低減でき、クラックを発生させ難くすることができる。また、クラックが発生した場合でも、プローブ接触領域P_A下の第5配線層M₅に、銅による導体パターン3を配置しないことで、導体パターン3の酸化などによる特性不良を起こし難くすることができる。

20

【0037】

本実施の形態1の半導体装置では、最上の配線層M_Hの一つ下の第5配線層M₅の上下の接続層（即ち、最上の接続層V_Hおよび第5接続層V₅）には、プローブ接触領域P_Aと平面的に重なる部分において、ビアプラグ5を配置しない構造とした方が、より好ましい。なぜなら、銅からなるビアプラグ5を、パッドP_D1に近い接続層のプローブ接触領域P_A下に配置しないことで、上述の第5配線層M₅の導体パターン3と同様に、プロービングの際の塑性変形を低減でき、クラックを発生させ難くすることができるからである。以上をまとめると、本実施の形態1の半導体装置では、最上の配線層M_HのパッドP_D1直下の最上の接続層V_H、第5配線層M₅および第5接続層V₅において、プローブ接触領域P_A下には、銅からなる導体パターン3およびビアプラグ5を配置しない方が、より好ましいということになる。

30

【0038】

以上のように、パッドP_D1上のプローブ接触領域P_Aの下に銅配線を配置しないことで塑性変形を起こし難くし、クラックを発生させ難くすることができる。本発明者らの検証によれば、プローブ接触領域P_A下には、縦方向に1μm以上、銅からなる導体パターン3およびビアプラグ5が配置されていない構造とすることで、上記の効果が得られる。これは、言い換れば、最上の配線層M_Hの一つ下の第5配線層M₅と、その上下の最上の接続層V_Hおよび第5接続層V₅が、上述のようにプローブ接触領域P_A下に導体パターン3およびビアプラグ5を持たず、かつ、縦方向の合計の膜厚が1μm以上である構造がより好ましい。なぜなら、プローブ接触領域P_Aの下に、銅のパターンが存在しない層間絶縁膜4が1μm以上配置されていれば、それよりも下層の銅が塑性変形したとしても、クラックの発生を抑制し得る。ここで、縦方向とは、シリコン基板1の正面s₁に垂直な方向であり、各配線層M_L，M₁～M₅，M_Hや各接続層V_L，V₁～V₅，V_Hの膜厚方向である。また、本発明者らの更なる検証によれば、加工精度などの観点から、上記の、最上の接続層V_H、第5配線層M₅および第5接続層V₅の合計の膜厚は、3.5μm以下であることが望ましい。以上をまとめると、上述の効果を発現するためには、プローブ接触領域P_A下に導体パターン3およびビアプラグ5を持たない最上の接続層V_H、第5配線層M₅および第5接続層V₅の合計膜厚は、1μm以上、3.5μm以下である構造が望ましい。

40

【0039】

50

上記では、パッド P D 1 のうちのプローブ接触領域 P A 下において、第 5 配線層 M 5 などに導体パターン 3 を配置しない構造を説明した。本実施の形態 1 の半導体装置では、更に、パッド P D 1 が保護絶縁膜 7 から露出している部分の下部において、第 5 配線層 M 5 などに導体パターン 3 を配置しない構造である方が、より好ましい。即ち、最上の配線層 M H の一つ下の第 5 配線層 M 5 において、保護絶縁膜 7 の開口部 O P 1 と平面的に重なる部分には、導体パターン 3 は配置されていない構造である方が、より好ましい。なぜなら、このように、パッド P D 1 に近い第 5 配線層 M 5 において、銅からなる導体パターン 3 を配置しないことで、塑性変化をより起こし難くすることができるからである。結果として、層間絶縁膜 4 へのクラックの発生を抑制し得る。同様の理由から、第 5 配線層 M 5 の上下の最上の接続層 V H および第 5 接続層 V 5 の当該領域にも、ビアプラグ 5 を配置しない構造とする方が、より好ましい。

10

【0040】

更に、本実施の形態 1 の半導体装置は、パッド P D 1 の底部であって、最上の接続層 V H との界面に配置されたバリア導体膜 B M a において、以下のような構造を有する。即ち、パッド P D 1 の底部に配置されたバリア導体膜 B M a は、チタンを主体とする導体からなる第 1 バリア導体膜 b m 1 と、窒化チタンを主体とする導体からなる第 2 バリア導体膜 b m 2 との積層膜によって構成されている。特に、第 1 バリア導体膜 b m 1 が、第 2 バリア導体膜 b m 2 の下に配置されている。言い換えれば、第 1 バリア導体膜 b m 1 は最上の接続層 V H の層間絶縁膜 4 と接する側に、第 2 バリア導体膜 b m 2 はパッド P D 1 と接する側にそれぞれ配置されている。

20

【0041】

更に、本実施の形態 1 の半導体装置のパッド P D 1 下のバリア導体膜 B M a においては、縦方向の膜厚が、チタンからなる第 1 バリア導体膜 b m 1 の膜厚 t 1 の方が、窒化チタンからなる第 2 バリア導体膜 b m 2 の膜厚 t 2 よりも厚い構造となっている。通常、アルミニウムからなるパッドのバリア導体膜としては、下層で接触する金属（ここでは、最上ビアプラグ 5 H のタンゲステン）との反応を防ぐために、窒化チタンを主として厚くするバリア導体膜が選択される。そして、窒化チタンと下層金属との密着性や電気的接続を確保するために、間に薄いチタンを形成する。

【0042】

これに対して、本実施の形態 1 の半導体装置では、チタンを主体として厚く形成し、その上に窒化チタンを形成した構造のバリア導体膜 B M a を、パッド P D 1 の下に配置する。その理由に関しては、後に詳しく説明する。

30

【0043】

本実施の形態 1 の半導体装置において、パッド P D 1 の下に配置するバリア導体膜 B M a を上記のような構造とすることで、次のような効果が生じ得る。即ち、パッド P D 1 のプローブ接触領域 P A に対してプローブ P R B を接触させることで行う電気特性検査の際に、パッド P D 1 下の層間絶縁膜 4 において、クラックを生じ難くすることができる。その理由は以下の通りである。

【0044】

本発明者らの検証によれば、チタンと窒化チタンとを比較すると、窒化チタンは結晶粒が小さく、柱状結晶であるのに対して、チタンは結晶粒が大きく、柱状結晶ではない（以下、粒状結晶という）ことが分かった。より具体的には、第 2 バリア導体膜 b m 2 としての窒化チタンは、図 4 に示すように、膜厚方向に沿って柱が立つ様にして形成されることが分かった。従って、プロービング時の縦方向の圧力によって、粒界を介してクラックを生じやすいことが分かった。一方、第 1 バリア導体膜 b m 1 としてのチタンは粒状結晶であり、膜厚方向に沿った粒界が少なく、プロービング時の縦方向の圧力に対して、クラックを生じ難いことが分かった。この観点から、バリア導体膜 B M a として、チタンからなる第 1 バリア導体膜 b m 1 を厚く形成するほど、プロービング時のクラック耐性を向上することができる。ただし、チタン（第 1 バリア導体膜 b m 1 ）とアルミニウム（パッド P D 1 ）との反応を抑制するために、間に窒化チタン（第 2 バリア導体膜 b m 2 ）を配置す

40

50

る方が、より好ましい。この場合、上述の理由から、窒化チタンの膜厚が厚くなると、プロービング時のクラック耐性が低下する。

【0045】

そこで、本実施の形態1の半導体装置においては、プロービングを施すパッドPD1の直下のバリア導体膜BMAの主体を、結晶粒が大きく、粒状結晶であるチタンからなる第1バリア導体膜bm1とすることで、クラックを生じ難くすることができる。言い換れば、本実施の形態1の半導体装置においては、柱状結晶の窒化チタンからなる第2バリア導体膜bm2よりも、粒状結晶のチタンからなる第1バリア導体膜bm1を主とすることで、クラックを生じ難くすることができる。なお、上述のように、本実施の形態1の半導体装置では、チタンとアルミニウムとの反応を抑制する目的で、チタンからなる第1バリア導体膜bm1とアルミニウムからなるパッドPD1との間に、窒化チタンからなる第2バリア導体膜bm2を配置している。

10

【0046】

以上のように、本実施の形態1の半導体装置では、パッドPD1下のバリア導体膜BMAにおいて、クラックを生じ易い柱状結晶の窒化チタンからなる第2バリア導体膜bm2よりも、粒状結晶のチタンからなる第1バリア導体膜bm1が主となるような構造としている。これにより、パッドPD1のプロービングによって応力が加わっても、下層の層間絶縁膜4などにクラックが生じ難い構造を実現できる。更に、本実施の形態1の半導体装置では、上述のように、プローブ接触領域PA下の第5配線層M5などには銅からなる導体パターン3を配置しない構造としている。これにより、プロービング時の圧力による塑性変形を起こし難い構造とし、よりクラックを発生させ難くすることができる。更にこの構造であれば、仮にクラックが生じたとしても導体パターン3には到達し難く、配線のショートやオープンなどを起こし難くすることができる。このように、本実施の形態1の半導体装置によって、プローブ耐性を向上させることができる。

20

【0047】

本発明者らの更なる検証によれば、本実施の形態1の半導体装置のバリア導体膜BMAにおいて、結晶粒が大きくクラックが生じ難いチタンからなる第1バリア導体膜bm1の膜厚t1を、柱状結晶でありクラックが生じ易い窒化チタンからなる第2バリア導体膜bm2の膜厚t2の2倍以上とすることで、上記の効果がより顕著になることが分かった。更に、チタンからなる第1バリア導体膜bm1の膜厚t1は20nm以上とすることで、上記の効果がより顕著になることが分かった。このとき、チタンからなる第1導体膜bm1とアルミニウムからなるパッドPD1との反応を抑制するためには、窒化チタンからなる第2導体膜bm2は5nm以上とすることが望ましい。また、第1バリア導体膜bm1と第2バリア導体膜bm2との縦方向の合計膜厚（即ち、バリア導体膜BMAの膜厚）は、200nm以下とする方が、より好ましい。なぜなら、パッドPD1の主体は低抵抗のアルミニウムであり、密着性や反応抑制の観点から導入しているバリア導体膜BMAはアルミニウムよりも抵抗が高く、厚過ぎない方が好ましいからである。

30

【0048】

また、上記では、シリコン基板1の正面s1に半導体素子として電界効果トランジスタQが形成されているとして説明した。本実施の形態1の半導体装置では、特に、パッドPD1と平面的に重なる位置におけるシリコン基板1の正面s1においても、半導体素子としての電界効果トランジスタQが形成されている方が、より好ましい。なぜなら、パッドPD1の下の領域にも電界効果トランジスタQを配置することで、シリコン基板1上のスペースを無駄なく使用でき、集積度を向上させることができる。

40

【0049】

ここで、パッドPD1の下部のうち、特にプローブ接触領域PAの下部にはプロービングの際にクラックが生じ易く、当該領域のシリコン基板1上にはなるべく半導体素子は配置しない方が良い。しかしながら、本実施の形態1の半導体装置によれば、上述のように、プローブ接触領域PA下にクラックを生じ難くさせることができるから、パッドPD1の下に半導体素子を配置したとしても、上記の課題は生じ難い。従って、本実施の形態1

50

の半導体装置は、上記のようなパッド P D 1 下のシリコン基板 1 にも電界効果トランジスタ Q を配置した構造に適用して、より効果的である。

【 0 0 5 0 】

また、本実施の形態 1 の半導体装置では、パッド P D 1 を有する最上の配線層 M H の二つ下の配線層（即ち第 4 配線層 M 4）に配置される導体パターン 3 において、プローブ接触領域 P A と平面的に重なる領域には、配線幅が $2 \mu m$ 以下の導体パターン 3 が配置された構造である方が、より好ましい。言い換えれば、第 4 配線層 M 4 のうち、プローブ接触領域 P A 下に配置される導体パターン 3 は、配線幅が $2 \mu m$ より大きいものは含まれず、配線幅が $2 \mu m$ 以下のもので構成される方が、より好ましい。その理由を以下で説明する。

10

【 0 0 5 1 】

第 4 配線層 M 4 は、第 5 配線層 M 5 よりもパッド P D 1 からの距離が遠いため、第 5 配線層 M 5 より塑性変形し難いが、それでもプローブ P R B の針圧が高ければ塑性変形し、層間絶縁膜 4 中にクラックを生じる可能性がある。このため、上述のように、第 4 配線層 M 4 において、パッド P D 1 のプローブ接触領域 P A の直下に配置される導体パターン 3 の幅を $2 \mu m$ 以下に制限することで、この塑性変形が更に抑制され、より高い針圧でプローブ P R B をパッド P D 1 に接触させることができるようになり、プローブ検査をより安定化することができる。

【 0 0 5 2 】

また、本実施の形態 1 の半導体装置のパッド P D 1 の平面形状は、上記図 1 のような形状に限られず、図 5 および図 6 の要部平面図に示すような形状であっても良い。

20

【 0 0 5 3 】

図 5 には、ワイヤ接触領域 W A とプローブ接触領域 P A とが一部重なったパッド P D 1 の、要部平面図を示している。このような構造にすることで、パッド P D 1 が占める平面積を縮小でき、半導体装置の高集積化による高性能化が実現できる。このような半導体装置に対しても、上述のような、本実施の形態 1 の半導体装置の技術を適用して、同様に効果的である。

【 0 0 5 4 】

図 6 には、ワイヤ接触領域 W A とプローブ接触領域 P A とを視覚的に判別できるように、パッド P D 1 を覆う保護絶縁膜 7 の平面形状において、両領域の境界の目印となる突出部 p t 1 を有した構造のパッド P D 1 の、要部平面図を示している。このような構造にすることで、プローブ検査時のプロービングを施すプローブ接触領域 P A と、ボンディングワイヤを接続するワイヤ接続領域 W A とを、互いに干渉させることなく設計することができる。たとえば、プロービングによって荒れたパッド P D 1 面にボンディングワイヤを接続させると、密着性の低下や接続不良などを起こしやすい。従って、上述のようなプローブ接触領域 P A とワイヤ接続領域 W A とが重なり難い構造とすることで、半導体装置の特性を向上させることができる。

30

【 0 0 5 5 】

（実施の形態 2）

本実施の形態 2 の半導体装置について、図 7 ~ 図 9 を用いて説明する。図 7 は本実施の形態 2 の半導体装置の要部平面図を示している。これは、本実施の形態 2 の半導体装置のうち、電気特性検査のプロービングや、ワイヤボンディングを施すためのパッド（外部端子）P D 2 の周辺部を示している。図 8 は、このパッド P D 2 の周辺部を拡大した要部断面図を示し、図 9 は、図 8 の要部 p 2 0 0 を拡大した要部断面図を示している。これらの図 7 ~ 図 9 を用いて、本実施の形態 2 の半導体装置が有する構造を詳しく説明する。

40

【 0 0 5 6 】

本実施の形態 2 の半導体装置は、以下の点を除いて、上記実施の形態 1 の半導体装置と同様の構造およびそれらに由来する効果を有する。

【 0 0 5 7 】

本実施の形態 2 の半導体装置では、最上の配線層 M H のパッド P D 2 と、その一つ下の

50

第5配線層M5の導体パターン3とを電気的に接続するための、最上の接続層VHのビアプラグ5である最上ビアプラグ(最上接続導体部)5Hが以下のような構造を有する。即ち、本実施の形態2の半導体装置では、最上ビアプラグ5Hは、最上の配線層MHのバリア導体膜BMAおよびパッドPD2と同一の材料で、接続孔CH(コンタクトホール、ビアホールともいう)を埋め込むようにして形成されている。ここで、接続孔CHとは、当該最上の接続層VHの層間絶縁膜4において、パッドPD2に接する上面から、導体パターン3に接する下面に至って貫通するような孔部である。

【0058】

本実施の形態2の半導体装置を製造する工程では、上記のような接続孔CHを含む最上の接続層VHの上面を埋め込むようにして、順に、バリア導体膜BMAとパッドPD2(導体パターン3)とを形成する。その後、リソグラフィ法などでパターニングして、所望の形状の導体パターン3からなるパッドPD2を形成する。

10

【0059】

例えば、パッドPD2としてのアルミニウムをスパッタリング法などによって形成する場合、接続孔CHの内部を隙間無く埋め込むために、接続孔CHの径を大きめに設計する必要がある。例えば、上記実施の形態1の半導体装置の最上ビアプラグ5Hのように、ダマシン法によって形成したタンクステンを適用した場合と比較して、本実施の形態2の半導体装置の最上ビアプラグ5Hのようにスパッタリング法によって形成したアルミニウムを適用した場合の方が、接続孔CHの径は大きい。

20

【0060】

一方、本実施の形態2の半導体装置では、上述のように、最上の接続層VHの最上ビアプラグ5Hと、最上の配線層MHのパッドPD2とを一括して形成できるため、製造工程を簡略化できる。製造工程の簡略化は製造コストを低減するとともに、結果として、製造歩留まりの向上をもたらす。

20

【0061】

また、本実施の形態2のような構造の最上ビアプラグ5Hとした場合、パッドPD2下部のバリア導体膜BMAが、最上の接続層VHの接続孔CHの壁面にも一体的に配置される。即ち、接続孔CHの底部において、バリア導体膜BMAと、第5配線層M5の導体パターン3とが接触する構造である。ここで、上記実施の形態1の半導体装置で説明したように、バリア導体膜BMAは、下層から、チタンからなる第1バリア導体膜bm1と、窒化チタンからなる第2バリア導体膜bm2との積層膜からなる。従って、この状態では、チタンからなる第1バリア導体膜bm1と、銅からなる導体パターン3とが接触することになる。ただし、チタンと銅とは反応を起こすことが分かっており、これにより接触部の電気抵抗が増大してしまう。

30

【0062】

そこで、本実施の形態2の半導体装置のバリア導体膜BMAは、第1バリア導体膜bm1の更に下層に、窒化チタンを主体とする導体からなる第3バリア導体膜bm3を有している。上述のように、本実施の形態2のバリア導体膜BMAは、パッドPD2の下から最上の接続層VHの接続孔CH内に渡って、一体的に形成されている。従って、上記のような第3バリア導体膜bm3を配置することで、接続孔CHの底部において、チタンからなる第1バリア導体膜bm1と銅からなる導体パターン3とは、窒化チタンからなる第3バリア導体膜bm3によって互いに接触しないように隔てられた構造となる。これにより、チタンと銅との反応を抑制できる。

40

【0063】

ここで、上記実施の形態1の半導体装置において上記図1～上記図4を用いて説明したように、バリア導体膜BMAは、プローブ検査時の圧力に対してクラックを生じさせ難くする効果を有していた。本実施の形態2の半導体装置においても、パッドPD2下のバリア導体膜BMAは、柱状結晶の窒化チタンからなる第3バリア導体膜bm3を有しているが、その膜厚が、チタンからなる第1バリア導体膜bm1の膜厚よりも小さい場合、同様の効果を発現し得る。

50

【0064】

更に、パッド P D 4 のプローブ接触領域 P A 下において、第 1 バリア導体膜 b m 1 の膜厚は、第 3 バリア導体膜 b m 3 の膜厚の 2 倍以上である方がより好ましく、かつ、第 3 バリア導体膜 b m 3 の膜厚は 5 nm 以上である方が、より好ましい。その理由は、上記実施の形態 1 において、第 2 バリア導体膜 b m 2 に対する第 1 バリア導体膜 b m 1 の膜厚条件を設定した理由と同様である。また、他の膜厚条件も、上記実施の形態 1 と同様であり、ここでの重複した説明は行わない。本実施の形態 2 の半導体装置では、第 1 バリア導体膜 b m 1 、第 2 バリア導体膜 b m 2 、および、第 3 バリア導体膜 b m 3 の合計膜厚が 200 nm 以下である。このような膜厚条件は、プローブ耐性を向上させるために効果を発現し得る条件であり、少なくとも、パッド P D 4 のプローブ接触領域 P A 下でのバリア導体膜 B M a に適用されれば良い。

10

【0065】

以上のように、本実施の形態 2 の構造の半導体装置とすることで、プローピング時のクラックを抑制しつつ、製造歩留まりを向上させることができる。

【0066】

(実施の形態 3)

本実施の形態 3 の半導体装置について、図 10 および図 11 を用いて説明する。図 10 は当該半導体装置の要部断面図であり、上記実施の形態 1 の半導体装置における上記図 3 に対応する。図 11 は、図 10 の要部 p 300 を拡大した要部断面図を示している。本実施の形態 3 の半導体装置は、以下の点を除いて、上記実施の形態 1 または 2 の半導体装置と同様の構造およびそれらに由来する効果を有する。

20

【0067】

本実施の形態 3 の半導体装置では、最上の配線層 M H のパッド P D 3 と、その直下の最上の接続層 V H の層間絶縁膜 4 との間に配置されているバリア導体膜 B M a が、タンタルまたは窒化タンタルを主体とする導体によって構成されている。

【0068】

タンタルまたは窒化タンタルは、上述のような、結晶粒が大きくプローブ耐性が高いチタンと同等のプローブ耐性を有する。ここで、上記実施の形態 1 の半導体装置では、プローブ耐性向上のためのチタン（第 1 バリア導体膜 b m 1 ）と、パッド P D 1 との反応抑制のための窒化チタン（第 2 バリア導体膜 b m 2 ）とを積層してバリア導体膜 B M a を構成していた。これに対し、本実施の形態 3 の半導体装置におけるタンタルまたは窒化タンタルは、アルミニウムからなるパッド P D 3 との反応性が低く、反応抑制のための導体層を設ける必要が無い。従って、上記実施の形態 1 と同様のプローブ耐性向上の効果を、より単純な構造のバリア導体膜 B M a によって実現できる。これは、製造コストの低減や、歩留まりの向上をもたらし得る。

30

【0069】

更に、本発明者らの更なる検証によれば、窒化タンタルを主体とする導体からなるバリア導体膜 B M a は、非晶質（アモルファス）状態であり、非晶質状態では粒界が無いから、応力に対して更にクラックが生じ難いことが分かった。この効果は、窒化タンタルの膜厚を 20 nm 以上とすることでより顕著となることが分かった。このような理由から、本実施の形態 3 の半導体装置では、タンタルまたは窒化タンタルを主体とする導体膜からなるバリア導体膜 B M a の膜厚は 20 nm 以上である方が、より好ましい。なお、上記実施の形態 1 で説明した理由と同様の理由から、バリア導体膜 B M a の膜厚は 200 nm 以下である方が、より好ましい。

40

【0070】

(実施の形態 4)

本実施の形態 4 の半導体装置について、図 12 を用いて説明する。図 12 は当該半導体装置の要部断面図であり、上記実施の形態 1 の半導体装置における上記図 2 に対応する。本実施の形態 4 の半導体装置は、以下の点を除いて、上記実施の形態 1, 2 または 3 の半導体装置と同様の構造およびそれらに由来する効果を有する。

50

【0071】

本実施の形態4の半導体装置では、各配線層M_L，M₁～M₅，M_Hのうち、最上の配線層M_Hの一つ下の配線層（即ち第5配線層M₅）と二つ下の配線層（即ち第4配線層M₄）とにおいて、パッドP_D4のプローブ接触領域P_Aと平面的に重なる部分には、導体パターン3が形成されていない。言い換えれば、第5配線層M₅と第4配線層M₄の当該領域には、層間絶縁膜4のみが形成されている。このようにすることで、以下のような効果が得られる。

【0072】

上記実施の形態1の半導体装置において説明したように、パッドP_D1のプローブ接触領域P_A下には導体パターン3を配置しないことで塑性変形し難くなり、プローブ耐性が向上する。上記実施の形態1では、パッドP_D1の一つ下の第5配線層M₅の当該領域に導体パターン3を形成しない構造が効果的であることを説明した。同様の観点から、本実施の形態4の半導体装置では、更に下の第4配線層M₄の当該領域にも導体パターン3を配置せず、より塑性変形を起こし難くすることができる。結果として、本実施の形態4の半導体装置のような構造とすることで、プローブ耐性を更に向上させることができる。

10

【0073】

（実施の形態5）

本実施の形態5の半導体装置について、図13を用いて説明する。図13は当該半導体装置の要部断面図であり、上記実施の形態1の半導体装置における上記図2に対応する。本実施の形態5の半導体装置は、以下の点を除いて、上記実施の形態1，2，3または4の半導体装置と同様の構造およびそれらに由来する効果を有する。

20

【0074】

本実施の形態5の半導体装置では、各配線層M_L，M₁～M₅，M_Hが有する導体パターン3は、アルミニウムを主体とする導体によって形成されている。アルミニウムは、銅と比較して機械強度が低い。従って、パッドP_D5などへのプローピングの際に、その応力によって塑性変形し易い。そして、このようなアルミニウムを導体パターンとして有する半導体装置では、クラックを発生させ易い。この観点から、アルミニウムを導体パターン3として有している本実施の形態5の半導体装置に対して、上記実施の形態1，2，3または4の半導体装置のようなプローブ耐性を向上し得る構造を適用して、より効果的である。

30

【0075】

（実施の形態6）

本実施の形態6の半導体装置について、図14および図15を用いて説明する。図14は本実施の形態6の半導体装置の要部平面図を示している。これは、本実施の形態6の半導体装置のうち、電気特性検査のプローピングや、ワイヤボンディングを施すためのパッドP_D6の周辺部を示している。図15は、このパッドP_D6の周辺部を拡大した要部断面図を示している。これらの図14および図15を用いて、本実施の形態6の半導体装置が有する構造を詳しく説明する。本実施の形態6の半導体装置は、以下の点を除いて、上記実施の形態1，2，3，4または5の半導体装置と同様の構造およびそれらに由来する効果を有する。

40

【0076】

本実施の形態6の半導体装置は、最上の配線層M_HのパッドP_D6とその一つ下の第5配線層M₅の導体パターン3との導通機構として、以下のような構造を有している。即ち、本実施の形態6の半導体装置では、上記実施の形態2の半導体装置のように、最上の接続層V_Hに形成された接続孔C_Hを埋め込むようにして、バリア導体膜B_MaおよびパッドP_D6と同一の材料が一体的に形成されている。ただし、上記実施の形態2の半導体装置と異なる点として、本実施の形態6の半導体装置では、平面的に見て、接続孔C_HはパッドP_D6を露出している保護絶縁膜7の開口部O_P1内にあり、上記実施の形態2の接続孔C_Hよりも幅広である。そして、第5配線層M₅においては、この接続孔C_Hの底部に接するようにして導体パターン3が配置されている。

50

【0077】

ただし、第5配線層M5の導体パターン3は、パッドPD6のプローブ接触領域PA下には配置されていない。この点は、上記実施の形態1～5と同様であり、本実施の形態6のような構造の半導体装置に対しても、本願を適用して、プローブ耐性を向上し得る構造を有している。

【0078】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【符号の説明】

10

【0079】

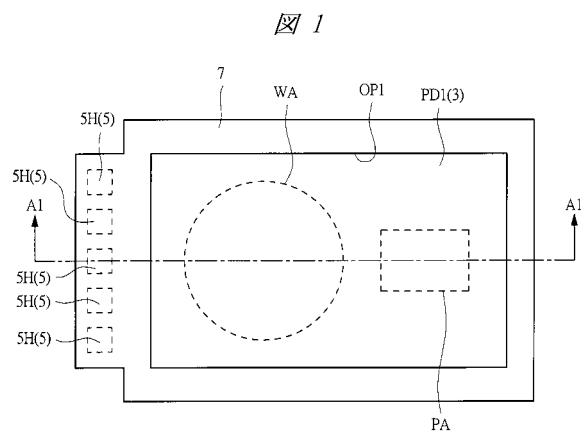
- 1 シリコン基板（半導体基板）
- 2 分離部
- 3 導体パターン
- 4 層間絶縁膜
- 5 ピアプラグ（接続導体部）
- 5H 最上ピアプラグ（最上接続導体部）
- 5L コンタクトプラグ（接続導体部）
- 6 バリア絶縁膜
- 7 保護絶縁膜
- b m 1 第1バリア導体膜
- b m 2 第2バリア導体膜
- b m 3 第3バリア導体膜
- B M , B M a , B M b , B M c バリア導体膜
- C H 接続孔
- M 1 第1配線層（配線層）
- M 2 第2配線層（配線層）
- M 3 第3配線層（配線層）
- M 4 第4配線層（配線層）
- M 5 第5配線層（配線層）
- M H 最上の配線層（配線層）
- M L 最下の配線層（配線層）
- O P 1 開口部
- P A プローブ接触領域
- P D 1 , P D 2 , P D 3 , P D 4 , P D 5 , P D 6 パッド（外部端子）
- P R B プローブ
- Q 電界効果トランジスタ（半導体素子）
- s 1 主面
- V 1 第1接続層（接続層）
- V 2 第2接続層（接続層）
- V 3 第3接続層（接続層）
- V 4 第4接続層（接続層）
- V 5 第5接続層（接続層）
- V H 最上の接続層（接続層）
- V L 最下の接続層（接続層）
- W A ワイヤ接触領域

20

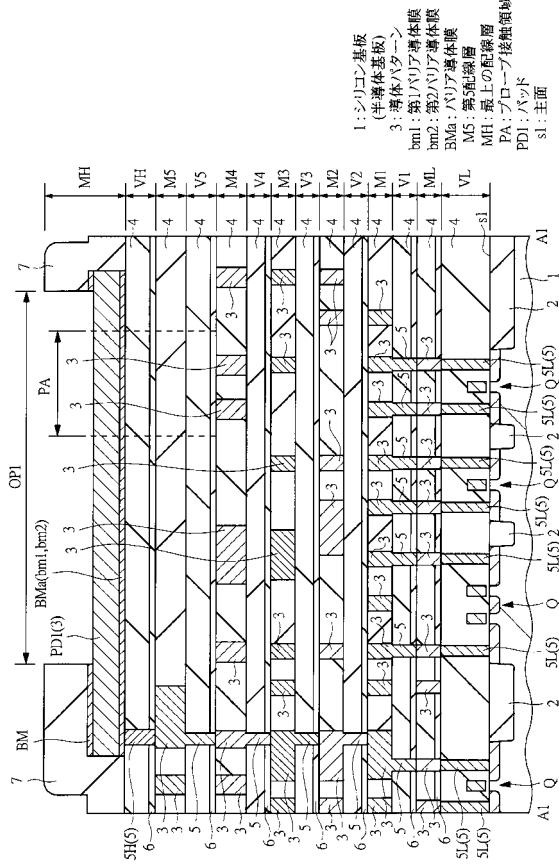
30

40

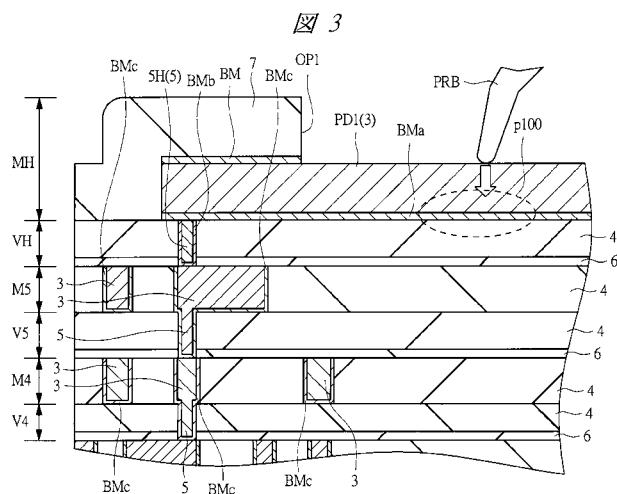
【図1】



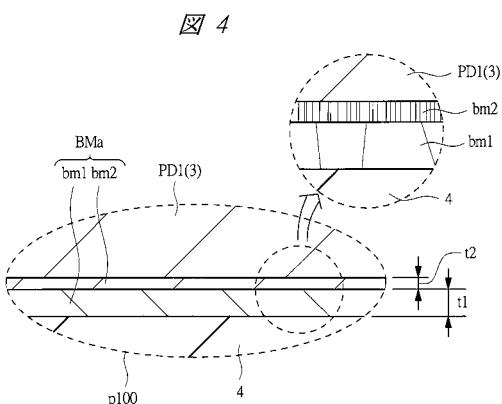
【図2】



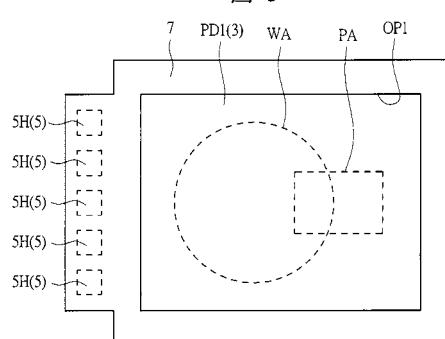
【図3】



【図4】

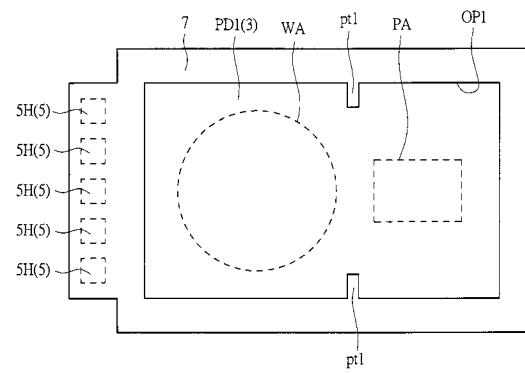


【図5】



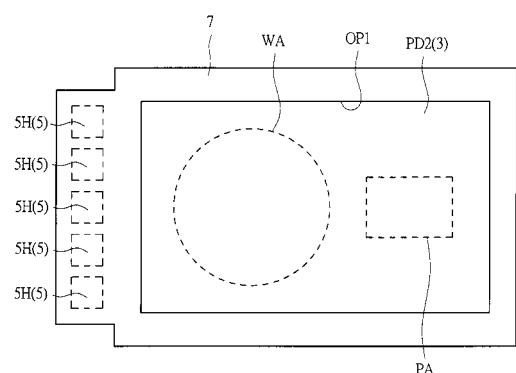
【図6】

図6



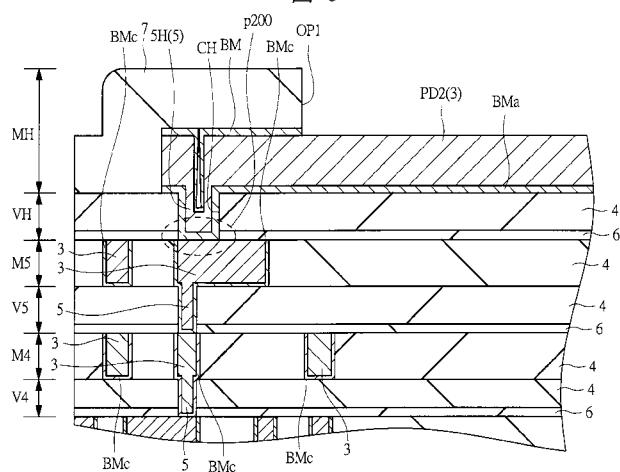
【図7】

図7



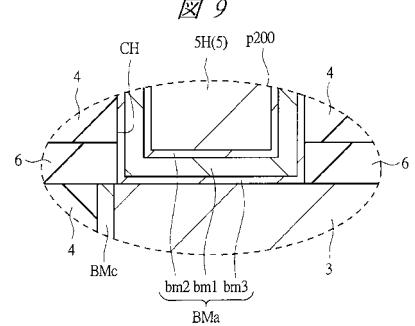
【図8】

図8

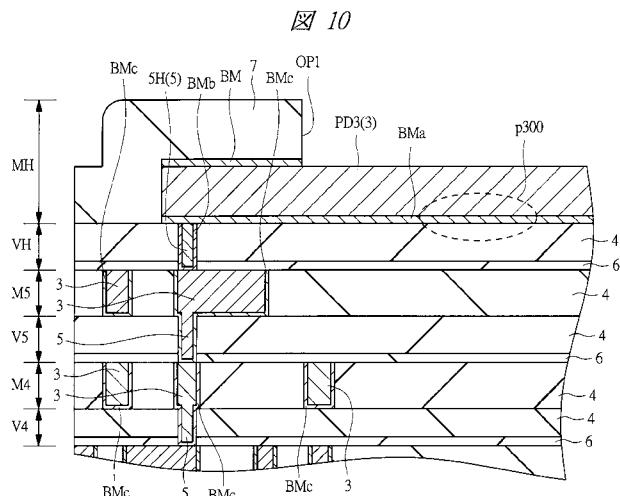


【図9】

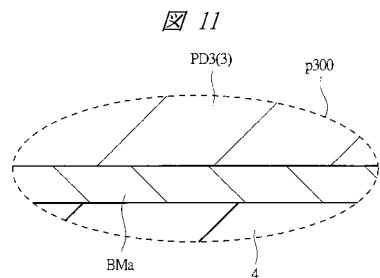
図9



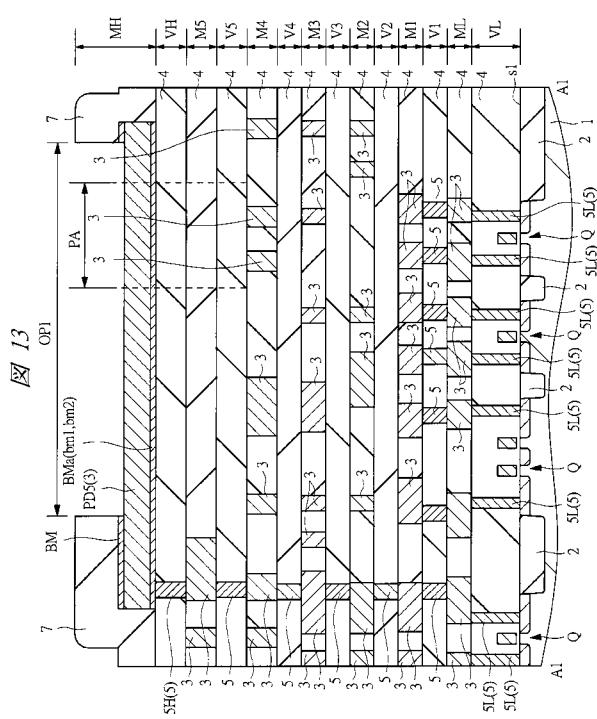
【図10】



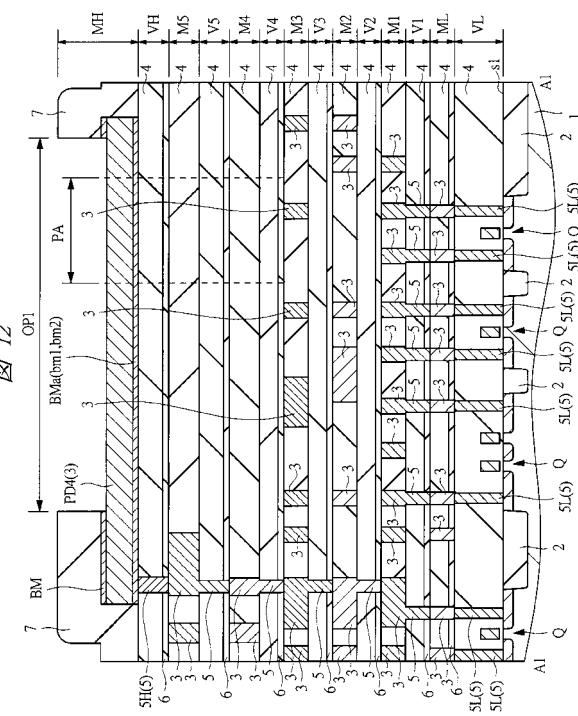
【 図 1 1 】



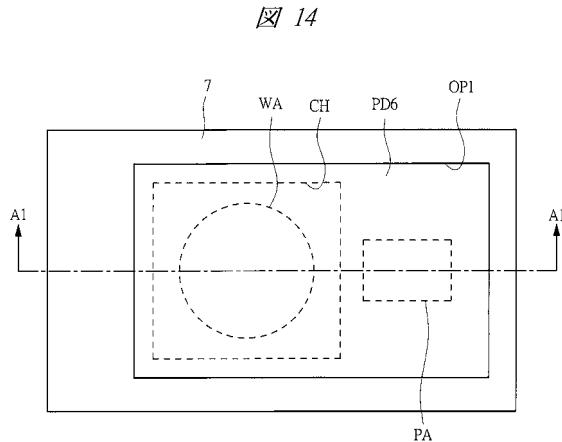
【 図 1 3 】



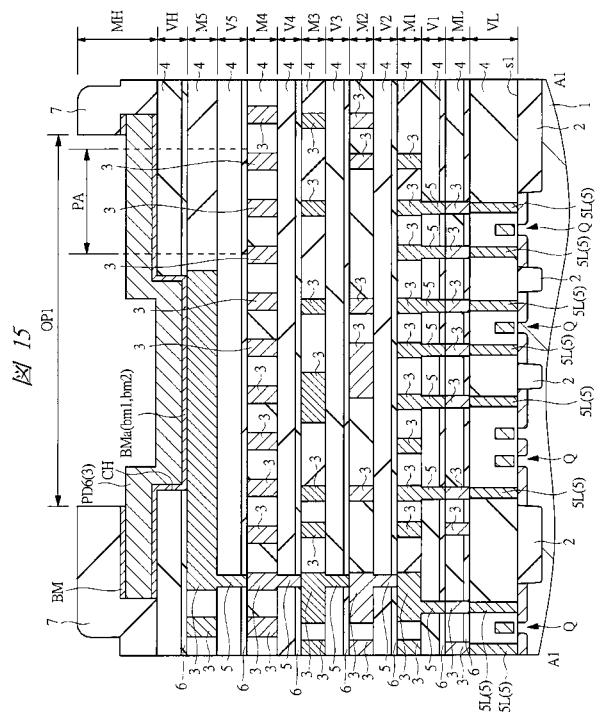
【図12】



【 図 1 4 】



【 図 1 5 】



フロントページの続き

F ターム(参考) 5F033 HH08 HH11 HH18 HH21 HH32 HH33 JJ11 JJ18 JJ19 JJ21
JJ32 JJ33 KK08 KK11 KK21 KK32 MM01 MM02 MM08 MM12
MM13 NN06 NN07 PP15 RR01 RR04 RR06 RR22 UU04 VV07
VV12 WW02 XX17
5F044 EE04 EE06 EE11