

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6039437号
(P6039437)

(45) 発行日 平成28年12月7日 (2016. 12. 7)

(24) 登録日 平成28年11月11日 (2016. 11. 11)

(51) Int. Cl.	F I
HO 1 L 29/786 (2006. 01)	HO 1 L 29/78 6 1 8 B
HO 1 L 21/336 (2006. 01)	HO 1 L 29/78 6 1 9 A
HO 1 L 21/8242 (2006. 01)	HO 1 L 29/78 6 2 6 C
HO 1 L 27/108 (2006. 01)	HO 1 L 29/78 6 1 7 U
HO 1 L 27/105 (2006. 01)	HO 1 L 29/78 6 1 7 T
請求項の数 5 (全 49 頁) 最終頁に続く	

(21) 出願番号	特願2013-6832 (P2013-6832)	(73) 特許権者	000153878
(22) 出願日	平成25年1月18日 (2013. 1. 18)		株式会社半導体エネルギー研究所
(65) 公開番号	特開2013-168646 (P2013-168646A)		神奈川県厚木市長谷 3 9 8 番地
(43) 公開日	平成25年8月29日 (2013. 8. 29)	(72) 発明者	山崎 舜平
審査請求日	平成27年10月13日 (2015. 10. 13)		神奈川県厚木市長谷 3 9 8 番地 株式会社
(31) 優先権主張番号	特願2012-9722 (P2012-9722)		半導体エネルギー研究所内
(32) 優先日	平成24年1月20日 (2012. 1. 20)	(72) 発明者	松林 大介
(33) 優先権主張国	日本国 (JP)		神奈川県厚木市長谷 3 9 8 番地 株式会社
			半導体エネルギー研究所内
		(72) 発明者	岡崎 豊
			神奈川県厚木市長谷 3 9 8 番地 株式会社
			半導体エネルギー研究所内
		審査官	竹口 泰裕
			最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項 1】

酸化物半導体膜と、
 前記酸化物半導体膜と重なる領域を有する、ゲート電極と、
 前記ゲート電極と、前記酸化物半導体膜と、の間にゲート絶縁膜と、を有し、
 前記酸化物半導体膜は、チャネル形成領域を有し、
 前記チャネル形成領域のチャネル長は、5 nm 以上 6 0 nm 未満であり、
 前記チャネル形成領域のチャネル幅は、5 nm 以上 2 0 0 nm 未満であり、
 前記チャネル幅は、前記チャネル長に対して 0 . 5 倍以上 1 0 倍以下であり、
 前記酸化物半導体膜は、電子スピン共鳴による酸素欠損に起因するスピン密度が、 $5 \times 10^{16} \text{ spins / cm}^3$ 未満であることを特徴とする半導体装置。

【請求項 2】

請求項 1 において、
 前記ゲート絶縁膜は、第 1 の層および第 2 の層を有し、
 前記第 2 の層は、前記第 1 の層よりも酸素透過性が低いことを特徴とする半導体装置。

【請求項 3】

請求項 2 において、
 前記第 2 の層は、酸化アルミニウム膜であることを特徴とする半導体装置。

【請求項 4】

請求項 1 乃至 3 のいずれかーにおいて、

前記酸化物半導体膜は、前記ゲート電極と重なる第1の領域と、前記ゲート電極と重ならない第2の領域と、前記ゲート電極と重ならない第3の領域とを有し、

前記第2の領域は、前記第1の領域より、アルゴン及び窒素の濃度が高く、

前記第3の領域は、前記第1の領域より、アルゴン及び窒素の濃度が高いことを特徴とする半導体装置。

【請求項5】

請求項1乃至3のいずれか一において、

前記酸化物半導体膜は、前記ゲート電極と重なる第1の領域と、前記ゲート電極と重ならない第2の領域と、前記ゲート電極と重ならない第3の領域とを有し、

前記第2の領域は、前記第1の領域より、ヘリウム、ホウ素、フッ素、ネオン、アルミニウム、リン、ヒ素、クリプトン、インジウム、スズ、アンチモン及びキセノンの濃度が高く、

前記第3の領域は、前記第1の領域より、ヘリウム、ホウ素、フッ素、ネオン、アルミニウム、リン、ヒ素、クリプトン、インジウム、スズ、アンチモン及びキセノンの濃度が高いことを特徴とする半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

半導体装置およびその作製方法に関する。

【0002】

なお、本明細書中において半導体装置とは、半導体特性を利用することで機能し得る装置全般をいい、電気光学装置、半導体回路および電子機器などは全て半導体装置である。

【背景技術】

【0003】

シリコンを用いた半導体装置は、トランジスタなどのスケーリング則に従った微細化によって、高集積化が進み、消費電力の低減および性能の向上が図られてきた。

【0004】

しかしながら、近年ではスケーリング則の限界が問題となってきている。例えば、チャネル長を小さくすることで、パンチスルー現象などのいわゆる短チャネル効果が顕在化してきた。

【0005】

また、チャネル幅が小さくなると狭チャネル効果が生じることが知られている。

【0006】

微細化したトランジスタは、短チャネル効果および狭チャネル効果などの影響で、しきい値電圧の制御が困難となり、特性のばらつきが生じやすくなる。そこで、短チャネル効果および狭チャネル効果によるしきい値電圧の変動を考慮したデザインルールが提案されている（特許文献1参照。）。

【0007】

このほかにも、トランジスタを微細化した際に生じる短チャネル効果を低減するために、様々な方法が検討されている（特許文献2参照。）。

【先行技術文献】

【特許文献】

【0008】

【特許文献1】特開平4 - 134832号公報

【特許文献2】特開2006 - 100842号公報

【発明の概要】

【発明が解決しようとする課題】

【0009】

しかしながら、従来技術は、微細化に伴うトランジスタの電気特性の劣化の大きな要因である短チャネル効果の影響の低減を目指すものが主であって、実質的に短チャネル効果の

10

20

30

40

50

ないトランジスタは提案されてこなかった。

【0010】

そこで、本発明の一態様は、チャネル長が小さくても、実質的に短チャネル効果が生じず、かつスイッチング特性の得られるトランジスタを提供することを課題の一とする。

【0011】

また、当該トランジスタを適用した集積度の高い半導体装置を提供することを課題の一とする。

【課題を解決するための手段】

【0012】

酸化物半導体膜を用いたトランジスタであって、チャネル長を5 nm以上60 nm未満、かつチャネル幅を5 nm以上200 nm未満とする。

10

【0013】

このとき、チャネル幅をチャネル長の0.5倍以上10倍以下とする。

【0014】

なお、酸化物半導体膜は、少なくともInを含むことが好ましい。

【0015】

または、酸化物半導体膜は、少なくともIn、GaおよびZnを含むことが好ましい。

【0016】

発明者らは、シリコンを用いたトランジスタで生じる短チャネル効果が、酸化物半導体膜を用いたトランジスタでは実質的に生じない場合があることを見出した。これは実に驚くべきことである。従って、従来のスケールリング則に従ったトランジスタの微細化とは全く異なる微細化の法則を立てる必要性が生じたといえる。

20

【0017】

シリコンを用いたトランジスタで生じる短チャネル効果の一つであるパンチスルー現象は、その一因としてDIBL(Drain Induced Barrier Lowering)が知られる。

【0018】

以下では、酸化物半導体膜とソース電極およびドレイン電極の接合部近傍に生じるバンドの曲がり幅に着目し、シリコンを用いたトランジスタで見られるようなDIBLが、酸化物半導体膜を用いたトランジスタでは生じにくいことを示す。

30

【0019】

n型シリコンを用いたトランジスタのソース、ドレイン間のバンド構造を図21に示す。図21(A)に長チャネルにおけるバンド構造の模式図を、図21(B)に短チャネルにおけるバンド構造の模式図を、それぞれに示す。ここでは、ゲート電圧(V_g)がゼロである場合(オフ状態)について説明する。

【0020】

図21より、ドレイン電圧(V_d)がゼロの場合でも、p-n接合界面近傍でバンドが曲がっていることが分かる(実線)。これは、 n^+ 領域とp領域のフェルミ準位が等しくなるようにキャリアをやりとりした結果、ドナーイオンとアクセプタイオンを有する空乏層が形成され、電界が生じているためである。

40

【0021】

ここで V_d を印加すると、ドレイン側の n^+ 領域のバンドが eV_d だけ下がるとともに、ドレイン側から空乏層が広がる(破線)。このとき、長チャネルの場合には、 V_d はソース側には影響しない。一方、短チャネルの場合には、 V_d によってドレイン側から広がる空乏層がソース側まで広がり、p領域の電位の低下をもたらす(土手が下がる)。その結果、電流が流れやすくなり、しきい値電圧は負方向へシフトする。

【0022】

従って、n型シリコンを用いたトランジスタのチャネル長を小さくすると、ドレイン側から広がる空乏層の幅、即ち、バンドの曲がり幅が V_d によって増大するとわかる。以下では、シリコンを用いたトランジスタおよび酸化物半導体膜を用いたトランジスタの、ソー

50

スおよびドレインとチャネルとの接合部（p - n 接合界面）近傍のバンドの曲がり幅を、それぞれ解析的に導出する。

【 0 0 2 3 】

図 2 2 に、n 型シリコンを用いたトランジスタのソース側のバンド構造を示す。図 2 2 を参考に、まず n 型シリコンを用いたトランジスタの p 領域におけるソース側のバンド曲がり幅 L_s^{Si} を求める。 L_s^{Si} は、アクセプタイオンを有する空乏層の幅に等しい。

(y) は p - n 接合界面からの距離 y における電位であり、原点を p 領域の真性準位 $E_{i p L}^{Si}$ としている。 $e \phi_F^{Si}$ は $E_{i p L}^{Si}$ とフェルミ準位 E_F^{Si} との差で $e \phi_F^{Si} = E_{i p L}^{Si} - E_F^{Si}$ と定義する。ここで、e は素電荷である。バンドの曲がり幅は (y) の空間変化を反映している。数式 (1) はポアソン方程式である。

10

【 0 0 2 4 】

【数 1】

$$\frac{d^2 \phi}{dy^2} = -\frac{\rho}{\epsilon^{Si}} \quad (1)$$

【 0 0 2 5 】

ϵ^{Si} は誘電率、 ρ は電荷密度である。p 領域の空乏層に着目する場合、 ρ は負電荷を持つアクセプタイオンのみを考慮すればよく、数式 (2) となる。

【 0 0 2 6 】

【数 2】

$$\rho = -e N_A^{Si} \quad (2)$$

20

【 0 0 2 7 】

ここで、 N_A^{Si} はアクセプタ密度である。数式 (2) を数式 (1) に代入して、数式 (3) に示す境界条件のもと解くと、数式 (4) が求まる。

【 0 0 2 8 】

【数 3】

$$\phi(L_s^{Si}) = \frac{d\phi}{dy}(L_s^{Si}) = 0 \quad (3)$$

30

【 0 0 2 9 】

【数 4】

$$\phi(y) = \frac{e N_A^{Si}}{2 \epsilon^{Si}} L_s^{Si2} \left(1 - \frac{y}{L_s^{Si}} \right)^2 \quad (4)$$

【 0 0 3 0 】

ここで、数式 (5) で示す境界条件より、 L_s^{Si} が数式 (6) のように求まる。

【 0 0 3 1 】

【数 5】

$$e \phi(0) = \frac{e^2 N_A^{Si}}{2 \epsilon^{Si}} L_s^{Si2} = E_{ipL}^{Si} - E_F^{Si} \equiv e \phi_F^{Si} \quad (5)$$

40

【 0 0 3 2 】

【数 6】

$$L_s^{Si} = \sqrt{\frac{2 \epsilon^{Si} \phi_F^{Si}}{e N_A^{Si}}} \quad (6)$$

【 0 0 3 3 】

一方、 V_d 印加時のドレイン側のバンド曲がり幅 L_d^{Si} は、 L_s^{Si} の場合と同様の計算により数式 (7) と求まる。

50

【 0 0 3 4 】

【 数 7 】

$$L_d^{Si} = \sqrt{\frac{2\epsilon^{Si}(\phi_F^{Si} + V_d)}{eN_A^{Si}}} \quad (7)$$

【 0 0 3 5 】

数式 (7) より、シリコンを用いたトランジスタでは、 V_d により L_d^{Si} が増大する、即ち、 V_d によりドレイン側から空乏層が広がることわかる。以上がシリコンを用いたトランジスタにおける DIBL である。

【 0 0 3 6 】

10

次に、図 2 3 に、酸化物半導体膜を用いたトランジスタのソース、ドレイン間におけるバンド構造を示す。図 2 3 を参考に酸化物半導体膜を用いたトランジスタの、酸化物半導体領域におけるソース側のバンド曲がり幅 L_s^{OS} およびドレイン側のバンド曲がり幅 L_d^{OS} を求める。ソースおよびドレインに用いる金属の仕事関数 ϕ_m と酸化物半導体の電子親和力 χ^{OS} とが等しい ($\phi_m = \chi^{OS}$) と仮定して、金属 - 酸化物半導体間がオーミック接触しているとする。 (y) はソース側の金属 - 酸化物半導体接合界面からの距離 y における電位であり、原点を酸化物半導体領域の真性準位 E_{iL}^{OS} としている。 $e\phi_F^{OS}$ は E_{iL}^{OS} とソース側のフェルミ準位 E_F^{OS} の差で $e\phi_F^{OS} = E_{iL}^{OS} - E_F^{OS}$ と定義する。この場合、酸化物半導体領域のバンドの曲がり幅は多数キャリアである電子密度 $n^{OS}(y)$ から生じると考えられるので、電荷密度は数式 (8) となる。

20

【 0 0 3 7 】

【 数 8 】

$$\rho(y) = -en^{OS}(y) = -en_0^{OS} \exp\left[\frac{e\phi(y)}{kT}\right] \quad (8)$$

【 0 0 3 8 】

ここで、 k はボルツマン定数、 T は絶対温度である。 n_0^{OS} は酸化物半導体のバルク領域での電子密度で、真性キャリア密度 n_i^{OS} を用いて、数式 (9) で表される。

【 0 0 3 9 】

【 数 9 】

30

$$n_0^{OS} = n_i^{OS} \exp\left[-\frac{e\phi_F^{OS}}{kT}\right] \quad (9)$$

【 0 0 4 0 】

よって、 (y) は、数式 (1 0) に示すポアソン方程式より求まる。

【 0 0 4 1 】

【 数 1 0 】

$$\frac{d^2\phi}{dy^2} = \frac{en_0^{OS}}{\epsilon^{OS}} \exp\left[\frac{e\phi}{kT}\right] \quad (10)$$

40

【 0 0 4 2 】

これを数式 (1 1) に示す境界条件のもとで解くと、数式 (1 2) が求まる。

【 0 0 4 3 】

【 数 1 1 】

$$\phi(L_s) = \frac{d\phi}{dy}(L_s) = 0 \quad (11)$$

【 0 0 4 4 】

【数 1 2】

$$\phi(y) = -\frac{2kT}{e} \ln \cos \left[\sqrt{\frac{e^2 n_0^{OS}}{2\varepsilon^{OS} kT}} (y - L_s^{OS}) \right] \quad (12)$$

【0045】

従って、数式(13)で示す境界条件より、数式(14)が求まる。

【0046】

【数 1 3】

$$e\phi(0) = -2kT \ln \cos \left[\sqrt{\frac{e^2 n_0^{OS}}{2\varepsilon^{OS} kT}} L_s^{OS} \right] = \frac{E_g^{OS}}{2} + e\phi_F^{OS} \quad (13)$$

10

【0047】

【数 1 4】

$$L_s^{OS} = \sqrt{\frac{2\varepsilon^{OS} kT}{e^2 n_0^{OS}}} \text{ArcCos} \left\{ \text{Exp} \left[-\frac{E_g^{OS}/2 + e\phi_F^{OS}}{2kT} \right] \right\} \quad (14)$$

【0048】

ここで、 $E_g^{OS}/2 + e\phi_F^{OS} \gg 2kT$ なので、数式(14)は数式(15)のように近似できる。

【0049】

20

【数 1 5】

$$L_s^{OS} \sim \sqrt{\frac{2\varepsilon^{OS} kT}{e^2 n_0^{OS}}} \text{ArcCos}(0) = \sqrt{\frac{2\varepsilon^{OS} kT}{e^2 n_0^{OS}}} \frac{\pi}{2} = \pi \sqrt{\frac{\varepsilon^{OS} kT}{2e^2 n_0^{OS}}} \quad (15)$$

【0050】

一方、 V_d 印加時の L_d^{OS} は、数式(13)の $e\phi_F^{OS}$ を $e\phi_F^{OS} + eV_d$ に置き換えれば求まる。この場合も、 $E_g^{OS}/2 + e\phi_F^{OS} + eV_d \gg 2kT$ なので、数式(16)となる。

【0051】

30

【数 1 6】

$$L_d^{OS} \sim \pi \sqrt{\frac{\varepsilon^{OS} kT}{2e^2 n_0^{OS}}} \sim L_s^{OS} \quad (16)$$

【0052】

以上により、酸化物半導体膜を用いたトランジスタの場合、 L_d^{OS} は V_d に依存しないことがわかる。従って、酸化物半導体膜を用いたトランジスタにDIBLは生じないといえる。

【0053】

また、シリコンを用いたトランジスタで生じるパンチスルー現象は、ゲートの電界による空乏層が、チャネル領域の深くにまで広がり切らないために生じる場合もある。これは、シリコンに含まれる少数キャリア密度が 1×10^{11} 個/cm³程度と高いためである。即ち、少数キャリアが蓄積することでゲートの電界の侵入が浅くなり、トランジスタを完全にオフすることができず、オフ電流が増大する。

40

【0054】

一方、発明者らの精力的な研究により、酸化物半導体膜に含まれる少数キャリア密度は、 1×10^{-9} 個/cm³程度と極めて小さくできることがわかってきた。即ち、酸化物半導体膜を用いたトランジスタでは、少数キャリアの蓄積がほとんど起こらず、ゲートの電界の侵入が深く、トランジスタを完全にオフしやすいため、オフ電流を小さくできる。このように、酸化物半導体膜を用いたトランジスタでは、ゲートの電界による空乏層の広が

50

りが極めて大きくなる。

【 0 0 5 5 】

上述したように、シリコンを用いたトランジスタで一般的に知られた短チャネル効果が、酸化物半導体膜を用いたトランジスタでは実質的にないといえる。

【 0 0 5 6 】

従って、酸化物半導体膜を用いたトランジスタは、チャネル長が小さい場合でも、スイッチング特性を得やすいといえる。

【 0 0 5 7 】

また、シリコンを用いたトランジスタを微細化する場合、チャネル長の縮小とともにチャネル幅も縮小していくことが一般的であった。

10

【 0 0 5 8 】

ところが、酸化物半導体膜を用いたトランジスタにおいて、チャネル長の縮小とともにチャネル幅を縮小していった場合、しきい値電圧がマイナス方向へシフトすることがあった。このことも、発明者らの精力的な研究によりわかってきたことの一つである。

【 0 0 5 9 】

そのため、酸化物半導体膜を用いたトランジスタでスイッチング特性を得るためには、チャネル長が小さいとき、チャネル幅を十分に大きくすることが重要といえる。または、チャネル長に対するチャネル幅の比率を、一定に保ちつつ、微細化することが重要といえる。

【 0 0 6 0 】

20

ここで、酸化物半導体膜は、酸素欠損によってキャリアである電子を生成することに注意すべきである。

【 0 0 6 1 】

酸化物半導体膜で電子が生成されると、ゲート電圧がゼロでもトランジスタがオン状態となる、いわゆるノーマリーオンの電気特性になりやすい。そのため、酸化物半導体膜の酸素欠損を低減することが好ましい。

【 0 0 6 2 】

例えば、酸化物半導体膜の酸素欠損を低減するために、酸化物半導体膜の外部から供給される酸素を利用してもよい。外部から酸素を供給する方法として、具体的にはイオンドーピング処理、イオン注入処理、プラズマ処理などの酸化処理などを行えばよい。または、過剰酸素含有層を設け、そこから酸化物半導体膜に酸素を供給してもよい。

30

【 0 0 6 3 】

このような方法を用いたとしても、酸化物半導体膜を用いたトランジスタを微細化していくことで、外部から供給される酸素よりも酸化物半導体膜に生じる酸素欠損の割合が多くなることがある。この原因の一つは、微細化に伴い、酸化物半導体膜の体積に対しての表面積が増大していくことにある。この観点からも、チャネル長を小さくした場合に、チャネル幅を大きくすることが重要であるといえる。

【 0 0 6 4 】

しかしながら、チャネル幅を極端に大きくしてしまうと、トランジスタを微細化するという当初の目的を達することができない。そのため、チャネル長とチャネル幅の比率は、現実的な範囲から選択することになる。このような観点から、チャネル長を制約なく小さくしようとすることは、チャネル幅を一定以上に大きくできないために現実的ではなかった可能性がある。

40

【 0 0 6 5 】

そこで、酸化物半導体膜の外部から供給される酸素を有効活用することが重要となる。例えば、酸化物半導体膜を用いたトランジスタ上に酸素透過性の低い層を設けることで、酸素の外方拡散が抑制され、酸素を有効活用できるようになる。そのため、チャネル長が小さく、チャネル幅がある程度以下の大きさであったときでも、スイッチング特性を得ることができる。

【 0 0 6 6 】

50

また、酸化物半導体膜を用いたトランジスタを微細化していくと、酸化物半導体膜の側面に寄生チャネルが形成されることがある。このことも、発明者らの精力的な研究によりわかってきたことの一つである。

【0067】

寄生チャネルの影響は、短チャネルのトランジスタにおいて顕著となることがあるため、短チャネル効果と間違われやすいが、厳密には異なる。

【0068】

寄生チャネルは、トランジスタの本来のチャネルよりも、しきい値電圧が小さいことが多い。そのため、寄生チャネルの影響が大きくなると、あたかもトランジスタのしきい値電圧が負方向にシフトしたかのように見える。これは、酸化物半導体膜の側面はキャリアが生成しやすいためである。そのため、酸化物半導体膜の側面に対しては、他の表面に対してよりも外部から酸素を多く供給してやることが重要となる。

10

【0069】

例えば、酸化物半導体膜の側面に酸素透過性の低い層を設け、酸素欠損が生じにくい構造とするとよい。さらに、酸素透過性の低い層と積層して過剰酸素含有層を酸化物半導体膜の側面に設けるとよい。このとき、過剰酸素含有層を酸化物半導体膜の側面に接して設けると好ましい。

【0070】

なお、酸化物半導体膜は、酸素欠損のほかに、水素によってキャリアである電子を生成することが知られる。従って、酸化物半導体膜中の水素も低減することが好ましい。

20

【0071】

少数キャリア密度が極めて小さく、かつ酸素欠損、水素などのキャリア生成源が低減された酸化物半導体膜を用いたトランジスタは、オフ電流が極めて小さくできる。

【0072】

また、酸化物半導体膜を用いたトランジスタは、シリコンなどを用いた従来のトランジスタと組み合わせて用いることができる。例えば、シリコンを用いたトランジスタや化合物半導体を用いたトランジスタなどは、酸化物半導体膜を用いたトランジスタと比べてオン特性を高めやすい。従って、オン特性の求められるトランジスタには、シリコンを用いたトランジスタや化合物半導体を用いたトランジスタなどを用い、低いオフ電流が求められるトランジスタには酸化物半導体膜を用いたトランジスタを適用しても構わない。酸化物半導体膜は、スパッタリング法などの薄膜形成方法で形成することができるため、他の半導体材料と組み合わせて用いる際の制約が少ないことも特徴の一つである。

30

【0073】

なお、シリコンを用いたトランジスタは、シリコン表面を水素終端することで良好な電気特性を得ることができる。従って、シリコンを用いたトランジスタに対し水素供給源となる水素含有層を設けることが好ましい。ところが、前述したように、酸化物半導体膜を用いたトランジスタにとって、水素はキャリア生成源であり、電気特性を悪化させる要因である。

【0074】

そのため、シリコンを用いたトランジスタと酸化物半導体膜を用いたトランジスタを組み合わせる場合、水素含有層をシリコンを用いたトランジスタ側に設け、水素透過性の低い層を酸化物半導体膜を用いたトランジスタ側に設けると好ましい。

40

【発明の効果】

【0075】

酸化物半導体膜を用いることにより、チャネル長が小さくても、実質的に短チャネル効果が生じず、スイッチング特性の得られるトランジスタを提供することができる。

【0076】

また、当該トランジスタを適用した集積度の高い半導体装置を提供することができる。

【図面の簡単な説明】

【0077】

50

【図 1】本発明の一態様に係る半導体装置の一例を示す上面図および断面図。

【図 2】本発明の一態様に係る半導体装置の一例を示す上面図および断面図。

【図 3】本発明の一態様に係る半導体装置の一例を示す上面図および断面図。

【図 4】本発明の一態様に係る半導体装置の一例を示す上面図および断面図。

【図 5】本発明の一態様に係る半導体装置の作製方法の一例を示す断面図。

【図 6】本発明の一態様に係る半導体装置の作製方法の一例を示す断面図。

【図 7】本発明の一態様に係る半導体装置の一例を示す上面図および断面図。

【図 8】本発明の一態様に係る半導体装置の作製方法の一例を示す断面図。

【図 9】本発明の一態様に係る半導体装置の一例を示す上面図および断面図。

【図 10】本発明の一態様に係る半導体装置の作製方法の一例を示す断面図。

10

【図 11】本発明の一態様に係る半導体装置の作製方法の一例を示す断面図。

【図 12】本発明の一態様に係る半導体装置の作製方法の一例を示す断面図。

【図 13】本発明の一態様に係る半導体装置の一例を示す上面図および断面図。

【図 14】本発明の一態様に係る半導体装置の作製方法の一例を示す断面図。

【図 15】本発明の一態様に係る半導体装置の一例を示す上面図および断面図。

【図 16】本発明の一態様に係る半導体装置の作製方法の一例を示す断面図。

【図 17】本発明の一態様に係る半導体記憶装置の一例を示す回路図、電気特性を示す図および断面図。

【図 18】本発明の一態様に係る半導体記憶装置の一例を示す回路図、電気特性を示す図および断面図。

20

【図 19】本発明の一態様に係る CPU の具体例を示すブロック図およびその一部の回路図。

【図 20】本発明の一態様に係る電子機器の一例を示す斜視図。

【図 21】n 型シリコンを用いたトランジスタのソース、ドレイン間のバンド図。

【図 22】n 型シリコンを用いたトランジスタのソース側のバンド図。

【図 23】酸化物半導体膜を用いたトランジスタのソース、ドレイン間におけるバンド図。

【発明を実施するための形態】

【0078】

本発明の実施の形態について、図面を用いて詳細に説明する。ただし、本発明は以下の説明に限定されず、その形態および詳細を様々に変更し得ることは、当業者であれば容易に理解される。また、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、図面を用いて発明の構成を説明するにあたり、同じものを指す符号は異なる図面間でも共通して用いる。なお、同様のものを指す際にはハッチパターンを同じくし、特に符号を付さない場合がある。

30

【0079】

以下、本発明の説明を行うが、本明細書で用いる用語について簡単に説明する。まず、トランジスタのソースとドレインについては、本明細書においては、一方をドレインと呼ぶとき他方をソースとする。即ち、電位の高低によって、それらを区別しない。従って、本明細書において、ソースとされている部分をドレインと読み替えることもできる。

40

【0080】

また、電圧は、ある電位と、基準の電位（例えば接地電位（GND）またはソース電位）との電位差のことを示す場合が多い。よって、電圧を電位と言い換えることが可能である。

【0081】

本明細書においては、「電氣的に接続する」と表現される場合であっても、現実の回路においては、物理的な接続部分がなく、配線が延在しているだけの場合もある。

【0082】

なお、第 1、第 2 として付される序数詞は便宜上用いるものであり、工程順または積層順を示すものではない。また、本明細書において発明を特定するための事項として固有の名

50

称を示すものではない。

【0083】

なお、チャンネル長とは、トランジスタのソースとドレインとの間の距離をいう。チャンネル長が小さいほど、オン抵抗が小さくなり、高速動作が可能なトランジスタとなる。また、チャンネル幅とは、トランジスタのソースとドレインとの対向長をいう。チャンネル幅が大きいほど、オン抵抗が小さくなり、高速動作が可能なトランジスタとなる。

【0084】

(実施の形態1)

本実施の形態では、本発明の一態様に係るトランジスタについて説明する。

【0085】

図1(A)は本発明の一態様に係るトランジスタの上面図である。図1(A)に示す一点鎖線A1-A2に対応する断面図を図1(B)に示す。また、図1(A)に示す一点鎖線A3-A4に対応する断面図を図1(C)に示す。なお、説明を容易にするため、図1(A)においては、下地絶縁膜102などを省略して示す。

【0086】

図1(A)に、トランジスタのチャンネル長(L)およびチャンネル幅(W)を示す。なお、トランジスタのチャンネル領域は、酸化物半導体膜106におけるゲート電極104と重畳する領域である。なお、少なくとも酸化物半導体膜106の二側面の一部は、ゲート電極104と重畳する。

【0087】

図1(A)に示すトランジスタは、チャンネル長が5nm以上60nm未満、かつチャンネル幅が5nm以上200nm未満である。

【0088】

また、図1(A)に示すトランジスタは、チャンネル長に対して、チャンネル幅が0.5倍以上10倍以下である。

【0089】

図1(B)は、基板100上に設けられた下地絶縁膜102と、下地絶縁膜102上に設けられた酸化物半導体膜106と、酸化物半導体膜106上に設けられたゲート絶縁膜112と、ゲート絶縁膜112上にあり、酸化物半導体膜106と重畳して設けられたゲート電極104と、を有するトランジスタの断面構造である。

【0090】

なお、図1(B)には、酸化物半導体膜106、ゲート電極104上に設けられた、酸化物半導体膜106に達する開口部を有する層間絶縁膜118と、層間絶縁膜118の開口部を介して酸化物半導体膜106と接して設けられた配線136と、を示す。

【0091】

酸化物半導体膜106の材料は、例えば、In-M-Zn-O系材料を用いればよい。ここで、金属元素Mは酸素との結合エネルギーがInおよびZnよりも高い元素である。または、In-M-Zn-O系材料から酸素が脱離することを抑制する機能を有する元素である。金属元素Mの作用によって、酸化物半導体膜の酸素欠損の生成がある程度抑制される。そのため、酸素欠損に起因するトランジスタの電気特性の変動を低減することができ、信頼性の高いトランジスタを得ることができる。

【0092】

金属元素Mは、具体的にはAl、Sc、Ti、V、Cr、Mn、Fe、Co、Ni、Ga、Y、Zr、Nb、Mo、Sn、La、Ce、Pr、Nd、Sm、Eu、Gd、Tb、Dy、Ho、Er、Tm、Yb、Lu、Hf、TaまたはWとすればよく、好ましくはAl、Ti、Ga、Y、Zr、CeまたはHfとする。金属元素Mは、前述の元素から一種または二種以上選択すればよい。また、金属元素Mの代わりにSiまたはGeを用いても構わない。

【0093】

ただし、酸化物半導体膜106に含まれる金属元素Mの作用のみでは酸化物半導体膜10

10

20

30

40

50

6の酸素欠損の生成を完全に抑制できるわけではない。そのため、下地絶縁膜102およびゲート絶縁膜112の少なくともいずれかから酸素を供給することが重要となる。

【0094】

また、酸化物半導体膜106中の水素濃度を、 $2 \times 10^{20} \text{ atoms/cm}^3$ 以下、好ましくは $5 \times 10^{19} \text{ atoms/cm}^3$ 以下、さらに好ましくは $1 \times 10^{19} \text{ atoms/cm}^3$ 以下とする。これは、酸化物半導体膜106に含まれる水素が意図しないキャリアを生成することがあるためである。生成されたキャリアは、トランジスタの電気特性を変動させる要因となる。

【0095】

酸化物半導体膜106は、単結晶、多結晶（ポリクリスタルともいう。）または非晶質などの状態をとる。

【0096】

好ましくは、酸化物半導体膜106は、CAAC-OS(C Axis Aligned Crystalline Oxide Semiconductor)膜とする。

【0097】

CAAC-OS膜は、完全な単結晶ではなく、完全な非晶質でもない。CAAC-OS膜は、非晶質相に結晶部を有する結晶-非晶質混相構造の酸化物半導体膜である。なお、当該結晶部は、一辺が100nm未満の立方体内に収まる大きさであることが多い。また、透過型電子顕微鏡(TEM: Transmission Electron Microscope)による観察像では、CAAC-OS膜に含まれる非晶質部と結晶部との境界は明確ではない。また、TEMによってCAAC-OS膜には粒界(グレインバウンダリーともいう。)は確認できない。そのため、CAAC-OS膜は、粒界に起因するキャリア移動度の低下が抑制される。

【0098】

CAAC-OS膜に含まれる結晶部は、c軸がCAAC-OS膜の被形成面または上面に垂直な方向に揃い、かつab面に垂直な方向から見て三角形または六角形の原子配列を有し、c軸に垂直な方向から見て金属原子が層状または金属原子と酸素原子とが層状に配列している。なお、異なる結晶部間で、それぞれa軸およびb軸の向きが異なってもよい。本明細書において、単に垂直と記載する場合、 85° 以上 95° 以下の範囲も含まれることとする。

【0099】

なお、CAAC-OS膜において、結晶部の分布が一様でなくてもよい。例えば、CAAC-OS膜の形成過程において、酸化物半導体膜106の上面側から結晶成長させる場合、被形成面側に対し上面側では結晶部の占める割合が高くなることもある。また、CAAC-OS膜へ不純物を添加することにより、当該不純物添加領域において結晶部が非晶質化することもある。

【0100】

CAAC-OS膜に含まれる結晶部のc軸は、CAAC-OS膜の被形成面の法線ベクトルまたは上面の法線ベクトルに平行な方向に揃うため、CAAC-OS膜の形状(被形成面の断面形状または上面の断面形状)によっては互いに異なる方向を向くことがある。なお、結晶部のc軸の方向は、CAAC-OS膜が形成されたときの被形成面の法線ベクトルまたは上面の法線ベクトルに平行な方向となる。結晶部は、成膜することにより、または成膜後に加熱処理などの結晶化処理を行うことにより形成される。

【0101】

CAAC-OS膜を用いたトランジスタは、可視光や紫外光の照射による電気特性の変動が小さい。よって、当該トランジスタは、信頼性が高い。

【0102】

なお、酸化物半導体膜106は、領域106aおよび領域106bを有する。領域106aはチャネル領域として機能し、領域106bはソース領域およびドレイン領域として機能する。従って、領域106bは、半導体ではなく導体と呼ぶべき場合がある。そのため

10

20

30

40

50

、便宜上は酸化物半導体膜 106 と示した場合でも、領域 106b を除外して領域 106a のみを指していることがある。

【0103】

領域 106b は、領域 106a よりも抵抗の低い領域である。領域 106b は、酸化物半導体膜の抵抗を下げる作用のある不純物を含む領域である。酸化物半導体膜の抵抗を下げる作用のある不純物は、例えば、ヘリウム、ホウ素、窒素、フッ素、ネオン、アルミニウム、リン、アルゴン、ヒ素、クリプトン、インジウム、スズ、アンチモンおよびキセノンが挙げられる。

【0104】

酸化物半導体膜 106 における領域 106a は、バンドギャップが $2.8\text{ eV} \sim 3.2\text{ eV}$ 程度であり、少数キャリア密度が 10^{-9} 個 / cm^3 程度と極めて少なく、多数キャリアはトランジスタのソースから来るのみである。

10

【0105】

酸化物半導体膜 106 は、シリコンと比べて $1 \sim 2\text{ eV}$ 程度バンドギャップが大きい。そのため、酸化物半導体膜 106 を用いたトランジスタは、衝突イオン化が起こりにくく、アバランシェブレークダウンが起こりにくい。即ち、当該トランジスタは、ホットキャリア劣化が起こりにくいといえる。

【0106】

また、領域 106a は、不純物濃度が低く、酸素欠損が少ない。そのため、当該トランジスタは、酸化物半導体膜 106 の厚さが厚い場合（例えば、 15 nm 以上 100 nm 未満）でもゲート電極 104 の電界によって領域 106a を完全空乏化させることができる。従って、当該トランジスタは、パンチスルー現象によるしきい値電圧の負方向へのシフトが起こらず、かつ、例えばチャネル長が $3\text{ }\mu\text{m}$ のとき、チャネル幅 $1\text{ }\mu\text{m}$ あたりのオフ電流を、室温において 10^{-21} A 未満、または 10^{-24} A 未満とすることができる。

20

【0107】

酸素欠損の少ない酸化物半導体膜は、電子スピン共鳴（ESR: Electron Spin Resonance）によって、酸素欠損に起因する信号を有さない酸化物半導体膜である。具体的には、酸素欠損に起因するスピン密度が、 $5 \times 10^{16}\text{ spins/cm}^3$ 未満の酸化物半導体膜である。なお、酸化物半導体膜が酸素欠損を有すると、ESR にて g 値が 1.93 近傍に対称性を有する信号が現れる。

30

【0108】

下地絶縁膜 102 は十分な平坦性を有することが好ましい。具体的には、平均面粗さ（ R_a ）が 1 nm 以下、好ましくは 0.3 nm 以下、さらに好ましくは 0.1 nm 以下とする。上述の数値以下の R_a とすることで、結晶化度の高い酸化物半導体膜 106 を設けることができる。また、下地絶縁膜 102 と酸化物半導体膜 106 との界面の凹凸が小さくなることで、界面散乱の影響を小さくできる。なお、 R_a とは、JIS B 0601:2001（ISO 4287:1997）で定義されている算術平均粗さを曲面に対して適用できるように三次元に拡張したものであり、「基準面から指定面までの偏差の絶対値を平均した値」で表現でき、数式（17）にて定義される。

【0109】

40

【数 17】

$$Ra = \frac{1}{S_0} \int_{y_1}^{y_2} \int_{x_1}^{x_2} |f(x, y) - Z_0| dx dy \quad (17)$$

【0110】

ここで、指定面とは、粗さ計測の対象となる面であり、座標 $(x_1, y_1, f(x_1, y_1))$, $(x_1, y_2, f(x_1, y_2))$, $(x_2, y_1, f(x_2, y_1))$, $(x_2, y_2, f(x_2, y_2))$ の 4 点で表される四角形の領域とし、指定面を xy 平面に投影した長方形の面積を S_0 、基準面の高さ（指定面の平均の高さ）を Z_0 とする。 R_a は原子間力顕微鏡（AFM: Atomic Force Microscope）にて評

50

価可能である。

【0111】

下地絶縁膜102は、過剰酸素を含む絶縁膜であると好ましい。

【0112】

過剰酸素を含む絶縁膜とは、TDS (Thermal Desorption Spectroscopy : 昇温脱離ガス分光法) 分析にて放出される酸素が酸素原子に換算して $1 \times 10^{18} \text{ atoms/cm}^3$ 以上、 $1 \times 10^{19} \text{ atoms/cm}^3$ 以上または $1 \times 10^{20} \text{ atoms/cm}^3$ 以上である絶縁膜をいう。

【0113】

ここで、TDS分析を用いた酸素の放出量の測定方法について、以下に説明する。

10

【0114】

TDS分析したときの気体の全放出量は、放出ガスのイオン強度の積分値に比例する。そしてこの積分値と標準試料との比較により、気体の全放出量を計算することができる。

【0115】

例えば、標準試料である所定の密度の水素を含むシリコンウェハのTDS分析結果、および絶縁膜のTDS分析結果から、絶縁膜の酸素分子の放出量 (N_{O_2}) は、数式(18)で求めることができる。ここで、TDS分析で得られる質量数32で検出されるガスの全てが酸素分子由来と仮定する。質量数32のものとしてほかに CH_3OH があるが、存在する可能性が低いものとしてここでは考慮しない。また、酸素原子の同位体である質量数17の酸素原子および質量数18の酸素原子を含む酸素分子についても、自然界における存在比率が極微量であるため考慮しない。

20

【0116】

【数18】

$$N_{O_2} = \frac{N_{H_2}}{S_{H_2}} \times S_{O_2} \times \alpha \quad (18)$$

【0117】

N_{H_2} は、標準試料から脱離した水素分子を密度で換算した値である。 S_{H_2} は、標準試料をTDS分析したときのイオン強度の積分値である。ここで、標準試料の基準値を、 N_{H_2} / S_{H_2} とする。 S_{O_2} は、絶縁膜をTDS分析したときのイオン強度の積分値である。 α は、TDS分析におけるイオン強度に影響する係数である。数式(18)の詳細に関しては、特開平6-275697公報を参照する。なお、上記絶縁膜の酸素の放出量は、電子科学株式会社製の昇温脱離分析装置EMD-WA1000S/Wを用い、標準試料として $1 \times 10^{16} \text{ atoms/cm}^2$ の水素原子を含むシリコンウェハを用いて測定した。

30

【0118】

また、TDS分析において、酸素の一部は酸素原子として検出される。酸素分子と酸素原子の比率は、酸素分子のイオン化率から算出することができる。なお、上述の α は酸素分子のイオン化率を含むため、酸素分子の放出量を評価することで、酸素原子の放出量についても見積もることができる。

40

【0119】

なお、 N_{O_2} は酸素分子の放出量である。酸素原子に換算したときの放出量は、酸素分子の放出量の2倍となる。

【0120】

または、過剰酸素を含む絶縁膜は、過酸化ラジカルを含む絶縁膜であってもよい。具体的には、過酸化ラジカルに起因するスピン密度が、 $5 \times 10^{17} \text{ spins/cm}^3$ 以上の絶縁膜である。なお、過酸化ラジカルを含む絶縁膜は、ESRにて、g値が2.01近傍に非対称の信号を有する絶縁膜である。

【0121】

または、過剰酸素を含む絶縁膜は、酸素が過剰な酸化シリコン (SiO_x ($x > 2$)) で

50

あってもよい。酸素が過剰な酸化シリコン (SiO_x ($x > 2$)) は、シリコン原子数の2倍より多い酸素原子を単位体積あたりに含むものである。単位体積あたりのシリコン原子数および酸素原子数は、ラザフォード後方散乱法により測定した値である。

【0122】

下地絶縁膜102は、酸化アルミニウム、窒化アルミニウム、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジウム、酸化ハフニウムおよび酸化タンタルを含む材料から一種以上選択して、単層で、または積層で用いればよい。また、前述の単層または積層に加えて、窒化酸化シリコン、窒化シリコンを積層しても構わない。

【0123】

酸化窒化シリコンは、その組成において、窒素よりも酸素の含有量が多いものを示し、また、窒化酸化シリコンは、その組成において、酸素よりも窒素の含有量が多いものを示す。

【0124】

また、ゲート絶縁膜112は、過剰酸素を含む絶縁膜であると好ましい。

【0125】

ゲート絶縁膜112は酸化アルミニウム、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジウム、酸化ハフニウムおよび酸化タンタルを含む材料から一種以上選択して、単層で、または積層で用いればよい。

【0126】

下地絶縁膜102およびゲート絶縁膜112の少なくともいずれかに含まれる過剰酸素は、材料の化学量論的組成を超えて含まれる酸素である。従って、過剰酸素は、熱などのエネルギーを与えられると放出する性質を有する。過剰酸素は化学量論的組成に対して過剰に含まれるものであるため、放出することによって失われても、膜質を低下させることがない。

【0127】

例えば、酸化物半導体膜106の酸素欠損を、下地絶縁膜102およびゲート絶縁膜112のいずれかから供給される酸素によって低減することができる。即ち、酸化物半導体膜106の酸素欠損が低減されることで、トランジスタのしきい値電圧の負方向へのシフトを抑制することができる。そのためには、下地絶縁膜およびゲート絶縁膜の少なくともいずれかに、過剰酸素を含む絶縁膜を用いればよい。

【0128】

なお、下地絶縁膜102およびゲート絶縁膜112で酸化物半導体膜106を挟み、加熱処理を行うことで、下地絶縁膜102から放出させた酸素を、効率よく酸化物半導体膜106に供給することができる。また、当該加熱処理を、250 以上550 以下の温度で行うと、酸化物半導体膜106に酸素を供給するとともに、酸化物半導体膜106、下地絶縁膜102およびゲート絶縁膜112の水素濃度を低減することができる。

【0129】

ただし、当該加熱処理により、下地絶縁膜102およびゲート絶縁膜112のいずれかに含まれる過剰酸素が失われてしまうことがある。トランジスタの電気特性の変動を低減するという観点では、加熱処理後も下地絶縁膜102およびゲート絶縁膜112のいずれかは過剰酸素を含むことが好ましい。

【0130】

基板100に大きな制限はないが、少なくとも、後の熱処理に耐え得る程度の耐熱性を有している必要がある。例えば、ガラス基板、セラミック基板、石英基板、サファイア基板などを、基板100として用いてもよい。また、シリコンや炭化シリコンなどの単結晶半導体基板、多結晶半導体基板、シリコンゲルマニウムなどの化合物半導体基板、SOI (Silicon On Insulator) 基板などを適用することも可能であり、これらの基板上に半導体素子が設けられたものを、基板100として用いてもよい。

10

20

30

40

50

【0131】

また、基板100として、第5世代(1000mm×1200mmまたは1300mm×1500mm)、第6世代(1500mm×1800mm)、第7世代(1870mm×2200mm)、第8世代(2200mm×2500mm)、第9世代(2400mm×2800mm)、第10世代(2880mm×3130mm)などの大型ガラス基板を用いる場合、半導体装置の作製工程における加熱処理などで生じる基板100の縮みによって、微細な加工が困難になる場合がある。そのため、前述したような大型ガラス基板を基板100として用いる場合、加熱処理による縮みの小さいものを用いることが好ましい。例えば、基板100として、400℃、好ましくは450℃、さらに好ましくは500℃の温度で1時間加熱処理を行った後の縮み量が10ppm以下、好ましくは5ppm以下、さらに好ましくは3ppm以下である大型ガラス基板を用いればよい。

10

【0132】

また、基板100として、可とう性基板を用いてもよい。なお、可とう性基板上にトランジスタを設ける方法としては、非可とう性の基板上にトランジスタを作製した後、トランジスタを剥離し、可とう性基板である基板100に転置する方法もある。その場合には、非可とう性基板とトランジスタとの間に剥離層を設けるとよい。

【0133】

ゲート電極104は、Al、Ti、Cr、Co、Ni、Cu、Y、Zr、Mo、Ag、TaおよびWを一種以上含む、単体、窒化物、酸化物または合金を、単層で、または積層で用いればよい。

20

【0134】

層間絶縁膜118は、酸化アルミニウム、窒化アルミニウム、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウムおよび酸化タンタルを含む材料から一種以上選択して、単層で、または積層で用いればよい。

【0135】

なお、層間絶縁膜118は、比誘電率が低く、かつ十分な厚さを有すると好ましい。例えば、比誘電率が3.8程度である酸化シリコン膜を用い、200nm以上1000nm以下の厚さで設ければよい。層間絶縁膜118の上面は、大気成分などの影響で僅かに固定電荷を有し、その影響により、トランジスタのしきい値電圧が変動することがある。そのため、層間絶縁膜118は、上面に生じる電荷の影響が十分に小さくなるような範囲の比誘電率および厚さとすることが好ましい。同様の理由で、層間絶縁膜118上にポリイミド樹脂、アクリル樹脂、エポキシ樹脂、シリコーン樹脂などの樹脂膜を形成することで、層間絶縁膜118の上面に生じる電荷の影響を低減しても構わない。

30

【0136】

配線136は、Al、Ti、Cr、Co、Ni、Cu、Y、Zr、Mo、Ag、TaおよびWを一種以上含む、単体、窒化物、酸化物または合金を、単層で、または積層で用いればよい。

【0137】

また、図1に示すトランジスタとは、異なる構造のトランジスタについて、図2を用いて説明する。

40

【0138】

図2(A)は本発明の一態様に係るトランジスタの上面図である。図2(A)に示す一点鎖線B1-B2に対応する断面図を図2(B)に示す。また、図2(A)に示す一点鎖線B3-B4に対応する断面図を図2(C)に示す。なお、説明を容易にするため、図2(A)においては、下地絶縁膜102などを省略して示す。

【0139】

図2(A)に、トランジスタのチャンネル長(L)およびチャンネル幅(W)を示す。なお、トランジスタのチャンネル領域は、酸化物半導体膜106におけるゲート電極104と重畳する領域である。なお、少なくとも酸化物半導体膜106の二側面の一部は、ゲート電極

50

104と重畳する。

【0140】

図2(A)に示すトランジスタは、チャネル長が5nm以上60nm未満、かつチャネル幅が5nm以上200nm未満である。

【0141】

また、図2(A)に示すトランジスタは、チャネル長に対して、チャネル幅が0.5倍以上10倍以下である。

【0142】

図2(B)は、基板100上に設けられた下地絶縁膜102と、下地絶縁膜102上に設けられた酸化物半導体膜106と、酸化物半導体膜106上に設けられたゲート絶縁膜112と、ゲート絶縁膜112上にあり、酸化物半導体膜106と重畳して設けられたゲート電極104と、下地絶縁膜102、酸化物半導体膜106およびゲート電極104上に設けられた、酸化物半導体膜106に達する開口部を有するバリア膜108と、を有するトランジスタの断面構造である。

10

【0143】

なお、図2(B)には、酸化物半導体膜106、ゲート電極104上に設けられた、酸化物半導体膜106に達する開口部を有する層間絶縁膜118と、層間絶縁膜118の開口部を介して酸化物半導体膜106と接して設けられた配線136と、を示す。

【0144】

図2に示すトランジスタは、下地絶縁膜102、酸化物半導体膜106およびゲート電極104上に設けられた、酸化物半導体膜106に達する開口部を有するバリア膜108を有する点でのみ図1に示すトランジスタと異なる。従って、そのほかの構成については、図1についての説明を参照することができる。

20

【0145】

バリア膜108は、酸素透過性の低い絶縁膜である。具体的には、350、1時間の加熱処理によって酸素が透過しない性質を有する絶縁膜である。

【0146】

バリア膜108は、酸化アルミニウム、窒化アルミニウム、酸化マグネシウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウムおよび酸化タンタルを含む材料から一種以上選択して、単層で、または積層で用いられればよい。好ましくは、酸化アルミニウム膜を用いる。

30

【0147】

図2に示すトランジスタは、下地絶縁膜102、酸化物半導体膜106およびゲート電極104上に設けられた、酸化物半導体膜106に達する開口部を有するバリア膜108を有するため、下地絶縁膜102およびゲート絶縁膜112のいずれかに含まれる過剰酸素の外方拡散を抑制することができる。従って、下地絶縁膜102およびゲート絶縁膜112のいずれかに含まれる過剰酸素を、効率的に酸化物半導体膜106に供給することができる。即ち、図1に示すトランジスタよりも、さらにトランジスタのしきい値電圧の負方向へのシフトを抑制することができる。

【0148】

また、図1および図2に示すトランジスタとは、異なる構造のトランジスタについて、図3を用いて説明する。

40

【0149】

図3(A)は本発明の一態様に係るトランジスタの上面図である。図3(A)に示す一点鎖線C1-C2に対応する断面図を図3(B)に示す。また、図3(A)に示す一点鎖線C3-C4に対応する断面図を図3(C)に示す。なお、説明を容易にするため、図3(A)においては、下地絶縁膜102などを省略して示す。

【0150】

図3(A)に、トランジスタのチャネル長(L)およびチャネル幅(W)を示す。なお、トランジスタのチャネル領域は、酸化物半導体膜106におけるゲート電極104と重畳

50

する領域である。なお、少なくとも酸化物半導体膜 106 の二側面の一部は、ゲート電極 104 と重畳する。

【0151】

図3(A)に示すトランジスタは、チャネル長が5nm以上60nm未満、かつチャネル幅が5nm以上200nm未満である。

【0152】

また、図3(A)に示すトランジスタは、チャネル長に対して、チャネル幅が0.5倍以上10倍以下である。

【0153】

図3(B)は、基板100上に設けられた下地絶縁膜102と、下地絶縁膜102上に設けられた酸化物半導体膜106と、酸化物半導体膜106上に設けられた第1の層132aおよび第2の層132bを含むゲート絶縁膜132と、ゲート絶縁膜132上にあり、酸化物半導体膜106と重畳して設けられたゲート電極104と、を有するトランジスタの断面構造である。なお、第1の層132aは、第2の層132bよりも酸化物半導体膜106側に設けられる。

10

【0154】

なお、図3(B)には、酸化物半導体膜106、ゲート電極104上に設けられた、酸化物半導体膜106に達する開口部を有する層間絶縁膜118と、層間絶縁膜118の開口部を介して酸化物半導体膜106と接して設けられた配線136と、を示す。

【0155】

20

図3に示すトランジスタは、ゲート絶縁膜112に代えて、第1の層132aおよび第2の層132bを含むゲート絶縁膜132を有する点でのみ図1に示すトランジスタと異なる。従って、そのほかの構成については、図1についての説明を参照することができる。

【0156】

ここで、第1の層132aは、過剰酸素を含む絶縁膜である。

【0157】

第1の層132aは、酸化アルミニウム、窒化アルミニウム、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウムおよび酸化タンタルを含む材料から一種以上選択して、単層で、または積層で用いればよい。

30

【0158】

また、第2の層132bは、酸素透過性の低い絶縁膜である。具体的には、350、1時間の加熱処理によって酸素が透過しない性質を有する絶縁膜である。

【0159】

第2の層132bは、酸化アルミニウム、窒化アルミニウム、酸化マグネシウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウムおよび酸化タンタルを含む材料から一種以上選択して、単層で、または積層で用いればよい。好ましくは、酸化アルミニウム膜を用いる。

【0160】

図3(C)に示すように、ゲート電極104と重畳する領域において酸化物半導体膜106の側面と接して第1の層132aが設けられる。従って、ゲート電極104と重畳する領域において酸化物半導体膜106の側面に対し、第1の層132aから酸素を供給することができる。また、第1の層132aを覆うように第2の層132bが設けられることで、第1の層132aから効率よく酸素を供給することができる。

40

【0161】

酸化物半導体膜の側面には、酸化物半導体膜の側面の性質に起因して、寄生チャネルが形成されることがある。寄生チャネルは、トランジスタの本来のチャネルよりも、しきい値電圧が低いことが多い。そのため、寄生チャネルの影響が大きくなると、あたかもトランジスタのしきい値電圧が負方向にシフトしたかのように見える。これは、酸化物半導体膜の側面はキャリアが生成しやすいためである。そのため、酸化物半導体膜の側面に対して

50

は、他の表面に対してよりも外部から酸素を多く供給してやることが重要となる。

【 0 1 6 2 】

寄生チャネルの影響は、短チャネルのトランジスタにおいて顕著となることがあるため、微細化したトランジスタにおいては、図 3 に示すような構造を採用することが効果的である。

【 0 1 6 3 】

図 3 に示すトランジスタは、ゲート電極 1 0 4 と重畳する領域において酸化物半導体膜 1 0 6 の側面に寄生チャネルが形成されにくい。即ち、図 1 に示すトランジスタよりも、さらにトランジスタのしきい値電圧の負方向へのシフトを抑制することができる。

【 0 1 6 4 】

また、図 1 乃至図 3 に示すトランジスタとは、異なる構造のトランジスタについて、図 4 を用いて説明する。

【 0 1 6 5 】

図 4 (A) は本発明の一態様に係るトランジスタの上面図である。図 4 (A) に示す一点鎖線 D 1 - D 2 に対応する断面図を図 4 (B) に示す。また、図 4 (A) に示す一点鎖線 D 3 - D 4 に対応する断面図を図 4 (C) に示す。なお、説明を容易にするため、図 4 (A) においては、下地絶縁膜 1 0 2 など省略して示す。

【 0 1 6 6 】

図 4 (A) に、トランジスタのチャネル長 (L) およびチャネル幅 (W) を示す。なお、トランジスタのチャネル領域は、酸化物半導体膜 1 0 6 におけるゲート電極 1 0 4 と重畳する領域である。なお、少なくとも酸化物半導体膜 1 0 6 の二側面の一部は、ゲート電極 1 0 4 と重畳する。

【 0 1 6 7 】

図 4 (A) に示すトランジスタは、チャネル長が 5 n m 以上 6 0 n m 未満、かつチャネル幅が 5 n m 以上 2 0 0 n m 未満である。

【 0 1 6 8 】

また、図 4 (A) に示すトランジスタは、チャネル長に対して、チャネル幅が 0 . 5 倍以上 1 0 倍以下である。

【 0 1 6 9 】

図 4 (B) は、基板 1 0 0 上に設けられた下地絶縁膜 1 0 2 と、下地絶縁膜 1 0 2 上に設けられた酸化物半導体膜 1 0 6 と、酸化物半導体膜 1 0 6 上に設けられた第 1 の層 1 3 2 a および第 2 の層 1 3 2 b を含むゲート絶縁膜 1 3 2 と、ゲート絶縁膜 1 3 2 上にあり、酸化物半導体膜 1 0 6 と重畳して設けられたゲート電極 1 0 4 と、下地絶縁膜 1 0 2 、酸化物半導体膜 1 0 6 およびゲート電極 1 0 4 上に設けられた、酸化物半導体膜 1 0 6 に達する開口部を有するバリア膜 1 0 8 と、を有するトランジスタの断面構造である。なお、第 1 の層 1 3 2 a は、第 2 の層 1 3 2 b よりも酸化物半導体膜 1 0 6 側に設けられる。

【 0 1 7 0 】

なお、図 4 (B) には、酸化物半導体膜 1 0 6 、ゲート電極 1 0 4 上に設けられた、酸化物半導体膜 1 0 6 に達する開口部を有する層間絶縁膜 1 1 8 と、層間絶縁膜 1 1 8 の開口部を介して酸化物半導体膜 1 0 6 と接して設けられた配線 1 3 6 と、を示す。

【 0 1 7 1 】

図 4 に示すトランジスタは、下地絶縁膜 1 0 2 、酸化物半導体膜 1 0 6 およびゲート電極 1 0 4 上に設けられた、酸化物半導体膜 1 0 6 に達する開口部を有するバリア膜 1 0 8 を有する点で図 2 に示すトランジスタと同様である。また、図 4 に示すトランジスタは、ゲート絶縁膜 1 1 2 に代えて、第 1 の層 1 3 2 a および第 2 の層 1 3 2 b を含むゲート絶縁膜 1 3 2 を有する点で図 3 に示すトランジスタと同様である。従って、図 4 に示すトランジスタの構成は、図 1 乃至図 3 についての説明を参照することができる。

【 0 1 7 2 】

図 4 に示すトランジスタは、下地絶縁膜 1 0 2 、酸化物半導体膜 1 0 6 およびゲート電極 1 0 4 上に設けられた、酸化物半導体膜 1 0 6 に達する開口部を有するバリア膜 1 0 8 を

10

20

30

40

50

有するため、下地絶縁膜 102 および第 1 の層 132 a のいずれかに含まれる過剰酸素の外方拡散を抑制することができる。従って、下地絶縁膜 102 および第 1 の層 132 a のいずれかに含まれる過剰酸素を、効率的に酸化物半導体膜 106 に供給することができる。即ち、トランジスタのしきい値電圧の負方向へのシフトを抑制することができる。

【0173】

また、図 4 (C) に示すように、ゲート電極 104 と重畳する領域において酸化物半導体膜 106 の側面と接して第 1 の層 132 a が設けられる。従って、ゲート電極 104 と重畳する領域において酸化物半導体膜 106 の側面に対し、第 1 の層 132 a から酸素を供給することができる。また、第 1 の層 132 a を覆うように第 2 の層 132 b が設けられることで、第 1 の層 132 a から効率よく酸素を供給することができる。

10

【0174】

そのため、図 4 に示すトランジスタは、ゲート電極 104 と重畳する領域において酸化物半導体膜 106 の側面に寄生チャネルが形成されにくい。即ち、トランジスタのしきい値電圧の負方向へのシフトを抑制することができる。

【0175】

以上に示すように、チャネル長が小さい場合 (5 nm 以上 60 nm 未満) でも実質的に短チャネル効果が生じないトランジスタとして、チャネル幅の大きい (5 nm 以上 200 nm 未満)、酸化物半導体膜を用いたトランジスタを提案する。

【0176】

また、チャネル長に対してチャネル幅を一定の比率とした、酸化物半導体膜を用いたトランジスタを提案する。

20

【0177】

加えて、酸化物半導体膜 106 の酸素欠損によるしきい値電圧の負方向へのシフト、寄生チャネルによるしきい値電圧の負方向へのシフトの抑制されたトランジスタを提案する。

【0178】

以上により、微細化してもスイッチング特性の得られるトランジスタを提供することができる。

【0179】

以下に、図 5 および図 6 を用いて、図 4 に示すトランジスタの作製方法を示す。なお、図 1 乃至図 3 に示すトランジスタの作製方法については、図 4 に示すトランジスタの作製方法を適宜採用すればよい。説明を容易にするため、ここでは図 4 (B) に対応する断面図のみを示す。

30

【0180】

まず、基板 100 を準備する。

【0181】

次に、基板 100 上に下地絶縁膜 102 を成膜する (図 5 (A) 参照。)。下地絶縁膜 102 は、下地絶縁膜 102 として示した材料から選択し、スパッタリング法、化学気相成長 (CVD: Chemical Vapor Deposition) 法、分子線エピタキシー (MBE: Molecular Beam Epitaxy) 法、原子層堆積 (ALD: Atomic Layer Deposition) 法またはパルスレーザ堆積 (PLD: Pulsed Laser Deposition) 法を用いて成膜すればよい。

40

【0182】

ここで、下地絶縁膜 102 の脱水化、脱水素化処理を行ってもよい。脱水化、脱水素化処理は、例えば、加熱処理によって行うことができる。加熱処理の温度は、250 以上 650 以下、好ましくは 300 以上 500 以下で行えばよい。加熱処理の雰囲気は、不活性ガス雰囲気、酸化性ガスを 10 ppm 以上、1% 以上もしくは 10% 以上含む雰囲気、または減圧状態で行う。または、加熱処理の雰囲気は、不活性ガス雰囲気で加熱処理した後に、脱離した酸素を補うために酸化性ガスを 10 ppm 以上、1% 以上もしくは 10% 以上含む雰囲気で加熱処理を行ってもよい。または、脱水化、脱水素化処理として、

50

プラズマ処理、UV処理または薬液処理を行っても構わない。

【0183】

次に、下地絶縁膜102に対し、上面側から酸素を添加してもよい。酸素の添加は、イオン注入法またはイオンドーピング法を用いて行えばよい。その場合、加速電圧を5kV以上100kV以下とする。また、酸素の添加量は 1×10^{14} ions/cm²以上 1×10^{16} ions/cm²以下とする。さらに、下地絶縁膜102に対し、上面側から異なる条件で酸素を添加してもよい。

【0184】

または、酸素の添加は、酸素を含むプラズマ中で基板側にバイアス電圧を印加することで行ってもよい。その場合、バイアス電圧を10V以上1kV未満とする。また、バイアス電圧の印加時間は、10s以上1000s以下、好ましくは10s以上200s以下、さらに好ましくは10s以上60s以下とすればよい。バイアス電圧が高いほど、バイアス電圧の印加時間が長いほど、酸素を添加することができるが、同時に起こる膜のエッチングを無視できなくなる。

10

【0185】

酸素を添加することで、下地絶縁膜102を過剰酸素を含む絶縁膜とすることができる。ただし、過剰酸素を含む絶縁膜の形成方法は上述の方法に限定されない。例えば、酸素の割合が高い雰囲気、かつ室温(25 程度)以上150 以下の基板温度において行うスパッタリング法によっても、過剰酸素を含む絶縁膜を形成することができる。具体的には、成膜ガス中の酸素などの酸化性ガスの割合を、20%以上、好ましくは50%以上、さらに好ましくは80%以上とすればよい。過剰酸素を含む絶縁膜の形成方法は、適宜組み合わせることができる。

20

【0186】

以上のようにして過剰酸素を含ませた下地絶縁膜102を形成すればよい。ただし、本実施の形態は、下地絶縁膜102に過剰酸素を含む場合に限定されない。

【0187】

下地絶縁膜102は十分な平坦性を有することが好ましいため、下地絶縁膜102に対し、平坦化処理を行ってもよい。平坦化処理としては、化学機械研磨(CMP: Chemical Mechanical Polishing)、またはドライエッチング法を用いればよい。具体的には、平均面粗さ(Ra)が1nm以下、好ましくは0.3nm以下、さらに好ましくは0.1nm以下となるように下地絶縁膜102を設ける。

30

【0188】

次に、酸化物半導体膜を成膜する。酸化物半導体膜は、酸化物半導体膜106として示した材料から選択し、スパッタリング法、CVD法、MBE法、ALD法またはPLD法を用いて成膜すればよい。酸化物半導体膜は、好ましくはスパッタリング法を用いて成膜する。この際、酸素などの酸化性ガスを5%以上、好ましくは10%以上、さらに好ましくは20%以上、さらに好ましくは50%以上含む成膜ガスを用いる。該成膜ガスとして、水素などの不純物濃度が低いガスを用いる。

【0189】

酸化物半導体膜の成膜後、第1の加熱処理を行ってもよい。第1の加熱処理の温度は、250 以上650 以下、好ましくは300 以上500 以下で行えばよい。第1の加熱処理の雰囲気は、不活性ガス雰囲気、酸化性ガスを10ppm以上、1%以上もしくは10%以上含む雰囲気、または減圧状態で行う。または、第1の加熱処理の雰囲気は、不活性ガス雰囲気で加熱処理した後に、脱離した酸素を補うために酸化性ガスを10ppm以上、1%以上または10%以上含む雰囲気で加熱処理を行ってもよい。第1の加熱処理によって、酸化物半導体膜から水素や水などの不純物を除去することができる。

40

【0190】

次に、酸化物半導体膜を加工し島状にして、酸化物半導体膜107を形成する(図5(B)参照)。

【0191】

50

次に、第1の層133aを成膜する。第1の層133aは、第1の層132aとして示した材料から選択し、スパッタリング法、CVD法、MBE法、ALD法またはPLD法を用いて成膜すればよい。

【0192】

ここで、第1の層133aの脱水化、脱水素化処理を行ってもよい。脱水化、脱水素化処理は、例えば、加熱処理によって行うことができる。加熱処理の温度は、250以上650以下、好ましくは300以上500以下で行えばよい。加熱処理の雰囲気は、不活性ガス雰囲気、酸化性ガスを10ppm以上、1%以上もしくは10%以上含む雰囲気、または減圧状態で行う。または、加熱処理の雰囲気は、不活性ガス雰囲気で加熱処理した後に、脱離した酸素を補うために酸化性ガスを10ppm以上、1%以上もしくは10%以上含む雰囲気で加熱処理を行ってもよい。または、脱水化、脱水素化処理として、プラズマ処理、UV処理または薬液処理を行っても構わない。

10

【0193】

次に、第1の層133aに対し、上面側から酸素を添加してもよい。酸素の添加は、イオン注入法またはイオンドーピング法を用いて行えばよい。その場合、加速電圧を5kV以上100kV以下とする。また、酸素の添加量は 1×10^{14} ions/cm²以上 1×10^{16} ions/cm²以下とする。さらに、第1の層133aに対し、上面側から異なる条件で酸素を添加してもよい。

【0194】

または、酸素の添加は、酸素を含むプラズマ中で基板側にバイアス電圧を印加することで行ってもよい。その場合、バイアス電圧を10V以上1kV未満とする。また、バイアス電圧の印加時間は、10s以上1000s以下、好ましくは10s以上200s以下、さらに好ましくは10s以上60s以下とすればよい。

20

【0195】

酸素が添加されることで、第1の層133aを過剰酸素を含む絶縁膜とすることができる。ただし、過剰酸素を含む絶縁膜の形成方法は上述の方法に限定されない。例えば、酸素の割合が高い雰囲気、かつ室温以上150以下の基板温度において行うスパッタリング法によっても、過剰酸素を含む絶縁膜を形成することができる。具体的には、酸素の割合を、20%以上、好ましくは50%以上、さらに好ましくは80%以上とすればよい。過剰酸素を含む絶縁膜の形成方法は、適宜組み合わせることができる。

30

【0196】

以上のようにして過剰酸素を含ませた第1の層133aを形成すればよい。ただし、本実施の形態は、第1の層133aに過剰酸素を含む場合に限定されない。

【0197】

次に、第2の層133bを成膜する。第2の層133bは、第2の層132bとして示した材料から選択し、スパッタリング法、CVD法、MBE法、ALD法またはPLD法を用いて成膜すればよい。

【0198】

次に、導電膜105を成膜する(図5(C)参照。)。導電膜105は、ゲート電極104として示した材料から選択し、スパッタリング法、CVD法、MBE法、ALD法またはPLD法を用いて成膜すればよい。

40

【0199】

次に、導電膜105を加工して、ゲート電極104を形成する。

【0200】

次に、ゲート電極104をマスクとし、またはゲート電極104の加工のためにマスクを用い、第2の層133bおよび第1の層133aを加工して、第2の層132bおよび第1の層132aを含むゲート絶縁膜132を形成する(図6(A)参照。)

【0201】

次に、ゲート電極104をマスクとして、酸化物半導体膜107に対し不純物を添加する。不純物としては、ヘリウム、ホウ素、窒素、フッ素、ネオン、アルミニウム、リン、ア

50

ルゴン、ヒ素、クリプトン、インジウム、スズ、アンチモンおよびキセノンから選ばれた一種以上を添加すればよい。不純物添加の方法は、イオン注入法、イオンドーピング法で行えばよい。そのとき、加速電圧を5 kV以上100 kV以下とする。また、不純物の添加量は $1 \times 10^{14} \text{ ions/cm}^2$ 以上 $1 \times 10^{16} \text{ ions/cm}^2$ 以下とする。その後、加熱処理を行ってもよい。

【0202】

酸化物半導体膜107は、前述の不純物を添加（および加熱処理）することにより、一部が低抵抗化する。ここで、低抵抗化した領域を領域106b、低抵抗化しなかった領域を領域106aとし、あわせて酸化物半導体膜106とする。

【0203】

なお、本実施の形態ではゲート絶縁膜132を形成した後で、酸化物半導体膜107へ不純物を添加する方法について説明しているが、これに限定されない。例えば、ゲート電極104を形成した後に、第2の層133bおよび第1の層133aを介して酸化物半導体膜107へ不純物を添加しても構わない。第2の層133bおよび第1の層133aを介することで、酸化物半導体膜107へダメージが入りにくくできる。

【0204】

次に、バリア膜108を成膜する（図6（B）参照。）。バリア膜108は、バリア膜108として示した材料から選択し、スパッタリング法、CVD法、MBE法、ALD法またはPLD法を用いて成膜すればよい。

【0205】

なお、バリア膜108の形成後、第2の加熱処理を行う。第2の加熱処理によって、下地絶縁膜102またはノおよびゲート絶縁膜132から酸素を放出させることができる。放出された酸素は、酸化物半導体膜106へ供給され、酸素欠損を低減することができる。また、寄生チャネルの影響を低減することができる。第2の加熱処理は、第1の加熱処理と同様の条件で行えばよい。

【0206】

なお、第2の加熱処理は、バリア膜108の形成後であれば、いつ行ってもよい。また、第2の加熱処理を行わなくてもよい。

【0207】

以上のようにして図4に示すトランジスタを作製することができる。

【0208】

図4に示すトランジスタは、酸化物半導体膜106に酸素欠損が少なく、寄生チャネルの影響も小さく、微細化してもスイッチング特性を得ることができる。

【0209】

次に、バリア膜108上に層間絶縁膜118を成膜する。層間絶縁膜118は、層間絶縁膜118として示した材料から選択し、スパッタリング法、CVD法、MBE法、ALD法またはPLD法を用いて成膜すればよい。

【0210】

次に、層間絶縁膜118およびバリア膜108に開口部を設け、酸化物半導体膜106を露出する。

【0211】

次に、配線136となる導電膜を成膜する。配線136となる導電膜は、配線136として示した材料から選択し、スパッタリング法、CVD法、MBE法、ALD法またはPLD法を用いて成膜すればよい。

【0212】

次に、配線136となる導電膜を加工して、配線136を形成する（図6（C）参照。）。

【0213】

本実施の形態により、微細化してもスイッチング特性の得られるトランジスタを提供することができる。また、当該トランジスタを用いた集積度の高い半導体装置を提供すること

10

20

30

40

50

ができる。

【0214】

なお、本実施の形態は適宜他の実施の形態と組み合わせて用いることができる。

【0215】

(実施の形態2)

本実施の形態では、実施の形態1とは異なる構造のトランジスタについて説明する。

【0216】

図7(A)は本発明の一態様に係るトランジスタの上面図である。図7(A)に示す一点鎖線E1-E2に対応する断面図を図7(B)に示す。また、図7(A)に示す一点鎖線E3-E4に対応する断面図を図7(C)に示す。なお、説明を容易にするため、図7(A)においては、下地絶縁膜202などを省略して示す。

10

【0217】

図7(A)に、トランジスタのチャネル長(L)およびチャネル幅(W)を示す。なお、トランジスタのチャネル領域は、酸化物半導体膜206におけるゲート電極204と重畳する領域である。なお、少なくとも酸化物半導体膜206の二側面は、ゲート電極204と重畳する。

【0218】

図7(A)に示すトランジスタは、チャネル長が5nm以上60nm未満、かつチャネル幅が5nm以上200nm未満である。

【0219】

20

また、図7(A)に示すトランジスタは、チャネル長に対して、チャネル幅が0.5倍以上10倍以下である。

【0220】

図7(B)は、基板200上に設けられた下地絶縁膜202と、下地絶縁膜202上に設けられた酸化物半導体膜206と、酸化物半導体膜206と同一平面上に設けられた一対の電極216と、酸化物半導体膜206上に設けられたゲート絶縁膜212と、ゲート絶縁膜212上にあり、酸化物半導体膜206と重畳して設けられたゲート電極204と、を有するトランジスタの断面構造である。

【0221】

なお、図7(B)には、酸化物半導体膜206、一対の電極216、ゲート電極204上に設けられた、一対の電極216に達する開口部を有する層間絶縁膜218と、層間絶縁膜218の開口部を介して一対の電極216と接して設けられた配線236と、を示す。

30

【0222】

なお、基板200の材料は、基板100と同様の材料から選択して用いればよい。

【0223】

なお、下地絶縁膜202は、下地絶縁膜102と同様の材料から選択して用いればよい。

【0224】

ゲート電極204は、ゲート電極104と同様の材料から選択して用いればよい。

【0225】

ゲート絶縁膜212は、ゲート絶縁膜112と同様の材料から選択して用いればよい。なお、ゲート絶縁膜212は、ゲート絶縁膜132と同様の層構造として設けてもよい。

40

【0226】

酸化物半導体膜206は、酸化物半導体膜106と同様の材料から選択して用いればよい。

【0227】

層間絶縁膜218は、層間絶縁膜118と同様の材料から選択して用いればよい。

【0228】

配線236は、配線136と同様の材料から選択して用いればよい。

【0229】

一対の電極216は、Al、Ti、Cr、Co、Ni、Cu、Y、Zr、Mo、Ag、T

50

aおよびWを一種以上含む、単体、窒化物、酸化物または合金を、単層で、または積層で用いればよい。

【0230】

図示しないが、下地絶縁膜202、一对の電極216、酸化物半導体膜206およびゲート電極204上にバリア膜を設けてもよい。バリア膜は、バリア膜108と同様の材料から選択して用いられ、バリア膜108と同様の機能を有する。

【0231】

従って、図7に示すトランジスタは、図1乃至図4に示すトランジスタとは、酸化物半導体膜206の形状、および一对の電極216を有する点でのみ異なる。そのため、そのほかの構成については、図1乃至図4についての説明を参照することができる。

10

【0232】

図7に示すトランジスタは、図1に示すトランジスタにおいて、酸化物半導体膜106の領域106bに代えて、一对の電極216を有する構造である。従って、実施の形態1で示したトランジスタと比べて、ソース、ドレインの抵抗を小さくすることができる。そのため、微細化しても、オン特性の高いトランジスタを提供することができる。

【0233】

以下に、図8を用いて、図7に示すトランジスタの作製方法を示す。説明を容易にするため、ここでは図7(B)に対応する断面図のみを示す。

【0234】

まず、基板200を準備する。

20

【0235】

次に、基板200上に下地絶縁膜202を形成する。下地絶縁膜202は、下地絶縁膜102と同様の材料および方法を用いて形成すればよい。

【0236】

次に、一对の電極216となる導電膜を成膜する。一对の電極216となる導電膜は、一对の電極216として示した材料から選択し、スパッタリング法、CVD法、MBE法、ALD法またはPLD法を用いて成膜すればよい。

【0237】

次に、一对の電極216となる導電膜を加工し、下地絶縁膜202を露出する開口部を有する導電膜217を形成する。

30

【0238】

次に、酸化物半導体膜207を成膜する(図8(A)参照。)。酸化物半導体膜207は、酸化物半導体膜106として示した材料および方法を用いて成膜すればよい。

【0239】

酸化物半導体膜207の成膜後、第1の加熱処理を行ってもよい。第1の加熱処理は、実施の形態1を参照する。

【0240】

次に、酸化物半導体膜207および、導電膜217に対して平坦化処理を行う。平坦化処理はCMP処理などを用いられ、当該平坦化処理によって、導電膜217の開口部のみ、酸化物半導体膜を設ける。

40

【0241】

次に、導電膜217の開口部のみに設けられた酸化物半導体膜および、導電膜217を加工し、島状にして、酸化物半導体膜206および一对の電極216を形成する(図8(B)参照。)。

【0242】

次に、ゲート絶縁膜212、およびゲート絶縁膜212上のゲート電極204を形成する(図8(C)参照。)。ゲート絶縁膜212は、ゲート絶縁膜112またはゲート絶縁膜132と同様の材料および方法を用いて形成すればよい。ゲート電極204は、ゲート電極104と同様の材料および方法を用いて形成すればよい。

【0243】

50

次に、バリア膜を成膜してもよい。バリア膜は、バリア膜 108 と同様の材料および方法を用いて成膜すればよい。

【0244】

以上のようにして図 7 に示すトランジスタを作製することができる。

【0245】

図 7 に示すトランジスタは、酸化物半導体膜 206 に酸素欠損が少なく、寄生チャネルの影響が小さく、微細化してもスイッチング特性を得ることができる。また、一对の電極 216 を有することによって、微細化してもオン特性の優れたトランジスタとすることができる。

【0246】

次に、層間絶縁膜 218 を成膜する。層間絶縁膜 218 は、層間絶縁膜 118 と同様の材料および方法を用いて成膜すればよい。

【0247】

次に、層間絶縁膜 218 に開口部を設け、一对の電極 216 を露出する。

【0248】

次に、配線 236 を形成する。配線 236 は、配線 136 と同様の材料および方法を用いて形成すればよい（図 8（D）参照。）。

【0249】

本実施の形態により、微細化してもスイッチング特性の得られ、かつオン特性の優れたトランジスタを提供することができる。また、当該トランジスタを用いた集積度の高い半導体装置を提供することができる。

【0250】

なお、本実施の形態は適宜他の実施の形態と組み合わせて用いることができる。

【0251】

（実施の形態 3）

本実施の形態では、実施の形態 1 および実施の形態 2 とは異なる構造のトランジスタについて説明する。

【0252】

図 9（A）は本発明の一態様に係るトランジスタの上面図である。図 9（A）に示す一点鎖線 F1 - F2 に対応する断面図を図 9（B）に示す。また、図 9（A）に示す一点鎖線 F3 - F4 に対応する断面図を図 9（C）に示す。なお、説明を容易にするため、図 9（A）においては、下地絶縁膜 302 などを省略して示す。

【0253】

図 9（A）に、トランジスタのチャネル長（L）およびチャネル幅（W）を示す。なお、トランジスタのチャネル領域は、酸化物半導体膜 306 におけるゲート電極 304 と重畳する領域である。なお、少なくとも酸化物半導体膜 306 の二側面は、ゲート電極 304 と重畳する。

【0254】

図 9（A）に示すトランジスタは、チャネル長が 5 nm 以上 60 nm 未満、かつチャネル幅が 5 nm 以上 200 nm 未満である。

【0255】

また、図 9（A）に示すトランジスタは、チャネル長に対して、チャネル幅が 0.5 倍以上 10 倍以下である。

【0256】

図 9（B）は、基板 300 上に設けられた下地絶縁膜 302 と、下地絶縁膜 302 上に設けられた第 1 の領域 306a および第 2 の領域 306b を有する酸化物半導体膜 306 と、酸化物半導体膜 306 上に設けられたゲート絶縁膜 312 と、ゲート絶縁膜 312 上にあり、酸化物半導体膜 306 と重畳して設けられたゲート電極 304 と、ゲート電極 304 上に設けられた絶縁膜 320 と、ゲート電極 304 および絶縁膜 320 の側面と接して設けられた側壁絶縁膜 310 と、酸化物半導体膜 306 上に設けられ、酸化物半導体膜 3

10

20

30

40

50

06の第2の領域306bおよび側壁絶縁膜310と接して設けられた一对の電極316と、一对の電極316上に設けられ、絶縁膜320と上面の高さの揃った層間絶縁膜318と、を有するトランジスタの断面図である。

【0257】

なお、図9(B)には、層間絶縁膜318および絶縁膜320上に設けられた層間絶縁膜328と、層間絶縁膜318および層間絶縁膜328に設けられた一对の電極316に達する開口部を介して、一对の電極316と接して設けられた配線336を示す。

【0258】

図9(B)において、ゲート電極304と絶縁膜320は同様の上面形状である。また、ゲート絶縁膜312は、ゲート電極304および側壁絶縁膜310と同様の上面形状である。

10

【0259】

なお、酸化物半導体膜306の第1の領域306aは、トランジスタのチャネル領域として機能する。また、酸化物半導体膜306の第2の領域306bは、トランジスタのソース領域およびドレイン領域として機能する。

【0260】

図9に示すトランジスタは、一对の電極316が側壁絶縁膜310を挟んでゲート電極304の近くにまで設けられている。そのため、ソース、ドレインの抵抗を小さくすることができ、トランジスタのオン特性を高めることができる。

【0261】

20

なお、基板300の材料は、基板100と同様の材料から選択して用いればよい。

【0262】

下地絶縁膜302は、下地絶縁膜102と同様の材料から選択して用いればよい。

【0263】

ゲート電極304は、ゲート電極104と同様の材料から選択して用いればよい。

【0264】

ゲート絶縁膜312は、ゲート絶縁膜112と同様の材料から選択して用いればよい。なお、ゲート絶縁膜312は、ゲート絶縁膜132と同様の層構造として設けてもよい。

【0265】

酸化物半導体膜306は、酸化物半導体膜106と同様の材料から選択して用いればよい。

30

【0266】

側壁絶縁膜310は、酸化アルミニウム、窒化アルミニウム、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウムおよび酸化タンタルを含む材料から一種以上選択して用いればよい。

【0267】

絶縁膜320は、酸化アルミニウム、窒化アルミニウム、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウムおよび酸化タンタルを含む材料から一種以上選択して用いればよい。

40

【0268】

一对の電極316は、一对の電極216と同様の材料から選択して用いればよい。

【0269】

なお、層間絶縁膜318は、層間絶縁膜218と同様の材料から選択して用いればよい。

【0270】

なお、層間絶縁膜328は、層間絶縁膜218と同様の材料から選択して用いればよい。

【0271】

配線336は、配線136と同様の材料から選択して用いればよい。

【0272】

50

図示しないが、下地絶縁膜 302、一对の電極 316、酸化物半導体膜 306、絶縁膜 320 およびゲート電極 304 上にバリア膜を設けてもよい。バリア膜は、バリア膜 108 と同様の材料から選択して用いればよく、バリア膜 108 と同様の機能を有する。

【0273】

以下に、図 10 乃至図 12 を用いて、図 9 に示すトランジスタの作製方法を示す。説明を容易にするため、ここでは図 9 (B) に対応する断面図のみを示す。

【0274】

まず、基板 300 を準備する。

【0275】

次に、下地絶縁膜 302 を成膜する。下地絶縁膜 302 は、下地絶縁膜 102 と同様の材料および方法を用いて成膜すればよい。

10

【0276】

次に、酸化物半導体膜 307 を形成する。酸化物半導体膜 307 は、酸化物半導体膜 107 と同様の材料および方法を用いて形成すればよい。

【0277】

次に、ゲート絶縁膜 313 を形成する。ゲート絶縁膜 313 は、ゲート絶縁膜 112 またはゲート絶縁膜 132 と同様の材料および方法を用いて形成すればよい。

【0278】

次に、導電膜 305 を成膜する。導電膜 305 は、ゲート電極 304 となる材料として示した材料から選択し、スパッタリング法、CVD 法、MBE 法、ALD 法または PLD 法を用いて成膜すればよい。

20

【0279】

次に、絶縁膜 321 を成膜する (図 10 (A) 参照。)。絶縁膜 321 は、絶縁膜 320 として示した材料から選択し、スパッタリング法、CVD 法、MBE 法、ALD 法または PLD 法を用いて成膜すればよい。

【0280】

次に、絶縁膜 321 および導電膜 305 を加工し、絶縁膜 322 およびゲート電極 304 を形成する (図 10 (B) 参照。)。絶縁膜 322 とゲート電極 304 とは、同様の上面形状である。

【0281】

30

次に、絶縁膜 322 およびゲート電極 304 をマスクとし、酸化物半導体膜 307 に不純物を添加する。具体的には、不純物として、ヘリウム、ホウ素、窒素、フッ素、ネオン、アルミニウム、リン、アルゴン、ヒ素、クリプトン、インジウム、スズ、アンチモンおよびキセノンから選ばれた一種以上を添加すればよい。なお、その方法は、イオン注入法、イオンドーピング法で行えばよい。好ましくはイオン注入法を用いる。そのとき、加速電圧を 5 kV 以上 100 kV 以下とする。また、不純物の添加量は $1 \times 10^{14} \text{ ions/cm}^2$ 以上 $1 \times 10^{16} \text{ ions/cm}^2$ 以下とする。その後、加熱処理を行ってもよい。

【0282】

不純物の添加された領域は、低抵抗化し、第 2 の領域 306b となる。また、不純物の添加されない領域は、第 1 の領域 306a となる。以上のようにして、第 1 の領域 306a および第 2 の領域 306b を有する酸化物半導体膜 306 を形成する (図 10 (C) 参照。)。

40

【0283】

次に、側壁絶縁膜 310 となる絶縁膜を成膜する。側壁絶縁膜 310 となる絶縁膜は、側壁絶縁膜 310 として示した材料から選択し、スパッタリング法、CVD 法、MBE 法、ALD 法または PLD 法を用いて成膜すればよい。次に、側壁絶縁膜 310 となる絶縁膜に対し異方性の高いエッチング処理を行うことにより、絶縁膜 322 およびゲート電極 304 の側面に接する側壁絶縁膜 310 を形成することができる。

【0284】

50

側壁絶縁膜 310 を形成するとともに、ゲート絶縁膜 313 を側壁絶縁膜 310 およびゲート電極 304 をマスクとして加工し、ゲート絶縁膜 312 を形成する（図 11（A）参照。）。

【0285】

次に、導電膜 317 を成膜する（図 11（B）参照。）。導電膜 317 は、一对の電極 316 として示した材料から選択し、スパッタリング法、CVD 法、MBE 法、ALD 法または PLD 法を用いて成膜すればよい。

【0286】

なお、導電膜 317 の形成後、第 2 の加熱処理を行う。第 2 の加熱処理によって、下地絶縁膜 302 または / およびゲート絶縁膜 312 から酸素を放出させることができる。放出された酸素は、酸化物半導体膜 306 へ供給され、酸素欠損を低減することができる。第 2 の加熱処理は、実施の形態 1 で示した第 2 の加熱処理と同様の条件で行えばよい。

10

【0287】

また、第 2 の加熱処理は、導電膜 317 の形成直後に限定されず、導電膜 317 を形成した後であればどの工程時に行ってもよい。

【0288】

次に、層間絶縁膜 319 を成膜する（図 11（C）参照。）。層間絶縁膜 319 は、層間絶縁膜 318 として示した材料から選択し、スパッタリング法、CVD 法、MBE 法、ALD 法または PLD 法を用いて成膜すればよい。

【0289】

20

次に、層間絶縁膜 319 上から平坦化处理（CMP 処理、ドライエッチング処理など）を行い、一对の電極 316、層間絶縁膜 318、側壁絶縁膜 310 および絶縁膜 320 を形成する（図 12（A）参照。）。

【0290】

層間絶縁膜 319 上から平坦化处理を行うことで、導電膜 317 の絶縁膜 322（ゲート電極 304）と重畳している領域のみを除去することができる。その際に、絶縁膜 322 も平坦化处理に曝され、厚さの薄くなった絶縁膜 320 となる。

【0291】

このような方法を用いて、一对の電極 316 を形成することにより、一对の電極 316 を側壁絶縁膜 310 を挟んでゲート電極 304 の近くにまで設けることができる。

30

【0292】

以上のようにして、図 9 に示すトランジスタを作製することができる。

【0293】

図 9 に示すトランジスタは、酸化物半導体膜 306 に酸素欠損が少なく、寄生チャネルの影響が小さく、微細化してもスイッチング特性を得ることができる。また、一对の電極 316 を有することによって、微細化してもオン特性の優れたトランジスタとすることができる。

【0294】

次に、層間絶縁膜 328 を成膜する（図 12（B）参照。）。層間絶縁膜 328 は、層間絶縁膜 328 として示した材料から選択し、スパッタリング法、CVD 法、MBE 法、ALD 法または PLD 法を用いて成膜すればよい。

40

【0295】

次に、層間絶縁膜 328 および層間絶縁膜 318 を加工し、一对の電極 316 を露出する開口部を形成する。

【0296】

次に、配線 336 を形成する（図 12（C）参照。）。配線 336 は、配線 136 と同様の材料および方法を用いて形成すればよい。

【0297】

本実施の形態により、微細化してもスイッチング特性の得られ、かつオン特性の優れたトランジスタを提供することができる。また、当該トランジスタを用いた集積度の高い半導

50

体装置を提供することができる。

【0298】

なお、本実施の形態は適宜他の実施の形態と組み合わせて用いることができる。

【0299】

(実施の形態4)

本実施の形態では、実施の形態1乃至実施の形態3とは異なる構造のトランジスタについて説明する。

【0300】

図13(A)は本発明の一態様に係るトランジスタの上面図である。図13(A)に示す一点鎖線G1 - G2に対応する断面図を図13(B)に示す。また、図13(A)に示す一点鎖線G3 - G4に対応する断面図を図13(C)に示す。なお、説明を容易にするため、図13(A)においては、下地絶縁膜402などを省略して示す。

10

【0301】

図13(A)に、トランジスタのチャネル長(L)およびチャネル幅(W)を示す。なお、トランジスタのチャネル領域は、酸化物半導体膜406におけるゲート電極404と重畳する領域である。なお、少なくとも酸化物半導体膜406の二側面は、ゲート電極404と重畳する。

【0302】

図13(A)に示すトランジスタは、チャネル長が5nm以上60nm未満、かつチャネル幅が5nm以上200nm未満である。

20

【0303】

また、図13(A)に示すトランジスタは、チャネル長に対して、チャネル幅が0.5倍以上10倍以下である。

【0304】

図13(B)は、基板400上に設けられた下地絶縁膜402と、下地絶縁膜402上に設けられたチャネル幅の1倍以上5倍以下の厚さを有する酸化物半導体膜406と、酸化物半導体膜406上に設けられたゲート絶縁膜412と、ゲート絶縁膜412上にあり、酸化物半導体膜406と重畳して設けられたゲート電極404と、を有するトランジスタの断面構造である。

【0305】

30

なお、図13(B)には、酸化物半導体膜406、ゲート電極404上に設けられた、酸化物半導体膜406に達する開口部を有する層間絶縁膜418と、層間絶縁膜418の開口部を介して酸化物半導体膜406と接して設けられた配線436と、を示す。

【0306】

図13は、いわゆるフィン型のトランジスタである。フィン型のトランジスタは、チャネル領域が厚いことによって、キャリアの伝導経路が大きくなり、チャネル幅が小さくてもオン特性の優れたトランジスタとすることができる。

【0307】

なお、シリコンを用いたフィン型のトランジスタの場合、チャネル領域が厚いことによって、ゲートの電界による空乏層が広がり切らず、トランジスタを完全にオフすることが難しいことが課題となる。一方、酸化物半導体膜を用いたフィン型のトランジスタでは、チャネル領域が厚い場合でもゲートの電界による空乏層が十分に広がり、トランジスタをオフすることができる。

40

【0308】

なお、基板400の材料は、基板100と同様の材料から選択して用いればよい。

【0309】

なお、下地絶縁膜402は、下地絶縁膜102と同様の材料から選択して用いればよい。

【0310】

ゲート電極404は、ゲート電極104と同様の材料から選択して用いればよい。

【0311】

50

ゲート絶縁膜 4 1 2 は、ゲート絶縁膜 1 1 2 と同様の材料から選択して用いればよい。なお、ゲート絶縁膜 4 1 2 は、ゲート絶縁膜 1 3 2 と同様の層構造として設けてもよい。

【 0 3 1 2 】

酸化物半導体膜 4 0 6 は、酸化物半導体膜 1 0 6 と同様の材料から選択して用いればよい。酸化物半導体膜 4 0 6 の厚さは、1 0 0 n m 以上 2 μ m 未満とする。

【 0 3 1 3 】

層間絶縁膜 4 1 8 は、層間絶縁膜 1 1 8 と同様の材料から選択して用いればよい。

【 0 3 1 4 】

配線 4 3 6 は、配線 1 3 6 と同様の材料から選択して用いればよい。

【 0 3 1 5 】

図示しないが、下地絶縁膜 4 0 2、酸化物半導体膜 4 0 6 およびゲート電極 4 0 4 上にバリア膜を設けてもよい。バリア膜は、バリア膜 1 0 8 と同様の材料から選択して用いればよく、バリア膜 1 0 8 と同様の機能を有する。

【 0 3 1 6 】

以下に、図 1 4 を用いて、図 1 3 に示すトランジスタの作製方法を示す。説明を容易にするため、ここでは図 1 3 (B) に対応する断面図のみを示す。

【 0 3 1 7 】

まず、基板 4 0 0 を準備する。

【 0 3 1 8 】

次に、基板 4 0 0 上に下地絶縁膜 4 0 2 を形成する。下地絶縁膜 4 0 2 は、下地絶縁膜 1 0 2 と同様の材料および方法を用いて形成すればよい。

【 0 3 1 9 】

次に、酸化物半導体膜を形成する（図 1 4 (A) 参照。）。酸化物半導体膜は、酸化物半導体膜 1 0 7 と同様の材料および方法を用いて形成すればよい。

【 0 3 2 0 】

次に、ゲート絶縁膜 4 1 2 およびゲート絶縁膜 4 1 2 上のゲート電極 4 0 4 を形成する（図 1 4 (B) 参照。）。ゲート絶縁膜 4 1 2 は、ゲート絶縁膜 1 1 2 またはゲート絶縁膜 1 3 2 と同様の材料および方法を用いて形成すればよい。ゲート電極 4 0 4 は、ゲート電極 1 0 4 と同様の材料および方法を用いて形成すればよい。

【 0 3 2 1 】

次に、ゲート電極 4 0 4 をマスクとし、酸化物半導体膜 4 0 7 に不純物を添加する。具体的には、不純物として、ヘリウム、ホウ素、窒素、フッ素、ネオン、アルミニウム、リン、アルゴン、ヒ素、クリプトン、インジウム、スズ、アンチモンおよびキセノンから選ばれた一種以上を添加すればよい。なお、その方法は、イオン注入法、イオンドーピング法で行えばよい。好ましくはイオン注入法を用いる。そのとき、加速電圧を 5 k V 以上 1 0 0 k V 以下とする。また、不純物の添加量は 1×10^{14} i o n s / c m ² 以上 1×10^{16} i o n s / c m ² 以下とする。その後、加熱処理を行ってもよい。

【 0 3 2 2 】

次に、バリア膜を成膜してもよい。バリア膜は、バリア膜 1 0 8 と同様の材料および方法を用いて成膜すればよい。

【 0 3 2 3 】

以上のようにして図 1 3 に示すトランジスタを作製することができる。

【 0 3 2 4 】

図 1 3 に示すトランジスタは、酸化物半導体膜 4 0 6 に酸素欠損が少なく、寄生チャネルの影響が小さく、微細化してもスイッチング特性を得ることができる。また、酸化物半導体膜 4 0 6 がチャネル幅の 1 倍以上 5 倍以下の厚さを有することによって、微細化してもオン特性の優れたトランジスタとすることができる。

【 0 3 2 5 】

次に、層間絶縁膜 4 1 8 を形成する。層間絶縁膜 4 1 8 は、層間絶縁膜 1 1 8 と同様の材料および方法を用いて形成すればよい。

【 0 3 2 6 】

次に、層間絶縁膜 4 1 8 に開口部を設け、酸化物半導体膜 4 0 6 を露出する。

【 0 3 2 7 】

次に、配線 4 3 6 を形成する。配線 4 3 6 は、配線 1 3 6 と同様の材料および方法を用いて形成すればよい（図 1 4 (C) 参照。）。

【 0 3 2 8 】

本実施の形態により、微細化してもスイッチング特性の得られ、かつオン特性の優れたトランジスタを提供することができる。また、当該トランジスタを用いた集積度の高い半導体装置を提供することができる。

【 0 3 2 9 】

なお、本実施の形態は適宜他の実施の形態と組み合わせて用いることができる。

【 0 3 3 0 】

（実施の形態 5）

本実施の形態では、実施の形態 1 乃至実施の形態 4 とは異なる構造のトランジスタについて説明する。

【 0 3 3 1 】

図 1 5 (A) は本発明の一態様に係るトランジスタの上面図である。図 1 5 (A) に示す一点鎖線 H 1 - H 2 に対応する断面図を図 1 5 (B) に示す。また、図 1 5 (A) に示す一点鎖線 H 3 - H 4 に対応する断面図を図 1 5 (C) に示す。なお、説明を容易にするため、図 1 5 (A) においては、下地絶縁膜 5 0 2 などを省略して示す。

【 0 3 3 2 】

図 1 5 (A) に、トランジスタのチャネル長 (L) およびチャネル幅 (W) を示す。なお、トランジスタのチャネル領域は、酸化物半導体膜 5 0 6 における一対の電極 5 1 6 に挟まれる領域である。なお、少なくとも酸化物半導体膜 5 0 6 の二側面は、ゲート電極 5 0 4 と重畳する。

【 0 3 3 3 】

図 1 5 (A) に示すトランジスタは、チャネル長が 5 n m 以上 6 0 n m 未満、かつチャネル幅が 5 n m 以上 2 0 0 n m 未満である。

【 0 3 3 4 】

また、図 1 5 (A) に示すトランジスタは、チャネル長に対して、チャネル幅が 0 . 5 倍以上 1 0 倍以下である。

【 0 3 3 5 】

図 1 5 (B) は、基板 5 0 0 上に設けられた下地絶縁膜 5 0 2 と、下地絶縁膜 5 0 2 上に設けられたゲート電極 5 0 4 と、ゲート電極 5 0 4 上に設けられたゲート絶縁膜 5 1 2 と、ゲート絶縁膜 5 1 2 を介してゲート電極 5 0 4 と重畳して設けられた酸化物半導体膜 5 0 6 と、酸化物半導体膜 5 0 6 上に設けられた一対の電極 5 1 6 と、一対の電極 5 1 6 上に設けられた層間絶縁膜 5 1 8 と、を有するトランジスタの断面図である。

【 0 3 3 6 】

基板 5 0 0 の材料は、基板 1 0 0 と同様の材料から選択して用いればよい。

【 0 3 3 7 】

下地絶縁膜 5 0 2 は、基板 5 0 0 に起因する不純物が、酸化物半導体膜 5 0 6 に影響しないようにするために設ける。ただし、基板 5 0 0 が不純物を含まない場合は、下地絶縁膜 5 0 2 を設けなくても構わない。または、ゲート絶縁膜 5 1 2 によって不純物の拡散が抑制できる場合は、下地絶縁膜 5 0 2 を設けなくても構わない。

【 0 3 3 8 】

下地絶縁膜 5 0 2 は、酸化アルミニウム、窒化アルミニウム、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウムおよび酸化タンタルを含む材料から一種以上選択して、単層で、または積層で用いればよい。また、前述の単層または積層に加えて、窒化酸化シリコン、窒化シリコンを積層しても構わない。

10

20

30

40

50

【 0 3 3 9 】

ゲート電極 5 0 4 は、ゲート電極 1 0 4 と同様の材料から選択して用いればよい。

【 0 3 4 0 】

ゲート絶縁膜 5 1 2 は、ゲート絶縁膜 1 1 2 またはゲート絶縁膜 1 3 2 と同様の材料から選択して用いればよい。

【 0 3 4 1 】

酸化物半導体膜 5 0 6 は、酸化物半導体膜 1 0 6 と同様の材料から選択して用いればよい。

【 0 3 4 2 】

一对の電極 5 1 6 は、一对の電極 2 1 6 と同様の材料から選択して用いればよい。

10

【 0 3 4 3 】

層間絶縁膜 5 1 8 は、酸化アルミニウム、窒化アルミニウム、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウムおよび酸化タンタルを含む材料から一種以上選択して、単層で、または積層で用いればよい。また、前述の単層または積層に加えて、窒化酸化シリコン、窒化シリコンを積層しても構わない。

【 0 3 4 4 】

なお、層間絶縁膜 5 1 8 は、比誘電率が低く、かつ十分な厚さを有すると好ましい。例えば、比誘電率が 3 . 8 程度である酸化シリコン膜を用い、200 nm 以上 1000 nm 以下の厚さで設ければよい。層間絶縁膜 5 1 8 の上面は、大気成分などの影響で僅かに固定電荷を有し、その影響により、トランジスタのしきい値電圧が変動することがある。そのため、層間絶縁膜 5 1 8 は、上面に生じる電荷の影響が十分に小さくなるような範囲の比誘電率および厚さとするのが好ましい。同様の理由で、層間絶縁膜 5 1 8 上にポリイミド樹脂、アクリル樹脂、エポキシ樹脂、シリコーン樹脂などの樹脂膜を形成することで、層間絶縁膜 5 1 8 の上面に生じる電荷の影響を低減しても構わない。

20

【 0 3 4 5 】

以下に、図 1 6 を用いて、図 1 5 に示すトランジスタの作製方法を説明する。説明を容易にするため、ここでは図 1 5 (B) に対応する断面図のみを示す。

【 0 3 4 6 】

まず、基板 5 0 0 を準備する。

30

【 0 3 4 7 】

次に、基板 5 0 0 上に下地絶縁膜 5 0 2 を成膜する。下地絶縁膜 5 0 2 は、下地絶縁膜 5 0 2 として示した材料から選択し、スパッタリング法、CVD 法、MBE 法、ALD 法または PLD 法を用いて成膜すればよい。

【 0 3 4 8 】

次に、ゲート電極 5 0 4 を形成する。ゲート電極 5 0 4 は、ゲート電極 1 0 4 と同様の材料および方法を用いて形成すればよい。

【 0 3 4 9 】

次に、ゲート絶縁膜 5 1 2 を形成する(図 1 6 (A) 参照。)。ゲート絶縁膜 5 1 2 は、ゲート絶縁膜 1 1 2 またはゲート絶縁膜 1 3 2 と同様の材料および方法を用いて形成すればよい。

40

【 0 3 5 0 】

次に、酸化物半導体膜 5 0 6 を形成する(図 1 6 (B) 参照。)。酸化物半導体膜 5 0 6 は、酸化物半導体膜 1 0 7 と同様の材料および方法を用いて形成すればよい。

【 0 3 5 1 】

次に、一对の電極 5 1 6 となる導電膜を成膜する。一对の電極 5 1 6 となる導電膜は、一对の電極 5 1 6 として示した材料から選択し、スパッタリング法、CVD 法、MBE 法、ALD 法または PLD 法を用いて成膜すればよい。

【 0 3 5 2 】

次に、一对の電極 5 1 6 となる導電膜を加工して、一对の電極 5 1 6 を形成する。なお、

50

一对の電極 516 となる導電膜の加工は、一部に、電子線描画装置 (EB (Electron Beam) 露光機ともいう。) を用いると好ましい。EB 露光機は、極めて微細な加工が可能であるため、微細化したトランジスタを作製するために好適である。

【0353】

次に、層間絶縁膜 518 を成膜する (図 16 (C) 参照。)。層間絶縁膜 518 は、層間絶縁膜 518 として示した材料から選択し、スパッタリング法、CVD 法、MBE 法、ALD 法または PLD 法を用いて成膜すればよい。

【0354】

以上のようにして図 15 に示すトランジスタを作製することができる。

【0355】

図 15 に示すトランジスタは、酸化物半導体膜 506 に酸素欠損が少なく、寄生チャネルの影響が小さく、微細化してもスイッチング特性を得ることができる。また、一对の電極 516 を有することによって、微細化してもオン特性の優れたトランジスタとすることができる。

【0356】

本実施の形態により、微細化してもスイッチング特性の得られ、かつオン特性の優れたトランジスタを提供することができる。また、当該トランジスタを用いた集積度の高い半導体装置を提供することができる。

【0357】

なお、本実施の形態は適宜他の実施の形態と組み合わせて用いることができる。

【0358】

(実施の形態 6)

本実施の形態では、実施の形態 1 乃至実施の形態 5 のいずれかに示すトランジスタを用いて、半導体記憶装置を作製する例について説明する。

【0359】

揮発性半導体記憶装置の代表的な例としては、記憶素子を構成するトランジスタを選択してキャパシタに電荷を蓄積することで、情報を記憶する DRAM (Dynamic Random Access Memory)、フリップフロップなどの回路を用いて記憶内容を保持する SRAM (Static Random Access Memory) がある。

【0360】

不揮発性半導体記憶装置の代表例としては、トランジスタのゲートとチャネル領域との間にフローティングゲートを有し、当該フローティングゲートに電荷を保持することで記憶を行うフラッシュメモリがある。

【0361】

上述した半導体記憶装置に含まれるトランジスタの一部に実施の形態 1 乃至実施の形態 5 のいずれかに示すトランジスタを適用することができる。

【0362】

まずは、実施の形態 1 乃至実施の形態 5 のいずれかに示すトランジスタを適用した半導体記憶装置を構成するメモリセルの具体例を図 17 に示す。

【0363】

メモリセルは、ビット線 BL と、ワード線 WL と、センスアンプ SAmp と、トランジスタ Tr と、キャパシタ C と、を有する (図 17 (A) 参照。)。

【0364】

キャパシタ C に保持された電圧の時間変化は、トランジスタ Tr のオフ電流によって図 17 (B) に示すように徐々に低減していくことが知られている。当初 V0 から V1 まで充電された電圧は、時間が経過すると data1 を読み出す限界点である VA まで低減する。この期間を保持期間 T₁ とする。即ち、2 値メモリセルの場合、保持期間 T₁ の間にリフレッシュをする必要がある。

【0365】

10

20

30

40

50

ここで、トランジスタ T_r に実施の形態1乃至実施の形態5のいずれかに示すトランジスタを適用すると、該トランジスタはオフ電流を極めて小さくすることができるため、保持期間 $T_{\text{—}1}$ を長くすることができる。即ち、リフレッシュの頻度を少なくすることが可能となるため、消費電力を低減することができる。例えば、オフ電流が 1×10^{-21} Aから 1×10^{-25} Aであるトランジスタ T_r でメモリセルを構成すると、電力を供給せずに数日間から数十年間に渡ってデータを保持することが可能となる。

【0366】

また、トランジスタ T_r に実施の形態1乃至実施の形態5のいずれかに示すトランジスタを適用すると、該トランジスタは微細化されているため、メモリセルの面積を小さくできる。よって、半導体記憶装置の集積度を高めることができる。

10

【0367】

図17(C)は、メモリセルの断面構造の一例である。なお、図17(C)では、トランジスタ T_r に図4で示したトランジスタを適用している。そのため、トランジスタ T_r の各構成のうち、以下で説明しないものについては、実施の形態1などの説明を参照する。

【0368】

ここで、キャパシタ C は、下地絶縁膜102上にあり、トランジスタ T_r の領域106bと接して設けられた電極116、ゲート絶縁膜132と同一層かつ同一材料で形成された絶縁層およびゲート電極104と同一層かつ同一材料で形成された電極(容量電極)によって構成される。なお、図17(C)では、電極116が下地絶縁膜102に埋め込まれた形状としているが、これに限定されない。電極116は、下地絶縁膜102上にあり、トランジスタ T_r の領域106bと接して設けられていれば、どのような形状としても構わない。

20

【0369】

電極116は、Al、Ti、Cr、Co、Ni、Cu、Y、Zr、Mo、Ag、TaおよびWを一種以上含む、単体、窒化物、酸化物または合金を、単層で、または積層で用いればよい。

【0370】

また、ワード線 W_L は、ゲート電極104と電氣的に接続される。また、ビット線 B_L は、配線136と電氣的に接続される。

【0371】

図17(C)に示すメモリセルでは、トランジスタ T_r とキャパシタ C とが、同一層かつ同一材料で形成された電極および絶縁膜によって構成されるため、工程数が削減でき、生産性を高めることができる。ただし、トランジスタ T_r とキャパシタ C とが、同一層かつ同一材料で形成された電極および絶縁膜によって構成されなくても構わない。例えば、トランジスタ T_r とキャパシタ C とを重畳して設けることで、メモリセルの面積をさらに小さくしても構わない。

30

【0372】

以上のように、本発明の一態様によって、集積度が高く、消費電力の小さい半導体記憶装置を得ることができる。

【0373】

次に、実施の形態1乃至実施の形態5のいずれかに示すトランジスタを適用した半導体記憶装置を構成するメモリセルについて、図17と異なる例を図18を用いて説明する。

40

【0374】

図18(A)は、メモリセルの回路図である。メモリセルは、トランジスタ T_{r_1} と、トランジスタ T_{r_1} のゲートと電氣的に接続するワード線 W_{L_1} と、トランジスタ T_{r_1} のソースと電氣的に接続するソース線 S_{L_1} と、トランジスタ T_{r_2} と、トランジスタ T_{r_2} のソースと電氣的に接続するソース線 S_{L_2} と、トランジスタ T_{r_2} のドレインと電氣的に接続するドレイン線 D_{L_2} と、キャパシタ C と、キャパシタ C の一端と電氣的に接続する容量線 C_L と、キャパシタ C の他端、トランジスタ T_{r_1} のドレインおよびトランジスタ T_{r_2} のゲートと電氣的に接続するノード N と、を有する

50

。

【 0 3 7 5 】

なお、本実施の形態に示す半導体記憶装置は、ノードNの電位に応じて、トランジスタT_r__2の見かけ上のしきい値電圧が変動することを利用したものである。例えば、図18(B)は容量線C_Lの電圧V_{C_L}と、トランジスタT_r__2を流れるドレイン電流I_d__2との関係を説明する図である。

【 0 3 7 6 】

なお、トランジスタT_r__1を介してノードNの電位を調整することができる。例えば、ソース線S_L__1の電位をV_{DD}とする。このとき、ワード線W_L__1の電位をトランジスタT_r__1のしきい値電圧V_{th}にV_{DD}を加えた電位以上とすることで、ノードNの電位をHIGHにすることができる。また、ワード線W_L__1の電位をトランジスタT_r__1のしきい値電圧V_{th}以下とすることで、ノードNの電位をLOWにすることができる。

10

【 0 3 7 7 】

そのため、N = LOWで示したV_{C_L} - I_d__2カーブと、N = HIGHで示したV_{C_L} - I_d__2カーブのいずれかを得ることができる。即ち、N = LOWでは、V_{C_L} = 0 VにてI_d__2が小さいため、データ0となる。また、N = HIGHでは、V_{C_L} = 0 VにてI_d__2が大きいため、データ1となる。このようにして、データを記憶することができる。

【 0 3 7 8 】

ここで、トランジスタT_r__1に実施の形態1乃至実施の形態5のいずれかに示すトランジスタを適用すると、該トランジスタはオフ電流を極めて小さくすることができるため、ノードNに蓄積された電荷がトランジスタT_r__1のソースおよびドレイン間を意図せずにリークすることを抑制できる。そのため、長期間に渡ってデータを保持することができる。また、書き込み時に高い電圧が不要であるため、フラッシュメモリなどと比較して消費電力が低く、動作速度を速めることができる。

20

【 0 3 7 9 】

また、トランジスタT_r__1に実施の形態1乃至実施の形態5のいずれかに示すトランジスタを適用すると、該トランジスタは微細化されているため、メモリセルの面積を小さくできる。よって、半導体記憶装置の集積度を高めることができる。

30

【 0 3 8 0 】

図18(C)は、メモリセルの断面構造の一例である。なお、図18(C)では、トランジスタT_r__1に図4で示したトランジスタを適用している。そのため、トランジスタT_r__1の各構成のうち、以下で説明しないものについては、実施の形態1などの説明を参照する。

【 0 3 8 1 】

なお、本実施の形態では、トランジスタT_r__2として、シリコンを用いたトランジスタを適用した場合について説明する。ただし、トランジスタT_r__2に、実施の形態1乃至実施の形態5のいずれかに示すトランジスタを適用しても構わない。

【 0 3 8 2 】

シリコンを用いたトランジスタは、実施の形態1乃至実施の形態5に示すトランジスタと比べて、オン特性を高めやすい利点を有する。従って、低いオフ電流の求められるトランジスタT_r__1よりも、高いオン特性の求められるトランジスタT_r__2に好適といえる。

40

【 0 3 8 3 】

ここで、トランジスタT_r__2は、基板150上に設けられた下地絶縁膜152と、下地絶縁膜152上に設けられた、領域156aおよび領域156bを含むシリコン膜156と、シリコン膜156上に設けられたゲート絶縁膜162と、ゲート絶縁膜162上にあり、シリコン膜156と重畳して設けられたゲート電極154と、ゲート絶縁膜162およびゲート電極154の側壁に接して設けられた側壁絶縁膜160と、を有する。

50

【0384】

なお、トランジスタTr__2上には層間絶縁膜158が設けられ、層間絶縁膜158上には水素含有層168が設けられる。

【0385】

基板150の材料は、基板100と同様の材料から選択して用いればよい。

【0386】

下地絶縁膜152は、下地絶縁膜102と同様の材料から選択して用いればよい。

【0387】

シリコン膜156は、単結晶シリコン膜、多結晶シリコン膜などのシリコン膜を用いればよい。

10

【0388】

なお、領域156aはチャネル領域として機能する。また、領域156bはソース領域およびドレイン領域として機能する。

【0389】

なお、本実施の形態ではシリコン膜をチャネル領域、ソース領域およびドレイン領域に用いているが、基板150がシリコンウェハなどの半導体基板の場合、半導体基板内にチャネル領域、ソース領域およびドレイン領域が設けられていても構わない。

【0390】

ゲート絶縁膜162は、ゲート絶縁膜112と同様の材料から選択して用いればよい。

【0391】

ゲート電極154は、ゲート電極104と同様の材料から選択して用いればよい。

20

【0392】

側壁絶縁膜160は、側壁絶縁膜310と同様の材料から選択して用いればよい。

【0393】

層間絶縁膜158は、層間絶縁膜118と同様の材料から選択して用いればよい。なお、層間絶縁膜158上にポリイミド樹脂、アクリル樹脂、エポキシ樹脂、シリコーン樹脂などの樹脂膜を形成しても構わない。

【0394】

水素含有層168は、二次イオン質量分析(SIMS: Secondary Ion Mass Spectrometry)で水素を $1 \times 10^{21} \text{ atoms/cm}^3$ 以上含む絶縁膜である。

30

【0395】

水素含有層168は、例えば、窒化酸化シリコン膜、窒化シリコン膜を用いればよい。

【0396】

トランジスタTr__2は、シリコンを用いたトランジスタであるため、シリコン膜156の表面を水素終端化することで電気特性を向上させることができる。そのため、水素含有層168から水素が供給されると好ましい。ただし、本実施の形態は、水素含有層168が設けられた構造に限定されない。例えば、水素含有層168を用いずに、トランジスタTr__2に水素を供給しても構わない。

【0397】

また、図示しないが、水素含有層168と下地絶縁膜102との間に水素透過性の低い層を設けても構わない。トランジスタTr__1は酸化物半導体膜を用いたトランジスタである。酸化物半導体膜中で水素はキャリアの生成源となることがあるため、水素の混入を極力低減することが好ましい。そのため、水素含有層168が設けられる場合は、水素透過性の低い層でトランジスタTr__1への水素の拡散を抑制することが好ましい。

40

【0398】

なお、水素透過性の低い層は、具体的には、350℃、1時間の加熱処理によって水素が透過しない性質を有する絶縁膜である。

【0399】

また、キャパシタCは、下地絶縁膜102上にあり、トランジスタTr__1の領域106

50

bと接して設けられた電極166、ゲート絶縁膜132と同一層かつ同一材料で形成された絶縁層およびゲート電極104と同一層かつ同一材料で形成された電極（容量電極）によって構成される。電極166は、下地絶縁膜102、水素含有層168および層間絶縁膜158に設けられた開口部を介して、トランジスタTr__2のゲート電極154と接する。なお、図18(C)では、電極166が下地絶縁膜102に埋め込まれた形状としているが、これに限定されない。電極166は、下地絶縁膜102上にあり、トランジスタTr__1の領域106bおよびトランジスタTr__2のゲート電極154と接して設けられていれば、どのような形状としても構わない。

【0400】

電極166は、Al、Ti、Cr、Co、Ni、Cu、Y、Zr、Mo、Ag、TaおよびWを一種以上含む、単体、窒化物、酸化物または合金を、単層で、または積層で用いればよい。

10

【0401】

また、ワード線WL__1は、ゲート電極104と電氣的に接続される。また、ソース線SL__1は、配線136と電氣的に接続される。また、容量線CLは、容量電極と電氣的に接続される。

【0402】

図18(C)に示すメモリセルでは、トランジスタTr__1とキャパシタCとが、同一層かつ同一材料で形成された電極および絶縁膜によって構成されるため、工程数が削減でき、生産性を高めることができる。ただし、トランジスタTr__1とキャパシタCとが、同一層かつ同一材料で形成された電極および絶縁膜によって構成されなくても構わない。例えば、トランジスタTrとキャパシタCとを重畳して設けることで、メモリセルの面積をさらに小さくしても構わない。

20

【0403】

以上のように、本発明の一態様によって、集積度が高く、消費電力の小さい半導体記憶装置を得ることができる。

【0404】

本実施の形態は、他の実施の形態と適宜組み合わせて用いることができる。

【0405】

（実施の形態7）

30

実施の形態1乃至実施の形態5のいずれかに示すトランジスタまたは実施の形態6に示した半導体記憶装置を少なくとも一部に用いてCPU（Central Processing Unit）を構成することができる。

【0406】

図19(A)は、CPUの具体的な構成を示すブロック図である。図19(A)に示すCPUは、基板1190上に、演算論理装置（ALU：Arithmetic logic unit）1191、ALUコントローラ1192、インストラクションデコーダ1193、インタラプトコントローラ1194、タイミングコントローラ1195、レジスタ1196、レジスタコントローラ1197、バスインターフェース（Bus I/F）1198、書き換え可能なROM1199、およびROMインターフェース（ROM I/F）1189を有している。基板1190は、半導体基板、SOI基板、ガラス基板などを用いる。ROM1199およびROMインターフェース1189は、別チップに設けてもよい。もちろん、図19(A)に示すCPUは、その構成を簡略化して示した一例にすぎず、実際のCPUはその用途によって多種多様な構成を有している。

40

【0407】

バスインターフェース1198を介してCPUに入力された命令は、インストラクションデコーダ1193に入力され、デコードされた後、ALUコントローラ1192、インタラプトコントローラ1194、レジスタコントローラ1197、タイミングコントローラ1195に入力される。

【0408】

50

A L Uコントローラ 1 1 9 2、インタラプトコントローラ 1 1 9 4、レジスタコントローラ 1 1 9 7、タイミングコントローラ 1 1 9 5 は、デコードされた命令に基づき、各種制御を行う。具体的に A L Uコントローラ 1 1 9 2 は、A L U 1 1 9 1 の動作を制御するための信号を生成する。また、インタラプトコントローラ 1 1 9 4 は、C P U のプログラム実行中に、外部の入出力装置や、周辺回路からの割り込み要求を、その優先度やマスク状態から判断し、処理する。レジスタコントローラ 1 1 9 7 は、レジスタ 1 1 9 6 のアドレスを生成し、C P U の状態に応じてレジスタ 1 1 9 6 の読み出しや書き込みを行う。

【 0 4 0 9 】

また、タイミングコントローラ 1 1 9 5 は、A L U 1 1 9 1、A L Uコントローラ 1 1 9 2、インストラクションデコーダ 1 1 9 3、インタラプトコントローラ 1 1 9 4、およびレジスタコントローラ 1 1 9 7 の動作のタイミングを制御する信号を生成する。例えばタイミングコントローラ 1 1 9 5 は、基準クロック信号 C L K 1 を元に、内部クロック信号 C L K 2 を生成する内部クロック生成部を備えており、クロック信号 C L K 2 を上記各種回路に供給する。

10

【 0 4 1 0 】

図 1 9 (A) に示す C P U では、レジスタ 1 1 9 6 に、記憶素子が設けられている。レジスタ 1 1 9 6 の記憶素子には、実施の形態 6 に示す半導体記憶装置を用いることができる。

【 0 4 1 1 】

図 1 9 (A) に示す C P U において、レジスタコントローラ 1 1 9 7 は、A L U 1 1 9 1 からの指示に従い、レジスタ 1 1 9 6 における保持動作を行う。即ち、レジスタ 1 1 9 6 が有する記憶素子において、フリップフロップによるデータの保持を行うか、キャパシタによるデータの保持を行う。フリップフロップによってデータが保持されている場合、レジスタ 1 1 9 6 内の記憶素子への、電源電圧の供給が行われる。キャパシタによってデータが保持されている場合、キャパシタへのデータの書き換えが行われ、レジスタ 1 1 9 6 内の記憶素子への電源電圧の供給を停止することができる。

20

【 0 4 1 2 】

電源停止に関しては、図 1 9 (B) または図 1 9 (C) に示すように、記憶素子群と、電源電位 V D D または電源電位 V S S の与えられているノード間に、スイッチング素子を設けることにより行うことができる。以下に図 1 9 (B) および図 1 9 (C) の回路の説明を行う。

30

【 0 4 1 3 】

図 1 9 (B) および図 1 9 (C) では、記憶素子への電源電位の供給を制御するスイッチング素子に実施の形態 1 乃至実施の形態 5 のいずれかに示すトランジスタを用いた構成の一例を示す。

【 0 4 1 4 】

図 1 9 (B) に示す記憶装置は、スイッチング素子 1 1 4 1 と、記憶素子 1 1 4 2 を複数有する記憶素子群 1 1 4 3 とを有している。具体的に、それぞれの記憶素子 1 1 4 2 には、実施の形態 6 に示す半導体記憶装置を用いることができる。記憶素子群 1 1 4 3 が有するそれぞれの記憶素子 1 1 4 2 には、スイッチング素子 1 1 4 1 を介して、ハイレベルの電源電位 V D D が供給されている。さらに、記憶素子群 1 1 4 3 が有するそれぞれの記憶素子 1 1 4 2 には、信号 I N の電位と、ローレベルの電源電位 V S S の電位が与えられている。

40

【 0 4 1 5 】

図 1 9 (B) では、スイッチング素子 1 1 4 1 として、オフ電流の極めて小さいトランジスタを用いており、該トランジスタは、そのゲートに与えられる信号 S i g A によりスイッチングが制御される。

【 0 4 1 6 】

なお、図 1 9 (B) では、スイッチング素子 1 1 4 1 がトランジスタを一つだけ有する構成を示しているが、これに限定されず、トランジスタを複数有していてもよい。スイッチ

50

ング素子 1 1 4 1 が、スイッチング素子として機能するトランジスタを複数有している場合、上記複数のトランジスタは並列に接続されていてもよいし、直列に接続されていてもよいし、直列と並列が組み合わされて接続されていてもよい。

【 0 4 1 7 】

また、図 1 9 (C) には、記憶素子群 1 1 4 3 が有するそれぞれの記憶素子 1 1 4 2 に、スイッチング素子 1 1 4 1 を介して、ローレベルの電源電位 V S S が供給されている、記憶装置の一例を示す。スイッチング素子 1 1 4 1 により、記憶素子群 1 1 4 3 が有するそれぞれの記憶素子 1 1 4 2 への、ローレベルの電源電位 V S S の供給を制御することができる。

【 0 4 1 8 】

記憶素子群と、電源電位 V D D または電源電位 V S S の与えられているノード間に、スイッチング素子进行け、一時的に C P U の動作を停止し、電源電圧の供給を停止した場合においてもデータを保持することが可能であり、消費電力の低減を行うことができる。例えば、パーソナルコンピュータのユーザーが、キーボードなどの入力装置への情報の入力を停止している間でも、C P U の動作を停止することができ、それにより消費電力を低減することができる。

【 0 4 1 9 】

ここでは、C P U を例に挙げて説明したが、D S P (D i g i t a l S i g n a l P r o c e s s o r)、カスタム L S I、F P G A (F i e l d P r o g r a m m a b l e G a t e A r r a y) などの L S I にも応用可能である。

【 0 4 2 0 】

本実施の形態は、上記実施の形態と適宜組み合わせる実施することが可能である。

【 0 4 2 1 】

(実施の形態 8)

本実施の形態では、実施の形態 1 乃至実施の形態 7 の少なくともいずれかを適用した電子機器の例について説明する。

【 0 4 2 2 】

図 2 0 (A) は携帯型情報端末である。図 2 0 (A) に示す携帯型情報端末は、筐体 9 3 0 0 と、ボタン 9 3 0 1 と、マイクロフォン 9 3 0 2 と、表示部 9 3 0 3 と、スピーカ 9 3 0 4 と、カメラ 9 3 0 5 と、を具備し、携帯型電話機としての機能を有する。本発明の一形態は、本体内部にある演算装置、無線回路または記憶回路に適用することができる。

【 0 4 2 3 】

図 2 0 (B) は、ディスプレイである。図 2 0 (B) に示すディスプレイは、筐体 9 3 1 0 と、表示部 9 3 1 1 と、を具備する。本発明の一形態は、本体内部にある演算装置、無線回路または記憶回路に適用することができる。

【 0 4 2 4 】

図 2 0 (C) は、デジタルスチルカメラである。図 2 0 (C) に示すデジタルスチルカメラは、筐体 9 3 2 0 と、ボタン 9 3 2 1 と、マイクロフォン 9 3 2 2 と、表示部 9 3 2 3 と、を具備する。本発明の一形態は、本体内部にある演算装置、無線回路または記憶回路に適用することができる。

【 0 4 2 5 】

図 2 0 (D) は 2 つ折り可能な携帯情報端末である。図 2 0 (D) に示す 2 つ折り可能な携帯情報端末は、筐体 9 6 3 0、表示部 9 6 3 1 a、表示部 9 6 3 1 b、留め具 9 6 3 3、操作スイッチ 9 6 3 8、を有する。本発明の一形態は、本体内部にある演算装置、無線回路または記憶回路に適用することができる。

【 0 4 2 6 】

なお、表示部 9 6 3 1 a または / および表示部 9 6 3 1 b は、一部または全部をタッチパネルとすることができ、表示された操作キーに触れることでデータ入力などを行うことができる。

【 0 4 2 7 】

本発明の一態様に係る半導体装置を用いることで、電子機器の性能を高め、消費電力を小さくすることができる。

【 0 4 2 8 】

本実施の形態は、他の実施の形態と適宜組み合わせて用いることができる。

【 符号の説明 】

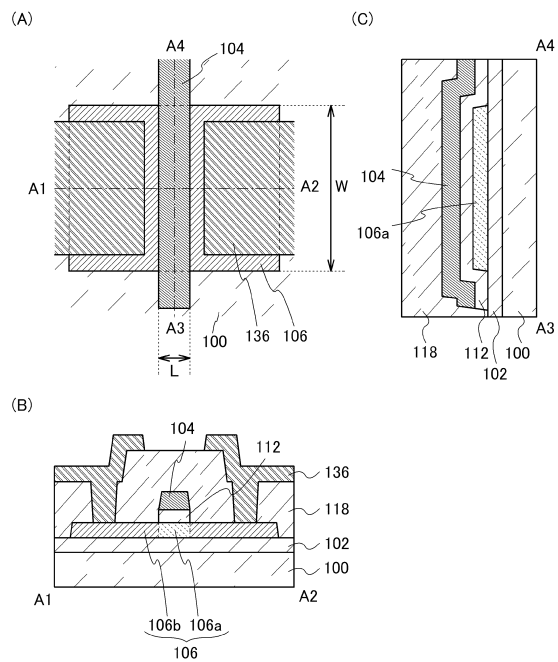
【 0 4 2 9 】

1 0 0	基板	
1 0 2	下地絶縁膜	
1 0 4	ゲート電極	
1 0 5	導電膜	10
1 0 6	酸化物半導体膜	
1 0 6 a	領域	
1 0 6 b	領域	
1 0 7	酸化物半導体膜	
1 0 8	バリア膜	
1 1 2	ゲート絶縁膜	
1 1 6	電極	
1 1 8	層間絶縁膜	
1 3 2	ゲート絶縁膜	
1 3 6	配線	20
1 5 0	基板	
1 5 2	下地絶縁膜	
1 5 4	ゲート電極	
1 5 6	シリコン膜	
1 5 6 a	領域	
1 5 6 b	領域	
1 5 8	層間絶縁膜	
1 6 0	側壁絶縁膜	
1 6 2	ゲート絶縁膜	
1 6 6	電極	30
1 6 8	水素含有層	
2 0 0	基板	
2 0 2	下地絶縁膜	
2 0 4	ゲート電極	
2 0 6	酸化物半導体膜	
2 0 7	酸化物半導体膜	
2 1 2	ゲート絶縁膜	
2 1 6	一対の電極	
2 1 7	導電膜	
2 1 8	層間絶縁膜	40
2 3 6	配線	
3 0 0	基板	
3 0 2	下地絶縁膜	
3 0 4	ゲート電極	
3 0 5	導電膜	
3 0 6	酸化物半導体膜	
3 0 6 a	領域	
3 0 6 b	領域	
3 0 7	酸化物半導体膜	
3 1 0	側壁絶縁膜	50

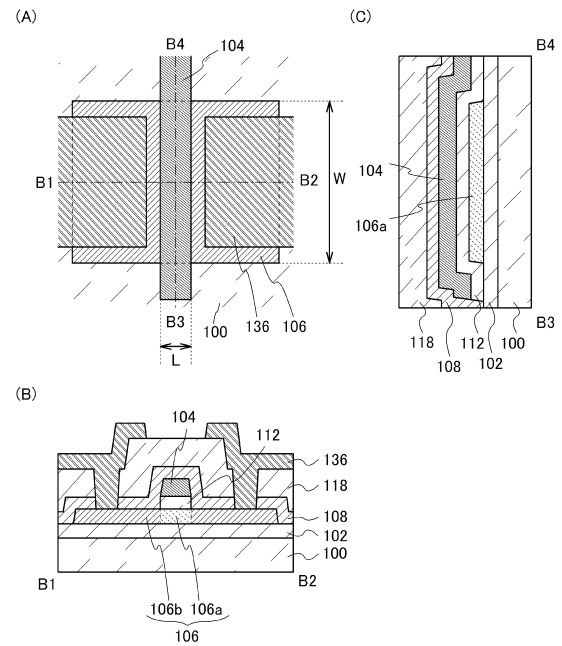
3 1 2	ゲート絶縁膜	
3 1 3	ゲート絶縁膜	
3 1 6	一对の電極	
3 1 7	導電膜	
3 1 8	層間絶縁膜	
3 1 9	層間絶縁膜	
3 2 0	絶縁膜	
3 2 1	絶縁膜	
3 2 2	絶縁膜	
3 2 8	層間絶縁膜	10
3 3 6	配線	
4 0 0	基板	
4 0 2	下地絶縁膜	
4 0 4	ゲート電極	
4 0 6	酸化物半導体膜	
4 0 7	酸化物半導体膜	
4 1 2	ゲート絶縁膜	
4 1 8	層間絶縁膜	
4 3 6	配線	
5 0 0	基板	20
5 0 2	下地絶縁膜	
5 0 4	ゲート電極	
5 0 6	酸化物半導体膜	
5 1 2	ゲート絶縁膜	
5 1 6	一对の電極	
5 1 8	層間絶縁膜	
1 1 4 1	スイッチング素子	
1 1 4 2	記憶素子	
1 1 4 3	記憶素子群	
1 1 8 9	R O Mインターフェース	30
1 1 9 0	基板	
1 1 9 1	A L U	
1 1 9 2	A L Uコントローラ	
1 1 9 3	インストラクションデコーダ	
1 1 9 4	インタラプトコントローラ	
1 1 9 5	タイミングコントローラ	
1 1 9 6	レジスタ	
1 1 9 7	レジスタコントローラ	
1 1 9 8	バスインターフェース	
1 1 9 9	R O M	40
9 3 0 0	筐体	
9 3 0 1	ボタン	
9 3 0 2	マイクロフォン	
9 3 0 3	表示部	
9 3 0 4	スピーカ	
9 3 0 5	カメラ	
9 3 1 0	筐体	
9 3 1 1	表示部	
9 3 2 0	筐体	
9 3 2 1	ボタン	50

9 3 2 2	マイクロフォン
9 3 2 3	表示部
9 6 3 0	筐体
9 6 3 1 a	表示部
9 6 3 1 b	表示部
9 6 3 3	留め具
9 6 3 8	操作スイッチ

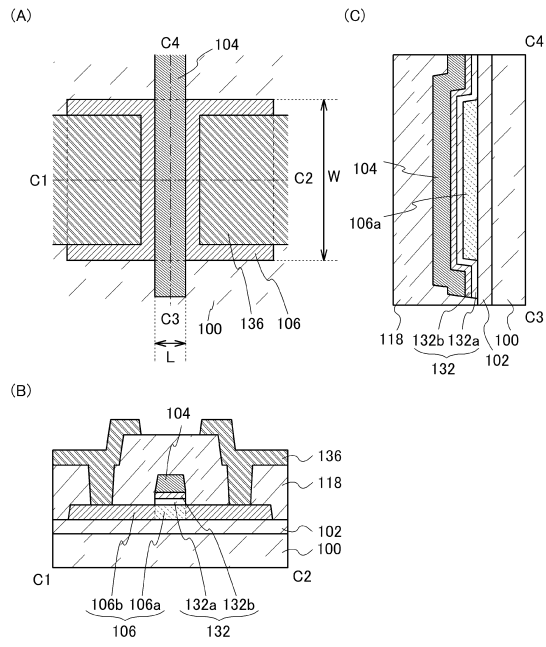
【図 1】



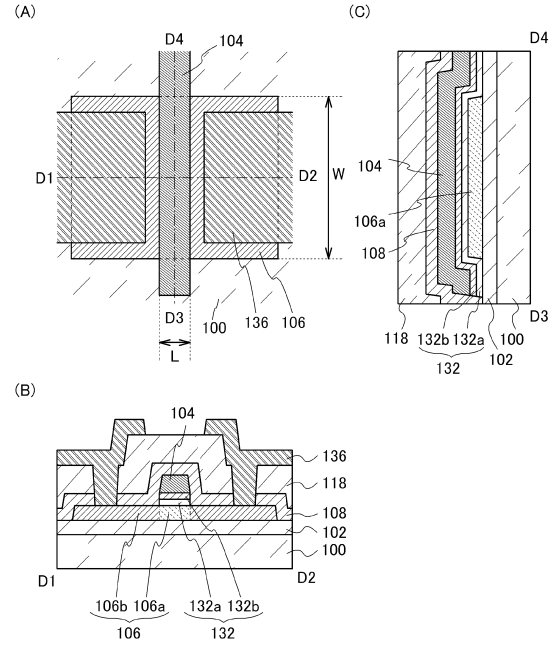
【図 2】



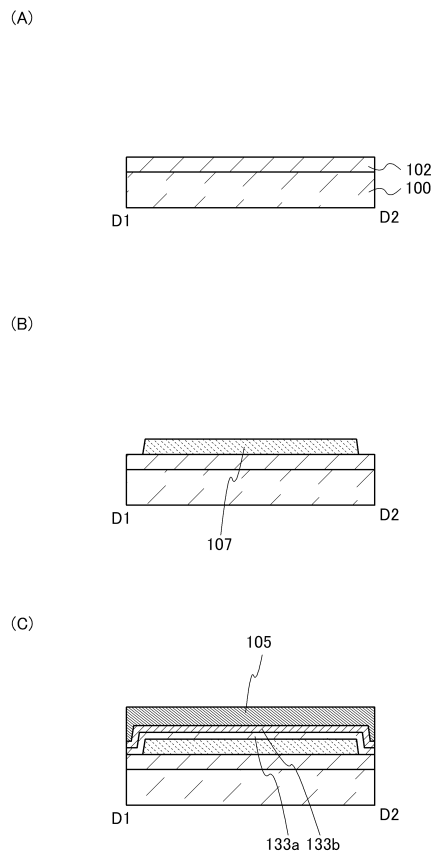
【図 3】



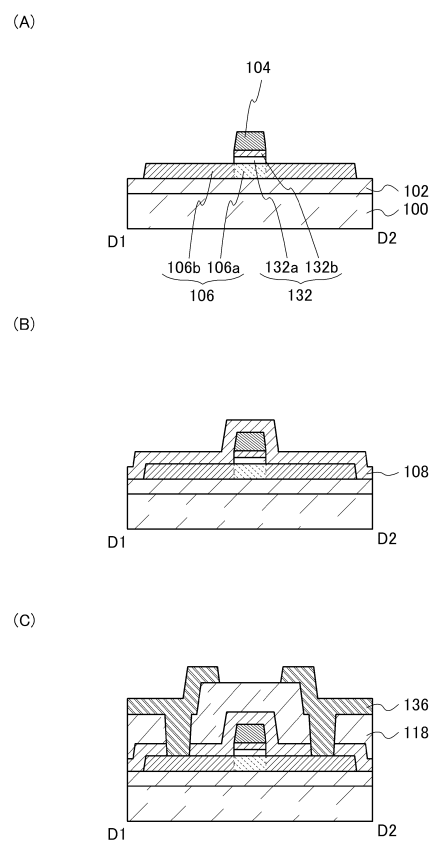
【図 4】



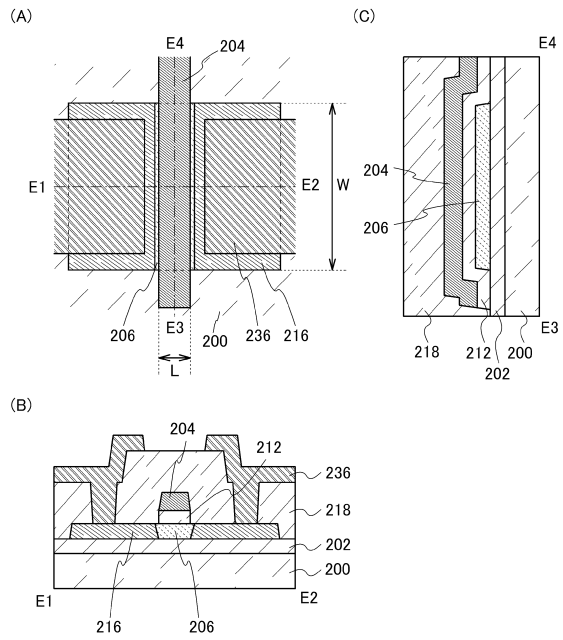
【図 5】



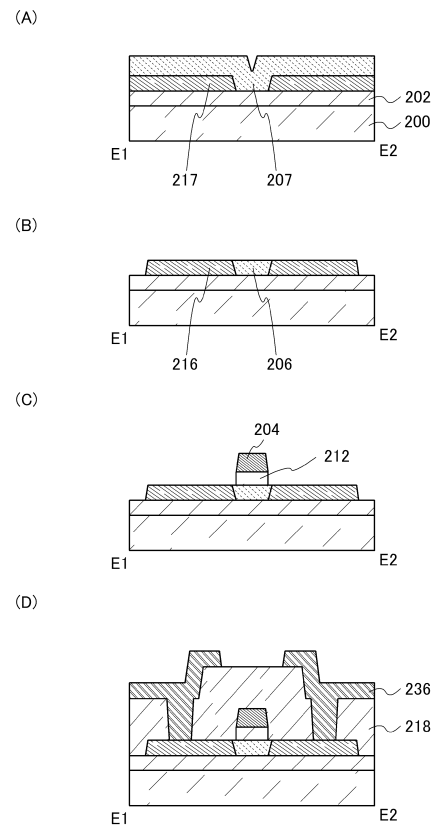
【図 6】



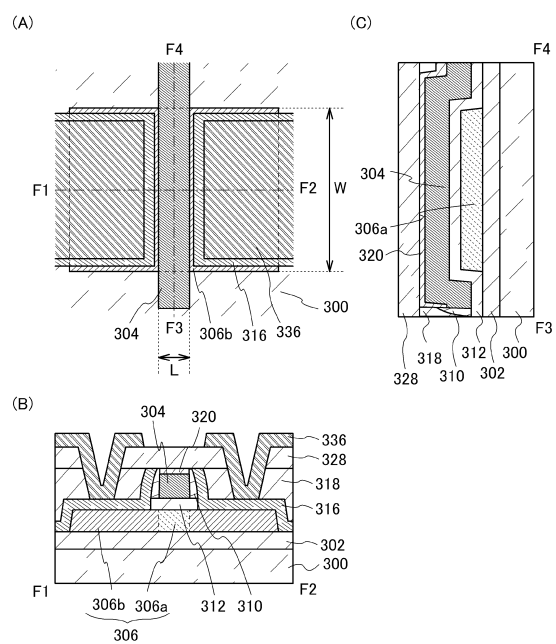
【図 7】



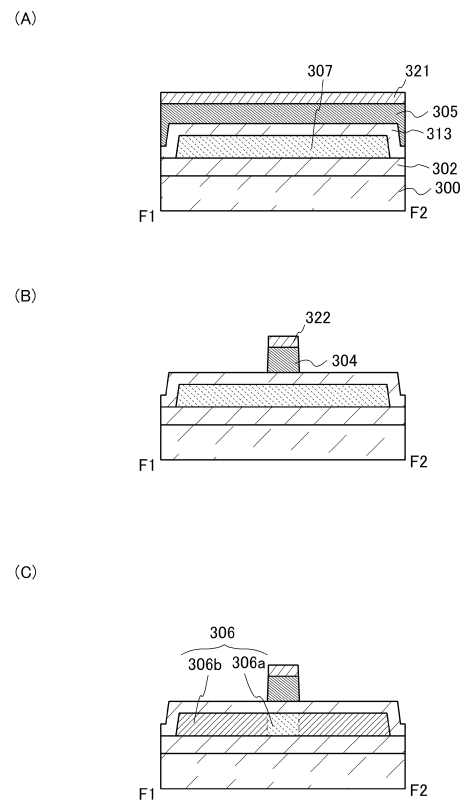
【図 8】



【図 9】

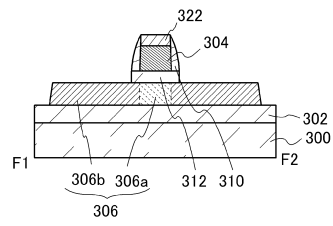


【図 10】

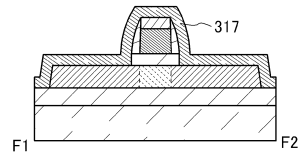


【図 1 1】

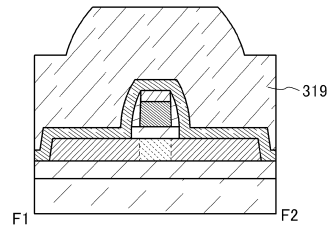
(A)



(B)

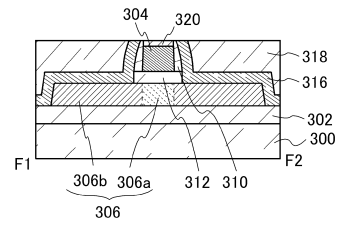


(C)

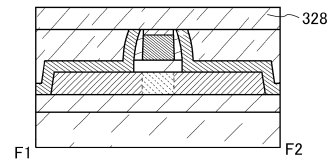


【図 1 2】

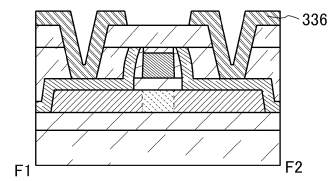
(A)



(B)

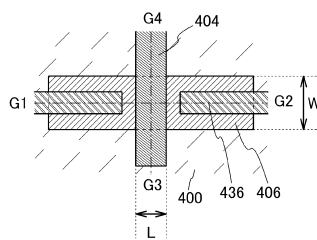


(C)

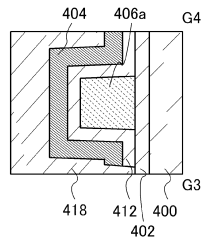


【図 1 3】

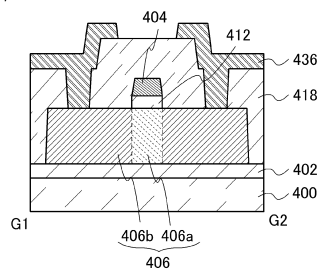
(A)



(C)

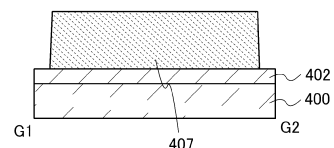


(B)

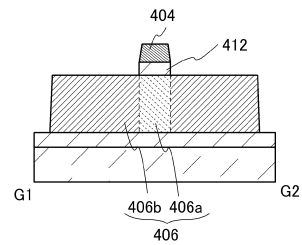


【図 1 4】

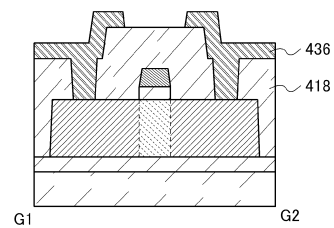
(A)



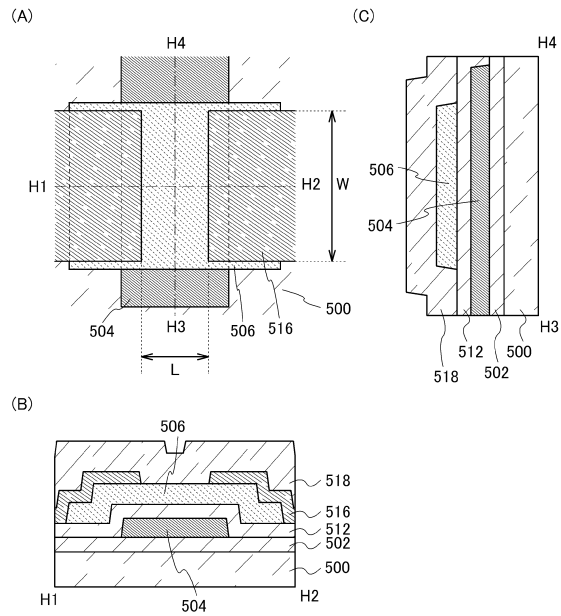
(B)



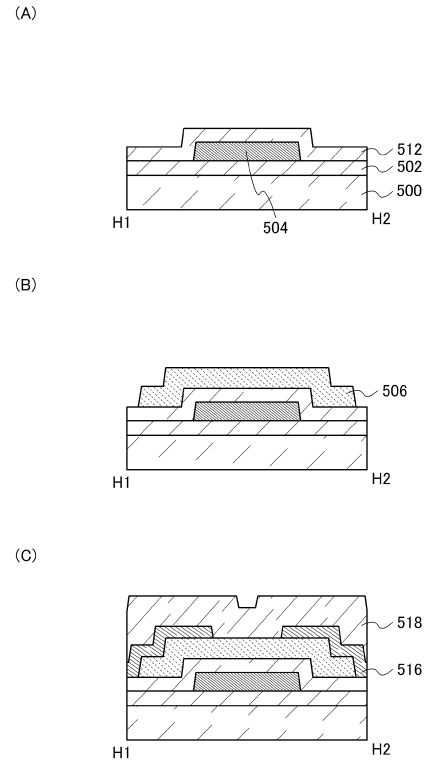
(C)



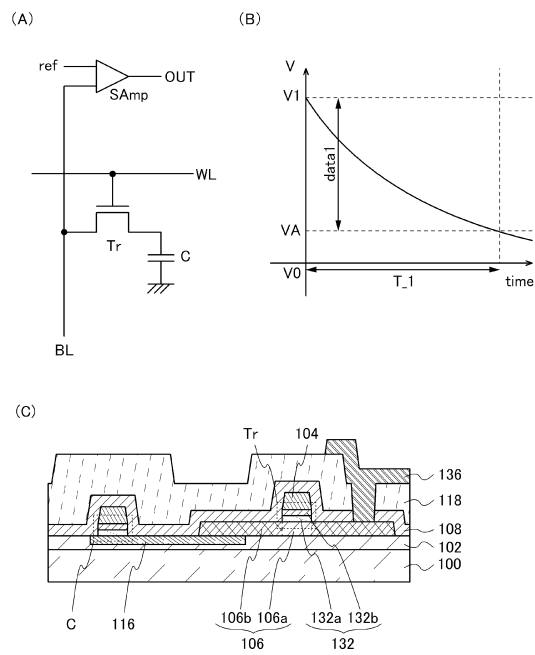
【図 15】



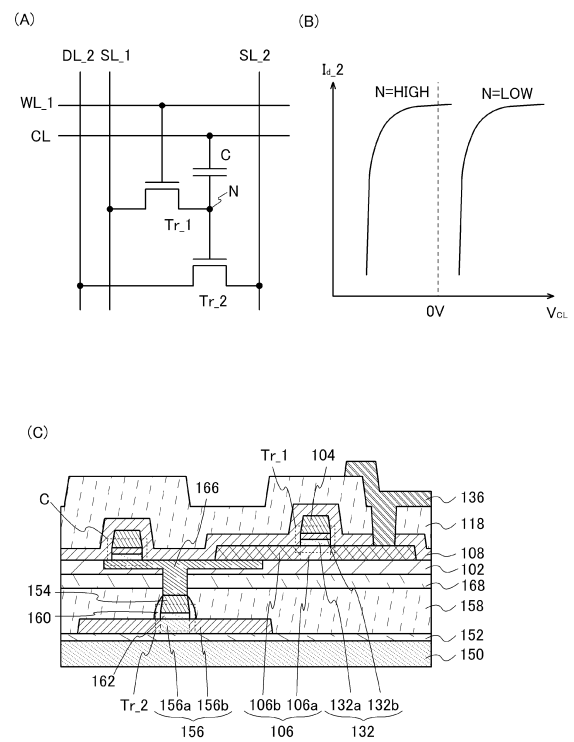
【図 16】



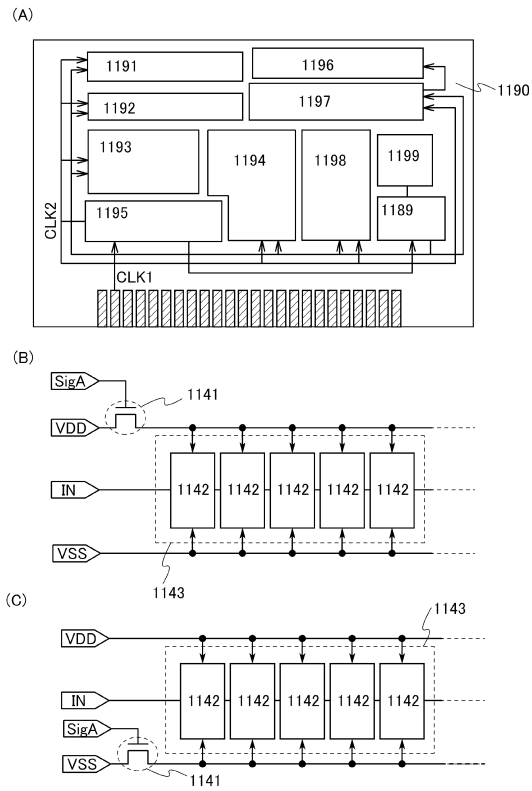
【図 17】



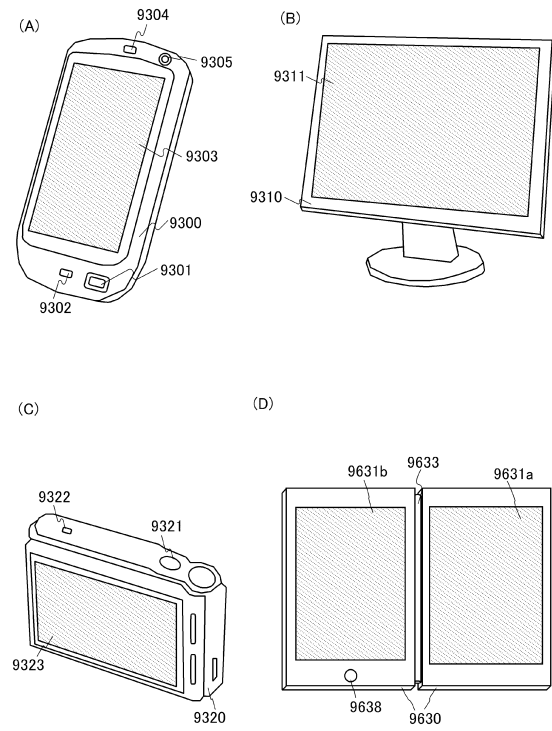
【図 18】



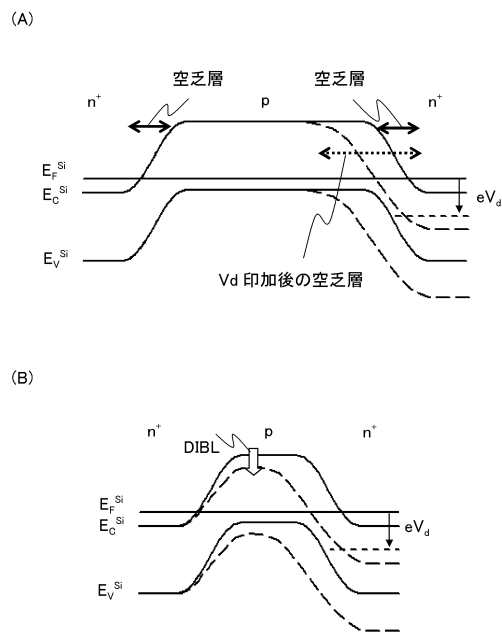
【図 19】



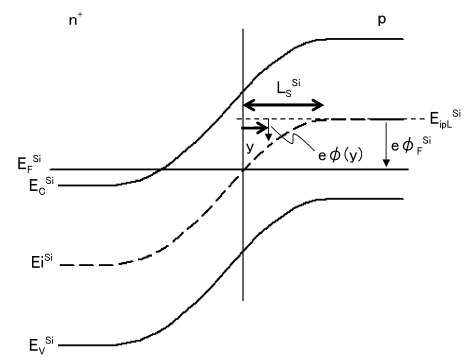
【図 20】



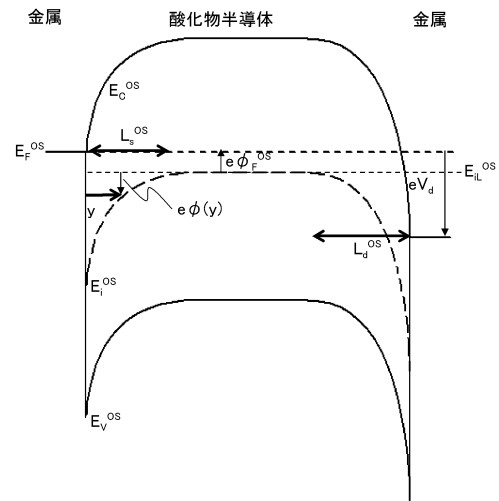
【図 21】



【図 22】



【図 23】



 フロントページの続き

(51)Int.Cl.		F I		
H 0 1 L 27/10	(2006.01)	H 0 1 L	29/78	6 1 3 Z
H 0 1 L 21/363	(2006.01)	H 0 1 L	27/10	6 7 1 Z
		H 0 1 L	27/10	6 2 1 Z
		H 0 1 L	27/10	3 2 1
		H 0 1 L	27/10	4 4 1
		H 0 1 L	27/10	4 6 1
		H 0 1 L	27/10	6 8 1 F
		H 0 1 L	21/363	

(56)参考文献 特開 2 0 1 1 - 1 4 1 5 2 3 (J P , A)
 特開 2 0 1 0 - 1 1 4 4 1 3 (J P , A)
 特開 2 0 1 2 - 0 0 9 8 3 7 (J P , A)
 特開 2 0 1 1 - 2 2 8 6 8 9 (J P , A)
 特開 2 0 1 1 - 2 2 7 9 8 1 (J P , A)
 特開 2 0 0 2 - 3 2 9 8 6 9 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)
 H 0 1 L 2 1 / 3 3 6、2 9 / 7 8 6