

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-182158

(P2008-182158A)

(43) 公開日 平成20年8月7日(2008.8.7)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/338 (2006.01)	HO 1 L 29/80	U 5 F 1 0 2
HO 1 L 29/812 (2006.01)	HO 1 L 29/80	B
HO 1 L 29/778 (2006.01)	HO 1 L 29/80	H

審査請求 未請求 請求項の数 10 O L (全 11 頁)

(21) 出願番号 特願2007-16129 (P2007-16129)  
 (22) 出願日 平成19年1月26日 (2007.1.26)

(71) 出願人 000154325  
 ユーディナデバイス株式会社  
 山梨県中巨摩郡昭和町大字紙漉阿原100  
 〇番地  
 (74) 代理人 100087480  
 弁理士 片山 修平  
 (74) 復代理人 100137615  
 弁理士 横山 照夫  
 (74) 復代理人 100134511  
 弁理士 八田 俊之  
 (72) 発明者 内藤 耕平  
 山梨県中巨摩郡昭和町大字紙漉阿原100  
 〇番地 ユーディナデバイス株式会社内

最終頁に続く

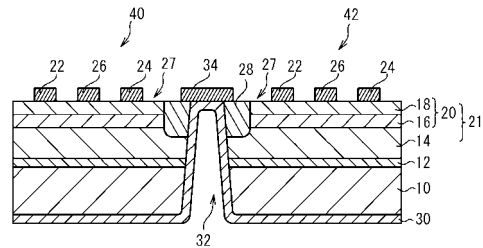
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 サイドゲート効果を抑制すること。

【解決手段】 本発明は、基板10上に設けられ化合物半導体からなるP型半導体層12と、P型半導体層12上に設けられた化合物半導体層21と、化合物半導体層21に設けられ素子分離領域28を介し隣接する複数の活性領域27と、活性領域27の間あるいは活性領域27の間の領域に隣接した素子分離領域28においてP型半導体層12と接続される接続部32と、隣接する活性領域27それぞれに設けられた複数のFET40、42であって、複数のFETのうち少なくとも1つのFET42のソース電極22は活性領域27以外において接続部32の電位と接続されている複数のFETと、を具備する半導体装置である。

【選択図】 図1



## 【特許請求の範囲】

## 【請求項 1】

基板上に設けられ化合物半導体からなる P 型半導体層と、  
前記 P 型半導体層上に設けられた化合物半導体層と、  
前記化合物半導体層に設けられ素子分離領域を介し隣接する複数の活性領域と、  
前記活性領域の間あるいは前記活性領域の間の領域に隣接した前記素子分離領域において前記 P 型半導体層と接続される接続部と、  
前記隣接する活性領域それぞれに設けられた複数の F E T であって、前記複数の F E T のうち少なくとも 1 つの F E T のソース電極は前記活性領域以外において前記接続部の電位と接続されている前記複数の F E T と、  
を具備することを特徴とする半導体装置。

10

## 【請求項 2】

前記接続部の電位はグランド電位であることを特徴とする請求項 1 記載の半導体装置。

## 【請求項 3】

前記 P 型半導体層は前記基板に接して設けられていることを特徴とする請求項 1 記載の半導体装置。

## 【請求項 4】

前記素子分離領域は、イオン注入により形成されてなることを特徴とする請求項 1 記載の半導体装置。

## 【請求項 5】

前記接続部は前記基板に設けられたバイアホールであることを特徴とする請求項 1 記載の半導体装置。

20

## 【請求項 6】

前記接続部は前記 F E T を囲むように設けられていることを特徴とする請求項 1 記載の半導体装置。

## 【請求項 7】

前記接続部は前記 F E T のソース電極と電気的に接続されていることを特徴とする請求項 1 記載の半導体装置。

## 【請求項 8】

前記接続部は、前記基板平面に対し L 字状またはコの字状に配置されていることを特徴とする請求項 1 記載の半導体装置。

30

## 【請求項 9】

前記 F E T は M E S F E T 又は H E M T であることを特徴とする請求項 1 から 8 のいずれか一項記載の半導体装置。

## 【請求項 10】

前記基板は、G a A s、S i C、サファイア又は G a N のいずれかからなることを特徴とする請求項 1 から 9 のいずれか一項記載の半導体装置。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は半導体装置に関し、特に、基板上に設けられた P 型半導体層と P 型半導体層に接続する接続部とを有する半導体装置に関する。

40

## 【背景技術】

## 【0002】

化合物半導体を用いた F E T ( F i e l d E f f e c t T r a n s i s t o r ) は、高周波数、高出力用途の M M I C ( M i c r o w a v e M o n o l i t h i c I n t e g r a t e d C i r c u i t ) 等に用いられている。化合物半導体を用いた F E T において、F E T に近接する電極に負電位を印加すると、F E T のドレイン電流が減少し閾値電圧が正側にシフトする現象が生じる。このような現象をサイドゲート効果という。

## 【0003】

50

特許文献 1 には、基板上に P 型半導体層を設けた化合物半導体 F E T が開示されている。特許文献 1 によれば、ドレイン耐圧を向上させることができる。

【特許文献 1】特開 2 0 0 5 - 7 2 3 7 8 号公報

【発明の開示】

【発明が解決しようとする課題】

【0004】

特許文献 1 のように基板上に P 型半導体層を設けることにより、サイドゲート効果が大きくなってしまふ。本発明は、上記課題に鑑みサイドゲート効果を抑制することを目的とする。

【課題を解決するための手段】

【0005】

上記課題を解決するため、本発明は、基板上に設けられ化合物半導体からなる P 型半導体層と、前記 P 型半導体層上に設けられた化合物半導体層と、前記化合物半導体層に設けられ素子分離領域を介し隣接する複数の活性領域と、前記活性領域の間あるいは前記活性領域の間の領域に隣接した前記素子分離領域において前記 P 型半導体層と接続される接続部と、前記隣接する活性領域それぞれに設けられた複数の F E T であつて、前記複数の F E T のうち少なくとも 1 つの F E T のソース電極は前記活性領域以外において前記接続部の電位と接続されている前記複数の F E T と、具備することを特徴とする半導体装置である。本発明によれば、素子分離領域下の P 型半導体層を F E T のソース電極の電位とすることにより、サイドゲート効果を抑制することができる。

【0006】

上記構成において、前記接続部の電位はグランド電位である構成とすることができる。この構成によれば、サイドゲート効果を一層抑制することができる。

【0007】

上記構成において、前記 P 型半導体層は前記基板に接して設けられている構成とすることができる。この構成によれば、基板と基板上の半導体層との界面を介したリーク電流を抑制することができる。

【0008】

上記構成において、前記素子分離領域は、イオン注入により形成されてなる構成とすることができる。

【0009】

上記構成において、前記接続部は前記 F E T と前記電極との間に設けられている構成とすることができる。この構成によれば、サイドゲート効果をより抑制することができる。

【0010】

上記構成において、前記接続部は前記基板に設けられたバイアホールである構成とすることができる。この構成によれば、基板側から P 型半導体層に接続することができる。

【0011】

上記構成において、前記接続部は前記 F E T を囲むように設けられている構成とすることができる。この構成によれば、サイドゲート効果を一層抑制することができる。

【0012】

上記構成において、前記接続部は前記 F E T のソース電極と電氣的に接続されている構成とすることができる。また、上記構成において、前記接続部は、前記基板平面に対し L 字状またはコの字状に配置されている構成とすることができる。

【0013】

上記構成において、前記 F E T は M E S F E T 又は H E M T である構成とすることができる。また、上記構成において、前記基板は、G a A s、S i C、サファイア又は G a N のいずれかからなる構成とすることができる。

【発明の効果】

【0014】

本発明によれば、素子分離領域下の P 型半導体層を F E T のソースとほぼ同電位とする

10

20

30

40

50

ことにより、サイドゲート効果を抑制することができる。

【発明を実施するための最良の形態】

【0015】

以下、本発明の実施例を図面を参照に説明する。

【実施例1】

【0016】

図1及び図2を用い実施例1に係る半導体装置について説明する。図1は実施例1に係る半導体装置の断面模式図、図2は平面模式図である。図1のように、膜厚が約75 $\mu\text{m}$ のGaAs(砒化ガリウム)半絶縁性基板10上にMg(マグネシウム)をドーブしたP型AlGaAs(砒化アルミニウムガリウム)層12(P型半導体層)が設けられている。P型AlGaAs層12はドーブ濃度は約 $2 \times 10^{17} \text{cm}^{-3}$ であり膜厚は約10nmである。P型AlGaAs層12上に膜厚が約600nmのアンドープのバッファ層14が設けられている。バッファ層14はGaAs層やAlGaAs層により形成されている。バッファ層14上にInGaAs(砒化インジウムガリウム)チャンネル層16が設けられている。チャンネル層16上にSiをドーブしたN型AlGaAs電子供給層18が設けられている。チャンネル層16及び電子供給層18は電子等のキャリアが主に伝導する活性層20である。また、バッファ層14、チャンネル層16および電子供給層18は、P型半導体層上に設けられた化合物半導体層21を構成する。

10

【0017】

図1及び図2のように、電子供給層18上にオーミック電極としてソース電極22及びドレイン電極24とゲート電極26とが設けられている。ゲートパッド25はゲート電極26を配線層(不図示)に接続するためのパッドである。1組のソース電極22、ゲート電極26及びドレイン電極24はそれぞれ第1FET40及び第2FET42を構成している。第1FET40及び第2FET42の周囲の活性層20は素子分離領域28により不活性化されている。これにより、化合物半導体層21には、素子分離領域28を介し隣接する複数の活性領域27が構成され、隣接する活性領域27に、それぞれ第1FET40及び第2FET42が設けられる。このようにして、第1FET40及び第2FET42の活性層20は素子分離領域28により電氣的に分離される。

20

【0018】

素子分離領域28はB(ボロン)をイオン注入した領域である。活性領域27の間の素子分離領域28には側壁が裏面金属層30で覆われたバイアホール32(接続部)が形成されている。図2のように、第1FET40及び第2FET42のソース電極22は、それぞれ、第1FET40及び第2FET42が形成されている活性領域27以外(つまり、素子分離領域28)に設けられているバイアホール32に接続される。ソース電極22は、バイアホール32により裏面金属層30と電氣的に接続されている。パッド34及びパッド23は、それぞれバイアホール32及びバイアホール21を受けるパッドである。このように、第1FET40及び第2FET42のソース電極22は活性領域27以外でバイアホール32の電位と接続されている。すなわち、ソース電極22は活性領域27以外で、バイアホール22、裏面金属層30を介しバイアホール32と接続されている。なお、ソース電極22はバイアホール21、裏面金属層30を介しバイアホール32に接続されていなくともよい。例えば、化合物半導体層21上に設けられた配線、パッド34を介しバイアホール32に接続されていてもよい。

30

40

【0019】

図3は比較例1の断面模式図である。図4は比較例1及び比較例2の平面模式図である。比較例1は、実施例1に対しバイアホール32及びパッド34が設けられていない。図5は比較例2の断面図である。比較例2は比較例1に対しP型AlGaAs層12が設けられておらず、基板10上に直接バッファ層14が設けられている。比較例1はP型AlGaAs層12を設けることにより比較例2に対し、基板10とバッファ層14との界面を介したリーク電流を抑制し、かつピンチオフ特性を向上させることができる。

【0020】

50

比較例 1 及び比較例 2 において、第 1 F E T 4 0 と第 2 F E T 4 2 との間の素子分離領域 2 8 の幅 L が 2 5  $\mu$ m の場合、第 1 F E T 4 0 のドレイン電極 2 4 にサイドゲート電圧  $V_{sg}$  を印加したときの第 2 F E T 4 2 のドレイン電流を測定した。図 6 は比較例 1 及び比較例 2 の  $V_{sg} = 0$  V のドレイン電流で規格化したドレイン電流をサイドゲート電圧に対し示した図である。すなわち、第 2 F E T 4 2 をサイドゲート効果を受ける F E T、第 1 F E T 4 0 のドレイン電極をサイドゲート電圧を印加する電極とした。比較例 1 は比較例 2 に対しサイドゲート効果が大きくなっている。これは、図 3 及び図 4 の矢印のように P 型 A l G a A s 層 1 2 を介し第 1 F E T 4 0 のドレイン電極 2 4 に印加されたサイドゲート電圧が第 2 F E T 4 2 のゲート電極 2 6 下のチャンネル層 1 6 に影響し、サイドゲート効果が大きくなったものと考えられる。

10

## 【 0 0 2 1 】

図 6 の実線は実施例 1 のサイドゲート効果をシミュレーションした結果である。シミュレーションでは、第 1 F E T 4 0 と第 2 F E T 4 2 との間の素子分離領域 2 8 下の P 型 A l G a A s 層 1 2 が第 2 F E T 4 2 のソース電極 2 2 と同じ電位に固定されていると仮定している。実施例 1 ではサイドゲート効果はほとんど生じていない。実施例 1 では P 型 A l G a A s 層 1 2 が第 2 F E T 4 2 のソース電極 2 2 と同じ電位に固定されているため、図 2 の矢印のように、サイドゲート電圧が P 型 A l G a A s 層 1 2 を介し第 2 F E T 4 2 に影響することができない。よって、サイドゲート効果を抑制することができる。

## 【 0 0 2 2 】

接続部として、側壁を裏面金属層 3 0 で被覆されたバイアホール 3 2 を例に説明したが、接続部は、素子分離領域 2 8 の P 型 A l G a A s 層 1 2 に接続し、素子分離領域 2 8 の P 型 A l G a A s 層 1 2 を第 2 F E T 4 2 のソース電極 2 2 と接続するためのものであればよい。つまり、素子分離領域 2 8 の P 型 A l G a A s 層 1 2 を第 2 F E T 4 2 のソース電極 2 2 と同電位とするためのものであればよい。よって、接続部は、P 型 A l G a A s 層 1 2 に基板 1 0 側から接続されていなくとも、化合物半導体層 2 1 側から接続されていてもよい。このように、ソース電極 2 2 を P 型 A l G a A s 層 1 2 に接続する接続部の電位とすることにより、サイドゲート効果を抑制することができる。

20

## 【 0 0 2 3 】

また、少なくともサイドゲート効果を受ける第 2 F E T 4 2 のソース電極 2 2 がバイアホール 3 2 と電氣的に接続していればよい。第 2 F E T 4 2 のソース電極 2 2 は、バイアホール 3 2 の電位（つまり P 型 A l G a A s 層 1 2 の電位）に接続していればよいが、バイアホール 3 2 の電位はグランド電位であることが好ましい。

30

## 【 0 0 2 4 】

特許文献 1 に係る F E T は、ソース電極が活性領域内で裏面金属層にバイアホールで接続されている。このように、ソース電極が活性領域内で裏面金属層と接続される場合、バイアホールを用い F E T から発生する熱を裏面金属層に放出することができる。また、ソース電極と裏面金属層間のインダクタンスを低減することができる。一方、F E T の発熱やソース電極と裏面金属層間のインダクタンスが比較的重要でない場合、活性領域内でソース電極を裏面金属層と接続するとチップ面積が増大してしまう。実施例 1 によれば、活性領域 2 7 以外のバイアホール 2 1 においてソース電極 2 2 を裏面金属層 3 4 に接続しているため、チップ面積を縮小させることができる。

40

## 【 0 0 2 5 】

また、サイドゲート電圧を印加する電極として第 1 F E T 4 0 のドレイン電極 2 4 の例であったが、第 2 F E T 4 2 の活性層 2 0 と電氣的に分離されている活性層 2 0 上に設けられた電極でもよい。比較例 1 及び比較例 2 の第 1 F E T 4 0 の代わりに例えば活性層 2 0 上にドレイン電極 2 4 のみを形成した場合も図 6 と同様のサイドゲート効果が生じる。一方、実施例 1 の第 1 F E T 4 0 の代わりに例えば活性層 2 0 上にドレイン電極 2 4 のみを形成した場合も図 6 と同様にサイドゲート効果を抑制することができる。

## 【 0 0 2 6 】

P 型 A l G a A s 層 1 2 と基板 1 0 との間に別の半導体層が設けられていてもサイドゲ

50

ート効果を抑制することができる。しかしながら、P型AlGaAs層12は基板10に接して設けられていることが好ましい。これにより、基板10とその上の半導体層との界面を介したリーク電流を抑制することができる。

【0027】

実施例1において、P型半導体層としてP型AlGaAs層12を例に説明したが、P型半導体層はGaAs層等の化合物半導体からなればよい。しかしながら、P型半導体層は第1FET40及び第2FET42のチャネル層16よりバンドギャップの大きいことが好ましい。これにより、第1FET40及び第2FET42のピンチオフ特性をより改善することができる。

【0028】

図7のように、バイアホール32は第1FET40と第2FET42との間の領域36の両側に設けてもよい。この場合も、サイドゲート電圧が第2FET42に及ぼす影響の一部は図7の矢印のように、バイアホール32で抑制することができる。このように、バイアホール32は、図2のように活性領域27の間あるいは図7のように活性領域27の間の領域36に隣接した素子分離領域28において、P型AlGaAs層12と接続されていれればよい。しかしながら、図2のように、バイアホール32は第1FET40（つまりサイドゲートを印加する電極）と第2FET42との間に設けられていることが好ましい。バイアホール32は図2のように、複数設けられていてもよいし、1つでもよい。

【0029】

また、図示しないが、バイアホール32は、第2FET42のソース電極22と半導体装置の外部において接続されてもよい。または、図2のように、バイアホール32は、第2FET42のソース電極22と半導体装置内において接続されていてもよい。素子分離領域28は、実施例1のようにイオン注入法を用い不活性化した領域を形成する以外にも、素子分離領域28をエッチングしてメサ構造にしてもよい。

【実施例2】

【0030】

図8から図10を用い実施例2及びその変形例について説明する。図8のように、実施例2において、バイアホール32aは第1FET40と第2FET42との間に連続的に設けられている。その他の構成は実施例1の図2と同じであり説明を省略する。

【0031】

図9のように、実施例2の変形例1はFET51から53が設けられている。バイアホール32bはFET52とFET51及びFET53との間に基板10平面に対しコの字状（C字状）に設けられている。図10のように、実施例2の変形例2はFET61から69が設けられている。バイアホール32cは、FET61とFET62及びFET64との間に基板10平面に対しL字状に設けられている。FET63、67及び69の周囲にもL字状のバイアホール32cが設けられている。なお、図9及び図10にはバイアホール32bまたは32c用のパッドは図示していない。

【0032】

図8から図10のように、バイアホール32aから32cはFETに印加される電圧が隣接するFETに印加される電圧より負に印加される場合、これらのFETの間（つまりサイドゲートを印加する電極と第2FET42との間）に連続的に設けられることが好ましい。これにより、よりサイドゲート効果を抑制することができる。例えば、図10の配置においては、FET62、64、65、66及び68に対し、FET61、63、67及び69が負電位となる場合のサイドゲートを抑制することができる。

【0033】

実施例1および実施例2並びにその変形例においては、素子分離領域28を介し隣接する複数の活性領域27が設けられ、複数のFETが隣接する活性領域27それぞれに設けられている。複数のFETのうち少なくとも1つのFET（サイドゲート効果を受けるFET）のソース電極22は活性領域27以外においてP型AlGaAs層12と接続するバイアホール32の電位に接続されている。これにより、サイドゲート効果を抑制するこ

10

20

30

40

50

とができる。

【実施例 3】

【0034】

図 1 1 及び図 1 2 を用い実施例 3 及び変形例について説明する。図 1 1 のように、実施例 3 は F E T 4 0 のソース電極 2 2 とバイアホール 3 2 d のパッド 4 4 が一体として設けられており、バイアホール 3 2 d は F E T 4 2 a の周囲を囲んでいる。ゲートパッド 2 5 及びドレイン電極 2 4 には配線層（不図示）が接続されている。

【0035】

図 1 2 のように、実施例 3 の変形例は、マルチフィンガ構造を有する F E T の例である。ソース電極 2 2、ゲート電極 2 6、ドレイン電極 2 4、ゲート電極 2 6 の順に連続して複数設けられている。ゲート電極 2 6 はゲートパッド 2 5 a に接続され、ゲートパッド 2 5 a は配線層（不図示）に接続されている。各ドレイン電極 2 4 は配線層（不図示）に接続されている。ソース電極 2 2 はパッド 4 4 と接続し一体に形成されている。バイアホール 3 2 e は F E T 4 2 b の周囲を囲むように設けられている。

10

【0036】

図 1 1 及び図 1 2 のように、バイアホール 3 2 d 及び 3 2 e はサイドゲート効果を受ける F E T 4 2 a 及び 4 2 b の周囲を囲むように設けられることが好ましい。これにより、サイドゲート効果を一層抑制することができる。なお、実施例 3 とその変形例は、バイアホール 3 2 d 又は 3 2 e 用のパッド 4 4 がソース電極 2 2 と一体に形成されている例であったが、パッド 4 4 はソース電極 2 2 とは別に設けられていてもよい。また、バイアホールがサイドゲート電圧を印加する電極の周囲を囲むように設けられていてもよい。つまり、バイアホールは、サイドゲート効果を受ける F E T 及びサイドゲート電圧を印加する電極の少なくとも一方の周囲を囲むように設けられていればよい。

20

【0037】

実施例 1 及び実施例 2 において、F E T は実施例 3 の変形例のようにマルチフィンガ構造を有していても良い。

【0038】

実施例 1 から実施例 3 において、第 1 F E T 4 0、第 2 F E T 4 2、F E T 4 2 a 及び F E T 4 2 b 等の F E T はチャネル層 1 6 及び電子供給層 1 8 を有する H E M T ( H i g h E l e c t r o n M o b i l i t y T r a n s i s t o r ) の例であったが、M E S ( M e t a l S e m i c o n d u c t o r ) F E T であってもよい。

30

【0039】

また、基板 1 0 は、G a A s 基板以外に、S i C、サファイアまたは G a N からなる基板であってもよい。半導体層は G a A s、A l G a A s、I n G a A s 以外に、G a N、A l G a N、I n G a N、I n G a P 等の化合物半導体層であってもよい。

【0040】

以上、発明の好ましい実施例について詳述したが、本発明は係る特定の実施例に限定されるものではなく、特許請求の範囲に記載された本発明の要旨の範囲内において、種々の変形・変更が可能である。

【図面の簡単な説明】

40

【0041】

【図 1】図 1 は実施例 1 に係る半導体装置の断面模式図である。

【図 2】図 2 は実施例 1 に係る半導体装置の平面模式図である。

【図 3】図 3 は比較例 1 に係る半導体装置の断面模式図である。

【図 4】図 4 は比較例 1 及び比較例 2 に係る半導体装置の平面模式図である。

【図 5】図 5 は比較例 2 に係る半導体装置の断面模式図である。

【図 6】図 6 は比較例 1 及び比較例 2 のサイドゲート効果の測定結果並びに実施例 1 のサイドゲート効果の計算結果である。

【図 7】図 7 は実施例 1 の変形例に係る半導体装置の平面模式図である。

【図 8】図 8 は実施例 2 に係る半導体装置の平面模式図である。

50

【図 9】 図 9 は実施例 2 の変形例 1 に係る半導体装置の平面模式図である。

【図 10】 図 10 は実施例 2 の変形例 2 に係る半導体装置の平面模式図である。

【図 11】 図 11 は実施例 3 に係る半導体装置の平面模式図である。

【図 12】 図 12 は実施例 3 の変形例 1 に係る半導体装置の平面模式図である。

【符号の説明】

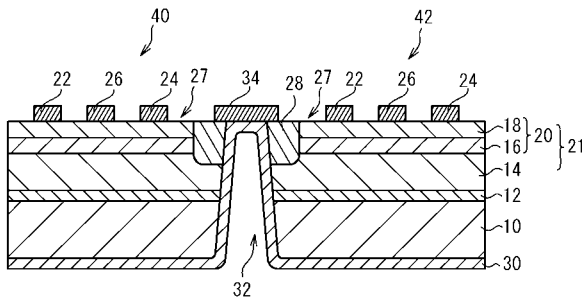
【0042】

- 10 基板
- 12 P型AlGaAs層
- 14 バッファ層
- 16 チャネル層
- 18 電子供給層
- 20 活性層
- 22 ソース電極
- 24 ドレイン電極
- 26 ゲート電極
- 27 活性領域
- 28 素子分離領域
- 30 裏面金属層
- 32 バイアホール
- 34 パッド

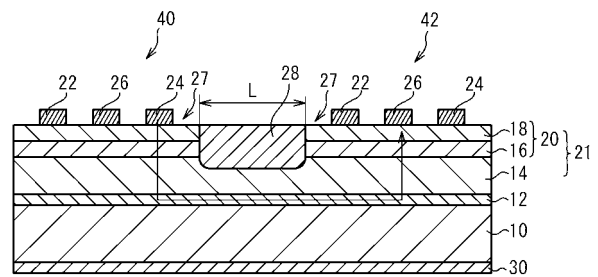
10

20

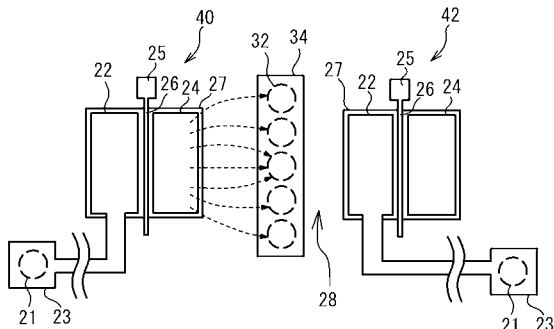
【図 1】



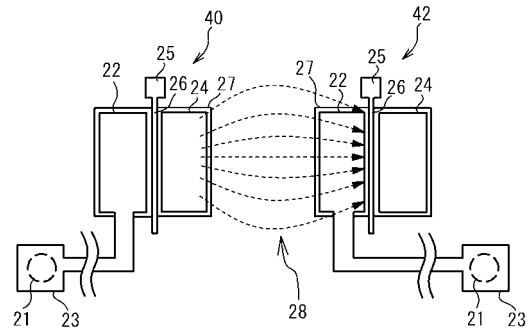
【図 3】



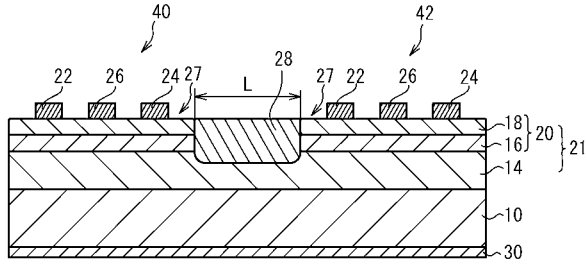
【図 2】



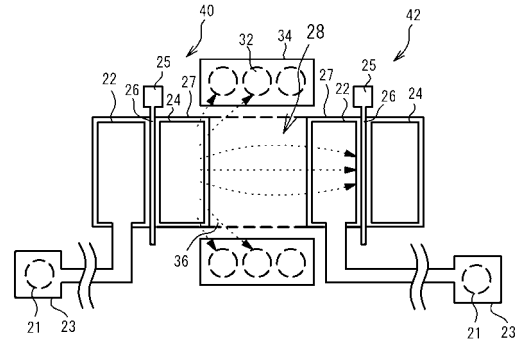
【図 4】



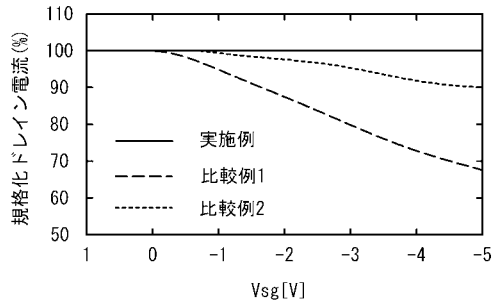
【図5】



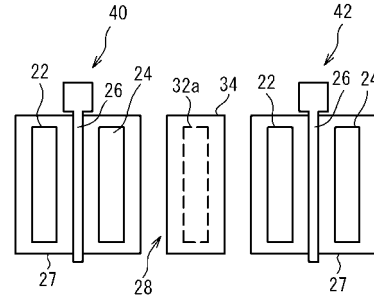
【図7】



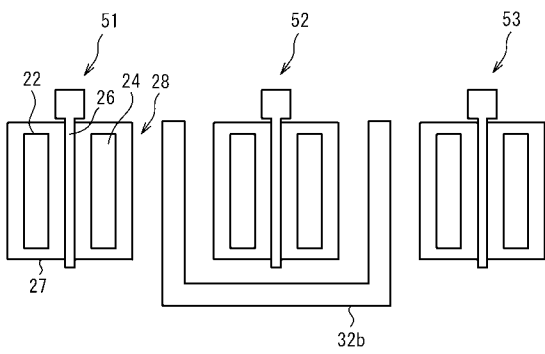
【図6】



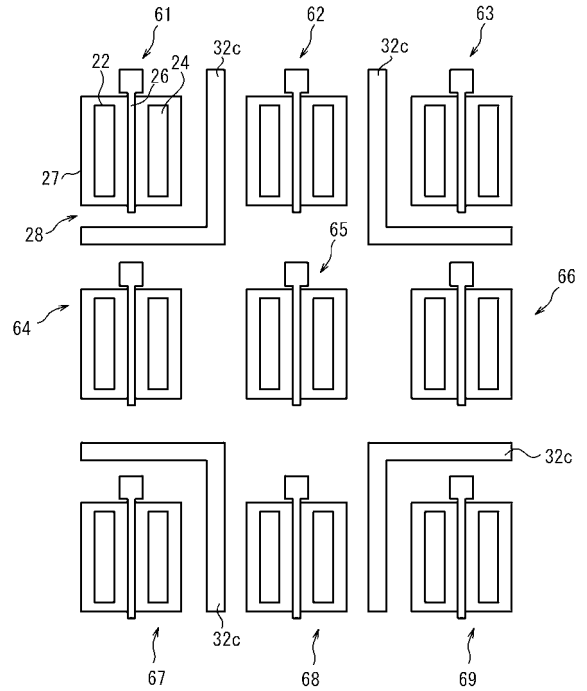
【図8】



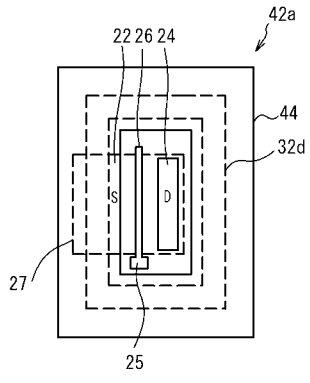
【図9】



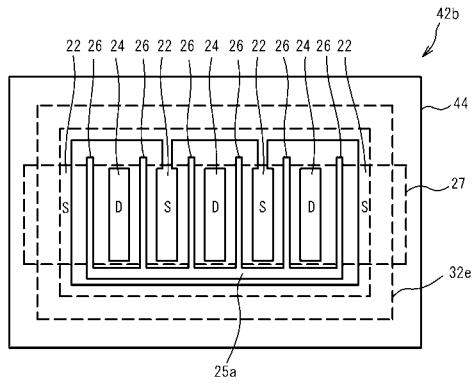
【図10】



【 図 1 1 】



【 図 1 2 】



---

フロントページの続き

Fターム(参考) 5F102 FA00 GA01 GB01 GB02 GC01 GD01 GJ02 GJ04 GJ05 GJ10  
GK05 GK06 GK08 GL04 GM06 GQ01 GS09 HC10