

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5640640号
(P5640640)

(45) 発行日 平成26年12月17日(2014.12.17)

(24) 登録日 平成26年11月7日(2014.11.7)

(51) Int.Cl.

F 1

H04B 7/005 (2006.01)

H04B 7/005

H04J 11/00 (2006.01)

H04J 11/00

H04L 27/01 (2006.01)

H04L 27/00

Z

K

請求項の数 5 (全 28 頁)

(21) 出願番号

特願2010-237578 (P2010-237578)

(22) 出願日

平成22年10月22日 (2010.10.22)

(65) 公開番号

特開2012-90236 (P2012-90236A)

(43) 公開日

平成24年5月10日 (2012.5.10)

審査請求日

平成25年10月3日 (2013.10.3)

(73) 特許権者 000002185

ソニー株式会社

東京都港区港南1丁目7番1号

(74) 代理人 100082131

弁理士 稲本 義雄

(74) 代理人 100121131

弁理士 西川 孝

(72) 発明者 吉持 直樹

東京都港区港南1丁目7番1号 ソニー株式会社内

(72) 発明者 高岡 勝美

東京都港区港南1丁目7番1号 ソニー株式会社内

最終頁に続く

(54) 【発明の名称】受信装置、受信方法、およびプログラム

(57) 【特許請求の範囲】

【請求項 1】

既知信号に含まれるデータ系列と、各時刻の受信信号との相関値を計算する計算手段と、

前記既知信号が付加される1フレーム長の前記受信信号を用いて計算された1フレーム分の前記相関値を少なくとも記憶可能な領域を有し、前記計算手段により計算された前記相関値を記憶する記憶手段と、

前記相関値の絶対値が最大となる位置を主波の位置として推定し、前記相関値のピークの位置を、前記主波の位置との距離に応じた遅延量を有するエコーの位置として推定するよう、前記記憶手段に記憶された1フレーム分の前記相関値に基づいてチャネル推定を行い、前記主波となる前記受信信号と前記エコーとなる前記受信信号に畳み込み演算に用いられる係数が割り当てられるように、前記受信信号を遅延させるバッファの遅延量を前記チャネル推定の結果に応じて設定する推定手段と、

前記バッファにおいて遅延させた各時刻の前記受信信号と、割り当てられた前記係数とを乗算し、それぞれの乗算結果を加算して前記受信信号の等化を行う等化手段とを備える受信装置。

【請求項 2】

前記記憶手段と前記バッファが同一の記憶手段により実現される
請求項1に記載の受信装置。

【請求項 3】

前記受信信号はDTMB規格のシングルキャリア伝送によって伝送されてきたデータの信号であり、

DTMB規格のマルチキャリア伝送によって伝送されてきたデータの受信時、前記記憶手段と前記バッファが実現される前記同一の記憶手段を用いて演算を行い、前記マルチキャリア伝送によって伝送されてきたデータを受信する受信手段をさらに備える

請求項2に記載の受信装置。

【請求項4】

既知信号に含まれるデータ系列と、各時刻の受信信号との相関値を計算し、

前記既知信号が付加される1フレーム長の前記受信信号を用いて計算された1フレーム分の前記相関値を少なくとも記憶可能な領域を有する記憶手段に、計算した前記相関値を記憶し、10

前記相関値の絶対値が最大となる位置を主波の位置として推定し、前記相関値のピークの位置を、前記主波の位置との距離に応じた遅延量を有するエコーの位置として推定するように、前記記憶手段に記憶された1フレーム分の前記相関値に基づいてチャネル推定を行い、

前記主波となる前記受信信号と前記エコーとなる前記受信信号に畳み込み演算に用いられる係数が割り当てられるように、前記受信信号を遅延させるバッファの遅延量を前記チャネル推定の結果に応じて設定し、

前記バッファにおいて遅延させた各時刻の前記受信信号と、割り当てられた前記係数とを乗算し、それぞれの乗算結果を加算して前記受信信号の等化を行う

ステップを含む受信方法。

【請求項5】

既知信号に含まれるデータ系列と、各時刻の受信信号との相関値を計算し、

前記既知信号が付加される1フレーム長の前記受信信号を用いて計算された1フレーム分の前記相関値を少なくとも記憶可能な領域を有する記憶手段に、計算した前記相関値を記憶し、20

前記相関値の絶対値が最大となる位置を主波の位置として推定し、前記相関値のピークの位置を、前記主波の位置との距離に応じた遅延量を有するエコーの位置として推定するように、前記記憶手段に記憶された1フレーム分の前記相関値に基づいてチャネル推定を行い、

前記主波となる前記受信信号と前記エコーとなる前記受信信号に畳み込み演算に用いられる係数が割り当てられるように、前記受信信号を遅延させるバッファの遅延量を前記チャネル推定の結果に応じて設定し、

前記バッファにおいて遅延させた各時刻の前記受信信号と、割り当てられた前記係数とを乗算し、それぞれの乗算結果を加算して前記受信信号の等化を行う

ステップを含む処理をコンピュータに実行させるプログラム。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、受信装置、受信方法、およびプログラムに関し、特に、エコーの遅延量が大きい場合や主波とエコーの判定を誤りやすい場合であっても、チャネル推定を精度よく行うことができるようとした受信装置、受信方法、およびプログラムに関する。40

【背景技術】

【0002】

地上デジタル放送の規格にDTMB(Digital Terrestrial Multimedia Broadcast)規格がある。DTMB規格では、データの変調方式として、シングルキャリアを使った変調方式とマルチキャリアを使った変調方式のうちのいずれかを選択することができるようになされている。

【0003】

以下、適宜、シングルキャリアを使った変調方式でデータを伝送することをシングルキ50

キャリア伝送といい、マルチキャリアを使った変調方式でデータを伝送することをマルチキャリア伝送という。

【0004】

DTMB規格によるデータ伝送は、シングルキャリア伝送時には、PN信号とデータ信号を周期的に送信するようにして行われる。また、マルチキャリア伝送時には、PN信号と、データ信号に対してIFFT(Inverse Fast Fourier Transform)演算を施して得られたデータを周期的に送信するようにして行われる。PN信号は所定のデータ系列を含む既知信号であり、フレーム間の干渉を防ぐためのガードインターバルとして各フレームに付加される。

【0005】

図1は、DTMB規格におけるフレーム構成を示す図である。

10

【0006】

図1に示すように、DTMB規格の1フレームは1つのPN信号(PN)と1つのデータ信号(DATA)から構成される。フレーム長はPN長+データ長で表される。フレーム長を図2に示す。PN長は420シンボル、595シンボル、945シンボルの中から選択されたいずれかのシンボル数であり、データ長は3780シンボル(IFFT演算後でいうと3780サンプル)で固定である。

【0007】

PN長が420シンボルである場合(PN420の場合)、フレーム長は4200シンボルとなり、PN長が595シンボルである場合(PN595の場合)、フレーム長は4375シンボルとなる。また、PN長が945シンボルである場合(PN945の場合)、フレーム長は4725シンボルとなる。

20

【0008】

受信装置においては、420, 595, 945シンボルのそれぞれのPN信号に含まれる系列と同じ系列のデータであるPN系列が再生され、PN系列と受信信号との相関値を求ることによって、受信信号において用いられているPN信号のPN長が特定される。また、PN信号に続くデータ信号が受信され、受信されたデータ信号に対して、等化などの各種の処理が施される。

【0009】

ところで、等化の技術の1つにスペース等化がある。スペース等化は、等化器に用いられるフィルタのデータラインに遅延量が可変のバッファを挿入することにより、タップ長を仮想的に延長し、長遅延のエコーの等化を可能にする技術である。

30

【0010】

DTMB規格に対応した受信装置には、シングルキャリア伝送によって伝送されてきたデータを受信するための等化器と、マルチキャリア伝送によって伝送されてきたデータを受信するための等化器が設けられる。

【0011】

図3は、シングルキャリア伝送によって伝送されてきたデータを表す信号の等化を行う等化器であるシングルキャリア等化器の構成を示す図である。

【0012】

シングルキャリア等化器の前段の回路においては、受信信号の周波数変換が行われ、得られたIF信号に対してA/D変換、直交復調などの処理が施される。各処理が施されることによって得られた入力信号ID(t)はPN信号とデータ信号から構成される各フレームの信号であり、FFE11、LMS(Least Mean Square)演算部16、およびチャネル推定部18に入力される。シングルキャリア等化器においては、FFE(Feed Forward Equalizer)11、FBE(Feed Back Equalizer)14を用いて、時間域の信号を対象として等化が行われる。

40

【0013】

FFE11は可変係数フィルタよりなり、LMS演算部16により求められた係数C0(n)を用いて、入力信号ID(t)と係数C0(n)との畳み込み演算を行う。FFE11は、畳み込み演算の結果を表す信号OD0(t)を加算部12に出力する。FFE11のタップ数をN_FFEとすると、FFE11の出力信号OD0(t)は下式(1)で表される。

【数1】

$$OD0(t) = \sum_{i=0}^{N_FFE-1} ID(t-i) \times CO(i) \quad \dots (1)$$

【0014】

加算部12は、FFE11の出力信号OD0(t)とFBE14の出力信号OD1(t)とを加算することによって等化後信号OD(t)(OD(t) = OD0(t) + OD1(t))を生成し、出力する。加算部12から出力された等化後信号OD(t)は、シングルキャリア等化器の外部に出力されるとともに、硬判定部13とエラー計算部15に供給される。

【0015】

硬判定部13は、加算部12から供給された等化後信号OD(t)の硬判定を行い、硬判定結果を表す信号OD'(t)を出力する。信号OD'(t)は、FBE14、エラー計算部15、およびLMS演算部17に供給される。

【0016】

FBE14も可変係数フィルタよりなり、LMS演算部17により求められた係数C1(n)を用いて、硬判定部13から供給された信号OD'(t)と係数C1(n)との畳み込み演算を行う。FBE14は、畳み込み演算の結果を表す信号OD1(t)を出力する。出力信号OD1(t)は加算部12に供給され、出力信号OD0(t)との加算に用いられる。FBE14のタップ数をN_FBEとする、FBE14の出力信号OD1(t)は下式(2)で表される。式(2)において、 α は、等化後信号OD(t)から信号OD'(t)を求めるまでにかかる遅延を表す。

【数2】

$$OD1(t) = \sum_{i=0}^{N_FBE-1} OD'(t-\alpha-i) \times C1(i) \quad \dots (2)$$

【0017】

FBE14のデータラインには、エコーの遅延量が大きい場合のスパース等化に対応するために可変遅延バッファが設けられている。可変遅延バッファの遅延量delayが、チャネル推定部18により設定される。

【0018】

エラー計算部15は、加算部12から供給された等化後信号OD(t)から、硬判定部13から供給された硬判定結果を表す信号OD'(t)を引き、誤差信号E(t)(E(t) = OD(t) - OD'(t))を出力する。エラー計算部15から出力された誤差信号E(t)はLMS演算部16とLMS演算部17に供給される。

【0019】

LMS演算部16は、入力信号ID(t)と、エラー計算部15から供給された誤差信号E(t)に基づいてLMS演算を行い、FFE11の係数CO(n)を更新する。

【0020】

LMS演算部17は、硬判定部13から供給された硬判定結果を表す信号OD'(t)と、エラー計算部15から供給された誤差信号E(t)に基づいてLMS演算を行い、FBE14の係数C1(n)を更新する。

【0021】

チャネル推定部18は、入力信号ID(t)に基づいてチャネルを推定し、遅延量delayを決定する。チャネル推定部18により決定された遅延量delayを表す信号がFBE14に供給される。スパース等化においては、FBE14内の可変遅延バッファの遅延量を正しく設定するために、チャネル推定を精度よく行うことが重要になる。

【0022】

図4は、チャネル推定部18の構成を示すブロック図である。

【0023】

チャネル推定部18は、PN相関計算部31、相関ピーク検出部32、書き込み制御部33、および相関値格納メモリ34から構成される。入力信号ID(t)はPN相関計算部31に

10

20

30

40

50

入力される。

【0024】

PN相関計算部31は、PN系列を再生し、再生したPN系列と入力信号ID(t)との相関値を計算する。PN相関計算部31により求められた相関値corr(t)は相関ピーク検出部32と相関値格納メモリ34に供給される。

【0025】

相関ピーク検出部32は、PN相関計算部31から供給された相関値corr(t)のピーク位置を検出し、ピーク位置を表すフラグであるピーク位置フラグpeを書き込み制御部33に出力する。

【0026】

相関値格納メモリ34には、主波に割り当てられた領域、プリエコーに割り当てられた領域、ポストエコーに割り当てられた領域のそれぞれの記憶領域が形成されている。書き込み制御部33は、書き込みフラグweを出力することによって、ピーク位置フラグpeにより示される位置を主波位置として、その位置の前後の入力信号ID(t)を用いて求められた相関値corr(t)を各領域に記憶させる。

【0027】

プリエコー用の領域の大きさをX、ポストエコー用の領域の大きさをY、ピーク位置が検出された時刻をtpとすると、書き込み制御部33は、 $tp-X \leq t \leq tp+Y$ で表される時間tの分の相関値corr(t)が書き込まれるように、書き込みフラグweを出力する。例えばプリエコー用の領域の大きさがXであることは、プリエコー用の領域が、X時間分の入力信号ID(t)を用いて求められた相関値corr(t)を記憶可能な領域であることを表す。

【0028】

遅延プロファイル判定部35は、読み出しフラグreを出力することによって、相関値corr(t)を相関値格納メモリ34から読み出し、エコー位置を検出してチャネルを推定する。遅延プロファイル判定部35は、推定したチャネルに応じて遅延量delayを決定し、遅延量delayを表す信号をFBE14に出力する。

【0029】

このように、DTMB規格においては各フレームの先頭にPN信号がガードインターバルとして挿入されているため、PN系列と受信信号（入力信号ID(t)）との相関値を計算することにより、相関値からチャネル推定値を得ることができる。

【先行技術文献】

【非特許文献】

【0030】

【非特許文献1】Determination of Tap Positions for Sparse Equalizers

Kutz, G.; Raphaeli, D.;

Communications, IEEE Transactions on

【発明の概要】

【発明が解決しようとする課題】

【0031】

スパース等化において長遅延のエコーに対応するには、十分長い区間に渡ってPN系列と受信信号との相関値を計算し、その分の相関値を記憶させておくためのプリエコー用ノポストエコー用の領域を相関値格納メモリに用意しておく必要がある。

【0032】

仮に、想定した遅延量を超える位置にエコーがある場合、相関値を相関値格納メモリに格納させておくことができないためにチャネル推定を誤ってしまい、データを正しく受信することができない。また、主波とエコーの判定を誤った場合でも、間違った領域に相関値が格納されるため、チャネル推定を誤ってしまい、データを正しく受信することができない。

【0033】

本発明はこのような状況に鑑みてなされたものであり、エコーの遅延量が大きい場合や

10

20

30

40

50

、主波とエコーの判定を誤りやすい場合であっても、チャネル推定を精度よく行うことができるようとするものである。

【課題を解決するための手段】

【0034】

本発明の一側面の受信装置は、既知信号に含まれるデータ系列と、各時刻の受信信号との相関値を計算する計算手段と、前記既知信号が付加される1フレーム長の前記受信信号を用いて計算された1フレーム分の前記相関値を少なくとも記憶可能な領域を有し、前記計算手段により計算された前記相関値を記憶する記憶手段と、前記相関値の絶対値が最大となる位置を主波の位置として推定し、前記相関値のピークの位置を、前記主波の位置との距離に応じた遅延量を有するエコーの位置として推定するように、前記記憶手段に記憶された1フレーム分の前記相関値に基づいてチャネル推定を行い、前記主波となる前記受信信号と前記エコーとなる前記受信信号に畳み込み演算に用いられる係数が割り当てられるように、前記受信信号を遅延させるバッファの遅延量を前記チャネル推定の結果に応じて設定する推定手段と、前記バッファにおいて遅延させた各時刻の前記受信信号と、割り当てられた前記係数とを乗算し、それぞれの乗算結果を加算して前記受信信号の等化を行う等化手段とを備える。

【0038】

前記記憶手段と前記バッファが同一の記憶手段により実現されるようにすることが可能である。

【0039】

前記受信信号はDTMB規格のシングルキャリア伝送によって伝送されてきたデータの信号であり、DTMB規格のマルチキャリア伝送によって伝送されてきたデータの受信時、前記記憶手段と前記バッファが実現される前記同一の記憶手段を用いて演算を行い、前記マルチキャリア伝送によって伝送されてきたデータを受信する受信手段をさらに設けることができる。

【0040】

本発明の一側面の受信方法は、既知信号に含まれるデータ系列と、各時刻の受信信号との相関値を計算し、前記既知信号が付加される1フレーム長の前記受信信号を用いて計算された1フレーム分の前記相関値を少なくとも記憶可能な領域を有する記憶手段に、計算した前記相関値を記憶し、前記相関値の絶対値が最大となる位置を主波の位置として推定し、前記相関値のピークの位置を、前記主波の位置との距離に応じた遅延量を有するエコーの位置として推定するように、前記記憶手段に記憶された1フレーム分の前記相関値に基づいてチャネル推定を行い、前記主波となる前記受信信号と前記エコーとなる前記受信信号に畳み込み演算に用いられる係数が割り当てられるように、前記受信信号を遅延させるバッファの遅延量を前記チャネル推定の結果に応じて設定し、前記バッファにおいて遅延させた各時刻の前記受信信号と、割り当てられた前記係数とを乗算し、それぞれの乗算結果を加算して前記受信信号の等化を行うステップを含む。

【0041】

本発明の一側面のプログラムは、既知信号に含まれるデータ系列と、各時刻の受信信号との相関値を計算し、前記既知信号が付加される1フレーム長の前記受信信号を用いて計算された1フレーム分の前記相関値を少なくとも記憶可能な領域を有する記憶手段に、計算した前記相関値を記憶し、前記相関値の絶対値が最大となる位置を主波の位置として推定し、前記相関値のピークの位置を、前記主波の位置との距離に応じた遅延量を有するエコーの位置として推定するように、前記記憶手段に記憶された1フレーム分の前記相関値に基づいてチャネル推定を行い、前記主波となる前記受信信号と前記エコーとなる前記受信信号に畳み込み演算に用いられる係数が割り当てられるように、前記受信信号を遅延させるバッファの遅延量を前記チャネル推定の結果に応じて設定し、前記バッファにおいて遅延させた各時刻の前記受信信号と、割り当てられた前記係数とを乗算し、それぞれの乗算結果を加算して前記受信信号の等化を行うステップを含む処理をコンピュータに実行させる。

10

20

30

40

50

【0042】

本発明の一側面においては、既知信号に含まれるデータ系列と、各時刻の受信信号との相関値が計算され、前記既知信号が付加される1フレーム長の前記受信信号を用いて計算された1フレーム分の前記相関値を少なくとも記憶可能な領域を有する記憶手段に、計算された前記相関値が記憶される。また、前記相関値の絶対値が最大となる位置を主波の位置として推定し、前記相関値のピークの位置を、前記主波の位置との距離に応じた遅延量を有するエコーの位置として推定するように、前記記憶手段に記憶された1フレーム分の前記相関値に基づいてチャネル推定が行われ、前記主波となる前記受信信号と前記エコーとなる前記受信信号に畳み込み演算に用いられる係数が割り当てられるように、前記受信信号を遅延させるバッファの遅延量が前記チャネル推定の結果に応じて設定され、前記バッファにおいて遅延させた各時刻の前記受信信号と、割り当てられた前記係数とを乗算し、それぞれの乗算結果を加算して前記受信信号の等化が行われる。

10

【発明の効果】

【0043】

本発明によれば、エコーの遅延量が大きい場合や主波とエコーの判定を誤りやすい場合であっても、チャネル推定を精度よく行うことができる。

【図面の簡単な説明】

【0044】

【図1】DTMB規格におけるフレーム構成を示す図である。

20

【図2】フレーム長を示す図である。

【図3】従来のシングルキャリア等化器の構成を示す図である。

【図4】図3のチャネル推定部の構成を示すブロック図である。

【図5】本発明の一実施形態に係る受信装置の構成例を示す図である。

【図6】図5のシングルキャリア等化部の構成例を示す図である。

【図7】チャネル推定部の第1の構成例を示すブロック図である。

【図8】PN595の場合の1フレーム分の相関値の例を示す図である。

【図9】FBEの構成例を示す図である。

【図10】等化処理の流れについて説明するフローチャートである。

【図11】チャネル推定部の第2の構成例を示すブロック図である。

30

【図12】PN595の場合の1フレーム分の相関値の例を示す図である。

【図13】FBEの他の構成例を示す図である。

【図14】信号処理部の構成例を示す図である。

【図15】信号処理部により行われる等化処理の流れについて説明するフローチャートである。

【図16】信号処理部の他の構成例を示す図である。

【図17】マルチキャリア等化部の構成例を示す図である。

【図18】受信システムの第1実施の形態の構成例を示すブロック図である。

【図19】受信システムの第2実施の形態の構成例を示すブロック図である。

【図20】受信システムの第3実施の形態の構成例を示すブロック図である。

【図21】コンピュータの構成例を示す図である。

40

【発明を実施するための形態】

【0045】

[受信装置の構成例]

図5は、本発明の一実施形態に係る受信装置の構成例を示す図である。

【0046】

受信装置51は、アンテナ61、チューナ62、A/D変換部63、直交復調部64、切替部65、シングルキャリア等化部66、マルチキャリア等化部67、およびコントローラ68により構成される。受信装置51は、例えば、地上デジタル放送の規格であるDTMB規格に対応した受信装置である。

【0047】

50

上述したように、DTMB規格では、データの変調方式として、シングルキャリアを使った変調方式とマルチキャリアを使った変調方式のうちのいずれかを選択することができるようになされている。DTMB規格に対応した受信装置である受信装置51は、シングルキャリアを使った変調方式で伝送されてきたデータを受信するための機能と、マルチキャリアを使った変調方式で伝送されてきたデータを受信するための機能を有している。

【0048】

チューナ62は、RF信号を受信し、周波数変換を行って得られたIF信号をA/D変換部63に出力する。

【0049】

A/D変換部63は、チューナ62から供給された信号に対してA/D変換を施し、得られたデータを出力する。10

【0050】

直交復調部64は、A/D変換部63から供給されたデータに対して直交復調を施し、ベースバンドの信号を出力する。直交復調部64からは、シングルキャリア伝送によって伝送されてきたデータを表す時間域の信号、または、マルチキャリア伝送によって伝送されてきたデータを表す時間域の信号が出力される。

【0051】

切替部65は、直交復調部64から供給された信号の出力先をコントローラ68による制御に従って切り替える。切替部65は、シングルキャリア伝送によって伝送されてきたデータの受信時、スイッチ65Aを端子65Bに接続し、直交復調部64から供給された信号をシングルキャリア等化部66に出力する。また、切替部65は、マルチキャリア伝送によって伝送されてきたデータの受信時、スイッチ65Aを端子65Cに接続し、直交復調部64から供給された信号をマルチキャリア等化部67に出力する。20

【0052】

シングルキャリア等化部66は、切替部65から供給された信号の等化をコントローラ68による制御に従って行い、等化後信号を出力する。

【0053】

マルチキャリア等化部67は、切替部65から供給された信号の等化をコントローラ68による制御に従って行い、等化後信号を出力する。

【0054】

後段の回路においては、シングルキャリア等化部66、マルチキャリア等化部67から出力された等化後信号により表されるデータを対象として誤り訂正等の処理が施される。30

【0055】

[シングルキャリア等化部66の構成]

図6は、シングルキャリア等化部66の構成例を示す図である。

【0056】

シングルキャリア等化部66の構成は、図1を参照して説明した従来のシングルキャリア等化器の構成と基本的に同じ構成である。FFE71、LMS演算部76、およびチャネル推定部78に対しては、切替部65から供給された、PN信号とデータ信号から構成される各フレームの信号が入力信号ID(t)として入力される。40

【0057】

FFE71は可変係数フィルタよりなり、LMS演算部76により求められた係数C0(n)を用いて、入力信号ID(t)と係数C0(n)との畳み込み演算を行い、畳み込み演算の結果を表す信号OD0(t)を加算部72に出力する。FFE71のタップ数をN_FFEとすると、FFE71の出力信号OD0(t)は上式(1)で表される。

【0058】

加算部72は、FFE71の出力信号OD0(t)とFBE74の出力信号OD1(t)とを加算することによって等化後信号OD(t)(OD(t)=OD0(t)+OD1(t))を生成し、出力する。加算部72から出力された等化後信号OD(t)は、シングルキャリア等化器の外部に出力されるとともに、硬判定部73とエラー計算部75に供給される。50

【 0 0 5 9 】

硬判定部 7 3 は、加算部 7 2 から供給された等化後信号OD(t)の硬判定を行い、硬判定結果を表す信号OD'(t)を出力する。信号OD'(t)は、FBE 7 4、エラー計算部 7 5、およびLMS演算部 7 7 に供給される。

【 0 0 6 0 】

FBE 7 4 も可変係数フィルタよりなり、LMS演算部 7 7 により求められた係数C1(n)を用いて、硬判定部 7 3 から供給された信号OD'(t)と係数C1(n)との畳み込み演算を行う。FBE 7 4 は、畳み込み演算の結果を表す信号OD1(t)を出力する。出力信号OD1(t)は加算部 7 2 に供給され、出力信号OD0(t)との加算に用いられる。FBE 7 4 のタップ数をN_FBE とする10
、FBE 7 4 の出力信号OD1(t)は上式(2)で表される。

【 0 0 6 1 】

FBE 7 4 のデータラインには可変遅延量バッファが設けられている。可変遅延量バッファの遅延量delayが、チャネル推定部 7 8 により求められる。FBE 7 4 とチャネル推定部 7 8 から信号処理部 8 1 が構成される。

【 0 0 6 2 】

エラー計算部 7 5 は、加算部 7 2 から供給された等化後信号OD(t)から、硬判定部 7 3 から供給された硬判定結果を表す信号OD'(t)を引き、誤差信号E(t)(E(t) = OD(t) - OD'(t))を出力する。エラー計算部 7 5 から出力された誤差信号E(t)はLMS演算部 7 6 とLMS演算部 7 7 に供給される。

【 0 0 6 3 】

LMS演算部 7 6 は、入力信号ID(t)と、エラー計算部 7 5 から供給された誤差信号E(t)に基づいてLMS演算を行い、FFE 7 1 の係数C0(n)を更新する。

【 0 0 6 4 】

LMS演算部 7 7 は、硬判定部 7 3 から供給された硬判定結果を表す信号OD'(t)と、エラー計算部 7 5 から供給された誤差信号E(t)に基づいてLMS演算を行い、FBE 7 4 の係数C1(n)を更新する。

【 0 0 6 5 】

チャネル推定部 7 8 は、入力信号ID(t)に基づいてチャネルを推定し、遅延量delayを決定する。チャネル推定部 7 8 は、遅延量delayを表す信号をFBE 7 4 に出力する。

【 0 0 6 6 】

チャネル推定部 7 8 においては入力信号ID(t)とPN系列との相関値が計算され、相関値に基づいてチャネル推定が行われるが、相関値格納用のメモリが、1フレーム分の入力信号ID(t)とPN系列との相関値を記憶可能な容量を有するメモリとされている。相関値格納用のメモリに記憶された1フレーム分の入力信号ID(t)とPN系列との相関値に基づいてチャネル推定が行われる。

【 0 0 6 7 】**[チャネル推定部の第1の例]**

図7は、チャネル推定部 7 8 の第1の構成例を示すブロック図である。

【 0 0 6 8 】

チャネル推定部 7 8 は、PN相關計算部 9 1、相関値格納メモリ 9 2、および遅延プロファイル判定部 9 3 から構成される。入力信号ID(t)はPN相關計算部 9 1 に入力される。

【 0 0 6 9 】

PN相關計算部 9 1 は、PN信号に含まれる系列と同じ系列のデータであるPN系列を再生し、再生したPN系列と入力信号ID(t)との相関値を計算する。PN相關計算部 9 1 は、各時刻の入力信号ID(t)を用いて求められた相関値corr(t)を相関値格納メモリ 9 2 に出力し、記憶させる。

【 0 0 7 0 】

相関値格納メモリ 9 2 は、1フレーム長の入力信号ID(t)とPN系列との相関値を記憶可能な容量を少なくとも有している。相関値格納メモリ 9 2 には、PN相關計算部 9 1 から供給された1フレーム分の相関値corr(t)が記憶される。

10

20

30

40

50

【 0 0 7 1 】

遅延プロファイル判定部 9 3 は、読み出しフラグ re を出力することによって、相関値格納メモリ 9 2 に記憶されている 1 フレーム分の相関値 $corr(t)$ (信号 $rcorr$) を読み出す。遅延プロファイル判定部 9 3 は、読み出した 1 フレーム分の相関値 $corr(t)$ に基づいてエコー位置を検出し、チャネルを推定する。遅延プロファイル判定部 9 3 は、推定したチャネルに応じて遅延量 $delay$ を決定し、遅延量 $delay$ を表す信号を FBE 7 4 に出力する。

【 0 0 7 2 】

図 8 は、PN595 の場合の 1 フレーム分の相関値の例を示す図である。

【 0 0 7 3 】

図 8 の横軸は時刻 (シンボル) を表し、縦軸は相関値 $corr(t)$ の絶対値を表す。各時刻の入力信号 $ID(t)$ を用いて相関値 $corr(t)$ の計算が行われるものとすると、PN595 である場合、相関値格納メモリ 9 2 にはフレーム長と同じ数である 4375 の相関値 $corr(t)$ が記憶される。図 8 の例においては、500 シンボル目で所定の相関値である相関値 $corr(500)$ が求められ、1880 シンボル目で、相関値 $corr(500)$ より大きい相関値 $corr(1880)$ が求められている。

10

【 0 0 7 4 】

遅延プロファイル判定部 9 3 は、このような 1 フレーム分の相関値 $corr(t)$ に基づいて、相関値 $corr(t)$ の絶対値の大きさと、相関値 $corr(t)$ のピーク間の距離を検出する。また、遅延プロファイル判定部 9 3 は、相関値 $corr(t)$ の絶対値の大きさとピーク間の距離に基づいて主波とエコーの位置を推定し、遅延量 $delay$ を決定する。

20

【 0 0 7 5 】

図 8 の結果が得られた場合、遅延プロファイル判定部 9 3 は、例えば、1880 シンボル目で検出された、相関値 $corr(t)$ の絶対値が最も大きいパス B を主波として判定する。また、遅延プロファイル判定部 9 3 は、500 シンボル目で検出されたパス A を、遅延量が 2995 シンボル (4374-1880+501 シンボル) のポストエコーとして判定する。遅延プロファイル判定部 9 3 は、FBE 7 4 において、ポストエコーとして判定したパス A にもフィルタ係数が割り当たられるように (フィルタ係数との掛け算が行われるように) 、遅延量 $delay$ を決定する。

【 0 0 7 6 】

1 フレーム分の相関値全体が記憶されているから、仮に、パス A が、主波であるパス B に対して 1380 シンボルだけ先行しているプリエコーであったとしても、遅延量が 2995 シンボルのポストエコーとして扱って処理を行うことが可能になる。

30

【 0 0 7 7 】

図 9 は、FBE 7 4 の構成例を示す図である。

【 0 0 7 8 】

図 9 に示す FBE 7 4 は、タップ数が 6 のトランスバーサルフィルタである。FBE 7 4 は、フリップフロップ 1 0 1 - 1 乃至 1 0 1 - 6 、乗算器 1 0 2 - 1 乃至 1 0 2 - 6 、可変遅延量バッファ 1 0 3 、および加算器 1 0 4 から構成される。データライン上であって、フリップフロップ 1 0 1 - 4 とフリップフロップ 1 0 1 - 5 の間の位置には可変遅延量バッファ 1 0 3 が設けられている。

40

【 0 0 7 9 】

硬判定部 7 3 から出力された硬判定結果を表す信号 $OD'(t)$ はフリップフロップ 1 0 1 - 1 に入力され、チャネル推定部 7 8 から出力された遅延量 $delay$ を表す信号は可変遅延量バッファ 1 0 3 に入力される。乗算器 1 0 2 - 1 乃至 1 0 2 - 6 には、LMS 演算部 7 7 により求められた係数 $C1(n)$ がそれぞれ割り当たられる。

【 0 0 8 0 】

フリップフロップ 1 0 1 - 1 乃至 1 0 1 - 6 は、それぞれ、入力されたデータを記憶し、所定のタイミングで出力する。

【 0 0 8 1 】

乗算器 1 0 2 - 1 乃至 1 0 2 - 6 は、それぞれ、フリップフロップ 1 0 1 - 1 乃至 1 0

50

1 - 6 の出力と、LMS演算部 7 7 により設定された係数C1(n)を乗算し、乗算結果を加算器 104 に出力する。

【0082】

可変遅延量バッファ 103 は、フリップフロップ 101 - 4 の出力をチャネル推定部 7 8 により求められた遅延量delayに従って遅延させ、フリップフロップ 101 - 5 に出力する。遅延量delayは、0以上、可変遅延量バッファ 103 のバッファサイズにより遅延可能な時間未満の遅延量である。

【0083】

加算器 104 は、乗算器 102 - 1 乃至 102 - 6 のそれぞれから供給された乗算結果を足し合わせ、足し合わせた結果を出力信号OD1(t)として加算部 7 2 に出力する。

10

【0084】

[等化処理の例]

ここで、図 10 のフローチャートを参照して、図 7 のチャネル推定部 7 8 と図 9 のFBE 7 4 により行われる等化処理の流れについて説明する。図 10 の処理は、入力信号ID(t)がチャネル推定部 7 8 に入力されたときに開始される。

【0085】

ステップ S 1において、チャネル推定部 7 8 のPN相関計算部 9 1 はPN系列を再生する。

【0086】

ステップ S 2において、PN相関計算部 9 1 は、再生したPN系列と入力信号ID(t)との相関値を計算する。

20

【0087】

ステップ S 3において、PN相関計算部 9 1 は、計算により求めた相関値corr(t)を相関値格納メモリ 9 2 に出力し、記憶させる。

【0088】

ステップ S 4において、PN相関計算部 9 1 は、1フレーム分の相関値corr(t)を計算したか否かを判定する。1フレーム分の相関値corr(t)を計算していないとステップ S 4において判定した場合、PN相関計算部 9 1 は、ステップ S 2 に戻り、相関値corr(t)の計算を繰り返す。

【0089】

一方、1フレーム分の相関値corr(t)を計算したとステップ S 4 において判定された場合、ステップ S 5 において、遅延プロファイル判定部 9 3 は、相関値格納メモリ 9 2 に記憶されている1フレーム分の相関値corr(t)を読み出す。遅延プロファイル判定部 9 3 は、読み出した1フレーム分の相関値corr(t)に基づいてチャネルを推定し、推定したチャネルに応じて遅延量delayを決定する。

30

【0090】

ステップ S 6 において、FBE 7 4 は、可変遅延量バッファ 103 の遅延量を遅延プロファイル判定部 9 3 により決定された遅延量delayに応じて設定し、LMS演算部 7 7 により求められた係数C1(n)を用いて演算を行う。畳み込み演算の結果を表す信号OD1(t)はFBE 7 4 から出力され、加算部 7 2 に供給される。

【0091】

40

ステップ S 7 において、加算部 7 2 は、FFE 7 1 の出力信号OD0(t)とFBE 7 4 の出力信号OD1(t)とを加算することによって等化後信号OD(t)を生成し、出力する。その後、処理は終了される。

【0092】

以上のように、チャネル推定部 7 8 においては1フレーム分の相関値を用いてチャネル推定が行われる。1フレーム分の相関値には全てのプロファイル情報が必ず含まれることになるため、エコーの解釈を適切に行うことによって、チャネル推定を正しく行うことができる。また、計算により求めた全ての相関値を相関値格納メモリ 9 2 に記憶させておけばよいため、プリエコー用の領域、ポストエコー用の領域といったような、相関値の記憶先となる領域を意識する必要がない。

50

【 0 0 9 3 】

[チャネル推定部の第 2 の例]

図 1 1 は、チャネル推定部 7 8 の第 2 の構成例を示すブロック図である。図 1 1 に示す構成のうち、図 7 に示す構成と同じ構成には同じ符号を付してある。重複する説明については適宜省略する。

【 0 0 9 4 】

図 1 1 のチャネル推定部 7 8 により可変遅延量バッファの遅延量が制御される FBE 7 4 には 2 つの可変遅延量バッファが設けられている。チャネル推定部 7 8 においては、FBE 7 4 に設けられる 2 つの可変遅延量バッファの遅延量がそれぞれ決定される。

【 0 0 9 5 】

PN 相関計算部 9 1 は、PN 系列を再生し、PN 系列と入力信号 ID(t)との相関を計算する。PN 相関計算部 9 1 は、計算により求めた相関値 corr(t)を相関値格納メモリ 9 2 に出力し、記憶させる。

10

【 0 0 9 6 】

相関値格納メモリ 9 2 は、PN 相関計算部 9 1 から供給された 1 フレーム分の相関値 corr(t)を記憶する。

【 0 0 9 7 】

遅延プロファイル判定部 9 3 は、相関値格納メモリ 9 2 に記憶されている 1 フレーム分の相関値 corr(t)に基づいてチャネルを推定する。遅延プロファイル判定部 9 3 は、推定したチャネルに応じて、遅延量 delay1 と遅延量 delay2 を決定し、それぞれの遅延量を表す信号を FBE 7 4 に出力する。

20

【 0 0 9 8 】

図 1 2 は、PN595 の場合の 1 フレーム分の相関値の例を示す図である。

【 0 0 9 9 】

図 1 2 の例においては、500 シンボル目で所定の相関値である相関値 corr(500) が求められ、1880 シンボル目で、相関値 corr(500) より大きい相関値 corr(1880) が求められている。また、3400 シンボル目で、相関値 corr(1880) より小さい相関値 corr(3400) が求められている。

【 0 1 0 0 】

遅延プロファイル判定部 9 3 は、例えば、1880 シンボル目で検出された相関値 corr(t) の絶対値が最も大きいパス B を主波として判定し、3400 シンボル目で検出されたパス C を、遅延量が 1520 シンボルのポストエコーとして判定する。また、遅延プロファイル判定部 9 3 は、500 シンボル目で求められたパス A を、遅延量が 2995 シンボルのポストエコーとして判定する。

30

【 0 1 0 1 】

遅延プロファイル判定部 9 3 は、ポストエコーとして判定したパス A とパス C にも FBE 7 4 においてフィルタ係数が割り当てられるように、遅延量 delay1 と遅延量 delay2 を決定する。

【 0 1 0 2 】

図 1 3 は、図 1 1 の構成を有するチャネル推定部 7 8 により可変遅延量バッファの遅延量が制御される FBE 7 4 の構成例を示す図である。

40

【 0 1 0 3 】

図 1 3 の FBE 7 4 は、フリップフロップ 1 0 1 - 1 乃至 1 0 1 - n 、乗算器 1 0 2 - 1 乃至 1 0 2 - n 、可変遅延量バッファ 1 0 3 - 1 , 1 0 3 - 2 、および加算器 1 0 4 から構成される。データライン上であって、フリップフロップ 1 0 1 - 4 とフリップフロップ 1 0 1 - 5 の間の位置には可変遅延量バッファ 1 0 3 - 1 が設けられる。また、フリップフロップ 1 0 1 - (n - 2) とフリップフロップ 1 0 1 - (n - 1) の間の位置には可変遅延量バッファ 1 0 3 - 2 が設けられる。

【 0 1 0 4 】

硬判定部 7 3 から出力された硬判定結果を表す信号 OD'(t) はフリップフロップ 1 0 1 -

50

1に入力される。また、チャネル推定部78から出力された遅延量delay1を表す信号は可変遅延量バッファ103-1に入力され、遅延量delay2を表す信号は可変遅延量バッファ103-2に入力される。乗算器102-1乃至102-nには、LMS演算部77により求められた係数C1(n)がそれぞれ設定される。

【0105】

フリップフロップ101-1乃至101-nは、それぞれ、入力されたデータを記憶し、所定のタイミングで出力する。

【0106】

乗算器102-1乃至102-nは、それぞれ、フリップフロップ101-1乃至101-nの出力と、LMS演算部77により設定された係数C1(n)を乗算し、乗算結果を加算器104に出力する。10

【0107】

可変遅延量バッファ103-1は、フリップフロップ101-4の出力をチャネル推定部78により求められた遅延量delay1に従って遅延させ、フリップフロップ101-5に出力する。

【0108】

可変遅延量バッファ103-2は、フリップフロップ101-(n-2)の出力をチャネル推定部78により求められた遅延量delay2に従って遅延させ、フリップフロップ101-(n-1)に出力する。

【0109】

加算器104は、乗算器102-1乃至102-nのそれぞれから供給された乗算結果を足し合わせ、足し合わせた結果を出力信号OD1(t)として加算部72に出力する。20

【0110】

このように、FBE74のデータライン上(フリップフロップの並び上)に可変遅延量バッファを複数設けることも可能である。図11の構成を有するチャネル推定部78と図13の構成を有するFBE74により行われる処理は、遅延量として遅延量delay1と遅延量delay2が求められる点を除いて、図10を参照して説明した処理と基本的に同様の処理である。

【0111】

[信号処理部の例]

FBE74の可変遅延量バッファと、チャネル推定部78の相関値格納メモリを同一のメモリを共有に用いて実現することも可能である。30

【0112】

図14は、FBE74とチャネル推定部78を含む信号処理部81の構成例を示す図である。図14の信号処理部81においては、同一のメモリである共有メモリ141によって、FBE74による等化処理においてデータの遅延に用いられるバッファと、チャネル推定部78によるチャネル推定において相関値の記憶に用いられるメモリが実現される。

【0113】

チャネル推定部78は、PN相関計算部131、遅延プロファイル判定部132、および可変遅延量バッファ制御部133から構成される。入力信号ID(t)はPN相関計算部131に入力される。40

【0114】

PN相関計算部131は、PN系列を再生し、再生したPN系列と入力信号ID(t)との相関値を計算する。PN相関計算部131により求められた相関値corr(t)はセレクタ143に供給される。

【0115】

遅延プロファイル判定部132は、相関計算完了フラグCDONEをセレクタ142とセレクタ143に出力し、共有メモリ141の用途を切り替える。例えば、遅延プロファイル判定部132は、相関値の記憶用として共有メモリ141を用いる場合には相関計算完了フラグCDONEの値に0を設定し、出力する。50

【 0 1 1 6 】

遅延プロファイル判定部 132 は、相関値の記憶用として共有メモリ 141 を用いている場合、制御信号 flagd を出力することによって、PN 相関計算部 131 により求められた相関値 corr(t) を共有メモリ 141 に記憶させる。この場合、PN 相関計算部 131 により求められた相関値 corr(t) は、セレクタ 143 を介して共有メモリ 141 に供給される。また、制御信号 flagd は、セレクタ 142 を介して共有メモリ 141 に供給される。

【 0 1 1 7 】

遅延プロファイル判定部 132 は、1 フレーム分の相関値 corr(t) が共有メモリ 141 に記憶されたとき、共有メモリ 141 から読み出した 1 フレーム分の相関値 corr(t) (信号 rdata) に基づいて上述したようにしてチャネルを推定する。遅延プロファイル判定部 132 は、推定したチャネルに応じて遅延量 delay を決定し、遅延量 delay を表す信号を可変遅延量バッファ制御部 133 に出力する。10

【 0 1 1 8 】

一方、遅延プロファイル判定部 132 は、チャネルの推定が終了し、データの遅延用として共有メモリ 141 を用いる場合には相関計算完了フラグ CDONE に 1 の値を設定し、出力する。

【 0 1 1 9 】

可変遅延量バッファ制御部 133 は、遅延量 delay を表す信号が遅延プロファイル判定部 132 から供給された場合、制御信号 flagb を出力し、共有メモリ 141 をデータの遅延用のメモリとして動作させる。制御信号 flagb には遅延量 delay を表す情報も含まれており、セレクタ 142 を介して共有メモリ 141 に供給される。20

【 0 1 2 0 】

FBE 74 は、フリップフロップ 151 - 1 乃至 151 - 6、乗算器 152 - 1 乃至 152 - 6、および加算器 153 から構成される。硬判定部 73 から供給された硬判定結果を表す信号 OD'(t) はフリップフロップ 151 - 1 に入力される。

【 0 1 2 1 】

フリップフロップ 151 - 1 乃至 151 - 6 は、それぞれ、入力されたデータを記憶し、所定のタイミングで出力する。

【 0 1 2 2 】

乗算器 152 - 1 乃至 152 - 6 は、それぞれ、フリップフロップ 151 - 1 乃至 151 - 6 の出力と、LMS 演算部 77 により設定された係数 C1(n) を乗算し、乗算結果を加算器 153 に出力する。30

【 0 1 2 3 】

加算器 153 は、乗算器 152 - 1 乃至 152 - 6 のそれぞれから供給された乗算結果を足し合わせ、足し合わせた結果を出力信号 OD1(t) として加算部 72 に出力する。

【 0 1 2 4 】

セレクタ 142 は、0 の値が設定された相関計算完了フラグ CDONE が遅延プロファイル判定部 132 から供給されている場合、遅延プロファイル判定部 132 から供給された制御信号 flagd を選択して共有メモリ 141 に出力する。また、セレクタ 142 は、1 の値が設定された相関計算完了フラグ CDONE が遅延プロファイル判定部 132 から供給されている場合、可変遅延量バッファ制御部 133 から供給された制御信号 flagb を選択して共有メモリ 141 に出力する。40

【 0 1 2 5 】

セレクタ 143 は、0 の値が設定された相関計算完了フラグ CDONE が遅延プロファイル判定部 132 から供給されている場合、PN 相関計算部 131 から供給された相関値 corr(t) を選択して共有メモリ 141 に出力する。また、セレクタ 143 は、1 の値が設定された相関計算完了フラグ CDONE が遅延プロファイル判定部 132 から供給されている場合、フリップフロップ 151 - 4 の出力を選択して共有メモリ 141 に出力する。

【 0 1 2 6 】

共有メモリ 141 は、1 フレーム分の相関値 corr(t) を記憶可能であり、かつ、セレク

50

タ143を介して供給されたフリップフロップ151-4の出力を十分に遅延させることができ容量を有している。共有メモリ141は、セレクタ142から制御信号flagdが供給されている場合、セレクタ143から供給された相関値corr(t)を記憶する。

【0127】

また、共有メモリ141は、セレクタ142から制御信号flagbが供給されている場合、制御信号flagbに従って遅延量を設定する。共有メモリ141は、セレクタ143を介して供給されたフリップフロップ151-4の出力を設定した遅延量の分だけ遅延させ、フリップフロップ151-5に出力する。

【0128】

[等化処理の例]

10

ここで、図15のフローチャートを参照して、図14の構成を有する信号処理部81により行われる等化処理の流れについて説明する。

【0129】

ステップS11において、遅延プロファイル判定部132は、相関計算完了フラグCDONEの値に0を設定し、出力する。これにより、共有メモリ141に対しては、セレクタ142により選択された制御信号flagdと、セレクタ143により選択された相関値corr(t)が供給される状態になる。共有メモリ141は、相関値の記憶用として機能することになる。

【0130】

ステップS12において、PN相関計算部131はPN系列を再生する。

20

【0131】

ステップS13において、PN相関計算部131は、再生したPN系列と入力信号ID(t)との相関値corr(t)を計算する。PN相関計算部131により求められた相関値corr(t)は共有メモリ141に供給される。

【0132】

ステップS14において、遅延プロファイル判定部132は、制御信号flagdを出力し、PN相関計算部131により求められた相関値corr(t)を共有メモリ141に記憶させる。

【0133】

ステップS15において、遅延プロファイル判定部132は、1フレーム分の相関値corr(t)が計算されたか否かを判定し、計算されていないと判定した場合、ステップS13に戻り、相関値corr(t)の計算を繰り返し行わせる。

30

【0134】

一方、1フレーム分の相関値corr(t)が計算されたとステップS15において判定した場合、ステップS16において、遅延プロファイル判定部132は、共有メモリ141に記憶されている1フレーム分の相関値corr(t)を読み出す。遅延プロファイル判定部132は、読み出した1フレーム分の相関値corr(t)に基づいてチャネルを推定し、推定したチャネルに応じて遅延量delayを決定する。

【0135】

ステップS17において、遅延プロファイル判定部132は、相関計算完了フラグCDONEの値に1を設定し、出力する。これにより、共有メモリ141に対しては、セレクタ142により選択された制御信号flagbと、セレクタ143により選択された、フリップフロップ151-4の出力が供給される状態になる。共有メモリ141は、データの遅延用として機能することになる。

40

【0136】

ステップS18において、可変遅延バッファ制御部133は、セレクタ142を介して制御信号flagbを共有メモリ141に出力し、遅延量を設定する。

【0137】

ステップS19において、FBE74は、共有メモリ141を可変遅延バッファとして各時刻の信号OD'(t)を遅延させ、LMS演算部77により設定された係数C1(n)を用いて演算

50

を行う。畳み込み演算の結果を表す信号OD1(t)はFBE 7 4 から出力され、加算部 7 2 に供給される。

【 0 1 3 8 】

ステップ S 2 0において、加算部 7 2 は、FFE 7 1 の出力信号OD0(t)とFBE 7 4 の出力信号OD1(t)とを加算することによって等化後信号OD(t)を生成し、出力する。その後、処理は終了される。

【 0 1 3 9 】

以上のように、FBE 7 4 の可変遅延量バッファと、チャネル推定部 7 8 の相関値格納メモリを同一のメモリを共有に用いて実現することにより、それぞれのメモリを用意する場合に較べてシングルキャリア等化部 6 6 の回路規模を小さくすることが可能になる。

10

【 0 1 4 0 】

なお、図 1 3 を参照して説明したようにFBE 7 4 のデータライン上に複数のメモリが設けられ、その複数のメモリが、FBE 7 4 によるデータの遅延用と、チャネル推定部 7 8 による相関値の記憶用に用いられるようにすることも可能である。

【 0 1 4 1 】

[信号処理部の他の例]

DTMB規格に対応した受信装置 5 1 には、シングルキャリア等化部 6 6 の他にマルチキャリア等化部 6 7 も設けられ、マルチキャリア伝送の受信時、マルチキャリア等化部 6 7 において各種の演算が行われる。1つのメモリが、シングルキャリア等化部 6 6 のFBE 7 4 によるデータの遅延用と、チャネル推定部 7 8 による相関値の記憶用と、マルチキャリア等化部 6 7 による演算用とで共有に用いられるようにすることも可能である。

20

【 0 1 4 2 】

図 1 6 は、信号処理部 8 1 の他の構成例を示す図である。

【 0 1 4 3 】

図 1 6 に示す信号処理部 8 1 の構成のうち、図 1 4 に示す構成と同じ構成には同じ符号を付してある。重複する説明については適宜省略する。

【 0 1 4 4 】

図 1 6 に示す信号処理部 8 1 の構成は、セレクタ 1 6 1 とセレクタ 1 6 2 が追加して設けられている点で図 1 4 に示す構成と異なる。セレクタ 1 6 1 とセレクタ 1 6 2 に対しては、例えばコントローラ 6 8 から出力された受信モードCTYPEが入力され、共有メモリ 1 4 1 の用途が切り替えられる。受信モードCTYPEは、受信装置 5 1 の受信モードが、マルチキャリア伝送により伝送されてきたデータを受信するモードであるMCモードであるのか、シングルキャリア伝送により伝送されてきたデータを受信するモードであるSCモードであるのかを表す。

30

【 0 1 4 5 】

受信モードCTYPEがMCモードである場合、共有メモリ 1 4 1 は、マルチキャリア伝送によって伝送されてきたデータの受信のための演算に用いられる。一方、受信モードCTYPEがSCモードである場合において相関計算完了フラグCDONEの値が0であるとき、共有メモリ 1 4 1 は相関値の記憶に用いられる。また、受信モードCTYPEがSCモードである場合において相関計算完了フラグCDONEの値が1であるとき、共有メモリ 1 4 1 はデータの遅延に用いられる。

40

【 0 1 4 6 】

受信モードCTYPEがSCモードである場合、FBE 7 4 とチャネル推定部 7 8 の各部が動作する。

【 0 1 4 7 】

チャネル推定部 7 8 のPN相関計算部 1 3 1 は、PN系列を再生し、再生したPN系列と入力信号ID(t)との相関を計算する。PN相関計算部 1 3 1 により求められた相関値corr(t)はセレクタ 1 4 3 に供給される。

【 0 1 4 8 】

遅延プロファイル判定部 1 3 2 は、相関値の記憶用として共有メモリ 1 4 1 を用いる場

50

合には相関計算完了フラグCDONEの値に0を設定し、出力する。

【0149】

遅延プロファイル判定部132は、相関値の記憶用として共有メモリ141を用いている場合、制御信号flagdを出力することによって、PN相関計算部131により求められた相関値corr(t)を共有メモリ141に記憶させる。受信モードCTYPEがSCモードである場合において、相関計算完了フラグCDONEの値が0であるとき、PN相関計算部131により求められた相関値corr(t)はセレクタ143とセレクタ161を介して共有メモリ141に供給される。また、制御信号flagdは、セレクタ142とセレクタ162を介して共有メモリ141に供給される。

【0150】

遅延プロファイル判定部132は、1フレーム分の相関値が共有メモリ141に記憶されたとき、共有メモリ141から読み出した1フレーム分の相関値corr(t)に基づいて上述したようにしてチャネルを推定する。遅延プロファイル判定部132は、推定したチャネルに応じて遅延量delayを決定し、遅延量delayを表す信号を可変遅延量バッファ制御部133に出力する。

【0151】

一方、遅延プロファイル判定部132は、チャネルの推定が終了し、データの遅延用として共有メモリ141を用いる場合には相関計算完了フラグCDONEに1の値を設定し、出力する。

【0152】

可変遅延量バッファ制御部133は、遅延量delayを表す信号が遅延プロファイル判定部132から供給された場合、制御信号flagbを出力し、共有メモリ141をデータの遅延用のメモリとして動作させる。制御信号flagbには遅延量delayを表す情報も含まれており、セレクタ142とセレクタ162を介して共有メモリ141に供給される。

【0153】

FBE74のフリップフロップ151-1乃至151-6は、それぞれ、入力されたデータを記憶し、所定のタイミングで出力する。

【0154】

乗算器152-1乃至152-6は、それぞれ、フリップフロップ151-1乃至151-6の出力と、LMS演算部77により設定された係数C1(n)を乗算し、乗算結果を加算器153に出力する。

【0155】

加算器153は、乗算器152-1乃至152-6のそれこれから供給された乗算結果を足し合わせ、足し合わせた結果を出力信号OD1(t)として加算部72に出力する。

【0156】

セレクタ142は、0の値が設定された相関計算完了フラグCDONEが遅延プロファイル判定部132から供給されている場合、遅延プロファイル判定部132から供給された制御信号flagdを選択してセレクタ162に出力する。また、セレクタ142は、1の値が設定された相関計算完了フラグCDONEが遅延プロファイル判定部132から供給されている場合、可変遅延量バッファ制御部133から供給された制御信号flagbを選択してセレクタ162に出力する。

【0157】

セレクタ143は、0の値が設定された相関計算完了フラグCDONEが遅延プロファイル判定部132から供給されている場合、PN相関計算部131から供給された相関値corr(t)を選択してセレクタ161に出力する。また、セレクタ143は、1の値が設定された相関計算完了フラグCDONEが遅延プロファイル判定部132から供給されている場合、フリップフロップ151-4の出力を選択してセレクタ161に出力する。

【0158】

セレクタ161は、受信モードCTYPEがSCモードである場合、セレクタ143から供給された相関値corr(t)またはフリップフロップ151-4の出力を選択し、共有メモリ1

10

20

30

40

50

4 1 に出力する。一方、セレクタ 1 6 1 は、受信モードCTYPEがMCモードである場合、マルチキャリア等化部 6 7 から供給されたデータdatamを選択し、共有メモリ 1 4 1 に出力する。

【 0 1 5 9 】

セレクタ 1 6 2 は、受信モードCTYPEがSCモードである場合、セレクタ 1 4 2 から供給された制御信号flagbまたは制御信号flagdを選択し、共有メモリ 1 4 1 に出力する。一方、セレクタ 1 6 1 は、受信モードCTYPEがMCモードである場合、マルチキャリア等化部 6 7 から供給された制御信号flagmを選択し、共有メモリ 1 4 1 に出力する。

【 0 1 6 0 】

共有メモリ 1 4 1 は、1 フレーム分の相関値corr(t)を記憶可能であり、かつ、セレクタ 1 4 3 とセレクタ 1 6 1 を介して供給されたフリップフロップ 1 5 1 - 4 の出力を十分に遅延させることができ容量を有している。共有メモリ 1 4 1 は、セレクタ 1 6 2 から制御信号flagdが供給されている場合、セレクタ 1 6 1 から供給された相関値corr(t)を記憶する。

【 0 1 6 1 】

また、共有メモリ 1 4 1 は、セレクタ 1 6 2 から制御信号flagbが供給されている場合、制御信号flagbに従って、フリップフロップ 1 5 1 - 4 の出力を所定の時間だけ遅延させるように遅延量を設定する。共有メモリ 1 4 1 は、セレクタ 1 6 1 から供給された、フリップフロップ 1 5 1 - 4 の出力を設定した遅延量の分だけ遅延させ、フリップフロップ 1 5 1 - 5 に出力する。

【 0 1 6 2 】

共有メモリ 1 4 1 は、セレクタ 1 6 2 から制御信号flagmが供給されている場合、セレクタ 1 6 1 から供給されたデータdatamを記憶する。

【 0 1 6 3 】

マルチキャリア等化部 6 7 は、受信モードCTYPEがMCモードである場合、共有メモリ 1 4 1 を用いて各種の演算を行う。マルチキャリア等化部 6 7 は、制御信号flagmを出力し、書き込み対象のデータであるデータdatamを共有メモリ 1 4 1 に記憶させる。また、マルチキャリア等化部 6 7 は、適宜、共有メモリ 1 4 1 に記憶されたデータdatamを読み出す。

【 0 1 6 4 】

〔マルチキャリア等化部 6 7 の構成〕

図 1 7 は、マルチキャリア等化部 6 7 の構成例を示す図である。図 5 の切替部 6 5 を介して供給された入力信号ID(t)はPN除去部 1 7 1 に入力される。

【 0 1 6 5 】

PN除去部 1 7 1 は、チャネル推定部 1 7 8 から供給されたPN信号の推定値PN'(t)を入力信号ID(t)から引くことによってPN信号を除去し、データ信号(ID(t) - PN'(t))をFFT演算部 1 7 2 に出力する。

【 0 1 6 6 】

FFT演算部 1 7 2 は、PN除去部 1 7 1 から供給されたデータ信号に対してFFT演算を施し、データ信号D(f)を除算部 1 7 3 に出力する。マルチキャリア伝送によって伝送されてくるデータ信号に対しては送信側の装置においてIFFT演算が施されているから、マルチキャリア等化部 6 7 においては、データ信号に対してFFT演算が施される。データ信号D(f)は周波数域の信号である。

【 0 1 6 7 】

除算部 1 7 3 は、FFT演算部 1 7 2 から供給されたデータ信号D(f)を、LMS演算部 1 7 6 から供給されたチャネル推定値H(f)で除算することによって等化後信号OD(f)を生成し、出力する。除算部 1 7 3 から出力された等化後信号OD(f)は外部に出力されるとともに、硬判定部 1 7 4 とLMS演算部 1 7 6 に供給される。

【 0 1 6 8 】

硬判定部 1 7 4 は、等化後信号OD(f)の硬判定を行い、硬判定結果を表す信号OD'(f)を

10

20

30

40

50

エラー計算部 175 に出力する。

【0169】

エラー計算部 175 は、等化後信号OD(f)から、硬判定部 174 から供給された信号OD'(f)を引き、誤差信号E(f)(E(f) = OD(f) - OD'(f))をLMS演算部 176 に出力する。

【0170】

LMS演算部 176 は、除算部 173 から供給された等化後信号OD(f)と、エラー計算部 175 から供給された誤差信号E(f)に基づいてLMS演算を行い、周波数域のチャネル推定値H(f)を求める。LMS演算部 176 により求められたチャネル推定値H(f)は除算部 173 に供給され、データ信号D(f)の等化に用いられるとともに、IFFT演算部 177 に供給される。

【0171】

IFFT演算部 177 は、LMS演算部 176 から供給されたチャネル推定値H(f)に対してIFFT演算を施し、時間域のチャネル推定値C(n)をチャネル推定部 178 に出力する。

【0172】

チャネル推定部 178 は可変係数フィルタよりなり、IFFT演算部 177 から供給されたチャネル推定値C(n)を係数として、PN再生部 179 により再生されたPN系列PN(t)と、係数C(n)との畳み込み演算を行う。チャネル推定部 178 は、畳み込み演算によって求めたPN信号の推定値PN'(t)をPN除去部 171 に出力する。PN再生部 179 により再生されたPN信号をPN(t)、チャネル推定部 178 を構成するフィルタのタップ数をN_CHE とすると、PN信号の推定値PN'(t)は下式(3)により表される。

【数3】

$$PN'(t) = \sum_{i=0}^{N_CHE-1} PN(t-i) \times C(i) \quad \dots (3)$$

【0173】

PN再生部 179 は、PN系列PN(t)を再生し、チャネル推定部 178 に出力する。

【0174】

このように、マルチキャリア等化部 67 においては、FFT演算部 172 によるFFT演算、硬判定部 174 による硬判定の演算、エラー計算部 175 によるエラー計算、LMS演算部 176 によるLMS演算などの各種の処理が行われる。これらの処理のうちの少なくも一部が、シングルキャリア等化部 66 の共有メモリ 141 を用いて行われる。

【0175】

マルチキャリア等化部 67 から出力された等化後信号OD(f)により表されるデータを対象として行われるデインタリープなどの、マルチキャリア伝送の受信時に行われる他の処理が共有メモリ 141 を用いて行われるようにしてよい。

【0176】

[受信システムに適用した例]

図 18 は、図 5 の受信装置 51 を適用した受信システムの第 1 実施の形態の構成例を示すブロック図である。

【0177】

図 18 の受信システムは、取得部 201、伝送路復号処理部 202、および情報源復号処理部 203 から構成される。

【0178】

取得部 201 は、地上デジタル放送、衛星デジタル放送、CATV網、インターネットその他のネットワーク等の図示せぬ伝送路を介して信号を取得し、伝送路復号処理部 202 に供給する。図 5 の受信装置 51 は例えば取得部 201 に含まれる。

【0179】

伝送路復号処理部 202 は、取得部 201 が伝送路を介して取得した信号に対して、誤り訂正を含む伝送路復号処理を施し、その結果得られる信号を情報源復号処理部 203 に供給する。

【0180】

10

20

30

40

50

情報源復号処理部 203 は、伝送路復号処理が施された信号に対して、圧縮された情報を元の情報に伸張し、送信対象のデータを取得する処理を含む情報源復号処理を施す。

【0181】

すなわち、取得部 201 が伝送路を介して取得した信号には、画像や音声等のデータ量を少なくするために、情報を圧縮する圧縮符号化が施されていることがある。その場合、情報源復号処理部 203 は、伝送路復号処理が施された信号に対して、圧縮された情報を元の情報に伸張する処理等の情報源復号処理を施す。

【0182】

なお、取得部 201 が伝送路を介して取得した信号に圧縮符号化が施されていない場合、情報源復号処理部 203 では、圧縮された情報を元の情報に伸張する処理は行われない。ここで、伸張処理としては、例えば、MPEG デコード等がある。また、情報源復号処理には、伸張処理の他、デスクランブル等が含まれることがある。

【0183】

図 18 の受信システムは、例えば、デジタルテレビジョン放送を受信するテレビチューナ等に適用することができる。なお、取得部 201、伝送路復号処理部 202、および情報源復号処理部 203 は、それぞれ、1 つの独立した装置（ハードウェア（IC(Integrated Circuit)等）、又はソフトウェアモジュール）として構成することが可能である。

【0184】

また、取得部 201、伝送路復号処理部 202、および、情報源復号処理部 203 については、それらの 3 つのセットを 1 つの独立した装置として構成することが可能である。取得部 201 と伝送路復号処理部 202 とのセットを 1 つの独立した装置として構成することも可能であるし、伝送路復号処理部 202 と情報源復号処理部 203 とのセットを 1 つの独立した装置として構成することも可能である。

【0185】

図 19 は、図 5 の受信装置 51 を適用した受信システムの第 2 実施の形態の構成例を示すブロック図である。

【0186】

図 19 に示す構成のうち、図 18 に示す構成と対応する構成については、同一の符号を付してあり、その説明は適宜省略する。

【0187】

図 19 の受信システムの構成は、取得部 201、伝送路復号処理部 202、および情報源復号処理部 203 を有する点で図 18 の構成と共通し、出力部 211 が新たに設けられている点で図 18 の構成と相違する。

【0188】

出力部 211 は、例えば、画像を表示する表示装置や音声を出力するスピーカであり、情報源復号処理部 203 から出力される信号としての画像や音声等を出力する。すなわち、出力部 211 は、画像を表示し、あるいは、音声を出力する。

【0189】

図 19 の受信システムは、例えば、デジタル放送としてのテレビジョン放送を受信する TV や、ラジオ放送を受信するラジオ受信機等に適用することができる。

【0190】

なお、取得部 201 において取得された信号に圧縮符号化が施されていない場合、伝送路復号処理部 202 が output する信号が、直接、出力部 211 に供給される。

【0191】

図 20 は、図 5 の受信装置 51 を適用した受信システムの第 3 実施の形態の構成例を示すブロック図である。

【0192】

図 20 に示す構成のうち、図 18 に示す構成と対応する構成については同一の符号を付してあり、その説明は適宜省略する。

【0193】

10

20

30

40

50

図20の受信システムの構成は、取得部201、および伝送路復号処理部202を有する点で図18の構成と共通し、情報源復号処理部203が設けられておらず、記録部221が新たに設けられている点で図18の構成と相違する。

【0194】

記録部221は、伝送路復号処理部202が出力する信号（例えば、MPEGのTSのTSパケット）を、光ディスクや、ハードディスク（磁気ディスク）、フラッシュメモリ等の記録（記憶）媒体に記録する（記憶させる）。

【0195】

以上のような図20の受信システムは、テレビジョン放送を録画するレコーダ機器等に適用することができる。

10

【0196】

なお、情報源復号処理部203を設け、情報源復号処理部203で情報源復号処理が施された後の信号、すなわち、デコードによって得られる画像や音声を記録部221で記録するようにしてもよい。

【0197】

[コンピュータの構成例]

上述した一連の処理は、ハードウェアにより実行することもできるし、ソフトウェアにより実行することもできる。一連の処理をソフトウェアにより実行する場合には、そのソフトウェアを構成するプログラムが、専用のハードウェアに組み込まれているコンピュータ、または汎用のパーソナルコンピュータなどに、プログラム記録媒体からインストールされる。

20

【0198】

図21は、上述した一連の処理をプログラムにより実行するコンピュータのハードウェアの構成例を示すブロック図である。

【0199】

CPU(Central Processing Unit)251、ROM(Read Only Memory)252、RAM(Random Access Memory)253は、バス254により相互に接続されている。

【0200】

バス254には、さらに、入出力インターフェース255が接続されている。入出力インターフェース255には、キーボード、マウスなどよりなる入力部256、ディスプレイ、スピーカなどよりなる出力部257が接続される。また、入出力インターフェース255には、ハードディスクや不揮発性のメモリなどよりなる記憶部258、ネットワークインターフェースなどよりなる通信部259、リムーバブルメディア261を駆動するドライブ260が接続される。

30

【0201】

以上のように構成されるコンピュータでは、CPU251が、例えば、記憶部258に記憶されているプログラムを入出力インターフェース255及びバス254を介してRAM253にロードして実行することにより、上述した一連の処理が行われる。

【0202】

CPU251が実行するプログラムは、例えばリムーバブルメディア261に記録して、あるいは、ローカルエリアネットワーク、インターネット、デジタル放送といった、有線または無線の伝送媒体を介して提供され、記憶部258にインストールされる。

40

【0203】

なお、コンピュータが実行するプログラムは、本明細書で説明する順序に沿って時系列に処理が行われるプログラムであっても良いし、並列に、あるいは呼び出しが行われたとき等の必要なタイミングで処理が行われるプログラムであっても良い。

【0204】

本発明の実施の形態は、上述した実施の形態に限定されるものではなく、本発明の要旨を逸脱しない範囲において種々の変更が可能である。

【符号の説明】

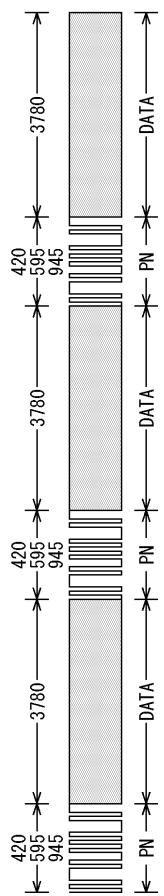
50

【0205】

51 受信装置 , 66 シングルキャリア等化部 , 67 マルチキャリア等化部 ,
 71 FFE , 72 加算部 , 73 硬判定部 , 74 FBE , 75 エラー計算部
 , 76 , 77 LMS演算部 , 78 チャネル推定部 , 91 PN相関値計算部 , 9
 2 相関値格納メモリ , 93 遅延プロファイル判定部 , 101 - 1 乃至 101 - 6
 フリップフロップ , 102 - 1 乃至 102 - 6 乗算器 , 103 可変遅延量バッ
 ファ , 104 加算器

【図1】

図1

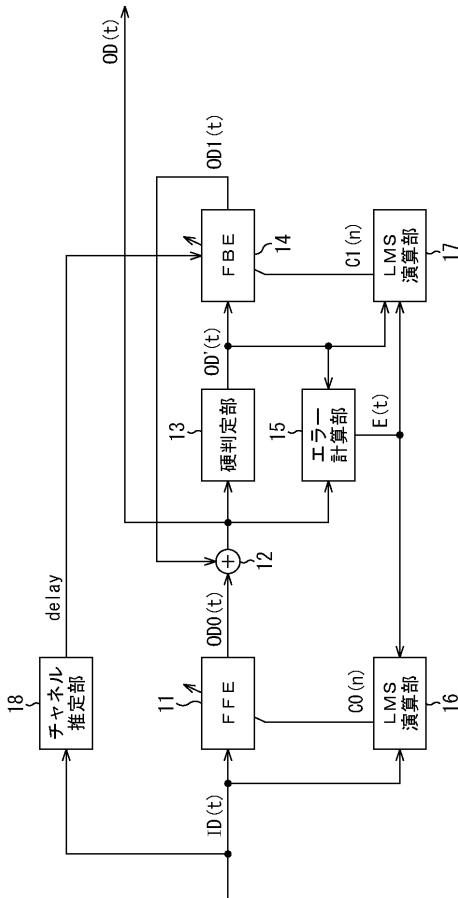


【図2】

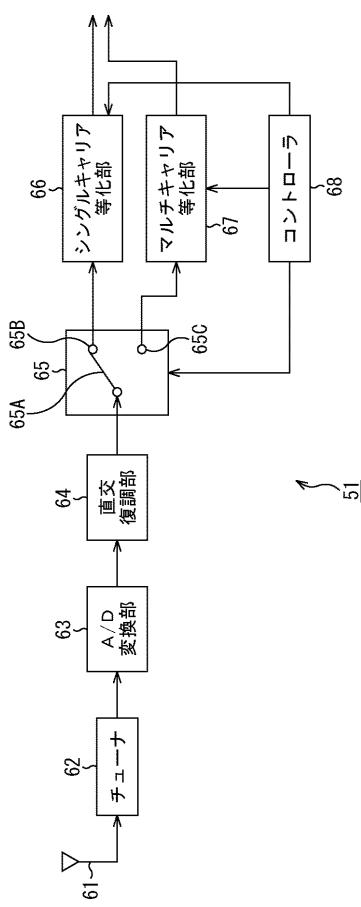
図2

PN	PN長	DATA長	フレーム長
PN420	420	3780	4200
PN595	595	3780	4375
PN945	945	3780	4725

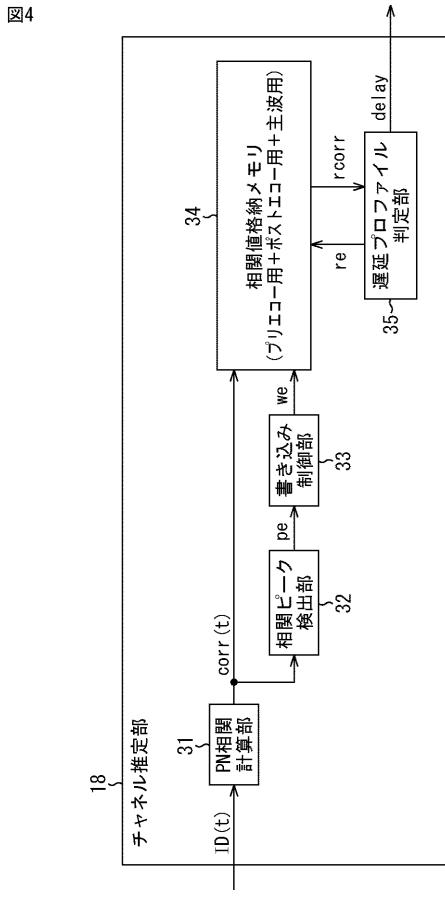
【図3】



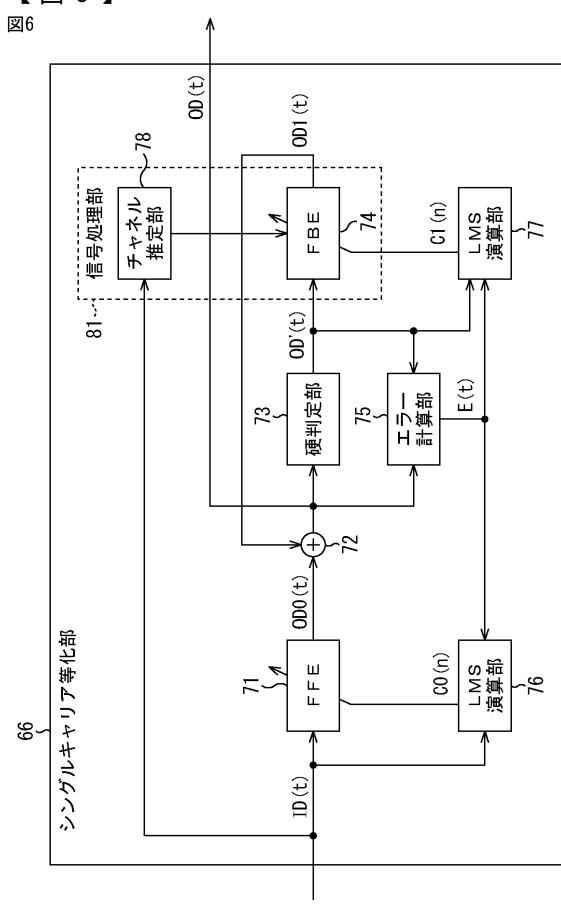
【図5】



【図4】

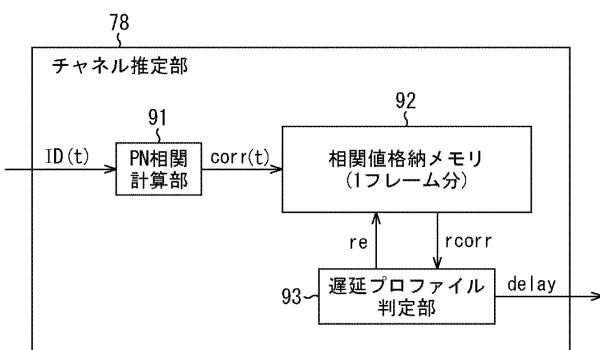


【図6】



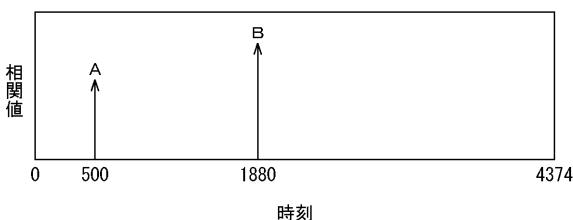
【図7】

図7



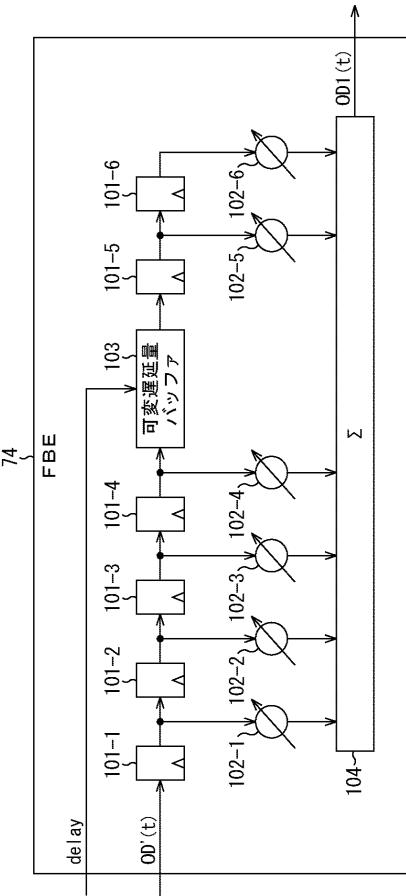
【図8】

図8



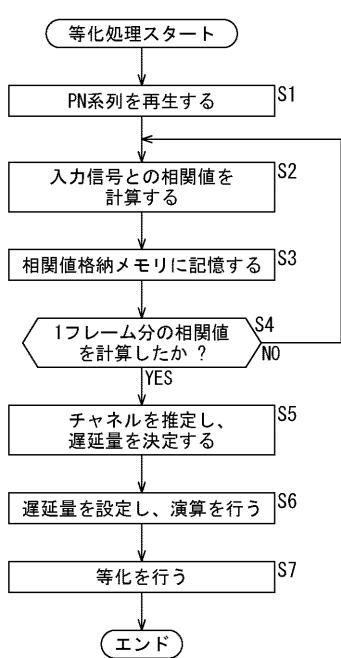
【図9】

図9



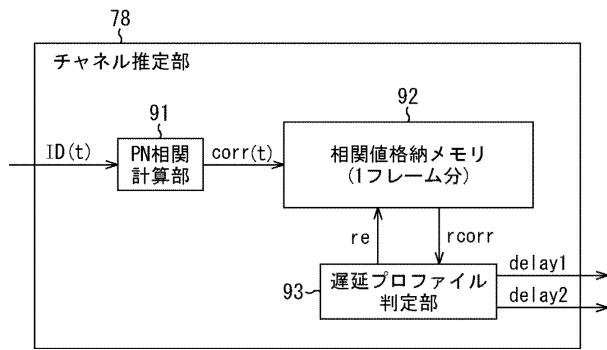
【図10】

図10



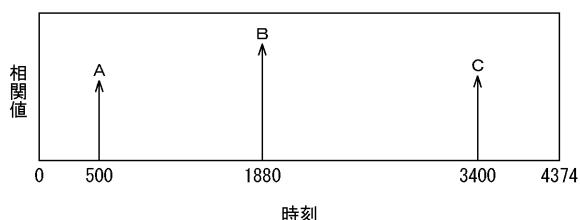
【図11】

図11



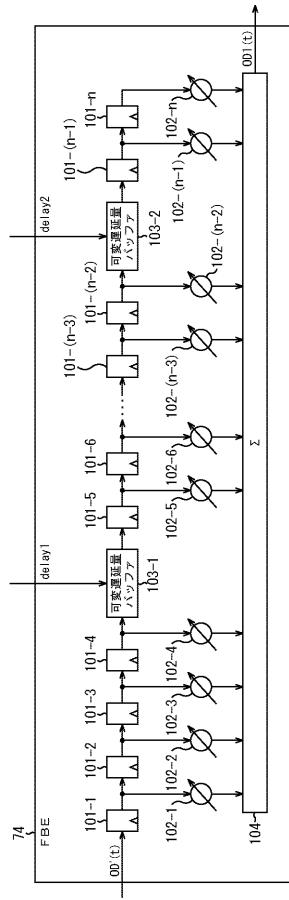
【図12】

図12



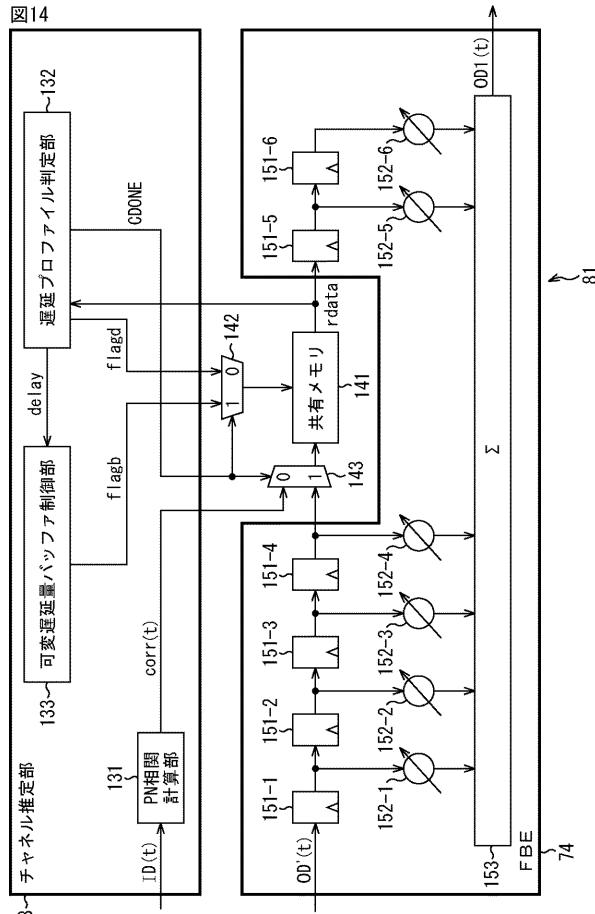
【図13】

図13



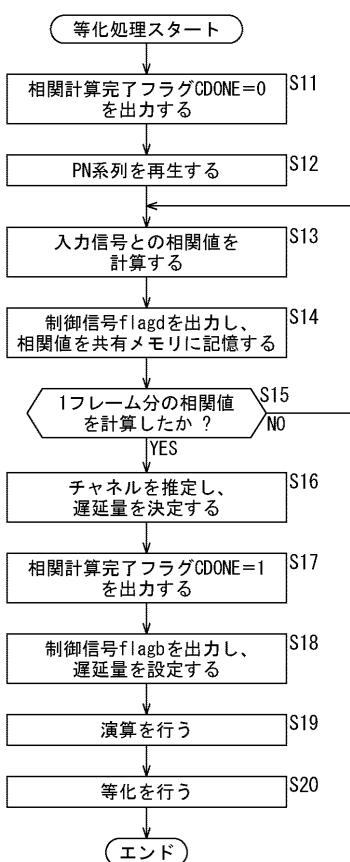
【図14】

図14



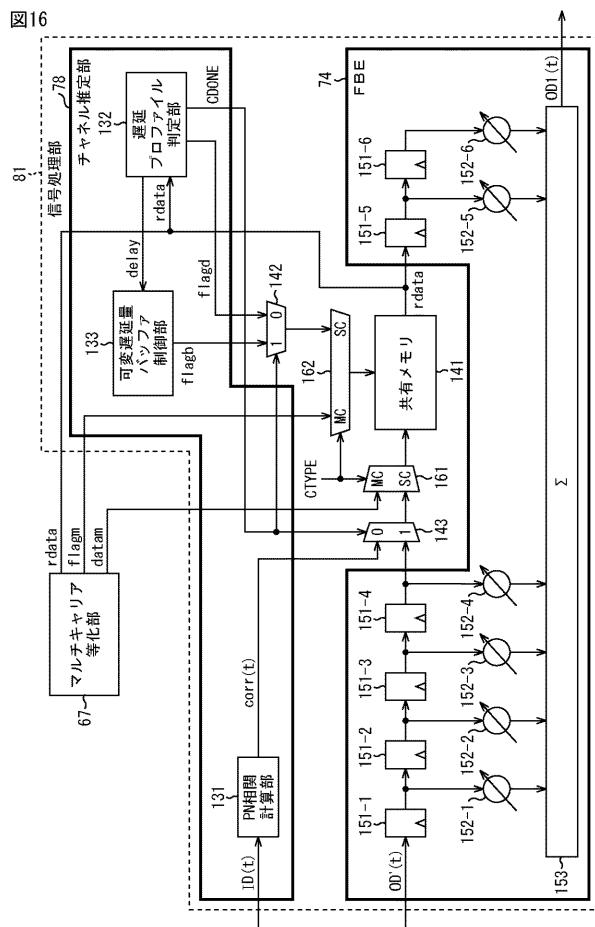
【図15】

図15



【図16】

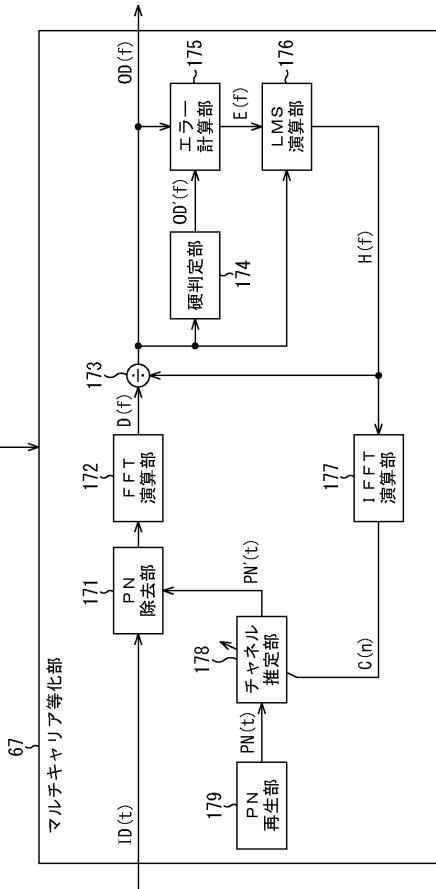
図16



【図17】

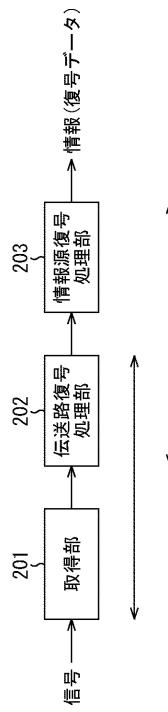
図17

シングルキャリア等化部 66(信号処理部 81)



【図18】

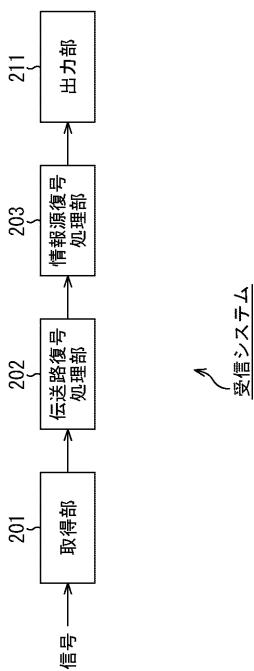
図18



受信システム

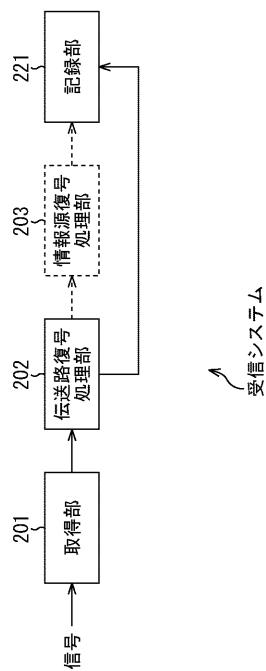
【図19】

図19

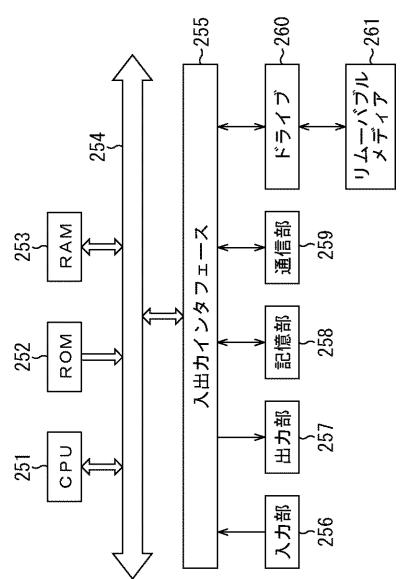


【図20】

図20



【図21】
図21



フロントページの続き

(72)発明者 二見 哲宏
東京都港区港南1丁目7番1号 ソニー株式会社内

審査官 前田 典之

(56)参考文献 特開平08-331114(JP,A)
特開2009-044699(JP,A)

(58)調査した分野(Int.Cl., DB名)

H04B 7/005
H04J 11/00
H04L 27/01