



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2019년09월20일
(11) 등록번호 10-2023796
(24) 등록일자 2019년09월16일

(51) 국제특허분류(Int. Cl.)
H03L 7/08 (2006.01) H03L 7/091 (2006.01)
H04L 7/033 (2006.01)
(21) 출원번호 10-2014-7036755
(22) 출원일자(국제) 2013년01월30일
심사청구일자 2018년01월26일
(85) 번역문제출일자 2014년12월29일
(65) 공개번호 10-2015-0015017
(43) 공개일자 2015년02월09일
(86) 국제출원번호 PCT/US2013/023926
(87) 국제공개번호 WO 2013/180766
국제공개일자 2013년12월05일
(30) 우선권주장
13/484,236 2012년05월30일 미국(US)
(56) 선행기술조사문헌
H. Noguchi 외, "A 40-Gb/s CDR Circuit With
Adaptive Decision-Point Control Based on
Eye-Opening Monitor Feedback," IEEE Journal
of Solid-State Circuits, vol. 43, no. 12,
2008. 12.*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
자일링크스 인코포레이티드
미합중국 95124 캘리포니아 산 호세 로직 드라이브 2100
(72) 발명자
구아스티 지오반니
미국 캘리포니아주 95124 산 호세 로직 드라이브 2100
노벨리니 파올로
미국 캘리포니아주 95124 산 호세 로직 드라이브 2100
(74) 대리인
김태홍

전체 청구항 수 : 총 15 항

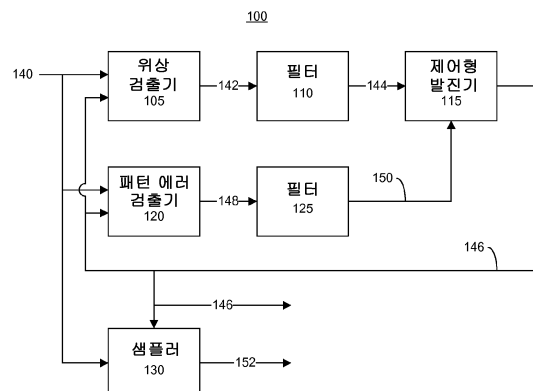
심사관 : 신우열

(54) 발명의 명칭 왜곡 내성 클럭 및 데이터 복구 시스템

(57) 요약

시스템은 출력 신호에 비교된 입력 신호의 위상 에러를 지시하는 위상 에러 신호를 발생하도록 구성된 위상 검출기(105) 및 위상 검출기에 결합되고, 위상 에러 신호로부터 유도된 제1 제어 신호를 발생하도록 구성된 제1 필터(110)를 포함할 수 있다. 시스템은 출력 신호에 비교된 입력 신호의 패턴 에러를 지정하는 패턴 에러 신호를 발생하도록 구성된 패턴 에러 검출기(120) 및 패턴 에러 검출기에 결합되고, 패턴 에러 신호로부터 유도된 제2 제어 신호를 발생하도록 구성된 제2 필터(125)를 포함할 수 있다. 시스템은 제1 필터와 제2 필터에 결합된 제어형 발진기(115)를 더 포함할 수 있고, 제어형 발진기는 제1 제어 신호, 제2 제어 신호 및 중심 주파수 신호에 응답하여 출력 신호를 발생하도록 구성된다.

대표도 - 도1



명세서

청구범위

청구항 1

입력 신호 및 출력 신호를 수신하도록 구성되고, 상기 입력 신호와 상기 출력 신호를 비교함으로써 위상 에러를 나타내는 위상 에러 신호를 발생하도록 구성된 위상 검출기;

상기 위상 검출기에 결합되고, 상기 위상 에러 신호로부터 유도된 제1 제어 신호를 발생하도록 구성된 제1 필터;

상기 입력 신호와 상기 출력 신호를 수신하도록 구성되고, 상기 입력 신호의 주기적 단위 간격을 상기 출력 신호의 주기적 단위 간격과 비교함으로써 상기 입력 신호와 상기 출력 신호 간의 상기 주기적 단위 간격의 차이를 지정하는 패턴 에러 신호를 발생하도록 구성된 패턴 에러 검출기;

상기 패턴 에러 검출기에 결합되고, 상기 패턴 에러 신호로부터 유도된 제2 제어 신호를 발생하도록 구성된 제2 필터; 및

상기 제1 필터와 상기 제2 필터에 결합된 제어형 발진기

를 포함하고,

상기 제어형 발진기는 상기 제1 제어 신호, 상기 제2 제어 신호 및 중심 주파수 신호에 응답하여 출력 신호를 발생하도록 구성되고, 상기 출력 신호는 결정적 왜곡(deterministic distortion)에 대해 보정된 상기 입력 신호로부터 복구된 클럭 신호인 것인 시스템.

청구항 2

제1항에 있어서,

상기 제어형 발진기에 결합되고, 상기 제어형 발진기로부터의 출력 신호에 응답하여 상기 입력 신호를 샘플링하도록 구성된 샘플러를 더 포함하는 시스템.

청구항 3

제1항 또는 제2항에 있어서, 상기 패턴 에러 검출기는, 제1 에러 신호 및 상기 제1 에러 신호와는 상이한 제2 에러 신호를 발생하고, 상기 입력 신호의 각각의 전이에 대한 패턴 에러를 지정하는 패턴 에러 신호로서 상기 제1 에러 신호 또는 상기 제2 에러 신호를 선택하도록 구성되고,

상기 제1 에러 신호 또는 상기 제2 에러 신호는 상기 전이가 홀수 전이인지 아니면 짝수 전이인지에 따라 선택되는 것인 시스템.

청구항 4

제1항 또는 제2항에 있어서, 상기 패턴 에러 검출기는 주기적 단위 간격 에러 검출기를 포함하는 것인 시스템.

청구항 5

제1항 또는 제2항에 있어서, 상기 제어형 발진기는,

상기 제1 제어 신호, 상기 중심 주파수 신호, 및 누산 신호를 가산하고, 합을 생성하도록 구성된 제1 가산기;

상기 제1 가산기에 결합되고 합을 수신하는 누산기로서, 상기 누산기는 상기 누산 신호를 발생하도록 구성되는 것인 상기 누산기;

상기 제2 제어 신호를 수신하고, 상기 제2 제어 신호에 따라 상기 누산 신호를 조정하도록 구성된 오프셋 모듈; 및

상기 오프셋 모듈 및 상기 누산기에 결합된 제2 가산기를 포함하고,

상기 제2 가산기는 상기 누산 신호와 상기 조정된 누산 신호를 합산하도록 구성되는 것인 시스템.

청구항 6

제1항 또는 제2항에 있어서, 상기 제어형 발진기는,

상기 제1 제어 신호, 상기 출력 신호로부터의 적어도 하나의 비트, 및 조정된 중심 주파수 신호를 가산하고, 합을 생성하도록 구성된 가산기;

상기 가산기에 결합되고 상기 출력 신호를 발생하도록 구성되는 누산기; 및

상기 중심 주파수를 조정하도록 구성된 중심 주파수 조정 모듈을 포함하고,

상기 중심 주파수 조정 모듈에 의해 발생된 상기 조정된 중심 주파수의 평균은 중심 주파수에 동일한 것인 시스템.

청구항 7

제6항에 있어서, 상기 중심 주파수 조정 모듈은,

상기 제2 제어 신호를 상기 중심 주파수 신호와 가산하고, 제2 합을 생성하도록 구성된 제2 가산기;

상기 중심 주파수 신호로부터 제2 제어 신호를 감산하고, 차를 생성하도록 구성된 차 모듈; 및

상기 제2 가산기 및 상기 차 모듈에 결합되고, 상기 출력 신호의 적어도 하나의 비트를 포함하는 제어 신호에 응답하여, 상기 조정된 중심 주파수 신호로서 제2 합 또는 차를 통과시키도록 구성된 다중화기를 포함하는 것인 시스템.

청구항 8

제1항 또는 제2항에 있어서, 상기 제어형 발진기는,

상기 제1 제어 신호, 상기 출력 신호로부터의 적어도 하나의 비트, 및 조정된 중심 주파수 신호를 가산하고, 합을 생성하도록 구성된 가산기;

상기 가산기에 결합되고 상기 출력 신호를 발생하도록 구성된 누산기; 및

상기 제어형 발진기의 출력으로부터 유도된 제3 제어 신호에 응답하여, 상기 조정된 중심 주파수 신호로서 복수의 상이한 후보 조정된 중심 주파수 신호들 중 하나를 출력하도록 구성된 중심 주파수 조정 모듈을 포함하는 것인 시스템.

청구항 9

제8항에 있어서, 상기 중심 주파수 조정 모듈은,

상기 상이한 후보 조정된 중심 주파수 신호들의 각각을 수신하고, 상기 제3 제어 신호에 따라 상기 상이한 후보 조정된 중심 주파수 신호들 중 선택된 것을 통과시키도록 구성된 다중화기; 및

복수의 가산기로서, 각각의 가산기는 상이한 에러 신호 및 중심 주파수 신호를 수신하고, 상기 상이한 후보 조정된 중심 주파수 신호들 중 하나를 발생하는 중심 주파수 신호에 에러 신호를 가산하도록 구성되는 것인 상기 복수의 가산기를 포함하는 것인 시스템.

청구항 10

출력 신호에 비교된 입력 신호에 대한 위상 에러를 결정하는 단계;

상기 위상 에러로부터 제1 제어 신호를 발생하는 단계;

상기 출력 신호에 비교된 입력 신호에 대한 패턴 에러를 결정하는 단계로서, 상기 패턴 에러는 상기 입력 신호와 상기 출력 신호 간의 주기적 단위 간격의 차이를 지정하는 것인, 패턴 에러를 결정하는 단계;

상기 패턴 에러로부터 제2 제어 신호를 발생하는 단계; 및

제어형 발진기를 사용하여, 상기 제1 제어 신호, 상기 제2 제어 신호, 및 중심 주파수 신호에 응답하는 출력 신

호를 발생하는 단계

를 포함하고,

상기 출력 신호는 결정적 왜곡(deterministic distortion)에 대해 보정된 상기 입력 신호로부터 복구된 클럭 신호를 지정하는 것인 방법.

청구항 11

제10항에 있어서,

적어도 부분적으로는, 조정된 중심 주파수의 평균이 중심 주파수에 동일한 패턴 에러에 따라, 상기 제어형 발진기의 중심 주파수를 조정하는 단계를 더 포함하는 방법.

청구항 12

제11항에 있어서, 상기 중심 주파수를 조정하는 단계는,

상기 제2 제어 신호와 상기 중심 주파수의 합을 결정하는 단계;

상기 중심 주파수와 상기 제2 제어 신호 사이의 차를 결정하는 단계; 및

상기 제어형 발진기 내에서의 합을 사용하는 것과 차를 사용하는 것을 교대하는 단계를 포함하는 것인 방법.

청구항 13

제11항에 있어서,

누산으로부터 피드백된 누산 결과로 상기 제어형 발진기의 제1 제어 신호와 중심 주파수의 합을 누산하는 단계;

상기 제2 제어 신호에 따라 누산 결과를 조정하는 단계; 및

상기 출력 신호를 발생하기 위해 상기 누산 결과와 조정된 누산 결과를 합산하는 단계를 더 포함하는 방법.

청구항 14

제11항에 있어서, 상기 패턴 에러를 결정하는 단계는,

상기 입력 신호의 주기적 단위 간격 왜곡을 결정하는 단계를 더 포함하는 것인 방법.

청구항 15

제10항에 있어서, 상기 패턴 에러를 결정하는 단계는,

제1 에러 신호 및 상기 제1 에러 신호와는 상이한 제2 에러 신호를 결정하는 단계; 및

전이가 홀수 전이인지 아니면 짝수 전이인지에 따라 상기 입력 신호의 각각의 전이에 대한 패턴 에러를 지정하는 패턴 에러 신호로서 상기 제1 에러 신호 또는 상기 제2 에러 신호를 선택하는 단계를 더 포함하는 것인 방법.

발명의 설명

기술 분야

[0001]

본 명세서에 개시되어 있는 하나 이상의 실시예는 시스템 내의 클럭 및 데이터 복구에 관한 것이다. 더 구체적으로, 하나 이상의 실시예는 다양한 형태의 왜곡에 내성이 있는(tolerant) 클럭 및 데이터 복구에 관한 것이다.

배경 기술

[0002]

다수의 송신기는 출력되는 신호 내에서 나타나는 공지의 유형의 왜곡을 야기하는 방식으로 구성된다. 예를 들어, 다수의 송신기는 출력되는 신호의 위상에서 결정적 왜곡(deterministic distortion)의 존재에 의해 특징화될 수 있다. 주기적 왜곡(periodic distortion)은 주기적으로 왜곡된 단위 간격(Periodically Distorted Unit Interval: PDUI)에 의해 발생된 결정적 왜곡의 일 유형이다. PDUI에 의해 발생된 결정적 왜곡에 의해, 신호의 각각의 예지는 이산 함수 위상(k)에 의해 결정될 수 있는 위상 에러에 의해 항상 영향을 받는 데, 여기서 "k"는

신호의 에지 넘버(edge number)이다. PDUI에 의해 영향을 받은 신호는 주기적 위상(k)을 갖는다. 주기의 크기는 하나 이상의 단위 간격(unit interval: UI)일 수 있다.

- [0003] 이용 가능한 클럭 및 데이터 복구(clock and data recovery: CDR) 시스템은 몇몇 유형의 왜곡을 고려할 수는 있지만, 대부분 다른 형태의 왜곡에 내성없이 유지된다. 예를 들어, 종래의 CDR 시스템은 종종 예를 들어 지터(jitter)와 같은 비-결정적 왜곡을 보정하는 것이 가능하지만, 결정적 왜곡을 보정하는 데는 최적화되어 있지 않다.

발명의 내용

해결하려는 과제

과제의 해결 수단

- [0004] 본 명세서에 개시되어 있는 하나 이상의 실시예는 시스템 내의 클럭 및 데이터 복구에 관한 것으로서, 더 구체적으로는 다양한 형태의 왜곡에 내성이 있는 클럭 및 데이터 복구에 관한 것이다.

- [0005] 실시예는 시스템을 포함할 수 있다. 시스템은 출력 신호에 비교된 입력 신호의 위상 에러를 지시하는 위상 에러 신호를 발생하도록 구성된 위상 검출기 및 위상 검출기에 결합되고, 위상 에러 신호로부터 유도된 제1 제어 신호를 발생하도록 구성된 제1 필터를 포함할 수 있다. 시스템은 출력 신호에 비교된 입력 신호의 패턴 에러를 지시하는 패턴 에러 신호를 발생하도록 구성된 패턴 에러 검출기 및 패턴 에러 검출기에 결합되고, 패턴 에러 신호로부터 유도된 제2 제어 신호를 발생하도록 구성된 제2 필터를 또한 포함할 수 있다. 시스템은 제1 필터와 제2 필터에 결합된 제어형 발진기를 더 포함할 수 있다. 제어형 발진기는 제1 제어 신호, 제2 제어 신호 및 중심 주파수 신호에 응답하여 출력 신호를 발생하도록 구성될 수 있다.

- [0006] 다른 실시예는 방법을 포함할 수 있다. 방법은 출력 신호에 비교된 입력 신호의 위상 에러를 결정하고, 위상 에러로부터 제1 제어 신호를 발생하고, 출력 신호에 비교된 입력 신호에 대한 패턴 에러를 결정하고, 패턴 에러로부터 제2 제어 신호를 발생하는 것을 포함할 수 있다. 방법은 또한 제어형 발진기를 사용하여, 제1 제어 신호 및 제2 제어 신호에 응답하는 출력 신호를 발생하는 것을 포함할 수 있다. 출력 신호는 입력 신호의 전이 밀도에 독립적인 입력 신호로부터 복구된 클럭 신호를 지정할 수 있다.

- [0007] 다른 실시예는 제어형 발진기 회로를 포함할 수 있다. 제어형 발진기 회로는 제1 제어 신호, 출력 신호로부터의 적어도 하나의 비트, 및 조정된 중심 주파수 신호를 가산하고 합을 생성하도록 구성된 가산기를 포함할 수 있다. 회로는 또한 가산기에 결합되고 출력 신호를 발생하도록 구성된 누산기를 포함할 수 있다. 발진기는 패턴 에러에 따라 중심 주파수를 조정하도록 구성된 중심 주파수 조정 모듈을 더 포함할 수 있다.

도면의 간단한 설명

- [0008] 도 1은 본 명세서에 개시되어 있는 실시예에 따른 클럭 및 데이터 복구용 시스템을 도시하고 있는 블록 다이어그램이다.

도 2는 본 명세서에 개시되어 있는 다른 실시예에 따른 제어형 발진기의 예시적인 구현예를 도시하고 있는 블록 다이어그램이다.

도 3은 본 명세서에 개시되어 있는 다른 실시예에 따른 복구된 클럭 신호를 도시하고 있는 신호 다이어그램이다.

도 4는 본 명세서에 개시되어 있는 다른 실시예에 따른 제어형 발진기의 예시적인 구현예를 도시하고 있는 블록 다이어그램이다.

도 5는 본 명세서에 개시되어 있는 다른 실시예에 따른 복구된 클럭 신호를 도시하고 있는 신호 다이어그램이다.

도 6은 본 명세서에 개시되어 있는 다른 실시예에 따른 제어형 발진기의 예시적인 구현예를 도시하고 있는 블록 다이어그램이다.

도 7은 본 명세서에 개시되어 있는 다른 실시예에 따른 패턴 에러 검출기를 도시하고 있는 블록

다이어그램이다.

도 8은 본 명세서에 개시되어 있는 다른 실시예에 따른 클럭 신호를 복구하는 방법을 도시하고 있는 흐름도이다.

발명을 실시하기 위한 구체적인 내용

- [0009] 본 명세서에는 신규한 것으로 간주되는 하나 이상의 실시예의 특징들을 규정하는 청구범위로 귀결되지만, 하나 이상의 실시예는 도면과 함께 상세한 설명의 고려로부터 더 양호하게 이해될 수 있을 것이라는 것이 고려된다. 요구되는 바와 같이, 하나 이상의 상세한 실시예가 본 명세서에 개시된다. 그러나, 하나 이상의 실시예는 단지 예시적인 것이라는 것이 이해되어야 한다. 따라서, 본 명세서에 개시되어 있는 특정 구조 및 기능적 상세는 한정으로서 해석되어서는 안되고, 단지 사실상 임의의 적절하게 상세화된 구조에서 하나 이상의 실시예를 다양하게 채용하도록 당 기술 분야의 숙련자에 교시하기 위한 대표적인 기초로서 그리고 청구범위를 위한 기초로서 해석되어야 한다. 또한, 본 명세서에 사용된 용어 및 구문은 한정이 되도록 의도된 것은 아니고, 오히려 본 명세서에 개시된 하나 이상의 실시예의 이해 가능한 설명을 제공하도록 의도된다.
- [0010] 본 명세서에 개시되어 있는 하나 이상의 실시예는 시스템 내의 클럭 및 데이터 복구(CDR)에 관한 것으로서, 더 구체적으로는 다양한 형태의 왜곡에 내성이 있는 CDR에 관한 것이다. 본 명세서에 개시되어 있는 본 발명의 구성은 수신 신호, 예를 들어 데이터가 다양한 형태의 결정적 왜곡을 나타낼 때 고주파수 왜곡 내성을 최대화할 수 있다. 결정적 왜곡은 일반적으로 비-랜덤 왜곡을 칭한다. 일 유형의 결정적 왜곡은 패턴-기반 왜곡을 포함할 수 있다. 패턴-기반 왜곡은 특정 디자인을 반복하거나 또는 공지의 모델을 따르는 왜곡을 포함하거나 칭할 수 있다.
- [0011] 본 명세서에 개시되어 있는 하나 이상의 실시예에 따라 구성된 CDR 시스템은 비-결정적 왜곡, 뿐만 아니라 패턴을 따르는, 예를 들어 패턴-기반인 결정적 왜곡을 포함하는 결정적 왜곡에 대해 내성이 있을 수 있다. 결정적 왜곡의 다른 예는 단위 간격(UI) 주기적 왜곡이다. UI 주기적 왜곡은 송신기의 결과로서 발생할 수 있다. 일반적으로, UI는 펄스 시간 또는 심벌 기간 시간으로서 또한 공지되어 있는 데이터 전송 신호의 조건 변화들 사이의 최소 시간 간격을 칭한다. 예를 들어, 단위 간격은 수신된 데이터 신호로부터 복구될 클럭 신호의 하나의 사이클을 칭한다.
- [0012] 도 1은 본 명세서에 개시되어 있는 실시예에 따른 CDR용 시스템(100)을 도시하고 있는 블록 다이어그램이다. 시스템(100)은 입력 데이터 신호, 예를 들어 입력 신호(140)로부터 클럭 신호, 예를 들어 출력 신호(146)를 복구하도록 구성된다. 복구된 클럭 신호는 입력 데이터 신호와 동일한 왜곡을 가질 것이다. 이와 같이, 복구된 클럭 신호는 추가의 프로세싱에 사용을 위해 수신 데이터 신호를 정확하게 샘플링하는 데 사용될 수 있다.
- [0013] 도시되어 있는 바와 같이, 시스템(100)은 위상 검출기(105), 필터(110)(예를 들어, 제1 필터), 제어형 발진기(115), 패턴 에러 검출기(120), 필터(125)(예를 들어, 제2 필터), 및 샘플러(130)를 포함한다. 위상 검출기(105) 및 패턴 에러 검출기(120)는 각각 입력 신호(140)를 수신할 수 있다. 위상 검출기(105)는 제어형 발진기(115)의 출력으로부터 얻어진 출력 신호(146)와 입력 신호(140)를 비교하도록 구성될 수 있다. 도시되어 있는 바와 같이, 출력 신호(146)는 위상 검출기(105)의 입력에 피드백된다. 위상 검출기(105)는 제어형 발진기(115)로부터의 출력 신호(146)로부터 결정된 바와 같은 예측된 위상값을 입력 신호(140)의 각각의 전이부와 비교할 수 있다. 위상 검출기(105)는 출력 신호(146)의 위상과 입력 신호(140)의 위상을 비교하고 위상 에러 신호(142)를 생성하도록 구성될 수 있다. 위상 에러 신호(142)는 일반적으로 입력 신호(140)와 출력 신호(146) 사이의 위상차를 지정한다.
- [0014] 필터(110)는 위상 검출기(105)에 결합되고, 이와 같이 입력으로서 위상 에러 신호(142)를 수신한다. 일 양태에서, 필터(110)는 "루프 필터(loop filter)"의 형태로 구현될 수 있다. 일반적으로, 루프 필터는 간단 저항기-캐패시터(resistor-capacitor: RC) 필터일 수 있거나 또는 증폭기를 포함할 수 있고, 원래 변조 주파수를 통과하지만 동기화(locked)-발진기 검출기 내의 주파수 변조된 신호로부터 반송파-주파수 성분 및 고조파를 제거하는 필터의 유형을 칭한다. 통상적으로, 루프 필터는 저역통과 필터로서 구현된다.
- [0015] 예를 들어, 필터(110)는 루프 동역학 또는 안정성을 제어하는 데 사용될 수 있다. 이와 관련하여, 필터(110)는 어떻게 루프[예를 들어, 위상 검출기(105), 필터(110), 및 제어형 발진기(115)]가 입력 신호(140)의 장애 및 루프가 동기화를 성취하게 하는 시간량에 응답하는지를 제어할 수 있다. 필터(110)는 또한 제어형 발진기(115)의 입력에 도달하도록 허용된 위상 에러 신호(142)로부터 에너지의 양을 제한하는 데 사용될 수 있다. 어느 경우든, 필터(110)는 필터링된 위상 에러 신호(144)라 칭하는 위상 에러 신호(142)의 필터링된 버전을 생성할 수 있

다. 필터링된 위상 에러 신호(144)는 제1 제어 신호로서 제어형 발진기(115)에 제공될 수 있다.

[0016] 패턴 에러 검출기(120)는 입력 신호(140) 내의 패턴-기반 에러를 결정하기 위해 출력 신호(146)와 입력 신호(140)를 비교하도록 구성될 수 있다. 도시되어 있는 바와 같이, 출력 신호(146)는 패턴 에러 검출기(120)의 입력에 피드백된다. 일 예에서, 패턴 에러 검출기(120)는 입력 신호(140)의 주기적 UI와 출력 신호(146)의 주기적 UI를 비교하고, 비교에 응답하여 패턴 에러 신호(148)를 생성하도록 구성될 수 있다. 패턴 에러 신호(148)는 입력 신호(140)와 출력 신호(146) 사이의, 예를 들어 일 도면에서 주기적 UI와 같은 패턴 에러의 차이를 지정할 수 있다.

[0017] 필터(125)는 패턴 에러 검출기(120)에 결합되고, 이와 같이 입력으로서 패턴 에러 신호(148)를 수신한다. 필터(125)는 실질적으로 필터(110)를 참조하여 설명된 바와 같이 구현될 수 있다. 그러나, 화이트 필터(125)가 저역통과 필터와 같은 "루프 필터"일 수 있지만, 필터(125)가 동작하는 특정 신호는 필터(110)가 동작하는 신호와는 상이하기 때문에, 필터(125)는 연산 파라미터의 견지에서 필터(110)에 동일할 필요는 없다. 필터(125)는 어떻게 루프[예를 들어, 패턴 에러 검출기(120), 필터(125), 및 제어형 발진기(115)로 형성된 제2 및 상이한 루프]가 입력 신호(140) 내의 장애 및 동기화를 성취하기 위해 요구된 시간량에 응답하는지를 제어할 수 있다. 필터(125)는 필터링된 패턴 에러 신호(150)라 칭하는 패턴 에러 신호(148)의 필터링된 버전을 생성할 수 있다. 필터링된 패턴 에러 신호(150)는 제2 제어 신호로서 제어형 발진기(115)에 제공될 수 있다.

[0018] 제어형 발진기(115)는 필터링된 위상 에러 신호(144) 및 필터링된 패턴 에러 신호(150)를 각각 제1 및 제2 신호로서 수신한다. 제어형 발진기(115)는 제어 신호에 응답하여, 출력 신호(146)를 생성한다. 도시되어 있는 바와 같이, 출력 신호(146)는 하나 이상의 다른 시스템에 제공될 수 있고, 입력 신호(140)로부터 복구된 클럭 신호를 지정한다. 출력 신호(146)는 또한 제어 또는 클럭 신호로서 샘플러(130)에 제공될 수 있다.

[0019] 입력 신호(140)를 또한 수신하는 샘플러(130)는 출력 신호(146)에 응답하여 입력 신호(140)를 샘플링할 수 있다. 출력 신호(146)는 샘플러(130)를 클럭킹하는 데 사용될 수 있다. 샘플러(130)는 예를 들어, 샘플링된 값과 같은 입력 신호(140)로부터 복구된 데이터일 수 있는 데이터 신호(152)를 출력할 수 있다. 출력 신호(146)는 입력 신호(140)와 동일한 왜곡을 나타내기 때문에, 샘플러(130)는 데이터의 중심에 있는 위치에서 입력 데이터 신호(140) 상에서 동작하는 데, 예를 들어 샘플링할 수 있다. 일반적으로, 시스템(100)은 입력 신호(140)의 전이 확률에 독립적으로 복구된 클럭 위상을 포지셔닝할 수 있어, 이에 의해 입력 신호(140)의 결정적 왜곡의 존재에도 불구하고 최적의 왜곡 내성을 제공한다. 설명된 바와 같이, 결정적 왜곡의 일 변형은 주기적으로 왜곡된 단위 간격(PDUI)을 포함한다. 시스템(100)은 신호 전이 밀도에도 불구하고 결정적 왜곡 내성을 제공할 수 있다.

[0020] 설명된 바와 같이, 통상의 CDR 시스템은 위상(k)로서 정의된 입력 신호(140) 상의 위상 에러에 대한 함수가 1 UI에 동일한 주기를 갖는 것을 가정하고, 여기서 "k"는 신호의 에지 넘버를 지시한다. 위상(k)가 1 UI에 동일한 주기를 가질 때, PDUI 왜곡은 UI에 비교하여 무시할만하다. 위상(k)가 2개 이상의 주기를 갖는 경우, PDUI 왜곡은 UI에 비교하여 무시할만하지 않고 통상의 CDR 시스템은 패턴-기반 또는 결정적 왜곡에 내성이 없게 된다. 예를 들어, 입력 신호(140)가 2 UI PDUI만큼 영향을 받게 될 때, 위상 에러가 매 2개의 UI마다 발생한다.

[0021] 전이부는 신호의 상승 에지 또는 하강 에지를 칭한다. 신호의 전이 밀도는 신호의 전이의 시간의 위치(location in time)를 칭한다. 시간의 위치는 통상적으로 복구된 클럭 신호에 따라 측정되거나 결정되고, 여기서 클럭 사이클은 정수값을 사용하여 순차적으로 넘버링될 수 있다. 입력 신호(140)는 복구된 클럭 신호의 짝수 에지 또는 복구된 클럭 신호의 홀수 에지 상에서 전이할 수 있다. 균형화된 전이 밀도는 홀수 에지 상에서의 전이(홀수 전이라 칭함)와 동일한 또는 실질적으로 동일한 짝수 에지 상에서의 전이(짝수 전이라 칭함)를 갖는 신호를 칭한다.

[0022] 본 명세서에 사용될 때, 특정 왜곡에 대한 "내성"은 데이터의 중심에 있도록 복구된 클럭 에지의 위치를 조정함으로써 왜곡에 대해 적응하거나 보정하는 시스템의 능력을 칭한다. 클럭 에지(즉, 복구된 클럭 신호)는 데이터 신호의 연속적인 전이들 사이의 실질적으로 중간점에 위치되거나 중심설정된다. "내성이 없는" 또는 "비내성인" 시스템은 데이터 신호 내의 왜곡을 보정하는 것이 불가능하며, 그 결과 데이터 신호의 2개의 연속적인 전이들 사이의 중간에 있거나 중심설정되지 않은 위치에 클럭 신호의 에지를 배치한다.

[0023] 입력 신호(140)가 균형화된 전이 밀도를 갖는 경우에, 예를 들어 입력 신호(140)의 전이가 짝수 에지와 동일한 홀수 에지 상에서의 발생 확률을 가질 때, 통상의 CDR 시스템은 결정적 왜곡에 내성이 있는 위상에 수렴할 수

있다. 입력 신호(140)가 불균형화된 전이 밀도를 갖는 경우에, 예를 들어 전이가 짝수 에지와 동일한 홀수 에지 상에서의 발생 확률을 갖지 않는 경우에, 종래의 CDR 시스템은 결정적 왜곡에 비내성인, 예를 들어 준최적의 왜곡 내성을 나타내는 위상으로 수렴한다. 이 경우에, 종래의 CDR 시스템은 샘플러(130)를 클럭하는 데 사용되면 입력 신호(140)를 샘플링하는 데 최적이지 아닌 위치에 (클럭) 에지를 가질 수 있는 클럭 신호를 복구하여, 이에 의해 입력 신호(140)로부터 부정확한 값을 샘플링하는 가능성을 증가시킨다.

[0024] 입력 신호(140)가 어떠한 결정적 왜곡, 예를 들어 UI 상의 주기적 왜곡과 같은 패턴-기반 왜곡도 갖지 않을 때, 시스템(100)은 통상의 CDR 시스템과 실질적으로 동일하거나 유사하게 동작할 수 있다. 유사하게, 입력 신호(140)가 결정적 왜곡, 예를 들어 UI 상의 주기적 왜곡과 같은 패턴-기반 왜곡을 갖지만, 전이 밀도가 균형화될 때, 시스템(100)은 통상의 CDR 시스템과 실질적으로 동일하게 동작할 수 있다.

[0025] 그러나, 입력 신호(140)가 주기적 왜곡을 갖고 전이 밀도가 균형화되지 않을 때, 시스템(100)은 에지들이 입력 신호(140)를 샘플링하기 위한 최적의 배치에 있는 상태로, 클럭 신호, 예를 들어 출력 신호(146)를 발생할 수 있다. 더 구체적으로, 복구된 클럭 신호의 에지들은 입력 신호(140)의 데이터의 중심(예를 들어, 전이들의 중간에 있거나 또는 중심설정됨)에 위치될 것이고, 이에 의해 샘플러(130)에 의한 정확한 샘플링을 야기한다. 따라서, 입력 신호(140)가 결정적 왜곡을 갖고 전이 밀도가 균형화되지 않을 때, 시스템(100)은 전이 확률에 독립적으로 복구된 클럭 위상을 위치설정할 수 있다.

[0026] 이러한 결정적 왜곡에 내성이 있는 종래의 CDR 시스템은 샘플러가 입력 신호(140)에 대한 부정확한 값을 생성하게 하는 가능성이 있는 복구된 클럭 신호를 발생할 것이다. 통상의 CDR 시스템은 예를 들어 수신된 신호 내의 위상 에러가 하나의 UI의 주기를 갖는 것으로 가정한다. 따라서, 종래의 CDR 시스템은, 이러한 시스템이 통상적으로 시간상 균등하게 이격된 샘플을 갖는 수신된 데이터 신호를 샘플링하기 때문에, 위상 에러의 주기가 하나의 UI보다 큰 데이터 신호를 수용하는 것이 거의 비내성이거나 불가능하다.

[0027] 패턴 에러 검출기(120), 필터(125) 및 제어형 발진기(115)로 형성된 루프는 일반적으로 수신 데이터 상의 결정적 왜곡을 출력 신호(146) 상의 왜곡과 연속적으로 비교할 수 있고, 입력 신호(140) 상에서 검출된 바와 같은 동일한 레벨 또는 양의 왜곡에 수렴하도록 출력 신호(146) 상의 왜곡을 강요할 수 있다.

[0028] 도 2는 본 명세서에 개시된 다른 실시예에 따른 제어형 발진기(200)의 예시적인 구현예를 도시하고 있는 블록 다이어그램이다. 제어형 발진기(200)는 2 UI PUID 유형의 패턴-기반 또는 결정적 왜곡을 갖는 입력 신호의 경우에 도 1의 제어형 발진기(115)를 구현하는 데 사용될 수 있다. 도 2를 참조하면, 제어형 발진기(200)는 가산기(205), 누산기(accumulator)(210), 오프셋 모듈(215), 및 가산기(220)를 포함할 수 있다. 유사한 도면 부호가 본 명세서 전체에 걸쳐 동일한 아이템을 칭하는 데 사용될 것이다.

[0029] 가산기(205)는 필터링된 위상 에러 신호(144), 중심 주파수 신호(222), 및 누산기(210)로부터 출력된 누산 신호(226)를 수신할 수 있다. 도 2에 도시되어 있는 예에서, 중심 주파수 신호(222)에 의해 지정된 중심 주파수값은 제어형 발진기(200)의 원하는 중심 주파수의 대략 절반이다. 그러나, 중심 주파수 신호(222)에 의해 지정된 값은 제어형 발진기(200)를 구현하는 데 사용된 특정 아키텍처에 의존되고, 이와 같이 본 명세서에 개시된 하나 이상의 실시예의 한계로서 의도되지 않는다는 것이 이해되어야 한다. 가산기(205)는 필터링된 위상 에러 신호(144), 중심 주파수 신호(222), 및 누산 신호(226)를 합산할 수 있고, 합산 신호(224)를 발생할 수 있다. 가산기(205)는 합산 신호(224)를 누산기(210)에 출력하고, 이 누산기는 합산 신호(224)를 입력으로서 수신한다.

[0030] 일반적으로, 누산기(210)는 산술 또는 논리 연산의 결과가 수행되는 레지스터 또는 적합한 회로를 갖는 메모리의 부분으로서 구현될 수 있다. 예를 들어, 기준 클럭(도시 생략)의 각각의 클럭 사이클에서, 합산 신호(224)에 의해 지정된 값은 누산기(210) 내에 저장된 값에 가산될 수 있고, 이 값은 복수의 더 조기의, 예를 들어 이전의 기준 클럭 사이클의 각각에 대해 합산 신호(224)에 의해 지정된 값의 진행중인 합이다. 누산기(210)의 값은 도시되어 있는 바와 같이 누산기(210)로부터 출력되는 누산 신호(226)에 의해 지정될 수 있다. 누산 신호(226)는 결정적 왜곡을 고려하지 않는 제1 위상, 예를 들어 위상 A를 지정할 수 있다.

[0031] 오프셋 모듈(215)은 누산기(210)로부터 누산 신호(226) 및 필터링된 패턴 에러 신호(150)를 수신하도록 구성될 수 있다. 오프셋 모듈(215)은 일반적으로, 필터링된 패턴 에러 신호(150)에 의해 지정된 양만큼 수신된 누산 신호(226)의 값을 조정하는 데, 예를 들어 증가시킨다. 오프셋 모듈(215)은 누산 신호(226)의 조정된 버전인 신호(228)를 출력한다. 신호(228)는 실제로 누산 신호(226)와는 달리 결정적 왜곡을 고려하는 제2 위상, 예를 들어 위상 B를 지정한다.

[0032] 가산기(220)는 누산 신호(226) 및 조정된 누산 신호(228), 예를 들어 위상 A 및 B를 수신할 수 있고, 신호들을

합산하여 출력 신호(146)를 생성할 수 있다. 출력 신호(146)는 수신된 데이터로, 예를 들어 입력 신호(140)부터 복구된 클럭 신호를 지정하며, 이는 수신된 데이터를 정확하게 샘플링하는 데 사용될 수 있다.

[0033] 도 3은 본 명세서에 개시된 다른 실시예에 따른 복구된 클럭 신호를 도시하고 있는 신호 다이어그램이다. 도 3은 위상 A[도 2의 신호(226)]에 대응하는 파형 및 위상 B[도 2의 신호(228)]에 대응하는 파형을 도시하고 있다. 위상 A 및 위상 B를 함께 합산하는 것으로부터의 최종 위상이 위상 아웃(phase out)[신호(146)]으로서 도시되어 있다. 복구된 클럭 신호는 위상 아웃을 사용하여 결정된 바와 같이, 또한 도시되어 있다. 복구된 클럭은 위상 아웃 신호의 최상위 비트에 의해 복구되는 데, 예를 들어 결정된다. 도시되어 있는 바와 같이, 복구된 클럭은 위상 아웃의 위상이 포지티브일 때 1(예를 들어, 논리 고)의 값을 갖는다. 복구된 클럭은 위상 아웃이 네거티브일 때 0(예를 들어, 논리 저)의 값을 갖는다. 복구된 클럭 신호는 수신된 입력 신호의 것에 일치하거나 실질적으로 동일한 결정적 왜곡을 갖는다.

[0034] 도 4는 본 명세서에 개시된 다른 실시예에 따른 제어형 발진기(400)의 예시적인 구현예를 도시하고 있는 블록 다이어그램이다. 제어형 발진기(400)는 도 1의 제어형 발진기(115)를 구현하는 데 사용될 수 있다. 도 4는 2 UI 주기적 왜곡 또는 2-비트 왜곡과 같은 패턴-기반 왜곡을 수용하거나 보정하는 데 사용될 수 있는 제어형 발진기 구현예를 도시하고 있다.

[0035] 도시되어 있는 바와 같이, 제어형 발진기(400)는 가산기(405), 누산기(410), 및 중심 주파수 조정 모듈(450)을 포함할 수 있다. 중심 주파수 조정 모듈(450)은 다중화기(415), 가산기(420), 및 차 모듈(difference module)(425)을 포함할 수 있다. 고정된 중심 주파수를 사용하는 대신에, 제어형 발진기(400)는 중심 주파수 조정 모듈(450)에 의해 발생된 바와 같은 조정된 중심 주파수를 이용한다. 일반적으로, 중심 주파수는 상향 및 하향 조정된다. 상향 및 하향 조정된 중심 주파수값이 사용되지만, 조정된 중심 주파수값의 평균은 중심 주파수의 값(미조정됨)이다.

[0036] 가산기(405)는 필터링된 위상 에러 신호(144), 다중화기(415)로부터의 출력 신호(432), 및 누산기(410)의 출력으로부터 취한 신호(436)를 수신할 수 있다. 가산기(405)는 필터링된 위상 에러 신호(144), 신호(432), 및 신호(436)를 합산할 수 있고, 누산기(410)에 입력으로서 제공될 수 있는 합산 신호(424)를 발생할 수 있다. 누산기(410)는 도 2를 참조하여 설명된 바와 같이 구현될 수 있고, 출력 신호(146)를 발생할 수 있다. 신호(436)라 칭하는 N-비트의 신호(146)가 입력으로서 가산기(405)에 재차 제공된다. 출력 신호(146)는 N+1 비트의 위상을 지정할 수 있고, 여기서 "N"은 제어형 왜곡의 UI의 수, 예를 들어 본 예에서 2개를 나타낸다.

[0037] 중심 주파수 조정 모듈(450)과 관련하여, 가산기(420)는 필터링된 패턴 에러 신호(150) 및 중심 주파수 신호(222)를 입력으로서 수신하도록 구성된다. 도 4에 도시되어 있는 예에서, 신호(222)는 도 2의 경우에서와 같이 그 분율에 대항하는 바와 같이 제어형 발진기(400)의 원하는 중심 주파수의 실제값을 지정할 수 있다.

[0038] 가산기(420)는 필터링된 패턴 에러 신호(150)와 중심 주파수 신호(222)의 합인 신호(428)를 발생하고, 신호(428)를 다중화기(415)에 제공할 수 있다. 차 모듈(425)은 필터링된 에러 패턴 신호(150)와 중심 주파수 신호(222)를 수신할 수 있다. 차 모듈(425)은 중심 주파수 신호(222)로부터 필터링된 에러 패턴 신호(430)를 감산할 수 있다. 차 모듈(425)은 컴퓨팅된 차를 지시하는 출력으로서 신호(430)를 발생할 수 있다. 이해 가능하게, 신호(428)는 신호(430)보다 큰 값을 나타낸다.

[0039] 다중화기(415)는 신호(428) 또는 신호(430)를 선택하고 신호(432)로서 선택된 신호를 가산기(405)에 통과시킬 수 있다. 일 양태에서, 다중화기(415)는 신호(428) 또는 신호(430)가 선택된 신호인지 여부를 지정하는 제어 신호로서 신호(434)를 수신할 수 있다. 예를 들어, 신호(434)는 신호(146)의 최상위 비트일 수 있다. 복구된 클럭 신호의 짝수 사이클에, 신호(430)는 가산기(405)에 의해 선택되어 사용될 수 있다. 복구된 클럭 신호의 홀수 사이클에, 신호(428)는 가산기(405)에 의해 선택되어 사용될 수 있다. 필터링된 패턴 에러 신호(150)가 0일 때, 신호(428)는 신호(430)에 동일하다는 것이 이해되어야 한다. 따라서, 다중화기(415)는 신호(434)에 따라 각각의 UI를 위해 변화하는 교번 방식으로 제1 UI 내에 신호(428)를, 제2 UI 내에 신호(430)를, 제3 UI 내에 신호(428) 등을 통과시킨다.

[0040] 도 4를 참조하면, 각각의 신호(428, 430)는 중심 주파수 신호(222)의 조정된 버전을 지정하는 후보 신호로 고려될 수 있다. 유사하게, 제어 신호(434)에 따라 신호(428)와 신호(430) 사이에서 교번하는 신호(432)는 또한 제어형 발진기(400)에 의해 이용된 "조정된" 중심 주파수 신호이다. 설명된 바와 같이, 신호(428, 430)의 평균[또는 신호(432)의 평균]이 중심 주파수 신호(222)의 값을 생성한다.

[0041] 도 5는 본 명세서에 개시된 다른 실시예에 따른 복구된 클럭 신호를 도시하고 있는 신호 다이어그램이다. 도 5

는 예를 들어 제어형 발진기(400)를 사용하여 실시예에 따라 결정된 바와 같이 입력 신호, 예를 들어 입력 신호(140)로부터 수신된 왜곡된 데이터 및 데이터로부터 복구된 클럭 위상을 도시하고 있다. 복구된 클럭 신호가 또한 도시되어 있다.

[0042] 도시되어 있는 바와 같이, 굵은 라인(505)은 도 4의 다중화기(415)를 구동하는 데 사용되는 출력 신호(146)의 최상위 비트를 도시하고 있다. 510으로 표기된 굵지 않은 선은 제2 최상위 비트이다. 도시되어 있는 바와 같이, 복구된 클럭 신호는 라인(510)으로부터 유도되어, 복구된 클럭이 라인(510)이 포지티브일 때 고(high)이고 라인(510)이 네거티브일 때 저(low)이다.

[0043] 도 6은 본 명세서에 개시된 다른 실시예에 따른 제어형 발진기(600)의 예시적인 구현예를 도시하고 있는 블록 다이어그램이다. 제어형 발진기(600)는 도 1의 제어형 발진기(115)를 구현하는 데 사용될 수 있다. 도 6은 2^m UI 주기적 왜곡을 수용하는 데, 예를 들어 보정하는 데 사용될 수 있는 제어형 발진기 구현예를 도시하고 있다. 도 6에 도시되어 있는 예는 예를 들어 m=2인 경우에, 4 UI 주기적 왜곡에 관련한다.

[0044] 제어형 발진기(600)는 가산기(605), 누산기(610), 및 중심 주파수 조정 모듈(670)을 포함할 수 있고, 이 중심 주파수 조정 모듈은 다중화기(615), 가산기(620, 625, 630, 635)를 포함한다. 각각의 가산기(620 내지 635)는 입력 및 에러 신호로서 중심 주파수 신호(222)를 수신하도록 구성될 수 있다. 도시되어 있는 바와 같이, 가산기(620)는 에러 신호 1을 수신할 수 있다. 가산기(625)는 에러 신호 2를 수신할 수 있다. 가산기(630)는 에러 신호 3을 수신할 수 있다. 가산기(635)는 에러 신호 4를 수신할 수 있다.

[0045] 일 양태에서, 각각의 에러 신호는 상이한 유형의 결정적 왜곡을 위해 에러, 예를 들어 오프셋을 지정할 수 있다. 예를 들어, 각각의 에러 신호는 선택된 유형의 패턴-기반 왜곡을 위한 에러 조정을 지정할 수 있다. 도면에서, 에러 신호 1은 1의 UI를 갖는 UI 왜곡을 위한 에러를 지정할 수 있다. 에러 신호 2는 2의 UI를 갖는 UI 왜곡을 위한 에러를 지정할 수 있다. 에러 신호 3은 3의 UI를 갖는 UI 왜곡을 위한 에러를 지정할 수 있다. 에러 신호 4는 4의 UI를 갖는 UI 왜곡을 위한 에러를 지정할 수 있다.

[0046] 가산기(620)는 중심 주파수 신호(222)와 에러 신호 1을 합산하도록 구성된다. 가산기(620)는 중심 주파수 신호(222)와 에러 신호 1의 합을 지정하는 신호(640)를 발생하여 출력한다. 가산기(625)는 중심 주파수 신호(222)와 에러 신호 2를 합산하도록 구성된다. 가산기(625)는 중심 주파수 신호(222)와 에러 신호 2의 합을 지정하는 신호(645)를 발생하여 출력한다. 가산기(630)는 중심 주파수 신호(222)와 에러 신호 3을 합산하도록 구성된다. 가산기(630)는 중심 주파수 신호(222)와 에러 신호 3의 합을 지정하는 신호(650)를 발생하여 출력한다. 가산기(635)는 중심 주파수 신호(222)와 에러 신호 4를 합산하도록 구성된다. 가산기(635)는 중심 주파수 신호(222)와 에러 신호 4의 합을 지정하는 신호(655)를 발생하여 출력한다.

[0047] 다중화기(615)는 신호(640 내지 655) 중 어느 것이 신호(632)로서 통과되어야 하는지를 지시하는 제어 신호로서 2개의 신호(660, 665)를 수신한다. 신호(660)는 출력 신호(146)의 최상위 비트일 수 있다. 신호(665)는 출력 신호(146)의 제2 최상위 비트일 수 있다. 논리 0인 양 신호(660, 665)에 응답하여, 다중화기(615)는 신호(632)의 형태의 신호(640)를 통과시킨다. 논리 0인 신호(660) 및 논리 1인 신호(665)에 응답하여, 다중화기(615)는 신호(632)의 형태의 신호(645)를 통과시킨다. 논리 1인 신호(660) 및 논리 0인 신호(665)에 응답하여, 다중화기(615)는 신호(632)의 형태의 신호(650)를 통과시킨다. 양 신호(660) 및 신호(665)가 논리 1일 때, 다중화기(615)는 신호(632)의 형태의 신호(655)를 통과시킨다.

[0048] 각각의 신호(640 내지 655)는 중심 주파수 신호(222)의 조정된 버전으로 고려될 수 있다. 이와 같이, 각각은 다중화기(615)에 의해 선택된 후보이고, 선택될 때, 신호(632)로 표기된 "조정된" 중심 주파수 신호로서 통과된다.

[0049] 도 6은 4 UI 왜곡의 주기가 어드레스되는 경우를 도시하고 있지만, 제어형 발진기(600)는 부가의 가산기의 포함을 통해 중심 주파수 조정 모듈(670)을 확장함으로써 임의의 정수 주기로 확장될 수 있다. 각각의 부가의 가산기는 중심 주파수 신호(222)에 가산될 추가의 에러 신호를 수신할 수 있다.

[0050] 도 7은 본 명세서에 개시된 다른 실시예에 따른 패턴 에러 검출기(700)를 도시하고 있는 블록 다이어그램이다. 패턴 에러 검출기(700)는 도 1의 패턴 에러 검출기(120)를 구현하는 데 사용될 수 있는 예시적인 아키텍처이다. 패턴 에러 검출기(700)는 예를 들어, 2 UI 주기적 왜곡을 검출하는 데 사용될 수 있다.

[0051] 도시되어 있는 바와 같이, 패턴 에러 검출기(700)는 출력 신호(146)를 수신하도록 구성된 플립-플롭(flip-flop: FF)(705)을 포함할 수 있다. 설명된 바와 같이, 출력 신호(146)는 제어형 발진기(115)로부터 출력되고, 입력

신호(140)로부터 복구된 클럭 신호의 위상을 지정한다. 도시되어 있는 바와 같이, FF(705)는 전이 검출기(740)로부터 발생되어 출력된 신호(774)에 의해 클럭킹된다.

[0052] 전이 검출기(740)는 입력 신호(140)를 수신한다. 전이 검출기(740)는 예를 들어 입력 신호(140)의 각각의 상승 및 하강 에지와 같은 각각의 전이를 검출할 수 있다. 전이를 검출하는 것에 응답하여, 전이 검출기(740)는 클럭 신호로서 FF(705)에 제공된 신호(774)를 거쳐 지시를 발생할 수 있다.

[0053] FF(705)는 각각의 플립-플롭(FF)(710, 715)에 제공된 신호(762)를 발생하여 출력한다. FF(710)는 클럭 신호로서 FF(710)에 의해 사용된 신호(776)에 따라 입력 신호(762)의 값을 래치한다(latch). FF(715)는 클럭 신호로서 FF(715)에 의해 사용되는 신호(776)의 역수에 따라 입력 신호(762)의 값을 래치한다.

[0054] FF(710)는 신호(762)로부터 래치된 값을 지정하는 신호(764)를 발생하고, 차 모듈(720) 및 차 모듈(725)에 신호(764)를 제공한다. 유사하게, FF(715)는 신호(762)로부터 래치된 값을 지정하는 신호(766)를 발생하고, 차 모듈(725) 및 차 모듈(720)에 신호(766)를 제공한다. 차 모듈(720)은 신호(766)와 신호(764) 사이의 차를 결정한다. 결과는 신호(768)의 형태로 다중화기(730)에 제공된다. 차 모듈(725)은 신호(764)와 신호(766) 사이의 차를 결정한다. 차 모듈(725)로부터의 결과는 신호(770)의 형태로 다중화기(730)에 제공된다.

[0055] 다중화기(730)는 신호(768) 또는 신호(770)를 선택하고, 패턴 에러 신호(148)로서 선택된 신호를 통과시킨다. 신호(768) 또는 신호(770)가, 홀수/짝수(Odd/Even: OE) 결정 모듈(745)로부터 제어 신호로서 제공된 신호(776)의 값에 따라 선택되어 통과된다. OE 결정 모듈(745)은 신호(780)를 수신할 수 있다. 신호(780)는 제어형 발진기(115)로부터 출력 신호(146)의 최상위 비트일 수 있다. 이에 따라, OE 결정 모듈(745)은 제어형 발진기로부터의 출력에 기초하여, 데이터 신호(140)의 각각의 전이가 복구된 클럭 신호의 홀수 또는 짝수 사이클에서 발생하는지 여부를 결정할 수 있다. 따라서, 신호(776)는 검출되는 각각의 전이가 홀수 전이 또는 짝수 전이인지 여부를 지시한다.

[0056] 도시되어 있는 바와 같이, 다중화기(730)는 신호(776)의 값에 따라 신호(768) 또는 신호(770)를 통과한다. 따라서, 신호(768) 또는 신호(770)는 검출되는 현재 신호가 홀수 전이 또는 짝수 전이로 결정되는지 여부에 기초하여 다중화기(730)로부터의 출력으로서 패턴 에러 신호(148)로서 통과된다.

[0057] 도 8은 본 명세서에 개시된 다른 실시예에 따른 클럭 신호를 복구하는 방법(800)을 도시하고 있는 흐름도이다. 방법(800)은 본 명세서에 설명된 바와 같은 CDR을 수행하기 위해 구성된 시스템("CDR 시스템")에 의해 수행될 수 있다. 방법(800)은 단계 805에서 시작할 수 있고, 여기서 CDR 시스템은 예를 들어 피드백 경로를 통해 제어형 발진기로부터 발생된 바와 같은 출력 신호와 입력 신호를 비교함으로써 입력 신호를 위한 위상 에러를 결정할 수 있다.

[0058] 단계 810에서, CDR 시스템은 위상 에러로부터 제1 제어 신호를 발생할 수 있다. 제1 제어 신호는 입력 신호 내의 위상 에러를 보정하기 위한 만큼의 양을 지시한다. 예를 들어, 위상 에러를 지정하는 신호는 제1 제어 신호를 발생하도록 필터링될 수 있다. 단계 815에서, CDR 시스템은 입력 신호를 출력 신호와 비교함으로써 입력 신호를 위한 패턴 에러를 결정할 수 있다. 단계 820에서, CDR 시스템은 패턴 에러로부터 제2 제어 신호를 발생할 수 있다. 제2 제어 신호는 입력 신호 내의 패턴 에러를 보정하기 위한 만큼의 양을 지시한다. 제2 제어 신호는 예를 들어 패턴 에러를 지정하는 신호를 필터링함으로써 발생될 수 있다. 단계 825에서, CDR 시스템은 제1 제어 신호, 제2 제어 신호 및 중심 주파수 신호에 응답하여 제어형 발진기로부터 출력 신호를 발생할 수 있다. 중심 주파수 신호는 본 명세서에 설명된 바와 같이 조정될 수 있다.

[0059] 설명의 목적으로, 특정 명명법이 본 명세서에 개시된 다양한 발명적 개념의 철저한 이해를 제공하도록 설명된다. 그러나, 본 명세서에 사용된 용어는 단지 특정 실시예를 설명하기 위한 것이고, 한정으로 의도되는 것은 아니다. 예를 들어, "일 실시예", "실시예" 또는 유사한 언어의 본 명세서에 전체에 걸친 언급은 실시예와 관련하여 설명된 특정 특징, 구조 또는 특성이 본 명세서에 개시된 적어도 하나의 실시예에 포함되는 것을 의미한다. 따라서, 본 명세서에 전체에 걸친 구문 "일 실시예에서", "실시예에서" 및 유사한 언어의 출현은 모두 동일한 실시예를 언급할 수도 있지만, 반드시 그러한 것은 아니다.

[0060] 본 명세서에 사용될 때 단수 용어는 하나 또는 하나 초과로서 정의된다. 본 명세서에 사용될 때 용어 "복수"는 2개 또는 2개 초과로서 정의된다. 본 명세서에 사용될 때 용어 "다른"은 적어도 제2 또는 그 이상으로서 정의된다. 본 명세서에 사용될 때 용어 "결합된"은 달리 지시되지 않으면, 임의의 개입 요소 없이 직접 또는 하나 이상의 개입 요소를 갖고 직접 접속되는 것으로서 정의된다. 2개의 요소는 또한 통신 채널, 경로, 네트워크 또는 시스템을 통해 기계적으로 결합되고, 전기적으로 또는 통신적으로 연결될 수 있다.

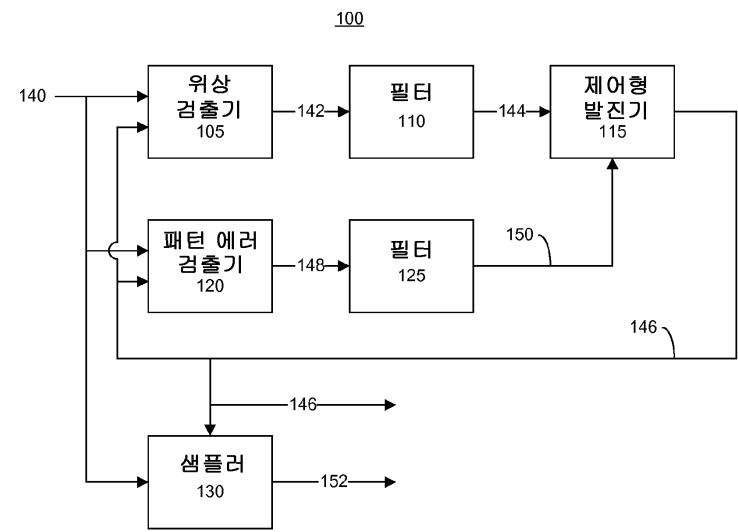
- [0061] 본 명세서에 사용될 때 용어 "및/또는"은 연계된 열거된 아이템의 하나 이상의 임의의 그리고 모든 가능한 조합을 칭하고 포함한다. 용어 "포함한다" 및/또는 "포함하는"은 본 명세서에 사용될 때, 언급된 특징, 완전체, 단계, 동작, 요소 및/또는 구성 요소의 존재를 설명하지만, 하나 이상의 다른 특징, 완전체, 단계, 동작, 요소, 구성 요소 및/또는 이들의 그룹의 존재 또는 추가를 배제하지 않는다는 것이 또한 이해될 수 있을 것이다. 용어 제1, 제2 등은 다양한 요소를 설명하기 위해 본 명세서에 사용될 수도 있지만, 이들 요소는 하나의 요소를 다른 요소로부터 구별하는 데에만 사용되기 때문에, 이들 요소는 이들 용어에 의해 한정되어서는 안된다는 것이 이해될 수 있을 것이다.
- [0062] 용어 "만일"은 문맥에 따라, "~할 때" 또는 "~시에" 또는 "결정하는 것에 응답하여" 또는 "검출하는 것에 응답하여"를 의미하도록 해석될 수도 있다. 유사하게, 구문 "~으로 결정되면" 또는 "~[언급된 조건 또는 이벤트]이 검출되면"은 문맥에 따라, "~결정시에" 또는 "검출에 응답하여" 또는 "~[언급된 조건 또는 이벤트] 검출시에" 또는 "~[언급된 조건 또는 이벤트] 검출에 응답하여"를 의미하도록 해석될 수도 있다.
- [0063] 본 명세서에서, 동일한 도면 부호는 단자, 신호 라인, 와이어 및 대응 신호를 칭하는 데 사용된다. 이와 관련하여, 용어 "신호", "와이어", "접속", "단자" 및 "핀"은 때때로 본 명세서에서 상호 교환 가능하게 사용될 수도 있다. 용어 "신호", "와이어" 등은 하나 이상의 신호, 예를 들어 단일의 와이어를 통한 단일의 비트의 전달 또는 다수의 병렬 와이어를 통한 다수의 병렬 비트의 전달을 표현할 수 있다는 것이 또한 이해되어야 한다. 또한, 각각의 와이어 또는 신호는 경우에 따라서는 신호 또는 와이어에 의해 접속된 2개 이상의 구성 요소 사이의 양방향성 통신을 표현할 수도 있다.
- [0064] 도면의 흐름도 및 블록 다이어그램은 본 명세서에 개시된 하나 이상의 실시예의 다양한 실시예에 따른 시스템 및 방법의 가능한 구현예의 아키텍처, 기능성 및 동작을 도시하고 있다. 이와 관련하여, 흐름도 또는 블록 다이어그램의 각각의 블록은 설명된 동작(들) 및/또는 기능(들)을 구현하기 위한 하나 이상의 회로, 시스템, 및/또는 서브시스템을 포함하는 모듈, 세그먼트 또는 코드의 부분을 표현할 수도 있다. 몇몇 대안적인 구현예에서, 블록에 언급된 기능은 도면에 언급된 순서 외로 발생할 수도 있다는 것이 또한 주목되어야 한다. 예를 들어, 연속적으로 도시되어 있는 2개의 블록은 실질적으로 동시에 실행될 수도 있고 또는 블록은 수반된 기능성에 따라 때때로 역순서로 실행될 수도 있다. 블록 다이어그램 및/또는 흐름도의 각각의 블록 및 블록 다이어그램 및/또는 흐름도의 블록의 조합은 특정 용도 하드웨어 및 컴퓨터 명령의 설명된 기능 또는 동작 또는 조합을 수행하는 특정 용도 하드웨어-기반 시스템에 의해 구현될 수 있다는 것이 또한 주목될 수 있을 것이다.
- [0065] 이하의 청구범위의 모든 수단 또는 단계 플러스 기능 요소의 대응 구조, 재료, 동작 및 등가물은 구체적으로 청구된 바와 같은 다른 청구된 요소와 조합하여 기능을 수행하기 위한 임의의 구조, 재료 또는 동작을 포함하도록 의도된다.
- [0066] 본 명세서에 개시된 하나 이상의 실시예는 그 사상 또는 본질적인 속성으로부터 벗어나지 않고 다른 형태로 구체화될 수 있다.

부호의 설명

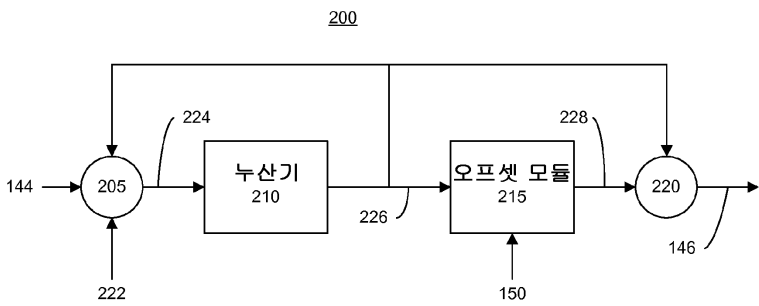
- [0067]
- | | |
|----------------|---------------|
| 100: 시스템 | 105: 위상 검출기 |
| 110: 필터 | 115: 제어형 발진기 |
| 120: 패턴 에러 검출기 | 125: 필터 |
| 130: 샘플러 | 140: 입력 신호 |
| 145: 출력 신호 | 140: 입력 신호 |
| 146: 출력 신호 | 148: 패턴 에러 신호 |

도면

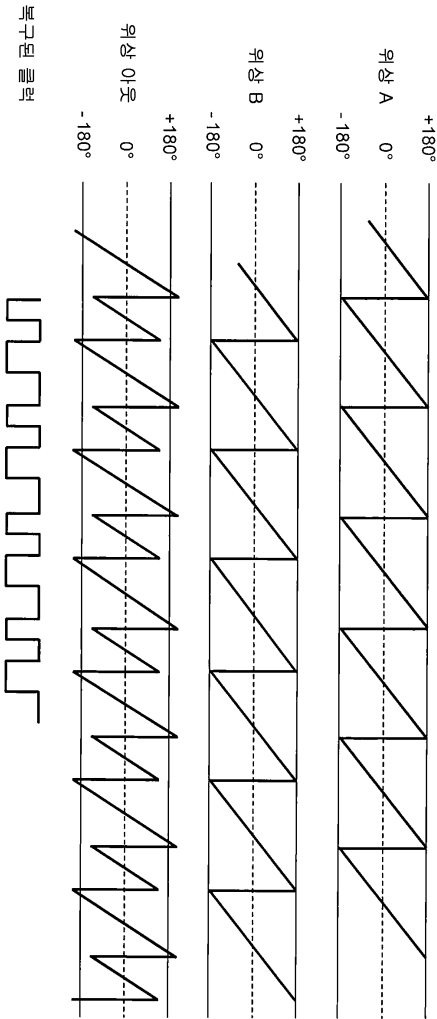
도면1



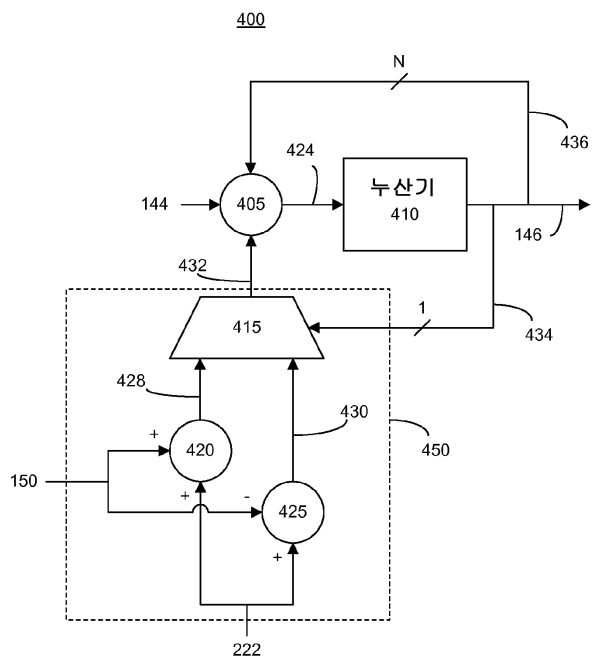
도면2



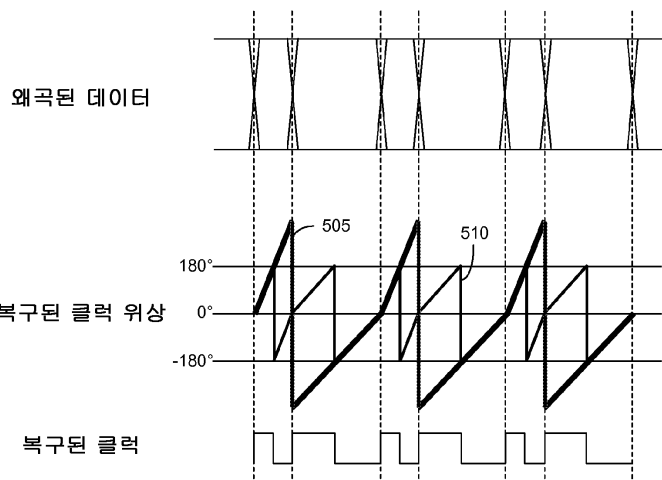
도면3



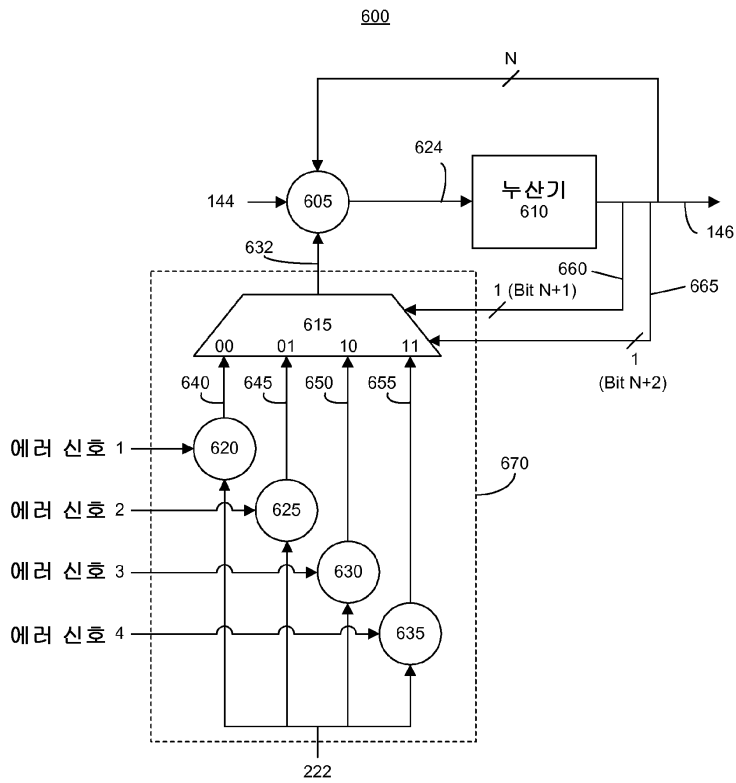
도면4



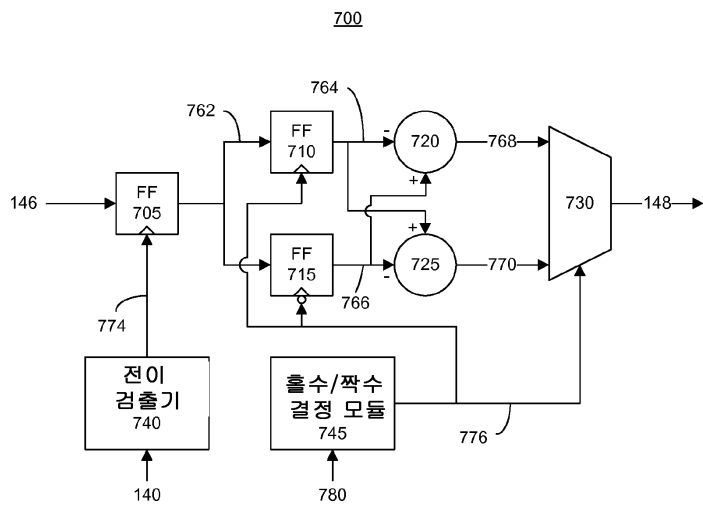
도면5



도면6



도면7



도면8

