



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2013-0103010
(43) 공개일자 2013년09월23일

(51) 국제특허분류(Int. Cl.)

G05F 1/10 (2006.01) *G05F 1/565* (2006.01)

(21) 출원번호 10-2012-0024299

(22) 출원일자 2012년03월09일

심사청구일자 없음

(71) 출원인

에스케이하이닉스 주식회사

경기도 이천시 부발읍 경충대로 2091

서강대학교산학협력단

서울특별시 마포구 백범로 35 (신수동, 서강대학교)

(72) 발명자

이승훈

서울특별시 용산구 이촌동 반도아파트 2동 210호

송정은

서울특별시 강서구 내발산동 717-7

(74) 대리인

이철희

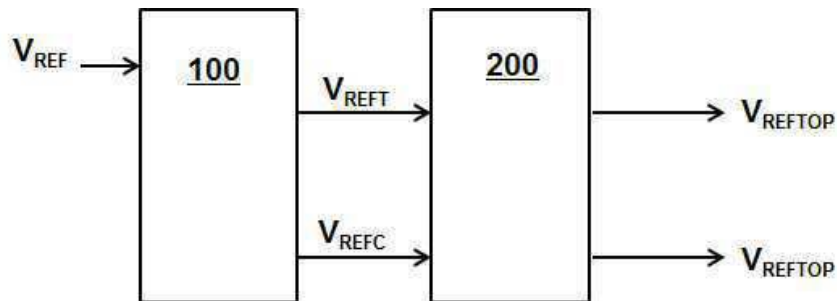
전체 청구항 수 : 총 12 항

(54) 발명의 명칭 가변 기준전압 발생회로 및 이를 포함한 아날로그 디지털 변환기

(57) 요약

본 발명은 고정된 공통모드 전압을 가지는 가변 기준전압 발생회로에 관한 것이다. 또한, 본 발명의 회로를 이용하는 아날로그 디지털 변환기로 하여금, 입력되는 아날로그 신호의 범위가 변하더라도 기준전압을 가변적으로 공급하되 공통모드 전압을 고정되어 있어서 여러 부가적인 장점을 가져다주는 회로를 개시한 것이다.

대표도 - 도1



이 발명을 지원한 국가연구개발사업

과제고유번호	NRF 2011-0004742
부처명	교육과학기술부
연구사업명	한국연구재단 일반연구자지원사업
연구과제명	선택적 SHA 기반의 저전력 12비트 100MS/s급 0.13um CMOS ADC 연구
주관기관	서강대학교 산학협력단
연구기간	2010.05.01 ~ 2013.04.30이 발명을 지원한 국가연구개발사업
과제고유번호	NIPE-2011-C1090-1101-0003
부처명	지식경제부
연구사업명	지식경제부 대학 IT 연구센터 육성지원사업
연구과제명	차세대 융복합 시스템용 아날로그 IP 핵심설계기술 개발
주관기관	서강대학교 산학협력단
연구기간	2010.06.01 ~ 2013.12.31

특허청구의 범위

청구항 1

제어전압을 입력으로 하고, 상기 제어전압으로부터 변환된 제1 기준전압과 제2 기준전압을 각각 발생하는 레벨 쉬프터;

상기 제1 기준전압과 상기 제2 기준전압을 각각 입력으로 하고, 상기 제1 기준전압과 상기 제2 기준전압으로부터 재차 변환된 제3 기준전압과 제4 기준전압을 발생하는 전압 구동기;를 포함하되,

상기 제1 기준전압과 상기 제2 기준전압은 서로 상보적인 전압인 것을 특징으로 하는 가변 기준전압 발생회로.

청구항 2

제1항에 있어서,

상기 제3 기준전압과 상기 제4 기준전압이 서로 상보적인 전압인 것을 특징으로 하는 가변 기준전압 발생회로.

청구항 3

제2항에 있어서,

상기 제3 기준전압과 상기 제4 기준전압은 공통모드 전압으로부터 같은 크기의 차동전압을 가진 것을 특징으로 하는 가변 기준전압 발생회로.

청구항 4

제3항에 있어서,

상기 공통모드 전압은 고정된 전압인 것을 특징으로 하는 가변 기준전압 발생회로.

청구항 5

제4항에 있어서,

상기 고정된 전압은 상기 가변 기준전압 발생회로에 가해지는 전원전압과 접지전압의 크기 차의 이 분의 일인 것을 특징으로 하는 가변 기준전압 발생회로.

청구항 6

제3항에 있어서,

상기 차동전압은 상기 가변 기준전압 발생회로 내부의 전류 또는 저항의 값에 의해 결정되는 것을 특징으로 하는 가변 기준전압 발생회로.

청구항 7

제1항에 있어서,

상기 레벨 쉬프터는 연산증폭기를 기본으로 하는 전압 팔로워 및 하나 이상의 전류 거울 회로를 포함하는 것을 특징으로 하는 가변 기준전압 발생회로.

청구항 8

제1항에 있어서,

상기 전압 구동기는 연산 증폭기를 기본으로 하는 둘 이상의 전압 팔로워를 포함하는 것을 특징으로 하는 가변 기준전압 발생회로.

청구항 9

가변 기준전압 발생회로를 포함하는 아날로그 디지털 감소하는,

상기 가변 기준전압 발생회로가,

제어전압을 입력으로 하고, 상기 제어전압으로부터 변환되어 서로 상보적인 제1 기준전압과 제2 기준전압을 각각 발생하는 레벨 쉬프터; 및

상기 제1 기준전압과 상기 제2 기준전압을 각각 입력으로 하고, 상기 제1 기준전압과 상기 제2 기준전압으로부터 재차 변환된 제3 기준전압과 제4 기준전압을 발생하는 전압 구동기;

를 포함하는 것을 특징으로 하는 아날로그 디지털 변환기.

청구항 10

제9항에 있어서,

상기 제1 기준전압과 상기 제2 기준전압 쌍 또는 상기 제3 기준전압과 상기 제4 기준전압 쌍 가운데 어느 하나 이상의 전압 쌍은 서로 상보적인 전압인 것을 특징으로 하는 아날로그 디지털 변환기.

청구항 11

제9항에 있어서,

상기 아날로그 디지털 변환기의 입력전압의 범위가 변하더라도, 상기 제1 기준전압과 상기 제2 기준전압 쌍 또는 상기 제3 기준전압과 상기 제4 기준전압 쌍 가운데 어느 하나 이상의 전압 쌍은 그 공통모드 전압이 고정된 것을 특징으로 하는 아날로그 디지털 변환기.

청구항 12

제11항에 있어서,

상기 공통모드 전압은 상기 가변 기준전압 발생회로에 가해지는 전원전압과 접지전압의 크기 차의 이분의 일인 것을 특징으로 하는 아날로그 디지털 변환기.

명세서

기술분야

[0001] 본 발명은 반도체 집적회로 가운데서 기준전압을 가변적으로 발생시키는 회로 및 이를 이용하여 가변 입력전압 범위를 처리하는 아날로그 디지털 변환기에 관한 것이다. 더욱 상세하게는, 공통모드 전압을 기점으로 하여 기준전압이 가변적으로 변하는 회로에 관한 것이며, 이를 이용한 아날로그 디지털 변환기의 경제성을 강화할 수 있도록 하는 가변 기준전압 발생회로 및 이를 포함한 아날로그 디지털 변환기에 관한 것이다.

배경기술

[0002] 지난 수십 년간 거의 모든 IT 기기들의 디지털화가 계속되어왔다. 이러한 이면에는 반드시 아날로그 신호를 디지털 신호로 변환하는 아날로그 디지털 변환기(Analog-to-Digital Converter, ADC)의 존재가 필수적이다. 아날로그 신호를 얼마나 정교하게 나누어 디지털 신호로 변환하는지의 여부는 비트(bit)수로 결정된다. 예를 들어 10 비트의 아날로그 디지털 변환기라면 아날로그 신호를 $2^{10}=1,024$ 개로 등분한 것인데, 이때 만약 아날로그 디지털 변환기의 입력전압의 최대치가 1.8V라면 한 비트는 1.8V를 1,024 등분한 약 1.758mV가 된다. 이 전압보다 크기가 작은 전압은 구분할 수 없으므로 이 전압은 아날로그 디지털 변환기의 분해능(resolution)이 된다.

[0003] 아날로그 디지털 변환기가 선형오차나, 여타의 오차가 없이 정확한 분해능으로 제대로 동작하기 위해서는 온도나 전원전압의 변동에 둔감한 기준전압이 필수적으로 필요하다. 잘 알려진 기준전압 발생회로는 밴드갭 기준(bandgap reference) 회로 등이 있는데 이 회로의 출력전압은 실리콘 밴드갭 전압과 크기가 유사한 1.1V 부근의 전압만 발생한다. 회로의 설계자들은 통상 저항으로 이루어진 레벨 쉬프터(level shifter)를 이용하여 밴드갭 기준 회로의 출력전압을 고정된 기준전압으로 변환한다. 이때, 차동 아날로그 신호를 처리하는 아날로그 디지털 변환기의 기준전압은 입력전압범위의 절반에 해당하는 차동적인 두 개의 전압으로 생성된다. 그런데 아날로그 디지털 변환기의 입력전압범위를 가변적으로 조절할 수 있게 되면, 고정된 입력전압범위를 제공할 때보다 다양한 시스템에서 해당 IP를 적용할 수 있다. 따라서 외부 제어전압을 사용하여 기준전압을 변화시킴으로써 아날로그

그 디지털 변환기의 입력전압범위를 조절할 수 있는 가변 기준전압 회로가 등장하게 되었다.

- [0004] 통상적으로 기준전압이 변화하게 되면, 기준전압의 공통모드 전압이 변화함에 따라 이 기준전압을 이용하는 다른 회로에서는 접지전압이나 전원전압으로부터의 전압여유가 적어지고, 때에 따라서는 특별히 저전압에서 동작하는 트랜지스터가 필요하게 된다. 이는 특별한 부가의 제조공정이 필요하여 회로의 제조비용을 증가시키게 된다. 또한, 사용자 입장에서 기준전압의 공통모드 전압이 변화함에 따라 입력전압의 공통모드 전압도 함께 변경해야 하는 문제점이 있었다.

발명의 내용

해결하려는 과제

- [0005] 본 발명에서 해결하고자 하는 기술적 과제는, 기준전압이 변화하더라도 회로의 접지전압이나 전원전압으로부터 전압여유가 같도록 하기 위해 고정 공통모드 전압을 가지는 가변 기준전압 회로를 제공하는 것에 있다.
- [0006] 본 발명에서 해결하고자 하는 다른 과제는, 가변 기준전압 쌍을 차동적으로 발생시키되, 공통모드 전압은 고정된 가변 기준전압을 생성하기 위한 회로를 제공하는 것에 있다.
- [0007] 본 발명에서 해결하고자 하는 또 다른 과제는, 가변 기준전압 발생회로를 이용하는 아날로그 디지털 변환기로 하여금 오류 없이 더욱 안전하게 동작할 수 있게끔 하는 것에 있다.
- [0008] 본 발명에서 해결하고자 하는 또 다른 과제는, 완성된 전자기기를 만드는 주체로 하여금 더욱 신뢰성 있는 본 발명의 아날로그 디지털 변환기를 제공하는 데 있다.

과제의 해결 수단

- [0009] 상기와 같은 기술적 과제를 달성하기 위한 본 발명에 따른 가변 기준전압 발생회로는, 외부로부터 인가되는 제어전압을 입력으로 하고, 상기 제어전압으로부터 변환된 제1 기준전압과 제2 기준전압을 각각 발생하는 레벨 쉬프터; 상기 제1 기준전압과 상기 제2 기준전압을 각각 입력으로 하고, 상기 제1 기준전압과 상기 제2 기준전압으로부터 재차 변환된 제3 기준전압과 제4 기준전압을 발생하는 전압 구동기;를 포함하되, 상기 제1 기준전압과 상기 제2 기준전압은 서로 상보적인 전압인 것을 특징으로 한다.
- [0010] 상기 다른 기술적 과제를 달성하기 위한 본 발명의 가변 기준전압 발생회로를 포함하는 아날로그 디지털 변환기에 있어서, 상기 가변 기준전압 발생회로는 제어전압을 입력으로 하고, 상기 제어전압으로부터 변환되어 서로 상보적인 제1 기준전압과 제2 기준전압을 각각 발생하는 레벨 쉬프터; 및 상기 제1 기준전압과 상기 제2 기준전압을 각각 입력으로 하고, 상기 제1 기준전압과 상기 제2 기준전압으로부터 재차 변환되어 서로 상보적인 제3 기준전압과 제4 기준전압을 발생하는 전압 구동기;를 포함하는 것을 특징으로 한다.

발명의 효과

- [0011] 본 발명의 가변 기준전압 발생회로 및 이를 포함한 아날로그 디지털 변환기는, 항상 고정된 공통모드 전압을 가지므로 본 발명의 가변 기준전압 발생회로를 사용하는 아날로그 디지털 변환기의 입력전압의 범위가 바뀐다 하더라도, 사용자가 입력전압의 공통모드 전압을 변경해야 하는 불편함이 없다.
- [0012] 또한, 고정된 공통모드 전압을 가지므로 접지전압 VSSA나 전원전압 VDDA로부터의 전압여유가 항상 동일하여, 저전압 트랜지스터가 필요하지 않다는 장점이 있다. 이로 인하여 제조비용이 감소하는 추가적인 장점이 있다.

도면의 간단한 설명

- [0013] 도 1은 본 발명에 따른 가변 기준전압 발생회로 및 이를 포함한 아날로그 디지털 변환기를 나타내는 간략한 블록도이다.

도 2는 본 발명에 따른 가변 기준전압 발생회로 및 이를 포함한 아날로그 디지털 변환기 회로 가운데서 레벨 쉬프터의 실시 예이다.

도 3은 본 발명에 따른 가변 기준전압 발생회로 및 이를 포함한 아날로그 디지털 변환기 회로 가운데서 레벨 쉬프터의 다른 실시 예이다.

도 4는 본 발명에 따른 가변 기준전압 발생회로 및 이를 포함한 아날로그 디지털 변환기 회로 가운데서 전압 구

동기의 실시 예이다.

도 5는 본 발명에 따른 가변 기준전압 발생회로 및 이를 포함한 아날로그 디지털 변환기 회로 가운데서 입력전압의 범위가 변하더라도 공통모드 전압은 고정됨을 보이는 도면이다.

도 6은 본 발명에 따른 가변 기준전압 발생회로 및 이를 포함한 아날로그 디지털 변환기 회로 가운데서 공통모드 전압이 변하는 경우를 나타내는 도면이다.

도 7은 본 발명에 따른 가변 기준전압 발생회로 및 이를 포함한 아날로그 디지털 변환기 회로를 사용하여 가변 기준전압을 생성하는 과도 모의실험 결과를 나타낸 것이다.

도 8은 본 발명에 따른 가변 기준전압 발생회로 및 이를 포함한 아날로그 디지털 변환기 회로를 사용하여 생성된 위쪽 기준전압의 정착시간 성능을 나타낸 것이다.

도 9는 본 발명에 따른 가변 기준전압 발생회로 및 이를 포함한 아날로그 디지털 변환기 회로를 사용하여 생성된 아래쪽 기준전압의 정착시간 성능을 나타낸 것이다.

발명을 실시하기 위한 구체적인 내용

[0014] 이하에서는 본 발명의 구체적인 실시 예를 도면을 참조하여 상세히 설명하도록 한다.

[0015] 본 발명의 내용을 명세서 전반에 걸쳐 설명함에 있어서, 개개의 구성요소들 사이에서 '연결된다'의 용어의 의미는 직접적인 연결뿐만 아니라 속성을 일정 정도 이상 유지한 채로 중간 매개체를 통해 연결이 이루어지는 것도 모두 포함하는 것이다. 기타, 전압 또는 신호가 '가해진다', '인가된다', '입력된다' 등의 용어도, 직접적인 의미뿐만 아니라 신호의 속성을 어느 정도 이상 유지한 채로 중간 매개체를 통한 간접적인 의미까지도 모두 포함된다.

[0016] 또한, 각 구성요소에 대한 복수의 표현도 생략될 수도 있다. 예컨대 복수 개의 스위치나 복수의 신호선으로 이루어진 구성일지라도 '스위치들', '신호선들'과 같이 표현할 수도 있고, '스위치', '신호선'과 같이 단수로 표현할 수도 있다. 이는 스위치들이 서로 상보적으로 동작하는 경우도 있고 때에 따라서는 단독으로 동작하는 경우도 있기 때문이며, 신호선 또한, 동일한 속성을 가지는 여러 신호선, 예컨대 어드레스 신호들이나 데이터 신호들과 같이 다발 또는 쌍으로 이루어진 경우에, 이를 굳이 단수와 복수로 구분할 필요가 없기 때문이기도 하다. 이런 점에서 이러한 기재는 타당하다. 따라서 이와 유사한 표현들 역시 명세서 전반에 걸쳐 모두 이와 같은 의미로 해석되어야 한다.

[0017] 본 발명의 동작상의 이점 및 본 발명의 실시에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 예시적인 실시 예를 설명하는 아래의 내용 및 첨부 도면에 기재된 내용을 함께 참조하여야만 한다.

[0018] 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시 예를 설명한다.

[0019] 도 1은 본 발명에 따른 가변 기준전압 발생회로 및 이를 포함한 아날로그 디지털 변환기를 나타내는 간략한 블록도이다. 본 발명은 제어전압(V_{REF})이 입력되고 차동모드의 기준전압(V_{REFT} , V_{REFC})이 출력되는 레벨 쉬프터(100) 및 레벨 쉬프터의 차동모드의 기준전압(V_{REFT} , V_{REFC})이 충분한 구동능력을 갖추도록 하는 전압 구동기(200)로 이루어진다. 전압 구동기(200)에 의해 변환된 기준전압은 각각 V_{REFTOP} , V_{REFBOT} 으로 나타나 있다.

[0020] 제어전압(V_{REF})은 온도변화나 전원전압의 변화에도 그 값이 변하지 않는 밴드갭 기준 회로 또는 이와 유사한 기능을 가지는 회로로부터 발생한 전압을 말하며, 제어전압(V_{REF})의 발생 자체는 본 발명에 포함되지는 않는다.

[0021] 도 2는 본 발명에 따른 가변 기준전압 발생회로 및 이를 포함한 아날로그 디지털 변환기 회로 가운데서 레벨 쉬프터의 실시 예이다.

[0022] 입력되는 제어전압(V_{REF})은 차동증폭기(110)의 반전 입력단자에 연결된다. 차동증폭기(110)의 두 개의 입력 가운데 하나는 작은 윈이 표기되어 있고, 이는 반전 입력단자임을 나타낸다. POFFB 신호는 레벨 쉬프터(100) 전체의 파워 다운(power down)하는 신호를 나타낸다. 레벨 쉬프터(100)가 동작하지 않는 파워 다운 모드(power down mode)일 때에는 전력이 소비되지 않도록 POFFB 신호는 'LOW'로 유지한다. 이에 의해 P채널 MOSFET(이하, PMOS)인 MRS는 'ON'상태가 되어 차동증폭기(110)의 출력이 V_{DDA} 로 고정되고 차동증폭기(110)의 동작도 멈추어 전력을 소비하지 않는다. 연이어 PMOS인 MR1, MR2의 게이트 노드의 전압도 V_{DDA} 로 고정되므로 이들 트랜지스터 역시

'OFF'되고 이들 트랜지스터 양단에 흐르는 전류도 0이 된다. 그러므로 전류 거울(current mirror)을 이루고 있는 N채널 MOSFET(이하, NMOS) MR3, MR4 트랜지스터 역시 'OFF' 되고, 결국 모든 브랜치(branch)의 전류는 0이 되어 레벨 쉬프터(100)는 전력을 소비하지 않는다.

[0023] 레벨 쉬프터(100)가 정상적으로 동작하는 모드에서는 신호 POFFB는 'HIGH'를 유지하고 PMOS 트랜지스터 MRS는 'OFF'되어 레벨 쉬프터(100)의 동작에 영향을 끼치지 않는다. 레벨 쉬프터(100)의 비 반전단자 입력은 피드백 연결되어 있고, 피드백 전압 ' V_{REFC} '은 입력된 제어전압(V_{REF})을 ??로잉(following)하는 전압 ??로워(voltage follower) 구조를 이룬다. 커패시터 C11은 차동증폭기(110)의 주파수 특성을 개선하기 위한 것이다. 만약 MR1과 MR2의 폭/길이 비 (W/L ratio)가 서로 같고, MR3와 MR4의 폭/길이 비도 서로 같다면 전류 I_{R1} , I_{R2} 도 서로 같다. 이때 저항 R1과 저항 R2가 같다면, 다음의 수학식들이 성립한다.

수학식 1

$$V_{REFC} = VSSA + I_{R1}R1 = V_{REF}$$

수학식 2

$$V_{REFT} = VDDA - I_{R2}R2 = VDDA - I_{R1}R1 = VDDA - V_{REFC}$$

[0026] 만약 MR2의 폭/길이 비 (W/L ratio)가 MR1의 그것보다 절반이고, MR3와 MR4의 폭/길이 비도 같다면 전류 I_{R2} 는 I_{R1} 의 절반이 된다. 추가로 저항 R2가 저항 R1의 두 배라면 위의 [수학식 2] 는 다음과 같이 바뀌기는 하지만 V_{REFT} 의 값은 바뀌지 않는다.

수학식 3

$$V_{REFT} = VDDA - I_{R2}R2 = VDDA - (0.5I_{R1})(2R1) = VDDA - V_{REFC}$$

[0028] 이 수학식은 I_{R1} 과 R1의 곱이 I_{R2} 와 R2의 곱과 같기만 하다면 두 전압 V_{REFC} , V_{REFT} 는 항상 서로 차동적인 값을 가진다는 것을 의미한다. 또한, 제어전압(V_{REF})을 통해 V_{REFC} , V_{REFT} 는 가변적이 됨을 의미한다. 이때 I_{R1} , R1, I_{R2} , R2의 값은 전력소모 및 기준전압의 정확도를 고려하여 I_{R1} 과 R1의 곱이 I_{R2} 과 R2의 곱과 같기만 하다는 조건으로 설계자가 탄력적으로 선택할 수 있다.

[0029] 도 3은 본 발명에 따른 가변 기준전압 발생회로 및 이를 포함한 아날로그 디지털 변환기 회로 가운데서 레벨 쉬프터(100)의 다른 실시 예이다.

[0030] 도 3에서는 도 2와 같은 부재는 같은 도면 부호를 사용하고 있음을 유의하여야 한다. 도 3에서는 도 2의 한 쌍의 단순 전류 거울(MR3, MR4) 대신, 두 쌍의 캐스코우드(cascode) 전류 거울(MC1~MC6)을 사용한다. 캐스코우드 전류 거울의 사용으로 채널 길이 모듈레이션(channel length modulation) 효과로 인한 전류 거울의 오차가 줄어들어 차동 기준전압인 V_{REFC} , V_{REFT} 의 변동폭은 더욱 최소화된다. 이러한 장점은 추후 양 실시 예를 실험한 자료의 제시와 함께 후술하여 설명한다.

[0031] 도 4는 본 발명에 따른 가변 기준전압 발생회로 및 이를 포함한 아날로그 디지털 변환기 회로 가운데서 전압 구동기의 실시 예이다. 레벨 쉬프터(100)로부터 출력된 차동 기준전압 V_{REFC} , V_{REFT} 는 전압 구동기(200) 내에 있는 또 다른 차동 증폭기(210, 220)의 반전 입력단자에 연결된다. 두 차동 증폭기(210, 220) 비 반전단자들 역시 출력전압 V_{REFBOT} , V_{REFTOP} 가 각각 피드백되어 전압 ??로워 구성을 이룬다.

[0032] 두 차동 증폭기(210, 220)의 출력에 연결된 커패시터와 저항(C21, R21 및 C22, R22)은 두 차동 증폭기(210, 220)의 주파수 특성을 개선하여 발진(oscillation)을 방지하기 위한 소자들이다. 파워 다운 모드를 결정하는 신호 POFFB는 PMOS인 MPS로 입력되어 레벨 스위처(100)의 경우에서와 동일하게 동작한다. 반면에 NMOS 트랜지스터 MNS는 POFFB 신호로부터 반전된 위상을 가지는 신호 POFFC에 의해 파워 다운 모드일 때는 'ON' 되고, 정상동작 모드일 때는 'OFF' 된다.

[0033] 저항소자(230)에 의해 출력전압 V_{REFBOT} , V_{REFTOP} 가 서로 단락(short)되지 않는다. 저항소자(230)는 사다리 형태의 저항(ladder type resistor)임이 바람직하다.

[0034] 전압 구동기(200)의 두 출력노드인 V_{REFBOT} , V_{REFTOP} 에는 각종 부하(load)가 연결될 것이므로 전류 공급 능력이 커야하고, 공급되는 전류의 크기는 최종적으로 구동 트랜지스터인 MPB, MNB의 크기에 비례한다. 즉, 구동 트랜지스터인 MPB, MNB는 두 출력노드인 V_{REFBOT} , V_{REFTOP} 에 요구되는 전류값을 충분히 감당할 수 있을 정도로 충분히 크다.

[0035] 이상의 설명과 [수학식 1] 내지 [수학식 3]에서 의미하는 바를 요약하면, 전압 구동기(200)의 두 출력전압 V_{REFBOT} , V_{REFTOP} 는 레벨 스위처(100)의 차동 출력전압 V_{REFC} , V_{REFT} 을 ??로잉하게 되고, 결국 V_{REFBOT} , V_{REFTOP} 는 [수학식 1], [수학식 2]와 같이 다음의 수학식으로도 표현된다.

수학식 4

$$V_{REFBOT} = VSSA + I_{R1} R1 = V_{REFC}$$

수학식 5

$$V_{REFTOP} = VDDA - I_{R2} R2 = VDDA - I_{R1} R1 = VDDA - V_{REFBOT} = V_{REFT}$$

[0038] 즉, V_{REFBOT} , V_{REFTOP} 은 서로 속해있는 회로에 가해지는 전원전압인 VDDA와 접지전압인 VSSA로부터 같은 값만큼 차이가 나게 되고 이는 이들 전압이 정확히 서로 차동적으로 결정된다는 것을 의미한다.

[0039] 도 5는 본 발명에 따른 가변 기준전압 발생회로 및 이를 포함한 아날로그 디지털 변환기 회로 가운데서 입력전압의 범위가 변하더라도 공통모드 전압은 고정됨을 보이는 도면이다. 도 5는 전압 구동기(200)의 두 차동전압 V_{REFBOT} , V_{REFTOP} 이 다양한 값을 가질 때를 설명하기 위한 것이다. 다양한 값이란 예를 들어 전원전압 VDDA가 2.5V이고, 접지전압 VSSA가 0V일 때, 차동전압을 결정하는 I_{R1} 과 R1의 곱, 또는 I_{R2} 와 R2의 곱이 각각 0.85V, 0.91V, 0.97V 등으로 변화할 때를 말한다. 이 변화로 두 차동전압(V_{REFBOT} , V_{REFTOP})의 값은 각각 (0.85V, 1.65V), (0.91V, 1.59V), (0.97V, 1.53V)로 각각 다르게 된다. 이 경우 비록 양 전압의 차동모드의 값은 0.80V, 0.68V, 0.56V로 변하더라도 공통모드의 값은 세 경우가 모두 다 1.25V로 동일하게 고정되어 있다. 즉, 본 발명의 회로는 두 차동전압 V_{REFBOT} , V_{REFTOP} 의 크기가 아무리 변하더라도 공통모드 전압은 일정하게 유지되는 것이 특징이다. 이때, 아날로그 디지털 변환기의 입력전압범위는 양 전압 차동모드 값의 두 배에 해당하는 1.60Vpp, 1.36Vpp, 1.12Vpp에 해당한다.

[0040] 본 발명의 이 같은 특징은 본 발명의 기준전압 회로를 사용하는 시스템으로 하여금 부가의 이익을 가지게 해준다. 이를 이해하기 위해서는 먼저, 본 발명의 회로가 적용되었을 때와 그렇지 않았을 때를 비교해볼 필요가 있다.

[0041] 도 6은 본 발명에 따른 가변 기준전압 발생회로 및 이를 포함한 아날로그 디지털 변환기 회로 가운데서 공통모드 전압이 변하는 경우를 나타내는 도면이다.

[0042] 도 6은 본 발명의 회로를 적용하지 않고 V_{REFBOT} 전압이 0.85V로 고정된 경우와(V_{REFBOT} 전압고정), V_{REFTOP} 전압이 1.65V로 고정된 경우를 각각 나타낸 것이다(V_{REFTOP} 전압고정). V_{REFBOT} 전압이 고정된 경우는 양 전압의 차동모드의

값은 0.80V, 0.68V, 0.56V이더라도 공통모드 전압은 1.25V, 1.19V, 1.13V로 각각 감소한다. V_{REFTOP} 전압이 고정된 경우는 양 전압의 차동모드의 값은 0.80V, 0.68V, 0.56V이더라도 공통모드 전압은 1.25V, 1.31V, 1.37V로 각각 증가한다.

[0043] 도 6에 나타난 것과 같은 기능을 하는 회로가 아날로그 디지털 변환기에 적용될 경우, 기본적으로 세 가지 커다란 단점이 있다. 첫 번째 단점은 아날로그 디지털 변환기에 입력될 아날로그 전압의 범위가 변할 때 기준전압의 공통모드 전압이 변함에 따라 입력전압의 공통모드 전압을 함께 변경해야 한다는 점이다. 이는 사용자의 입장에서 아날로그 디지털 변환기를 사용할 때 번거로움을 유발하게 된다. 두 번째 단점은 공통모드 전압이 변하는 기준전압으로 인해 아날로그 디지털 변환기 내부에 증폭기의 DC 동작점이 변경된다는 점이다. 이러한 단점은 증폭기를 구성하는 트랜지스터가 포화영역(saturation region)에 동작할 여유를 빼앗는 부가적 번거로움을 유발한다. 이로 인해 증폭기가 포화영역을 벗어나 신호의 왜곡이 있게 되면, 아날로그 디지털 변환기의 변환 특성이 감소된다. 세 번째 단점은 변경되는 공통모드 전압에 따라 접지전압 $VSSA$ 나 전원전압 $VDDA$ 로부터의 전압여유가 충분히 확보되지 않는 경우가 발생하게 되어, 특별히 저전압에서 동작하는 트랜지스터가 필요할 수도 있다는 점이다. 저 전압 트랜지스터(Low-Threshold Voltage Transistor, LVT)란 트랜지스터가 동작하기 위한 문턱전압(threshold voltage)이 낮은 트랜지스터를 말한다. 이를 위해서는 특별한 부가의 제조공정이 필요하게 되고, 이는 회로의 제조비용을 증가시키는 요인으로 작용한다.

[0044] 그러나 본 발명의 회로는 이러한 단점이 없다. 도 5에 도시된 바와도 같이, 아날로그 입력전압의 범위가 변하더라도 그에 따라 차동모드 전압이 조절되도록 할 뿐, 공통모드 전압은 고정되어 있으므로 아날로그 디지털 변환기 내부의 증폭기 또한, 고정된 DC 바이어스를 가지게 설계할 수 있다. 또한, 두 차동 기준전압인 V_{REFBOT} 이나 V_{REFTOP} 전압은 전원전압 $VDDA$ 와 접지전압 $VSSA$ 로부터 같은 크기만큼 차동분을 가지고 있어 위에서 설명한 것과 같은 저 전압 트랜지스터가 필요 없고, 이에 따라 제조 공정에서도 별도의 공정, 즉, 부가된 포토 마스크 스텝이 사라진다.

[0045] 한편, 본 발명의 가변 기준전압 회로에서 도 2의 실시 예인 레벨 쉬프터(100)를 사용하였을 때는 두 출력전압 V_{REFBOT} , V_{REFTOP} 의 값은 아래의 표 1에 기재된 바와 같다.

표 1

입력전압범위	$V_{REFTOP}(V)$			$V_{REFBOT}(V)$		
	이론값	실제값	오차	이론값	실제값	오차
1.12 Vpp	1.530	1.543	0.013	0.970	0.969	-0.001
1.36 Vpp	1.590	1.590	0.000	0.910	0.910	0.000
1.60 Vpp	1.650	1.639	-0.001	0.850	0.851	0.001

[0047] [표1]은 제1 실시 예의 레벨 쉬프터를 사용한 가변 기준전압 발생회로이다.

[0048] 두 출력전압 V_{REFBOT} , V_{REFTOP} 은 이론적인 값으로부터 오차가 발생하는데 그 원인은 크게 두 가지로 압축된다.

[0049] 첫 번째 원인은 전류 거울을 이루는 트랜지스터(MR3, MR4)의 소오스-드레인(source-drain) 사이의 전압 V_{ds} 가 서로 동일하지 않기 때문이다. 전류 거울에서는 V_{ds} 가 다를 경우, 복사되는 전류에 오차가 발생하게 된다. 일반적으로 MOSFET의 소오스-드레인 사이의 전압차가 커지면 드레인 전류가 이에 비례하여 커지는 것으로 알려져 있다. 이는 MOSFET에서 소오스-드레인 사이의 전압차가 커짐에 따라 드레인과 기판 사이에 존재하는 P-N 접합 다이오드의 공핢영역(depletion region)의 두께도 증가하기 때문이며, 이는 결국 해당 MOSFET의 문턱전압을 낮추는 효과가 나타난다. 이 효과는 회로의 설계자, 또는 소자를 연구하는 엔지니어에게는 잘 알려진 것으로 일반적으로 λ (lambda)로 표시하고 채널 길이 모듈레이션 효과라고 부른다. 표 1에서 V_{REFBOT} 에 비해 V_{REFTOP} 의 오차가 큰 것은 후자가 전류 거울에 의해 생성되기 때문이다.

[0050] 두 번째 원인은 전압 팔로워로 동작하는 증폭기(110)의 전압이득이 무한대가 아니라 유한하기 때문이다. 이로 인해 증폭기(110)의 두 입력전압인 V_{REF} , V_{REFC} 는 서로 수 mV의 정도의 전압차를 가지고 있다. 만약 증폭기(110)의 이득이 무한대라면 이론적으로는 이 수 mV의 전압차이가 존재할 필요가 없지만, 실제로는 전압 이득이 유한하기 때문에 이러한 전압 차이는 필수적으로 발생한다. 같은 맥락으로 전압 구동기(200)에서 전압 팔로워로 동작하는 증폭기(210, 220)의 유한한 전압 이득으로 인해 V_{REFT} 와 V_{REFTOP} , V_{REFC} 와 V_{REFBOT} 사이에서 전압 차이가 발생

하게 된다. 그러므로 당연하지만, 입력전압 범위가 바뀔에 따라 이 두 가지 원인으로 인한 오차도 달라진다.

[0051] 본 발명의 가변 기준전압 회로에서 레벨 쉬프터(100)의 다른 실시 예인 도 3의 회로를 사용하였을 때는 두 출력 전압 V_{REFBOT} , V_{REFTOP} 의 값은 아래의 표 2에 기재된 바와 같다.

표 2

입력전압범위	V_{REFTOP} (V)			V_{REFBOT} (V)		
	이론값	실제값	오차	이론값	실제값	오차
1.12 V _{pp}	1.530	1.527	0.003	0.970	0.969	-0.001
1.36 V _{pp}	1.590	1.588	-0.002	0.910	0.910	0.000
1.60 V _{pp}	1.650	1.650	0.000	0.850	0.850	0.001

[0052] 표2는 제2 실시 예의 레벨 쉬프터를 사용한 가변 기준전압 발생회로이다.

[0053] 표 1의 결과와 비교해 볼 때, 첫 번째 오차 원인인 채널 길이 모듈레이션 효과로 인한 오차가 줄어들음으로 인해 V_{REFTOP} 의 오차값이 대폭 줄어들었음을 알 수 있다. 이 비교 결과로부터 캐스코우드 전류 거울의 사용이 더욱 바람직함을 확인할 수 있다.

[0054] 본 발명에서 사용된 증폭기(110, 210, 220)의 경우, 아날로그 디지털 변환기의 해상도 및 변환 속도에 따라 전력소모, 기준전압의 요구되는 정착시간 및 정확성 등을 종합적으로 고려하여 설계자가 증폭기의 구조 및 DC 전압이득, 대역폭, 위상 여유 등의 성능을 결정할 수 있다.

[0055] 도 7은 본 발명에 따른 가변 기준전압 발생회로 및 이를 포함한 아날로그 디지털 변환기 회로를 사용하여 가변 기준전압을 생성하는 과도 모의실험 결과를 나타낸 것이다.

[0056] 도 7은 본 발명의 회로가 10비트 해상도 및 50MS/s의 변환 속도를 제공하는 아날로그 디지털 변환기에 쓰일 경우를 예로 든 것이다. 점선으로 표시된 펄스 전압은 50MS/s의 기준 클록이며, 실선으로 표시된 전압은 본 발명의 가변 기준전압 회로를 통해 생성된 세 가지 입력전압범위에 대한 기준전압이다. 이들 기준전압은 1.12V_{pp}, 1.36V_{pp}, 1.60V_{pp}의 입력전압범위를 제공하며 상기에 서술했듯이 제어전압인 V_{REF} 을 통해 가변적으로 발생시킬 수 있다. 도 7의 발생한 각 기준전압의 정착 후 실제값은 상기의 표 2에 기재되어 있다.

[0057] 아날로그 디지털 변환기에 사용되는 기준전압은 스위치를 통하여 부하에 공급되므로, 클록에 따라 스위치가 턴 온(turn-on), 턴 오프(turn-off)되면서 채널 전하가 순간적으로 충방전을 반복하게 되며, 이로 인해 V_{REFTOP} 과 V_{REFBOT} 전압에서 클록에 따른 스위칭 잡음이 발생하게 된다.

[0058] 도 8은 본 발명에 따른 가변 기준전압 발생회로 및 이를 포함한 아날로그 디지털 변환기 회로를 사용하여 생성된 위쪽 기준전압의 정착시간 성능을 나타낸 것이다.

[0059] 도 9는 본 발명에 따른 가변 기준전압 발생회로 및 이를 포함한 아날로그 디지털 변환기 회로를 사용하여 생성된 아래쪽 기준전압의 정착시간 성능을 나타낸 것이다.

[0060] 도 8 및 도 9는 각각 1.12V_{pp}의 입력전압범위에 대한 V_{REFTOP} 및 V_{REFBOT} 의 과도 모의실험 결과를 확대한 그래프이다.

[0061] 입력전압범위가 1.12V_{pp}인 경우, 10비트의 아날로그 디지털 변환기에서 0.5LSB(least significant bit)에 해당하는 전압 값은 0.546mV가 된다. 도 8에 도시된 것과 같이 본 발명의 회로는, 위쪽 기준전압 V_{REFTOP} 이 0.5LSB 범위인 -0.273mV ~ +0.273mV 이내로 정착하는 시간이 3.92ns(나노초)에 불과함이 검증되었다. 또한, 도 9에 도시된 것과 같이 아래쪽 기준전압 V_{REFBOT} 이 0.5LSB 범위 이내로 정착하는 시간이 3.85ns임이 검증되었다.

[0062] 이렇게 짧은 정착 시간은 본 발명의 회로를 사용할 아날로그 디지털 변환기로 하여금 여러 가지 장점을 가지게 한다. 가장 대표적인 것은 아날로그 디지털 변환기의 재빠른 동작 시간이다. 예를 들어 초당 오천만 번의 샘플링(50MS/s)으로 동작하는 아날로그 디지털 변환기는 샘플링 한 번의 주기는 20ns에 불과하다. 그러므로 본 발명의 회로에서 증폭기의 출력전압이 3.92ns 및 3.85ns라면, 이는 아날로그 디지털 변환기의 샘플링 주기보다 훨씬 짧으므로 50MS/s로 동작하는 아날로그 디지털 변환기에 바람직하게 쓰일 수 있다.

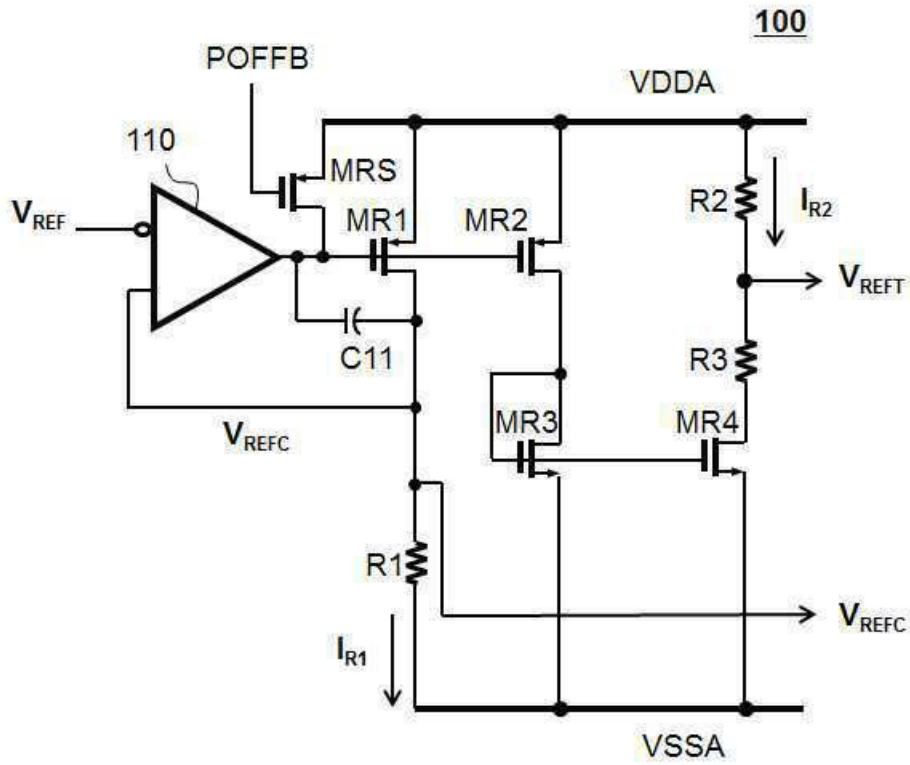
부호의 설명

VDDA : 전원전압 VSSA : 접지전압

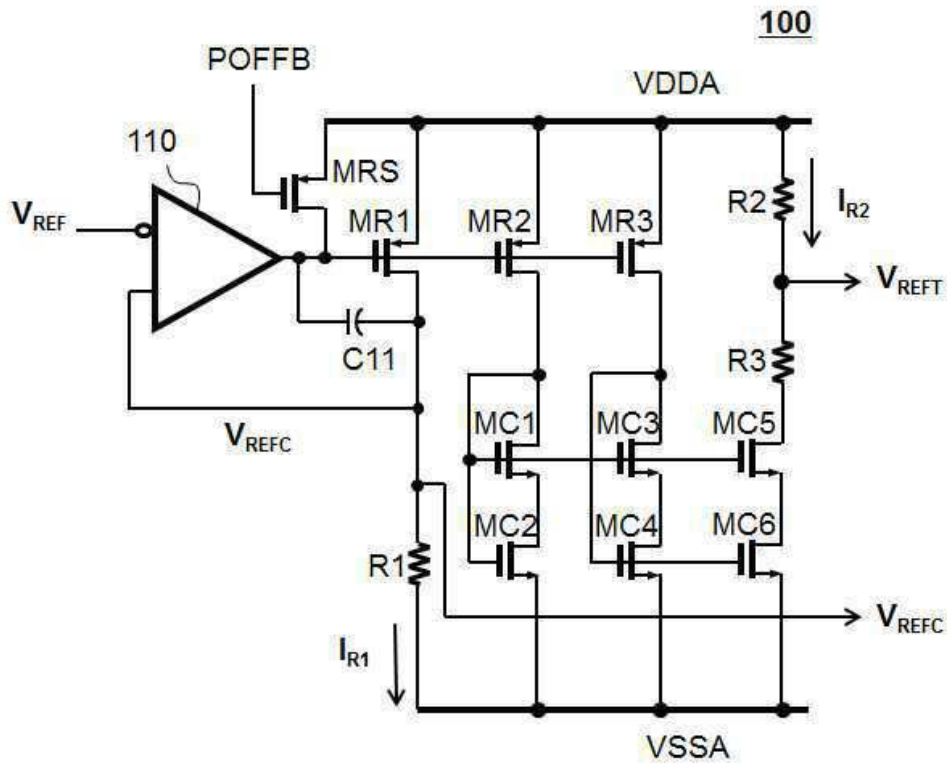
도면1



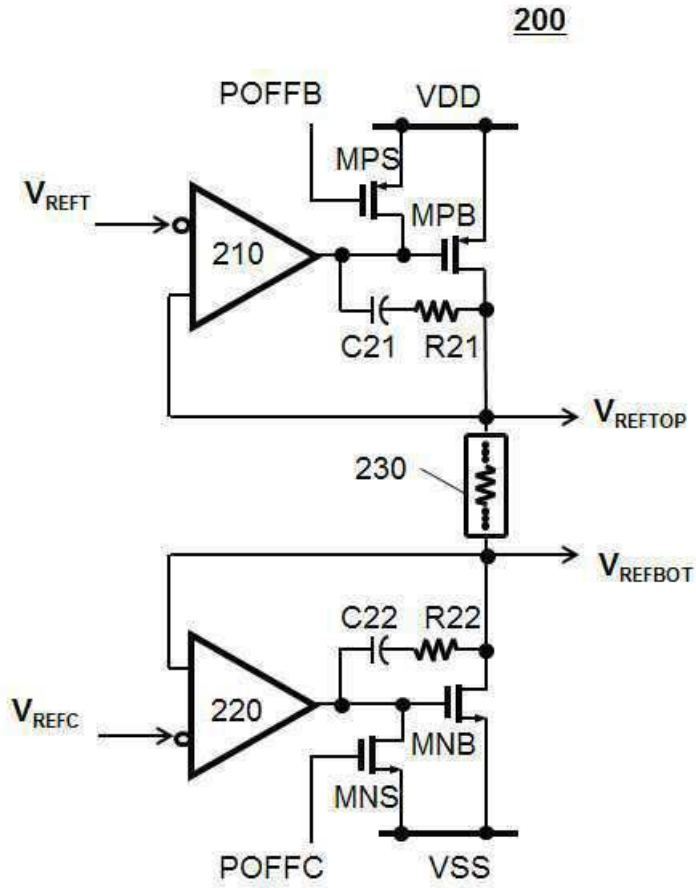
도면2



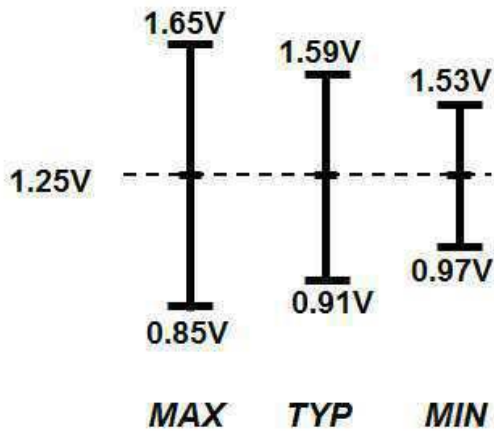
도면3



도면4

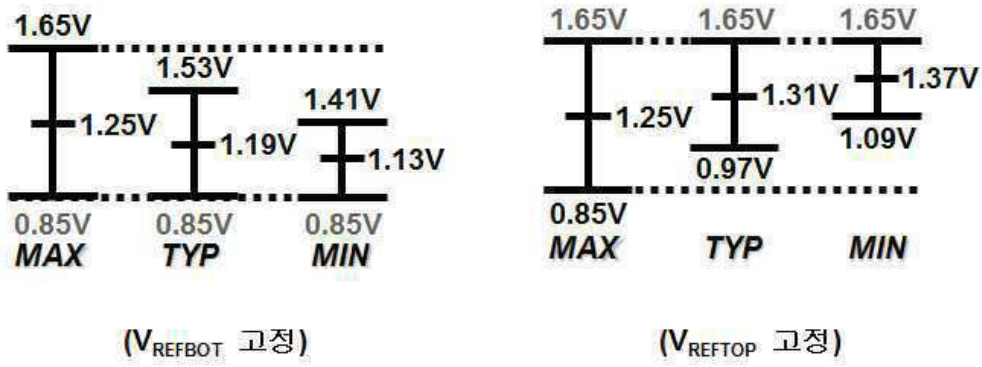


도면5

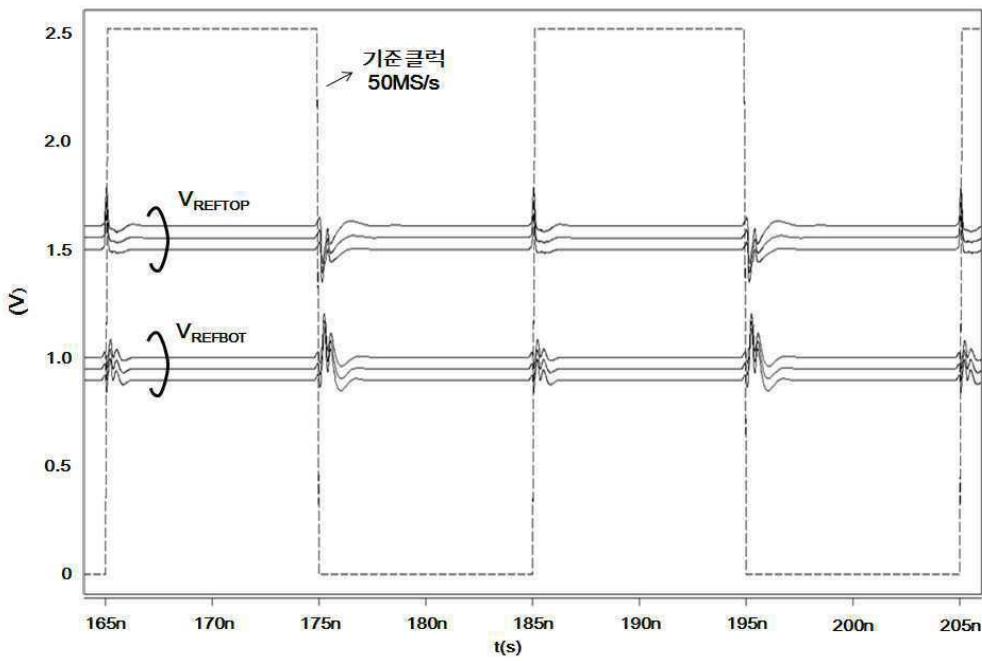


(공통모드 전압고정)

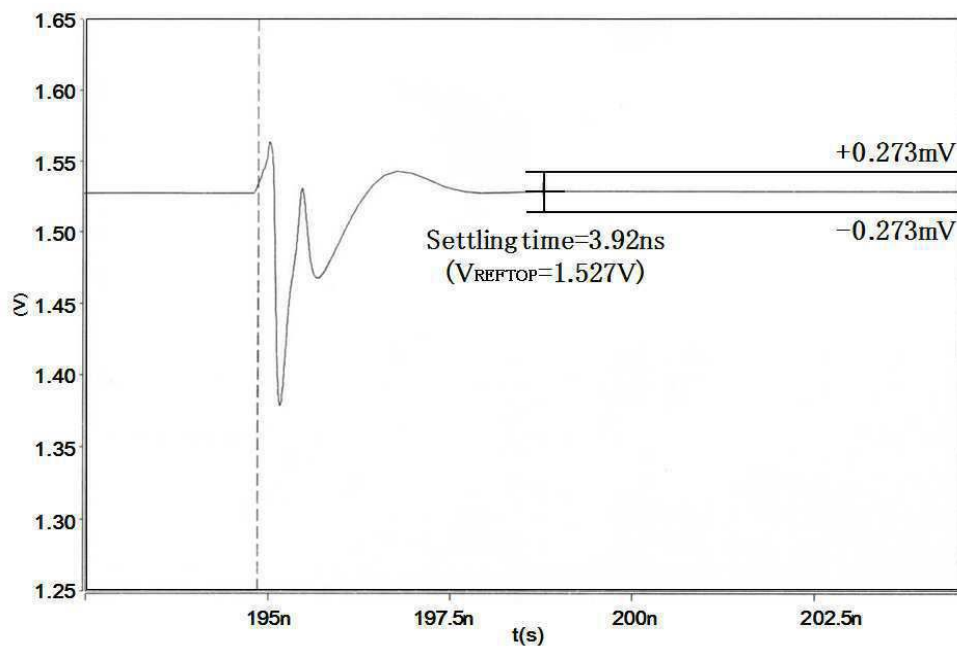
도면6



도면7



도면8



도면9

