

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2016 年 9 月 29 日 (29.09.2016)



(10) 国际公布号
WO 2016/150053 A1

- (51) 国际专利分类号:
G09G 3/36 (2006.01)
- (21) 国际申请号: PCT/CN2015/084995
- (22) 国际申请日: 2015 年 7 月 24 日 (24.07.2015)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201510137070.6 2015 年 3 月 26 日 (26.03.2015) CN
- (71) 申请人: 京东方科技集团股份有限公司 (BOE TECHNOLOGY GROUP CO., LTD.) [CN/CN]; 中国北京市朝阳区酒仙桥路 10 号, Beijing 100015 (CN)。鄂尔多斯市源盛光电有限责任公司 (ORDOS YUANSHEG OPTOELECTRONICS CO., LTD.) [CN/CN]; 中国内蒙古自治区鄂尔多斯市东胜区鄂尔多斯装备制造基地, Inner Mongolia 017020 (CN)。
- (72) 发明人: 黄飞 (HUANG, Fei); 中国北京市经济技术开发区地泽路 9 号, Beijing 100176 (CN)。
- (74) 代理人: 北京银龙知识产权代理有限公司 (DRAGON INTELLECTUAL PROPERTY LAW FIRM); 中国北京市海淀区西直门北大街 32 号院枫蓝国际中心 2 号楼 10 层, Beijing 100082 (CN)。

- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。
- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

- 包括国际检索报告(条约第 21 条(3))。

(54) Title: SHIFT REGISTER, GATE ELECTRODE DRIVE CIRCUIT, DISPLAY PANEL, AND DISPLAY APPARATUS

(54) 发明名称: 移位寄存器、栅极驱动电路、显示面板及显示装置

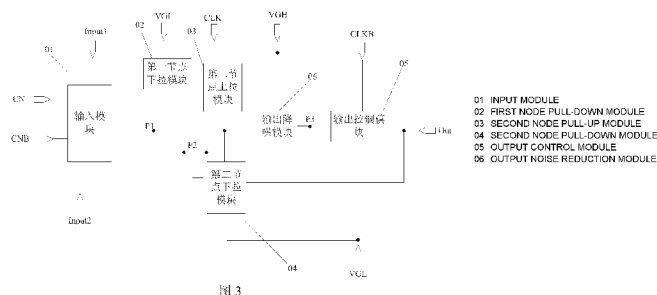


图 3

(57) Abstract: Disclosed are a shift register, a gate electrode drive circuit, a display panel, and a display apparatus. The shift register comprises an input module (01), a first node pull-down module (02), a second node pull-up module (03), a second node pull-down module (04), an output control module (05), and an output noise reduction module (06); the input module (01) is used for pulling up the potential of a first node (P1); the first node pull-down module (02) is used for pulling down the potential of the first node (P1); the second node pull-up module (03) is used for pulling up the potential of a second node (P2); the second node pull-down module (04) is used for pulling down the potential of the second node (P2); the output control module (05) is used for controlling a scanning signal output terminal (Out) to choose to output a signal of a second clock signal terminal (CLKB) or a signal of a low voltage signal terminal (VGL); and the output noise reduction module (06) implements noise reduction filtering of a signal of the first node (P1), and after noise reduction filtering, transmits the signal to the third node (P3); the output noise reduction module (05), under the control of a third node (P3), can thereby output a low noise scanning signal.

(57) 摘要:

[见续页]

WO 2016/150053 A1



公开了一种移位寄存器、栅极驱动电路、显示面板和显示装置。该移位寄存器包括输入模块（01）、第一节点下拉模块（02）、第二节点上拉模块（03）、第二节点下拉模块（04）、输出控制模块（05），以及输出降噪模块（06）；输入模块（01）用于拉高第一节点（P1）的电位；第一节点下拉模块（02）用于拉低第一节点（P1）的电位；第二节点上拉模块（03）用于拉高第二节点（P2）的电位；第二节点下拉模块（04）用于拉低第二节点（P2）的电位；输出控制模块（05）用于控制扫描信号输出端（Out）选择输出第二时钟信号端（CLKB）的信号或低电平信号端（VGL）的信号，输出降噪模块（06）将第一节点（P1）的信号进行滤波降噪，且将滤波降噪后的信号传输到第三节点（P3），从而输出控制模块（05）可以在第三节点（P3）的控制下输出低噪声扫描信号。

移位寄存器、栅极驱动电路、显示面板及显示装置

相关申请的交叉引用

本申请主张在 2015 年 3 月 26 日在中国提交的中国专利申请号 No. 201510137070.6 的优先权，其全部内容通过引用包含于此。

技术领域

本公开涉及显示技术领域，尤其涉及一种移位寄存器、栅极驱动电路、显示面板及显示装置。

背景技术

目前，随着液晶显示技术的发展，液晶面板业竞争越来越激烈，降低液晶显示面板的生产成本成为面板商提高竞争力的首选方案，而为了降低显示面板的生产成本，一般地，栅极驱动电路被布置在显示面板的边缘部分，栅极驱动电路包括多个移位寄存器，每个移位寄存器对应一条栅线，多个移位寄存器采用串联设置，相邻两个移位寄存器之间有逐级传递的触发信号，每个移位寄存器接收到触发信号后，向对应栅线输出栅线扫描信号，并把触发信号输送给下一级单元电路以实现栅极驱动的功能，这样的设计可以省去在显示面板的边框区域单独设置栅极驱动芯片，有利于实现显示面板的窄边框设计，同时降低了相关产品的生产成本，提高了显示产品的市场竞争力。

一般地，现有的移位寄存器的电路结构，如图1所示，其对应的输入输出时序图，如图2所示，从图2可以看出，移位寄存器在正常开启工作时，第一节点PU的电位在第一时间段被拉高，在第二阶段被继续拉高，进而控制开关晶体管T7开启，使得扫描信号输出端对应输出扫描信号，然而由于第一节点PU输出的电压信号有噪声（如图2中标注的区域A所示），且第一节点PU在第一次被拉高时产生的信号的电位较高，通过电容C1的充放电过程，易造成扫描信号输出端输出的扫描信号有较大噪声（如图2中标注的区域B所示），进而造成移位寄存器电路功耗较大，降低了显示面板的良率。

因此，如何降低移位寄存器输出的扫描信号的噪声，降低功耗，从而提高显示面板的良率，是本领域技术人员亟需解决的技术问题。

发明内容

本公开实施例提供一种移位寄存器，栅极驱动电路、显示面板及显示装置，用以解决现有技术中存在的移位寄存器输出的扫描信号的噪声较大，功耗较大的问题。

本公开实施例提供了一种移位寄存器，包括：输入模块、第一节点下拉模块、第二节点上拉模块、第二节点下拉模块、输出控制模块，以及输出降噪模块；其中，

所述输入模块的第一输入端与第一信号输入端相连，第二输入端与第二信号输入端相连，第一控制端与第一参考信号端相连，第二控制端与第二参考信号端相连，输出端与第一节点相连，所述输入模块用于在所述第一参考信号端和所述第二参考信号端的控制下拉高所述第一节点的电位；

所述第一节点下拉模块的输入端与低电平信号端相连，控制端与第二节点相连，输出端与所述第一节点相连，所述第一节点下拉模块用于在所述第二节点的控制下拉低所述第一节点的电位；

所述第二节点上拉模块的输入端与高电平信号端相连，控制端与第一时钟信号端相连，输出端与所述第二节点相连，所述第二节点上拉模块用于在所述第一时钟信号端的控制下拉高所述第二节点的电位；

所述第二节点下拉模块的第一输入端和第二输入端分别与所述低电平信号端相连，第一控制端与所述第一节点相连，第二控制端与扫描信号输出端相连，输出端与所述第二节点相连，所述第二节点下拉模块用于在所述第一节点或所述扫描信号输出端的控制下拉低所述第二节点的电位；

所述输出控制模块的第一输入端与所述低电平信号端相连，第二输入端与第二时钟信号端相连，第一控制端与第三节点相连，第二控制端与所述第二节点相连，输出端与所述扫描信号输出端相连，所述输出控制模块用于在所述第三节点或所述第二节点的控制下，控制所述扫描信号输出端选择输出所述第二时钟信号端的信号或所述低电平信号端的信号；

所述输出降噪模块的输入端与所述第一节点相连，控制端与所述高电平信号端相连，输出端与所述第三节点相连，所述输出降噪模块用于将所述第一节点的信号进行滤波降噪后输出到所述第三节点。

在一种可能的实施方式中，本公开实施例提供的上述移位寄存器中，所述输出降噪模块，具体包括：第一开关晶体管；

所述第一开关晶体管的栅极与所述高电平信号端相连，源极与所述第一节点相连，漏极与所述第三节点相连。

5 在一种可能的实施方式中，本公开实施例提供的上述移位寄存器中，还包括：第一节点降噪模块；

所述第一节点降噪模块连接于所述第一节点、所述高电平信号端和所述第一开关晶体管的源极之间，所述第一节点降噪模块用于对所述第一节点的信号进行进一步滤波降噪后输出到所述第一开关晶体管的源极。

10 在一种可能的实施方式中，本公开实施例提供的上述移位寄存器中，所述第一节点降噪模块，具体包括：第二开关晶体管和第三开关晶体管；其中，

所述第二开关晶体管的栅极与所述第一节点相连，源极与所述第三开关晶体管的漏极相连，漏极与所述第一开关晶体管的源极相连；

所述第三开关晶体管的栅极和源极分别与所述高电平信号端相连。

15 在一种可能的实施方式中，本公开实施例提供的上述移位寄存器中，还包括：第二节点降噪模块；

所述第二节点降噪模块连接于所述高电平信号端、所述第二节点上拉模块的输出端和所述第二节点之间，所述第二节点降噪模块用于对所述第二节点上拉模块输出端输出的信号进行滤波降噪后输出到所述第二节点。

20 在一种可能的实施方式中，本公开实施例提供的上述移位寄存器中，所述第二节点降噪模块，具体包括：第四开关晶体管；

所述第四开关晶体管的栅极与所述高电平信号端相连，源极与所述第二节点上拉模块的输出端相连，漏极与所述第二节点相连。

25 在一种可能的实施方式中，本公开实施例提供的上述移位寄存器中，所述第二节点上拉模块，具体包括：第五开关晶体管；

所述第五开关晶体管的栅极与所述第一时钟信号端相连，源极与所述高电平信号端相连，漏极与所述第四开关晶体管的源极相连。

在一种可能的实施方式中，本公开实施例提供的上述移位寄存器中，还包

括：保护模块；

所述保护模块连接于所述第一信号输入端、所述第二信号输入端、所述高电平信号端和所述第二节点上拉模块的输出端之间，所述保护模块用于在所述第一信号输入端或所述第二信号输入端输入异常电流信号时，对异常电流信号
5 进行分流。

在一种可能的实施方式中，本公开实施例提供的上述移位寄存器中，所述保护模块，具体包括：第六开关晶体管和第七开关晶体管；其中，

所述第六开关晶体管的栅极与所述第一信号输入端相连，源极与所述高电平信号端相连，漏极与所述第七开关晶体管的源极相连；

10 所述第七开关晶体管的栅极与所述第二信号输入端相连，漏极与所述第二节点上拉模块的输出端相连。

在一种可能的实施方式中，本公开实施例提供的上述移位寄存器中，还包括：维持模块；

15 所述维持模块的输入端与所述高电平信号端相连，控制端和输出端分别与
所述扫描信号输出端相连，所述维持模块用于在所述扫描信号输出端输出扫描信号时，维持所述扫描信号输出端的电位。

在一种可能的实施方式中，本公开实施例提供的上述移位寄存器中，所述维持模块，具体包括：第八开关晶体管；

20 所述第八开关晶体管的栅极和漏极分别与所述扫描信号输出端相连，源极
与所述高电平信号端相连。

在一种可能的实施方式中，本公开实施例提供的上述移位寄存器中，所述输出控制模块，具体包括：第一输出控制模块和第二输出控制模块；其中，

25 所述第一输出控制模块连接于所述第三节点、所述第二时钟信号端，以及
所述扫描信号输出端之间，所述第一输出控制模块用于在所述第三节点的控制下，控制所述扫描信号输出端输出所述第二时钟信号端的信号；

所述第二输出控制模块连接于所述低电平信号端、所述第二节点，以及所述扫描信号输出端之间，所述第二输出控制模块用于在所述第二节点的控制下，控制所述扫描信号输出端输出所述低电平信号端的信号。

在一种可能的实施方式中，本公开实施例提供的上述移位寄存器中，所述第一输出控制模块，具体包括：第九开关晶体管和第一电容；其中，

所述第九开关晶体管的栅极与所述第三节点相连，源极与所述第二时钟信号端相连，漏极与所述扫描信号输出端相连；

5 所述第一电容连接于所述第三节点与所述扫描信号输出端之间。

在一种可能的实施方式中，本公开实施例提供的上述移位寄存器中，所述第二输出控制模块，具体包括：第十开关晶体管；

所述第十开关晶体管的栅极与所述第二节点相连，源极与所述低电平信号端相连，漏极与所述扫描信号输出端相连。

10 在一种可能的实施方式中，本公开实施例提供的上述移位寄存器中，所述第二输出控制模块，还包括：第二电容；

所述第二电容连接于所述第二节点和所述低电平信号端之间。

在一种可能的实施方式中，本公开实施例提供的上述移位寄存器中，所述第二节点下拉模块，具体包括：第一下拉模块和第二下拉模块；其中，

15 所述第一下拉模块的输入端与所述低电平信号端相连，控制端与所述第一节点相连，输出端与所述第二节点相连，所述第一下拉模块用于在所述第一节点的控制下拉低所述第二节点的电位；

所述第二下拉模块的输入端与所述低电平信号端相连，控制端与所述扫描信号输出端相连，输出端与所述第二节点相连，所述第二下拉模块用于在所述扫描信号输出端输出扫描信号时进一步拉低所述第二节点的电位。

20 在一种可能的实施方式中，本公开实施例提供的上述移位寄存器中，所述第一下拉模块，具体包括：第十一开关晶体管；

所述第十一开关晶体管的栅极与所述第一节点相连，源极与所述低电平信号端相连，漏极与所述第二节点相连。

25 在一种可能的实施方式中，本公开实施例提供的上述移位寄存器中，所述第二下拉模块，具体包括：第十二开关晶体管；

所述第十二开关晶体管的栅极与所述扫描信号输出端相连，源极与所述低电平信号端相连，漏极与所述第二节点相连。

在一种可能的实施方式中，本公开实施例提供的上述移位寄存器中，所述输入模块，具体包括：第十三开关晶体管和第十四开关晶体管；

所述第十三开关晶体管的栅极与所述第一参考信号端相连，源极与所述第一信号输入端相连，漏极分别与所述第十四开关晶体管的源极和所述第一节点
5 相连；

所述第十四开关晶体管的栅极与所述第二参考信号端相连，源极与所述第二信号输入端相连。

在一种可能的实施方式中，本公开实施例提供的上述移位寄存器中，所述第一节点下拉模块，具体包括：第十五开关晶体管；

10 所述第十五开关晶体管的栅极与所述第二节点上拉模块的输出端相连，源极与所述低电平信号端相连，漏极与所述输出降噪模块的输入端相连。

本公开实施例提供了一种栅极驱动电路，包括级联的多个本公开实施例提供的上述移位寄存器，除最后一个移位寄存器之外，其余每个移位寄存器的扫描信号输出端均向与其相邻的下一个移位寄存器的信号输入端输入触发信号。

15 本公开实施例提供了一种显示面板，包括本公开实施例提供的上述栅极驱动电路。

本公开实施例提供了一种显示装置，包括本公开实施例提供的上述显示面板。

本公开实施例的有益效果包括：

20 本公开实施例提供了一种移位寄存器、栅极驱动电路、显示面板及显示装置，该移位寄存器包括输入模块、第一节点下拉模块、第二节点上拉模块、第二节点下拉模块、输出控制模块，以及输出降噪模块；其中，输入模块用于在第一参考信号端或第二参考信号端的控制下拉高第一节点的电位；第一节点下拉模块用于在第二节点的控制下拉低第一节点的电位；第二节点上拉模块用于在
25 在第一时钟信号端的控制下拉高第二节点的电位；第二节点下拉模块用于在第一节点和扫描信号输出端的控制下拉低第二节点的电位；输出控制模块用于在第三节点和第二节点的控制下，控制扫描信号输出端选择输出第二时钟信号端的信号或低电平信号端的信号，这样实现了移位寄存器在对应时间段输出扫描

信号的功能，同时，输出降噪模块用于将第一节点的信号进行滤波降噪，且将滤波降噪后的信号传输到第三节点，从而输出控制模块在第三节点的控制下输出低噪声扫描信号，并且可以避免第一电容在较大的噪声信号的影响下使扫描信号输出端输出噪声信号，提高信号的无损传输，降低功耗，进而提高显示面板的良率。

附图说明

图1为现有技术中移位寄存器的结构示意图；

图2为现有的移位寄存器的输入输出时序图；

图3为本公开实施例提供的移位寄存器的结构示意图；

图4-图7分别为本公开实施例提供的移位寄存器的具体结构示意图；

图8为本公开实施例提供的移位寄存器的输入输出时序图；

图9为本公开实施例提供的栅极驱动电路的结构示意图。

具体实施方式

下面结合附图，对本公开实施例提供的移位寄存器，栅极驱动电路、显示面板及显示装置的具体实施方式进行详细地说明。

除非另作定义，此处使用的技术术语或者科学术语应当为本公开所属领域内具有一般技能的人士所理解的通常意义。本公开专利申请说明书以及权利要求书中使用的“第一”、“第二”以及类似的词语并不表示任何顺序、数量或者重要性，而只是用来区分不同的组成部分。同样，“一个”或者“一”等类似词语也不表示数量限制，而是表示存在至少一个。“连接”或者“相连”等类似的词语并非限定于物理的或者机械的连接，而是可以包括电性的连接，不管是直接的还是间接的。“上”、“下”、“左”、“右”等仅用于表示相对位置关系，当被描述对象的绝对位置改变后，则该相对位置关系也相应地改变。

本公开实施例提供了一种移位寄存器，如图3所示，可以包括：输入模块01、第一节点下拉模块02、第二节点上拉模块03、第二节点下拉模块04、输出控制模块05，以及输出降噪模块06；其中，

输入模块01的第一输入端与第一信号输入端Input1相连，第二输入端与第二信号输入端Input2相连，第一控制端与第一参考信号端CN相连，第二控制端

与第二参考信号端CNB相连，输出端与第一节点P1相连，输入模块01用于在第一参考信号端CN或第二参考信号端CNB的控制下拉高第一节点P1的电位；

第一节点下拉模块02的输入端与低电平信号端VGL相连，控制端与第二节点P2相连，输出端与第一节点P1相连，第一节点下拉模块02用于在第二节点P2的控制下拉低第一节点P1的电位；

第二节点上拉模块03的输入端与高电平信号端VGH相连，控制端与第一时钟信号端CLK相连，输出端与第二节点P2相连，第二节点上拉模块03用于在第一时钟信号端CLK的控制下拉高第二节点P2的电位；

第二节点下拉模块04的第一输入端和第二输入端分别与低电平信号端VGL相连，第一控制端与第一节点P1相连，第二控制端与扫描信号输出端Out相连，输出端与第二节点P2相连，第二节点下拉模块04用于在第一节点P1或扫描信号输出端Out的控制下拉低第二节点P2的电位；

输出控制模块05的第一输入端与低电平信号端VGL相连，第二输入端与第二时钟信号端CLKB相连，第一控制端与第三节点P3相连，第二控制端与第二节点P2相连，输出端与扫描信号输出端Out相连，输出控制模块05用于在第三节点P3或第二节点P2的控制下，控制扫描信号输出端Out选择输出第二时钟信号端CLKB的信号或低电平信号端VGL的信号；

输出降噪模块06的输入端与第一节点P1相连，控制端与高电平信号端VGH相连，输出端与第三节点P3相连，输出降噪模块06用于将第一节点P1的信号进行滤波降噪后输出到第三节点P3。

本公开实施例提供的上述移位寄存器中，包括输入模块01、第一节点下拉模块02、第二节点上拉模块03、第二节点下拉模块04，输出控制模块05，以及输出降噪模块06；其中，输入模块01用于拉高第一节点P1的电位；第一节点下拉模块02用于拉低第一节点P1的电位；第二节点上拉模块03用于拉高第二节点P2的电位；第二节点下拉模块04用于拉低第二节点P2的电位；输出控制模块05用于控制扫描信号输出端Out选择输出第二时钟信号端CLKB的信号或低电平信号端VGL的信号，这样实现了移位寄存器输出扫描信号的功能，同时，输出降噪模块用于将第一节点P1的信号进行滤波降噪，且将滤波降噪后的信号传输

到第三节点，从而输出控制模块在第三节点的控制下输出低噪声扫描信号，并且可以避免第一电容在较大的噪声信号的影响下使扫描信号输出端输出噪声信号，提高信号的无损耗传输，降低功耗，进而提高显示面板的良率。

在具体实施时，本公开实施例提供的上述移位寄存器中，如图4所示，输出降噪模块06，可以具体包括：第一开关晶体管T1；第一开关晶体管T1的栅极与高电平信号端VGH相连，源极与第一节点P1相连，漏极与第三节点P3相连。

具体地，由于第一开关晶体管T1的栅极与高电平信号端VGH相连，因此第一开关晶体管T1处于常开状态，作为单管传输门工作，因此第一开关晶体管T1可以对第一节点P1的信号进行滤波降噪，并将滤波降噪后的信号传输到第三节点P3。

在具体实施时，本公开实施例提供的上述移位寄存器中，如图5所示，还可以包括：第一节点降噪模块07；第一节点降噪模块07连接于第一节点P1、高电平信号端VGH和第一开关晶体管T1的源极之间，第一节点降噪模块07用于在第一节点P1的控制下将高电平信号端VGH与第一开关晶体管T1的源极导通。

具体地，第一节点降噪模块07在第一节点的电位被拉高时，将高电平信号端VGH与第一开关晶体管T1的源极导通，即可以对第一节点P1的信号进行直流拉高，从而进一步滤波降噪，降低第一节点P1的信号噪声，进而将第一节点P1降噪后的信号输出到第一开关晶体管T1的源极，通过第一开关晶体管T1对信号再进行滤波降噪，进一步降低信号的噪声，提高信号的无损耗传输，从而降低功耗。

在具体实施时，本公开实施例提供的上述移位寄存器中，如图5所示，第一节点降噪模块07，可以具体包括：第二开关晶体管T2和第三开关晶体管T3；其中，第二开关晶体管T2的栅极与第一节点P1相连，源极与第三开关晶体管T3的漏极相连，漏极与第一开关晶体管T1的源极相连；第三开关晶体管T3的栅极和源极分别与高电平信号端VGH相连。

具体地，当第一节点P1的电位被拉高时，第二开关晶体管T2处于导通状态，而由于第三开关晶体管T3的栅极和源极分别与高电平信号端VGH相连，

因此第三开关晶体管T3 处于常开状态，作为单管传输门工作，因此在第一节点P1的电位被拉高时，高电平信号端VGH的信号通过第三开关晶体管T3和导通的第二开关晶体管T2输出到第一开关晶体管T1的源极，对第一开关晶体管T1的源极的信号进行直流拉高，进一步降低信号噪声，而不是将第一节点P1
5 未经降噪的信号输出到第一开关晶体管T1的源极，这样可以降低第一开关晶体管T1的源极的信号噪声。

在具体实施时，本公开实施例提供的上述移位寄存器中，如图6和图7所示，还可以包括：第二节点降噪模块08；第二节点降噪模块08连接于高电平信号端VGH、第二节点上拉模块03的输出端和第二节点P2之间，第二节点降噪模块
10 08用于对第二节点上拉模块03的输出端的信号进行滤波降噪，将滤波降噪后的信号输出到第二节点P2，进一步降低第二节点P2的信号噪声。

具体地，第二节点降噪模块08在高电平信号端VGH的控制下处于常开状态，作为传输门工作，对第二节点上拉模块03的输出端的信号进行滤波降噪，并将滤波降噪后的信号输出到第二节点P2，进一步降低第二节点P2的信号噪
15 声。

在具体实施时，本公开实施例提供的上述移位寄存器中，如图6和图7所示，第二节点降噪模块08，可以具体包括：第四开关晶体管T4；第四开关晶体管T4的栅极与高电平信号端VGH相连，源极与第二节点上拉模块03的输出端相连，漏极与第二节点P2相连。

具体地，由于第四开关晶体管T4的栅极与高电平信号端VGH相连，因此第四开关晶体管T4处于常开状态，作为单管传输门工作，对第二节点上拉模块03的输出端的信号进行滤波降噪，且将滤波降噪后的信号输出到第二节点P2，
20 进一步降低第二节点P2的信号噪声。

在具体实施时，本公开实施例提供的上述移位寄存器中，如图6和图7所示，第二节点上拉模块03，可以具体包括：第五开关晶体管T5；第五开关晶体管T5的栅极与第一时钟信号端CLK相连，源极与高电平信号端VGH相连，漏极与第四开关晶体管T4的源极相连。

具体地，第二节点上拉模块03在第一时钟信号端CLK输入高电平信号时，

第五开关晶体管T5处于导通状态，导通的第五开关晶体管T5将高电平信号端VGH与第四开关晶体管T4的源极导通，拉高第四开关晶体管T4的源极的电位，由于第四开关晶体管T4处于常开状态，因此可以拉高第二节点P2的电位。

在具体实施时，本公开实施例提供的上述移位寄存器中，如图6和图7所示，
5 还可以包括：保护模块09；保护模块09连接于第一输入信号端Input1、第二信号输入端Input2、高电平信号端VGH和第二节点上拉模块03的输出端之间，保护模块09用于在第一信号输入端Input1或第二信号输入端Input2输入异常电流信号时，对异常电流信号进行分流。

具体地，保护模块09在移位寄存器正常工作时处于关闭状态，在第一信号
10 输入端Input1或第二信号输入端Input2输入异常电流信号时，其中异常电流信号为高于正常电流信号的大电流信号，例如信号输入端正常输入信号为1V的信号，当信号输入端输入的信号为10V信号时，则信号输入端输入了异常信号，此时，输入的大电流信号可能损坏移位寄存器中的晶体管，因此保护模块09此时可以对异常电流信号进行分流，起保护作用，避免移位寄存器由于异常电
15 流信号的输入而损坏。

在具体实施时，本公开实施例提供的上述移位寄存器中，如图6和图7所示，保护模块09，可以具体包括：第六开关晶体管T6和第七开关晶体管T7；其中，第六开关晶体管T6的栅极与第一信号输入端Input1相连，源极与高电平信号端VGH相连，漏极与第七开关晶体管T7的源极相连；

20 第七开关晶体管T7的栅极与第二信号输入端Input2相连，漏极与第二节点上拉模块03的输出端相连。

具体地，在移位寄存器正常工作时处于关闭状态，第六开关晶体管T6和第七开关晶体管T7均处于截止状态，在第一信号输入端Input1或第二信号输入端Input2输入大电流信号时，对应第六开关晶体管T6或第七开关晶体管T7处于
25 导通状态，对输入的异常电流信号进行分流缓冲，对移位寄存器起保护作用，避免移位寄存器由于异常电流信号的输入而损坏。

在具体实施时，本公开实施例提供的上述移位寄存器中，如图6和图7所示，还可以包括：维持模块10；维持模块10的输入端与高电平信号端VGH相连，

控制端和输出端分别与扫描信号输出端Out相连，维持模块10用于在扫描信号输出端Out输出扫描信号时，维持扫描信号输出端Out的电位。

具体地，当扫描信号输出端Out输出扫描信号时，维持模块10处于开启状态，将高电平信号端VGH与扫描信号输出端Out导通，进而将高电平信号输出到扫描信号输出端Out，进一步维持扫描信号输出端Out的电位。

在具体实施时，本公开实施例提供的上述移位寄存器中，如图6和图7所示，维持模块10，可以具体包括：第八开关晶体管T8；第八开关晶体管T8的栅极和漏极分别与扫描信号输出端Out相连，源极与高电平信号端VGH相连。

具体地，当扫描信号输出端Out输出扫描信号时，第八开关晶体管T8处于导通状态，导通的第八开关晶体管T8将高电平信号端VGH与扫描信号输出端Out导通，进一步维持扫描信号输出端Out的电位。

在具体实施时，本公开实施例提供的上述移位寄存器中，如图6和图7所示，输出控制模块05，可以具体包括：第一输出控制模块051和第二输出控制模块052；其中，

第一输出控制模块051连接于第三节点P3、第二时钟信号端CLKB，以及扫描信号输出端Out之间，第一输出控制模块051用于在第三节点P3的控制下，控制扫描信号输出端Out输出第二时钟信号端CLKB的信号；

第二输出控制模块052连接于低电平信号端VGL、第二节点P2，以及扫描信号输出端Out之间，第二输出控制模块052用于在第二节点P2的控制下，控制扫描信号输出端Out输出低电平信号端VGL的信号。

具体地，第一输出控制模块051和第二输出控制模块052分别在第三节点P3和第二节点P2的控制下对应输出第二时钟信号端CLKB的信号和低电平信号端VGL的信号，实现移位寄存器在对应时间段向对应栅线输出扫描信号，驱动显示面板实现逐行扫描。

在具体实施时，本公开实施例提供的上述移位寄存器中，如图6和图7所示，第一输出控制模块051，可以具体包括：第九开关晶体管T9和第一电容C1；其中，第九开关晶体管T9的栅极与第三节点P3相连，源极与第二时钟信号端CLKB相连，漏极与扫描信号输出端Out相连；第一电容C1连接于第三节点P3

与扫描信号输出端Out之间。

具体地，当第三节点P3的电位被拉高时，第九开关晶体管T9处于导通状态，导通的第九开关晶体管T9将第二时钟信号端CLKB与扫描信号输出端Out导通，同时第一电容C1对第三节点P3的电位起到自举作用，进一步保持第三节点P3的电位。

在具体实施时，本公开实施例提供的上述移位寄存器中，如图6所示，第二输出控制模块052，可以具体包括：第十开关晶体管T10；第十开关晶体管T10的栅极与第二节点P2相连，源极与低电平信号端VGL相连，漏极与扫描信号输出端Out相连。

具体地，当第二节点P2的电位被拉高时，第十开关晶体管T10处于导通状态，导通的第十开关晶体管T10将低电平信号端VGL与扫描信号输出端Out导通，同时通过第十开关晶体管T10的寄生电容也可以维持第二节点P2的电位。

在具体实施时，本公开实施例提供的上述移位寄存器中，如图7所示，第二输出控制模块052，还可以包括：第二电容C2；第二电容C2连接于第二节点P2和低电平信号端VGL之间。

具体地，当第二节点P2的电位被拉高时，第十开关晶体管T10处于导通状态，导通的第十开关晶体管T10将低电平信号端VGL与扫描信号输出端Out导通，同时第二电容C2可以进一步保持第二节点P2的电位，降低第二节点P2的电压信号的噪声。

在具体实施时，本公开实施例提供的上述移位寄存器中，如图6和图7所示，第二节点下拉模块04，可以具体包括：第一下拉模块041和第二下拉模块042；其中，第一下拉模块041的输入端与低电平信号端VGL相连，控制端与第一节点P1相连，输出端与第二节点P2相连，第一下拉模块041用于在第一节点P1的控制下拉低第二节点P2的电位；第二下拉模块042的输入端与低电平信号端VGL相连，控制端与扫描信号输出端Out相连，输出端与第二节点P2相连，第二下拉模块042用于在扫描信号输出端Out输出扫描信号时进一步拉低第二节点P2的电位。

具体地，第一下拉模块041和第二下拉模块042 分别在第一节点P1的电位

被拉高时和扫描信号输出端Out输出扫描信号时，拉低第二节点P2的电位，降低第二节点P2的信号噪声。

在具体实施时，本公开实施例提供的上述移位寄存器中，如图6和图7所示，第一下拉模块041，可以具体包括：第十一开关晶体管T11；第十一开关晶体管T11的栅极与第一节点P1相连，源极与低电平信号端VGL相连，漏极与第二节点P2相连。

具体地，在第一节点P1的电位被拉高时，第十一开关晶体管T11处于导通状态，导通的第十一开关晶体管T11将低电平信号端VGL与第二节点P2导通，拉低第二节点P2的电位，降低第二节点P2的信号噪声。

在具体实施时，本公开实施例提供的上述移位寄存器中，如图6和图7所示，第二下拉模块042，可以具体包括：第十二开关晶体管T12；第十二开关晶体管T12的栅极与扫描信号输出端Out相连，源极与低电平信号端VGL相连，漏极与第二节点P2相连。

具体地，在扫描信号输出端Out输出扫描信号时，第十二开关晶体管T12处于导通状态，导通的第十二开关晶体管T12将低电平信号端VGL与第二节点P2导通，拉低第二节点P2的电位，降低第二节点P2的信号噪声。

在具体实施时，本公开实施例提供的上述移位寄存器中，如图6和图7所示，输入模块01，可以具体包括：第十三开关晶体管T13和第十四开关晶体管T14；第十三开关晶体管T13的栅极与第一参考信号端CN相连，源极与第一信号输入端Input1相连，漏极分别与第十四开关晶体管T14的源极和第一节点P1相连；第十四开关晶体管T14的栅极与第二参考信号端CNB相连，源极与第二信号输入端Input2相连。

具体地，由于第十三开关晶体管T13和第十四开关晶体管T14的栅极分别与第一参考信号端CN和第二参考信号端CNB相连，因此正向扫描时第十三开关晶体管T13处于导通状态，当第一信号输入端Input1输入信号时，对应的处于导通状态第十三开关晶体管T13将第一信号输入端Input1与第一节点P1导通，进而将第一信号输入端Input1的信号输出到第一节点P1；反向扫描时第十四开关晶体管T14处于导通状态，当第二信号输入端Input2输入信号时，对应的处

于导通状态第十四开关晶体管T14将第二信号输入端Input2与第一节点P1导通，进而将第二信号输入端Input2的信号输出到第一节点P1。

在具体实施时，本公开实施例提供的上述移位寄存器中，如图6和图7所示，第一节点下拉模块02，可以具体包括：第十五开关晶体管T15；第十五开关晶体管T15的栅极与第二节点上拉模块03的输出端相连，源极与低电平信号端VGL相连，漏极与输出降噪模块06的输入端相连。

具体地，在第二节点P2的电位被拉高时，即第二节点上拉模块03的输出端输出高电平信号时，第十五开关晶体管T15也处于导通状态，导通的第十五开关晶体管T15将低电平信号端VGL与输出降噪模块06的输入端导通，进而拉低输出降噪模块06的输入端的电位，由于输出降噪模块06处于常开状态，因此也拉低了第三节点P3的电位。

需要说明的是本公开上述实施例中提到的开关晶体管可以是薄膜晶体管（TFT，Thin Film Transistor），也可以是金属氧化物半导体场效应管（MOS，Metal Oxide Semiconductor），在此不做限定。在具体实施中，这些晶体管的源极和漏极可以互换，不做具体区分。在描述具体实施例时以薄膜晶体管为例进行说明。

进一步地，由于在本公开实施例提供的上述移位寄存器中第一信号输入端Input1和第二信号输入端Input2为对称设计，可以实现功能互换，因此本公开实施例提供的上述移位寄存器可以实现双向扫描。

一般地，在启动正向扫描时，第一参考信号端CN提供高电平信号，第二参考信号端CNB提供低电平信号。一般地，在反向扫描时，第一参考信号端CN提供低电平信号，第二参考信号端CNB提供高电平信号。

下面结合图7所示的移位寄存器以及图8所示的图7的输入输出时序图，以正向扫描为例对本公开实施例提供的移位寄存器的工作过程作以描述。具体地，选取如图8所示的输入输出时序图中的t1~t3三个阶段。下述描述中以1表示高电平信号，0表示低电平信号。

在t1阶段，Input1=1，CLKB=0，CLK=0，CN=1，CNB=0。由于CN=1，因此第十三开关晶体管T13导通，导通的第十三开关晶体管T13将第一信号输

入端Input1与第二开关晶体管T2的栅极导通，因此第二开关晶体管T2导通，而第三开关晶体管T3处于常开状态，因此高电平信号端VGH的信号通过第三开关晶体管T3和导通的第二开关晶体管T2输出到第一开关晶体管T1的源极，由于第一开关晶体管T1处于常开状态，因此第一节点P1的信号经过第一开关晶体管T1的滤波降噪后输出到第三节点P3，第三节点P3的电位被拉高，同时对第一电容C1充电，此时第九开关晶体管T9处于导通状态，导通的第九开关晶体管T9将第二时钟信号端CLKB与扫描信号输出端Out导通，由于此时CLKB=0，因此扫描信号输出端Out输出低电平信号。t1阶段为充电阶段。

在t2阶段，Input1=0，CLKB=1，CLK=0，CN=1，CNB=0。由于第一电容C1的自举作用，第三节点P3的电位进一步升高，因此第九开关晶体管T9仍处于导通状态，而此时CLKB=1，因此，扫描信号输出端Out输出高电平信号。t2阶段为扫描信号输出阶段。

在t3阶段，Input1=0，CLKB=0，CLK=1，CN=1，CNB=0。由于CLK=1，因此第五开关晶体管T5导通，导通的第五开关晶体管T5将高电平信号端VGH与第四开关晶体管T4的源极导通，而第四开关晶体管T4处于常开状态，因此，高电平信号端VGH的信号经过滤波降噪后输出到第二节点P2，第二节点P2的电位被拉高，此时，第十开关晶体管T10处于导通状态，导通的第十开关晶体管T10将低电平信号端VGL与扫描信号输出端Out导通，因此扫描信号输出端Out输出低电平信号，同时由于第四开关晶体管T4的源极的电位被拉高，因此第十五开关晶体管T15处于导通状态，导通的第十五开关晶体管T15将第一开关晶体管T1的源极与低电平信号端VGL导通，因此第一开关晶体管T1的源极的电位被拉低，而第一开关晶体管T1处于常开状态，因此第三节点P3的电位被拉低，第九开关晶体管T9处于截止状态。t3阶段为非扫描信号输出阶段。

在后续时间段，扫描信号输出端Out将一直输出低电平信号，直到某个时间段第一信号输入端Input1再次输入高电平信号时，则该移位寄存器将重复上述工作工程。

基于同一公开构思，本公开实施例提供了一种栅极驱动电路，包括级联的多个本公开实施例提供的上述移位寄存器，除最后一个移位寄存器之外，其余

每个移位寄存器的扫描信号输出端均向与其相邻的下一个移位寄存器的信号输入端输入触发信号。

为了方便说明,图9中仅示出了八个移位寄存器,分别为第1级移位寄存器、第2级移位寄存器、第3级移位寄存器、第4级移位寄存器、第N-3级移位寄存器、第N-2级移位寄存器、第N-1级移位寄存器、第N级移位寄存器。其中,除第N级移位寄存器外,其余每个移位寄存器的扫描信号输出端Out不仅向与其连接的栅线输出栅开启信号,还向与其相邻的下一级移位寄存器输出触发信号。

具体地,上述栅极驱动电路中的每个移位寄存器与本公开提供的上述移位寄存器在功能和结构上均相同,重复之处不再赘述。

基于同一公开构思,本公开实施例提供了一种显示面板,包括本公开实施例提供的上述栅极驱动电路。由于该显示面板解决问题的原理与栅极驱动电路相似,因此该显示面板的实施可以参见上述栅极驱动电路的实施,重复之处不再赘述。

基于同一公开构思,本公开实施例提供了一种显示装置,包括本公开实施例提供的上述显示面板。该显示装置可以应用于手机、平板电脑、电视机、显示器、笔记本电脑、数码相框、导航仪等任何具有显示功能的产品或部件。由于该显示装置解决问题的原理与显示面板相似,因此该显示装置的实施可以参见上述显示面板的实施,重复之处不再赘述。

本公开实施例提供了一种移位寄存器、栅极驱动电路、显示面板及显示装置,该移位寄存器包括输入模块、第一节点下拉模块、第二节点上拉模块、第二节点下拉模块、输出控制模块,以及输出降噪模块;其中,输入模块用于在信号输入端的控制下拉高第一节点的电位;第一节点下拉模块用于在第二节点的控制下拉低第一节点的电位;第二节点上拉模块用于在第一时钟信号端的控制下拉高第二节点的电位;第二节点下拉模块用于在第一节点和扫描信号输出端的控制下拉低第二节点的电位;输出控制模块用于在第三节点和第二节点的控制下,控制扫描信号输出端选择输出第二时钟信号端的信号或低电平信号端的信号,这样实现了移位寄存器在对应时间段输出扫描信号的功能,同时,输出降噪模块用于将第一节点的信号进行滤波降噪,且将滤波降噪后的信号传输到第

三节点，从而输出控制模块在第三节点的控制下输出低噪声扫描信号，并且可以避免第一电容在较大的噪声信号的影响下使扫描信号输出端输出噪声信号，提高信号的无损耗传输，降低功耗，进而提高显示面板的良率。

显然，本领域的技术人员可以对本公开进行各种改动和变型而不脱离本公
5 开的精神和范围。这样，倘若本公开的这些修改和变型属于本公开权利要求及其等同技术的范围之内，则本公开也意图包含这些改动和变型在内。

权利要求书

1. 一种移位寄存器，包括：输入模块、第一节点下拉模块、第二节点上拉模块、第二节点下拉模块、输出控制模块，以及输出降噪模块；其中，

5 所述输入模块的第一输入端与第一信号输入端相连，第二输入端与第二信号输入端相连，第一控制端与第一参考信号端相连，第二控制端与第二参考信号端相连，输出端与第一节点相连，所述输入模块用于在所述第一参考信号端或所述第二参考信号端的控制下拉高所述第一节点的电位；

10 所述第一节点下拉模块的输入端与低电平信号端相连，控制端与第二节点相连，输出端与所述第一节点相连，所述第一节点下拉模块用于在所述第二节点的控制下拉低所述第一节点的电位；

所述第二节点上拉模块的输入端与高电平信号端相连，控制端与第一时钟信号端相连，输出端与所述第二节点相连，所述第二节点上拉模块用于在所述第一时钟信号端的控制下拉高所述第二节点的电位；

15 所述第二节点下拉模块的第一输入端和第二输入端分别与所述低电平信号端相连，第一控制端与所述第一节点相连，第二控制端与扫描信号输出端相连，输出端与所述第二节点相连，所述第二节点下拉模块用于在所述第一节点或所述扫描信号输出端的控制下拉低所述第二节点的电位；

20 所述输出控制模块的第一输入端与所述低电平信号端相连，第二输入端与第二时钟信号端相连，第一控制端与第三节点相连，第二控制端与所述第二节点相连，输出端与所述扫描信号输出端相连，所述输出控制模块用于在所述第三节点或所述第二节点的控制下，控制所述扫描信号输出端选择输出所述第二时钟信号端的信号或所述低电平信号端的信号；

25 所述输出降噪模块的输入端与所述第一节点相连，控制端与所述高电平信号端相连，输出端与所述第三节点相连，所述输出降噪模块用于将所述第一节点的信号进行滤波降噪后输出到所述第三节点。

2. 如权利要求1所述的移位寄存器，其中，所述输出降噪模块，具体包括：第一开关晶体管；

所述第一开关晶体管的栅极与所述高电平信号端相连，源极与所述第一节

点相连，漏极与所述第三节点相连。

3. 如权利要求1或2所述的移位寄存器，还包括：第一节点降噪模块；

所述第一节点降噪模块连接于所述第一节点、所述高电平信号端和所述第一开关晶体管的源极之间，所述第一节点降噪模块用于对所述第一节点的信号
5 进行进一步的滤波降噪后输出到所述第一开关晶体管的源极。

4. 如权利要求3所述的移位寄存器，其中，所述第一节点降噪模块，具体包括：第二开关晶体管和第三开关晶体管；其中，

所述第二开关晶体管的栅极与所述第一节点相连，源极与所述第三开关晶体管的漏极相连，漏极与所述第一开关晶体管的源极相连；

10 所述第三开关晶体管的栅极和源极分别与所述高电平信号端相连。

5. 如权利要求1-4中任一项所述的移位寄存器，还包括：第二节点降噪模块；

所述第二节点降噪模块连接于所述高电平信号端、所述第二节点上拉模块的输出端和所述第二节点之间，所述第二节点降噪模块用于对所述第二节点上拉模块输出端输出的信号进行滤波降噪后输出到所述第二节点。
15

6. 如权利要求5所述的移位寄存器，其中，所述第二节点降噪模块，具体包括：第四开关晶体管；

所述第四开关晶体管的栅极与所述高电平信号端相连，源极与所述第二节点上拉模块的输出端相连，漏极与所述第二节点相连。

20 7. 如权利要求6所述的移位寄存器，其中，所述第二节点上拉模块，具体包括：第五开关晶体管；

所述第五开关晶体管的栅极与所述第一时钟信号端相连，源极与所述高电平信号端相连，漏极与所述第四开关晶体管的源极相连。

8. 如权利要求1-7中任一项所述的移位寄存器，还包括：保护模块；

25 所述保护模块连接于所述第一信号输入端、所述第二信号输入端、所述高电平信号端和所述第二节点上拉模块的输出端之间，所述保护模块用于在所述第一信号输入端或所述第二信号输入端输入异常电流信号时，对异常电流信号进行分流。

9. 如权利要求8所述的移位寄存器，其中，所述保护模块，具体包括：第六开关晶体管和第七开关晶体管；其中，

所述第六开关晶体管的栅极与所述第一信号输入端相连，源极与所述高电平信号端相连，漏极与所述第七开关晶体管的源极相连；

5 所述第七开关晶体管的栅极与所述第二信号输入端相连，漏极与所述第二节点上拉模块的输出端相连。

10. 如权利要求1-9中任一项所述的移位寄存器，还包括：维持模块；

所述维持模块的输入端与所述高电平信号端相连，控制端和输出端分别与
10 所述扫描信号输出端相连，所述维持模块用于在所述扫描信号输出端输出扫描信号时，维持所述扫描信号输出端的电位。

11. 如权利要求10所述的移位寄存器，其中，所述维持模块，具体包括：第八开关晶体管；

所述第八开关晶体管的栅极和漏极分别与所述扫描信号输出端相连，源极与所述高电平信号端相连。

15 12. 如权利要求1-11任一项所述的移位寄存器，其中，所述输出控制模块，具体包括：第一输出控制模块和第二输出控制模块；其中，

所述第一输出控制模块连接于所述第三节点、所述第二时钟信号端，以及所述扫描信号输出端之间，所述第一输出控制模块用于在所述第三节点的控制下，控制所述扫描信号输出端输出所述第二时钟信号端的信号；

20 所述第二输出控制模块连接于所述低电平信号端、所述第二节点，以及所述扫描信号输出端之间，所述第二输出控制模块用于在所述第二节点的控制下，控制所述扫描信号输出端输出所述低电平信号端的信号。

13. 如权利要求12所述的移位寄存器，其中，所述第一输出控制模块，具体包括：第九开关晶体管和第一电容；其中，

25 所述第九开关晶体管的栅极与所述第三节点相连，源极与所述第二时钟信号端相连，漏极与所述扫描信号输出端相连；

所述第一电容连接于所述第三节点与所述扫描信号输出端之间。

14. 如权利要求12所述的移位寄存器，其中，所述第二输出控制模块，具

体包括：第十开关晶体管；

所述第十开关晶体管的栅极与所述第二节点相连，源极与所述低电平信号端相连，漏极与所述扫描信号输出端相连。

15 15. 如权利要求14所述的移位寄存器，其中，所述第二输出控制模块还包括：第二电容；

所述第二电容连接于所述第二节点和所述低电平信号端之间。

16. 如权利要求1-15任一项所述的移位寄存器，其中，所述第二节点下拉模块，具体包括：第一下拉模块和第二下拉模块；其中，

10 所述第一下拉模块的输入端与所述低电平信号端相连，控制端与所述第一节点相连，输出端与所述第二节点相连，所述第一下拉模块用于在所述第一节点的控制下拉低所述第二节点的电位；

所述第二下拉模块的输入端与所述低电平信号端相连，控制端与所述扫描信号输出端相连，输出端与所述第二节点相连，所述第二下拉模块用于在所述扫描信号输出端输出扫描信号时进一步拉低所述第二节点的电位。

15 17. 如权利要求16所述的移位寄存器，其中，所述第一下拉模块，具体包括：第十一开关晶体管；

所述第十一开关晶体管的栅极与所述第一节点相连，源极与所述低电平信号端相连，漏极与所述第二节点相连。

20 18. 如权利要求16所述的移位寄存器，其中，所述第二下拉模块，具体包括：第十二开关晶体管；

所述第十二开关晶体管的栅极与所述扫描信号输出端相连，源极与所述低电平信号端相连，漏极与所述第二节点相连。

19. 如权利要求1-18任一项所述的移位寄存器，其中，所述输入模块，具体包括：第十三开关晶体管和第十四开关晶体管；

25 所述第十三开关晶体管的栅极与所述第一参考信号端相连，源极与所述第一信号输入端相连，漏极分别与第十四开关晶体管的源极和所述第一节点相连；

所述第十四开关晶体管的栅极与所述第二参考信号端相连，源极与所述第

二信号输入端相连。

20. 如权利要求1-19任一项所述的移位寄存器，其中，所述第一节点下拉模块，具体包括：第十五开关晶体管；

所述第十五开关晶体管的栅极与所述第二节点上拉模块的输出端相连，源极与所述低电平信号端相连，漏极与所述输出降噪模块的输入端相连。

21. 一种栅极驱动电路，包括级联的多个如权利要求1-20任一项所述的移位寄存器，除最后一个移位寄存器之外，其余每个移位寄存器的扫描信号输出端均向与其相邻的下一个移位寄存器的信号输入端输入触发信号。

22. 一种显示面板，包括如权利要求21所述的栅极驱动电路。

23. 一种显示装置，包括如权利要求22所述的显示面板。

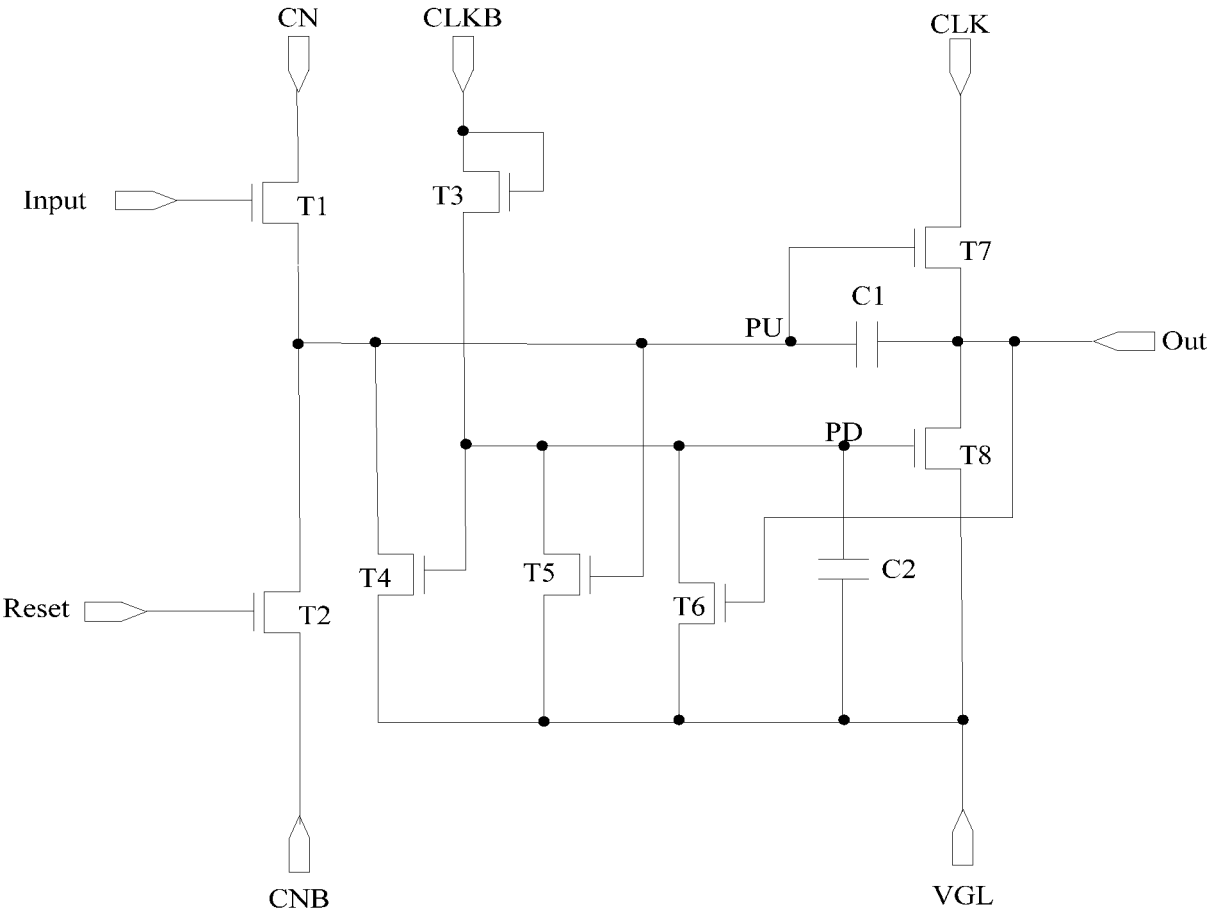


图1

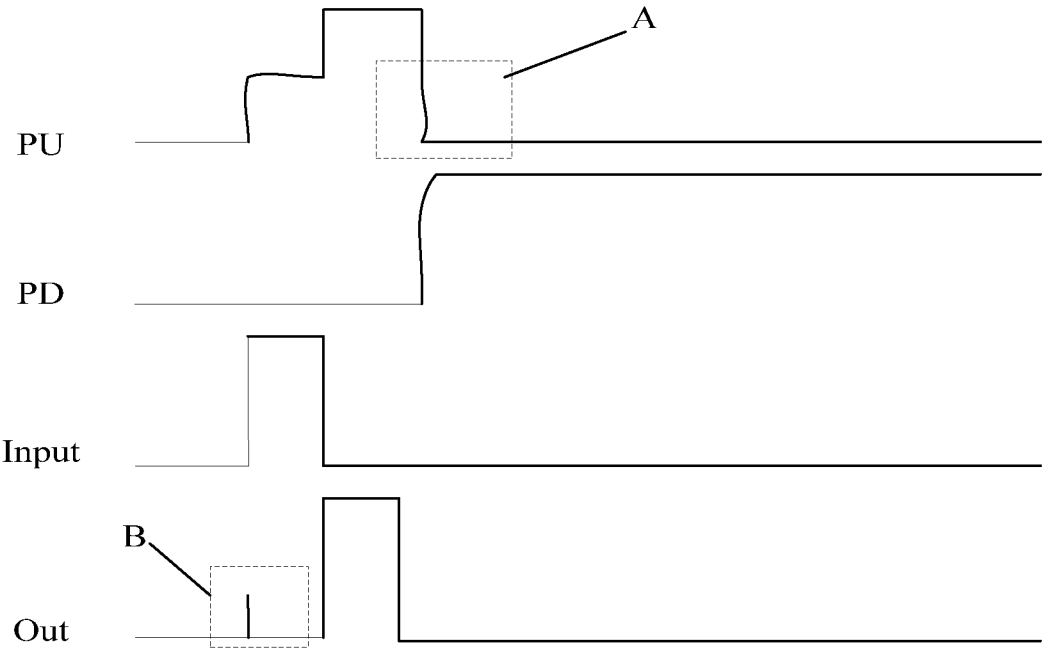


图2

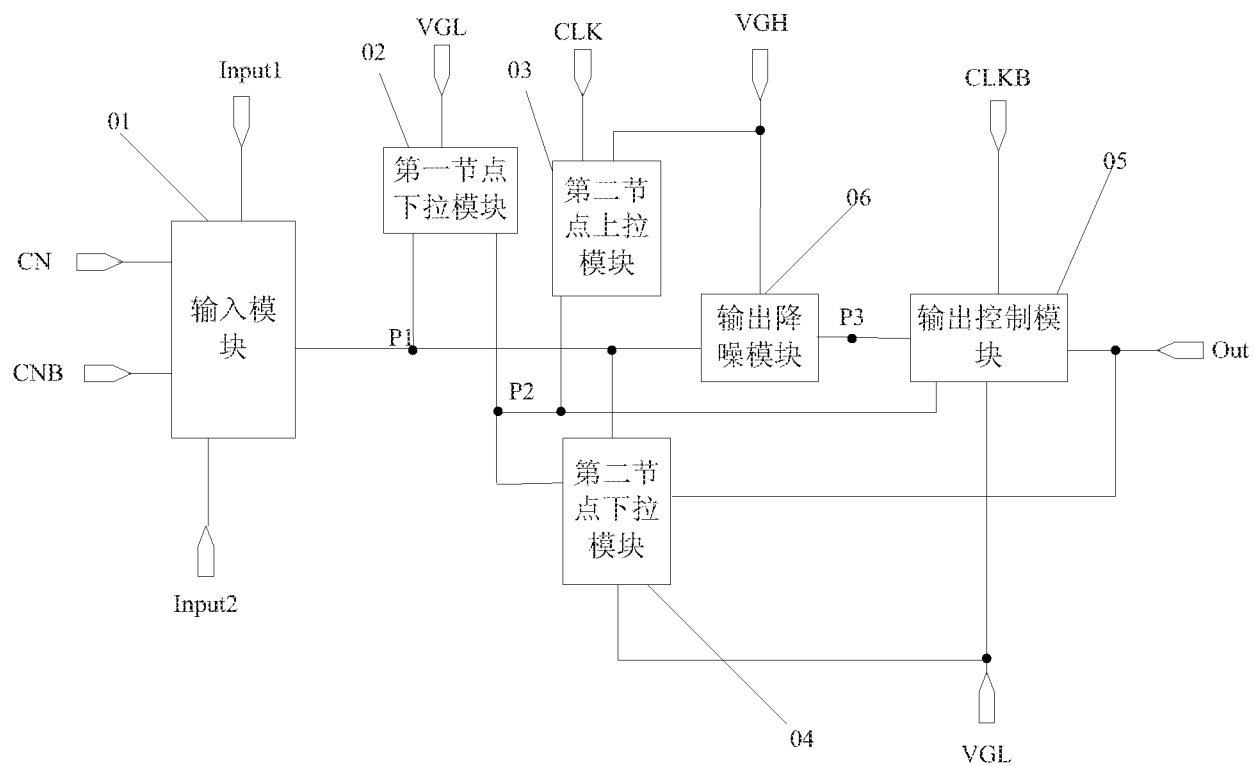


图 3

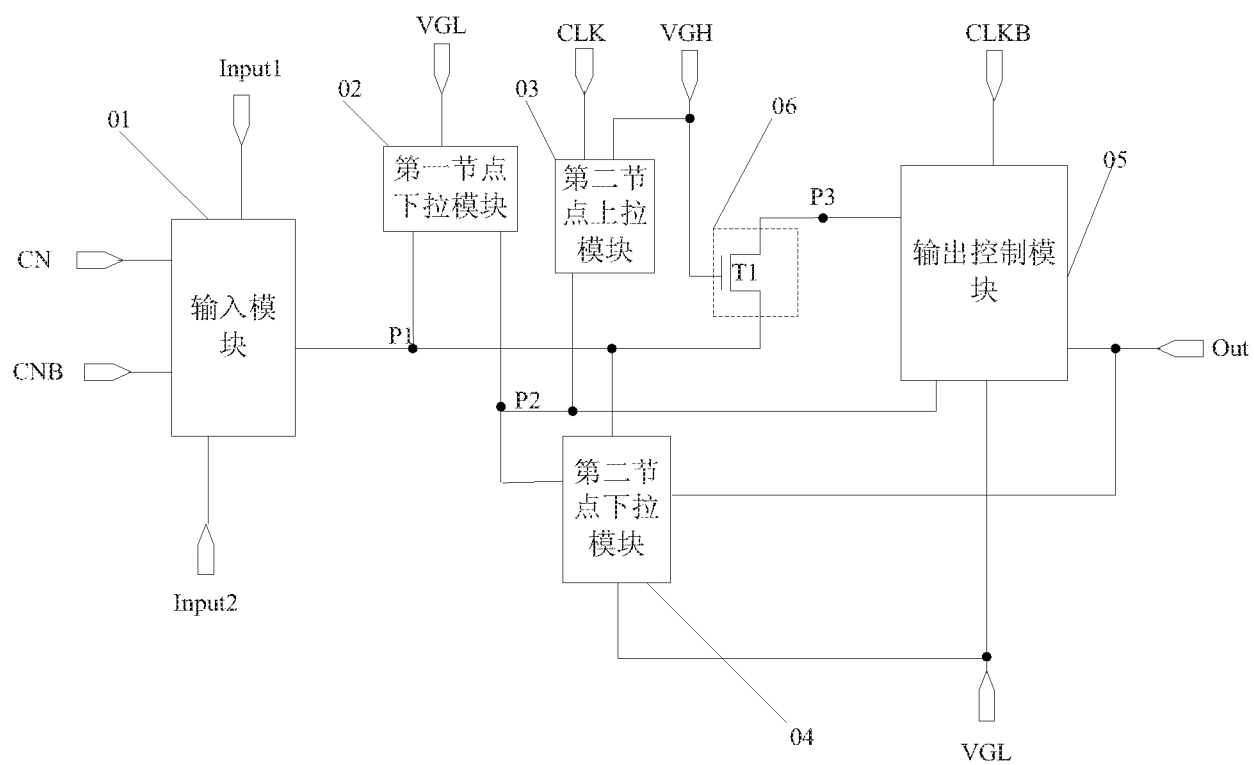


图 4

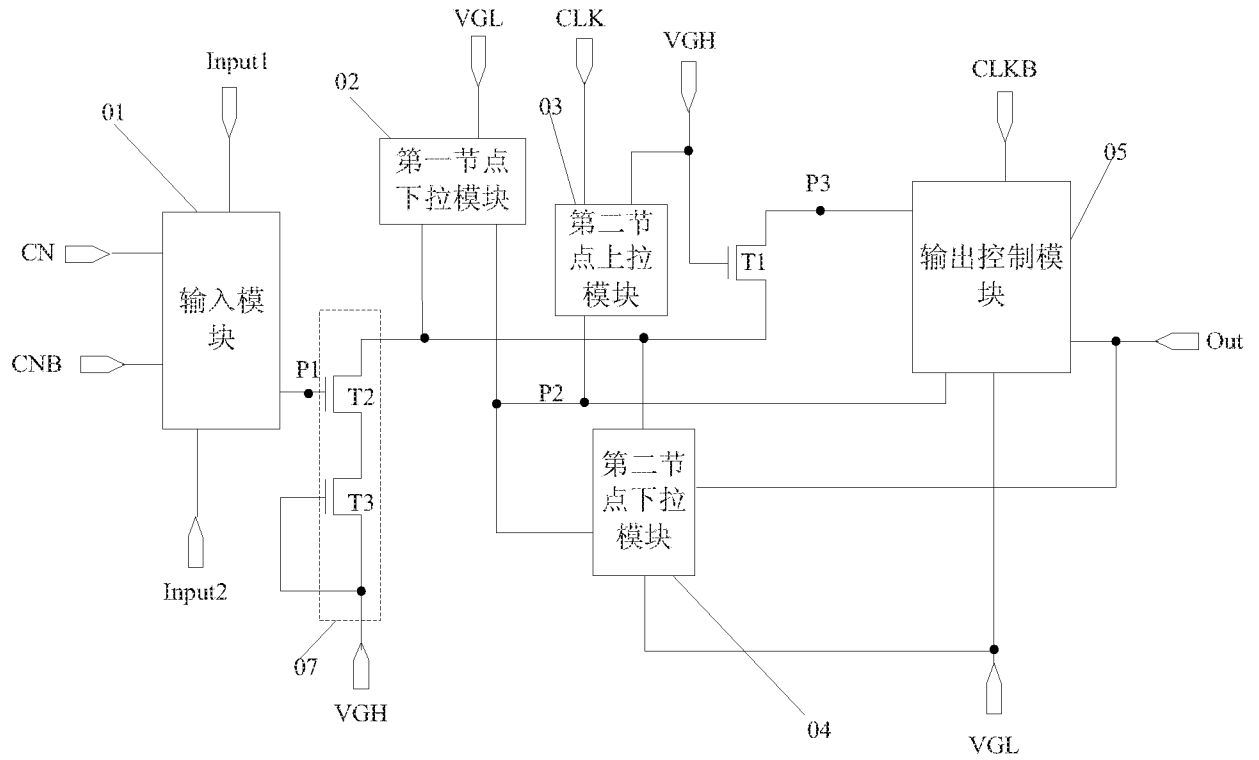


图 5

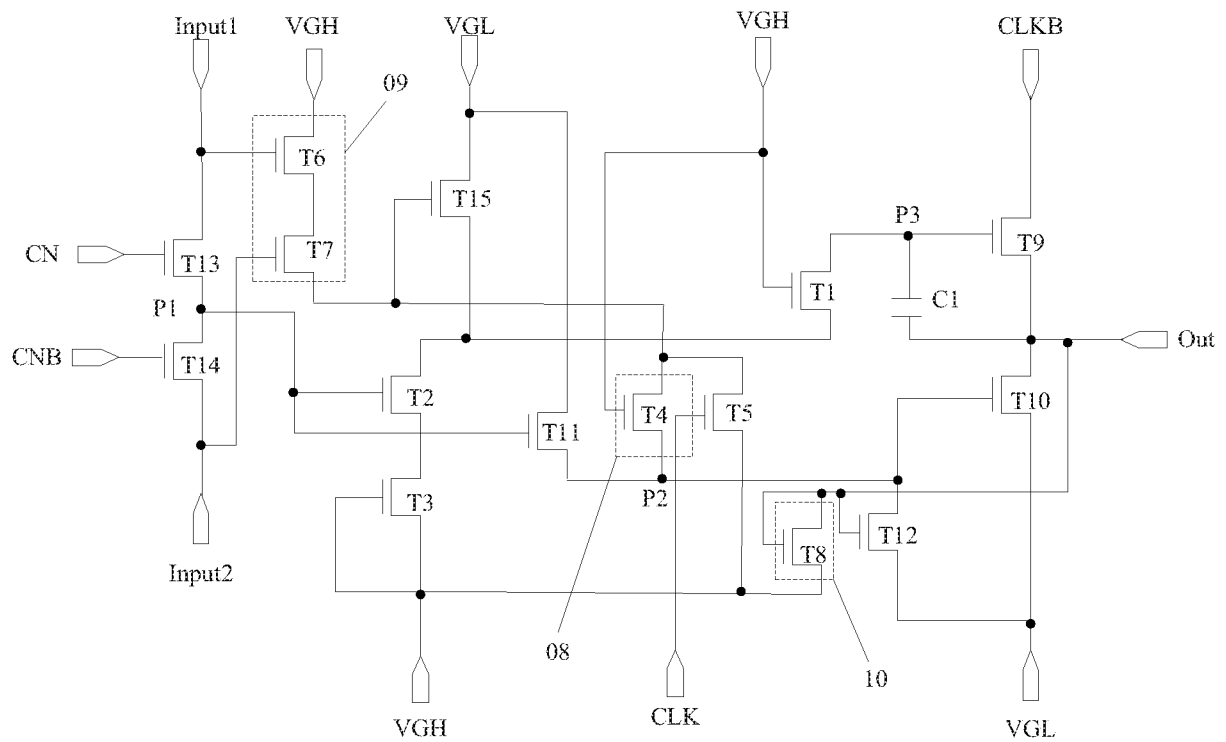


图 6

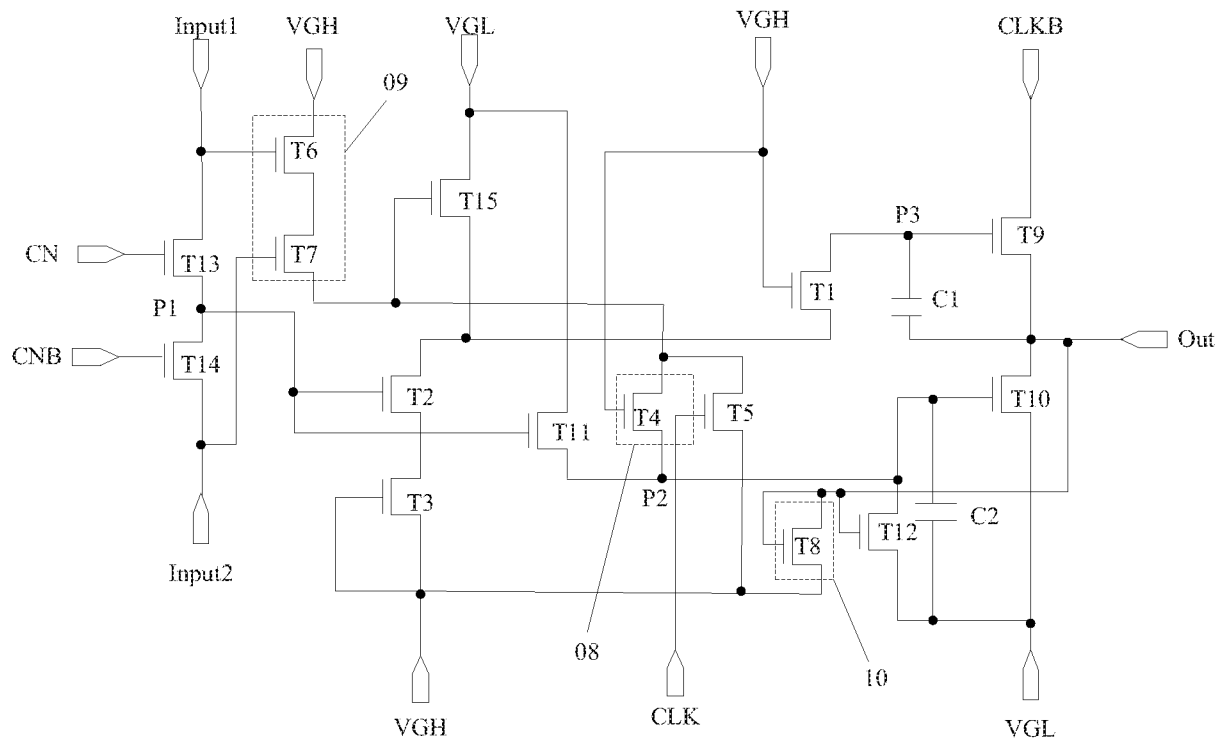


图 7

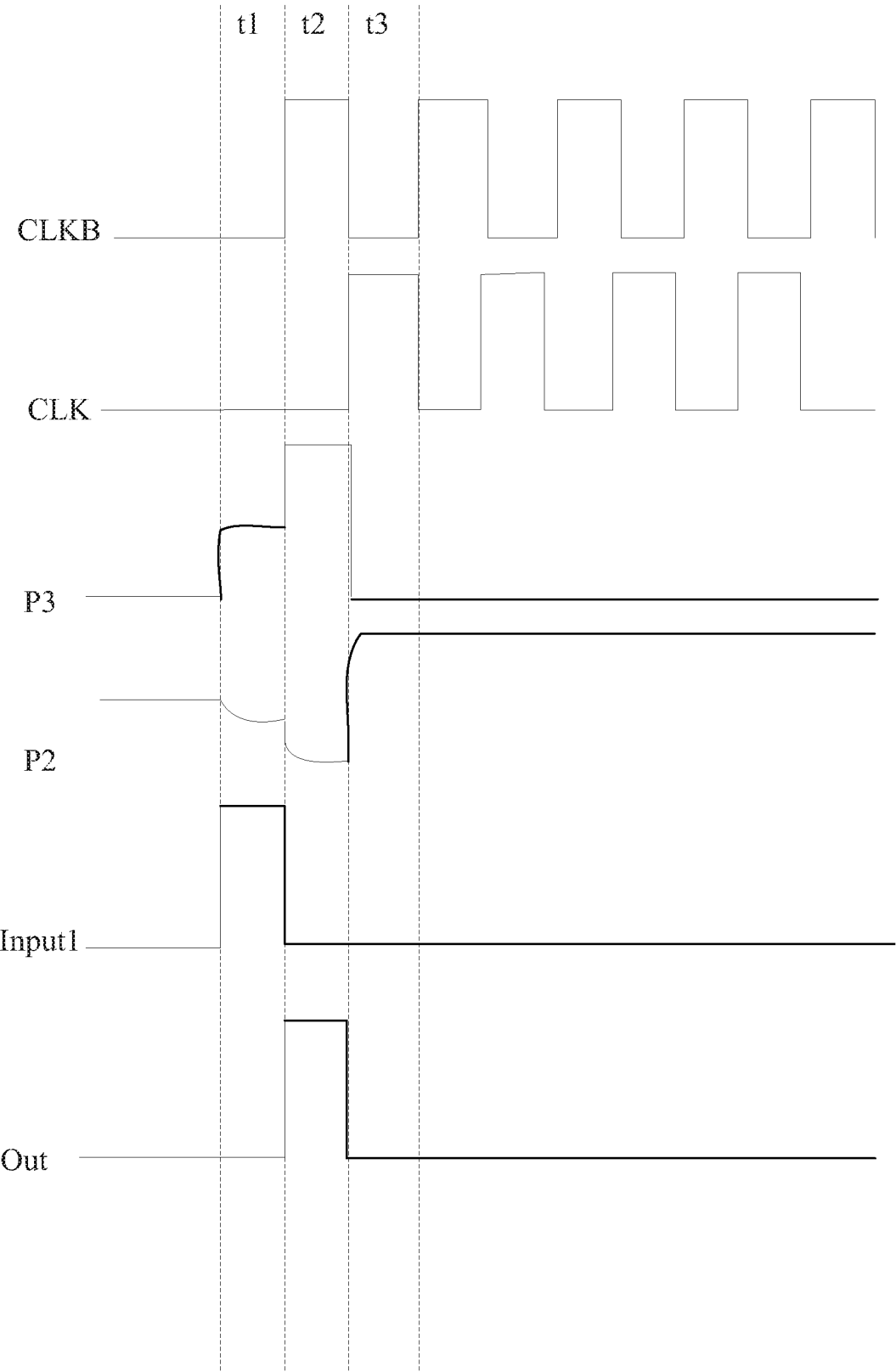


图 8

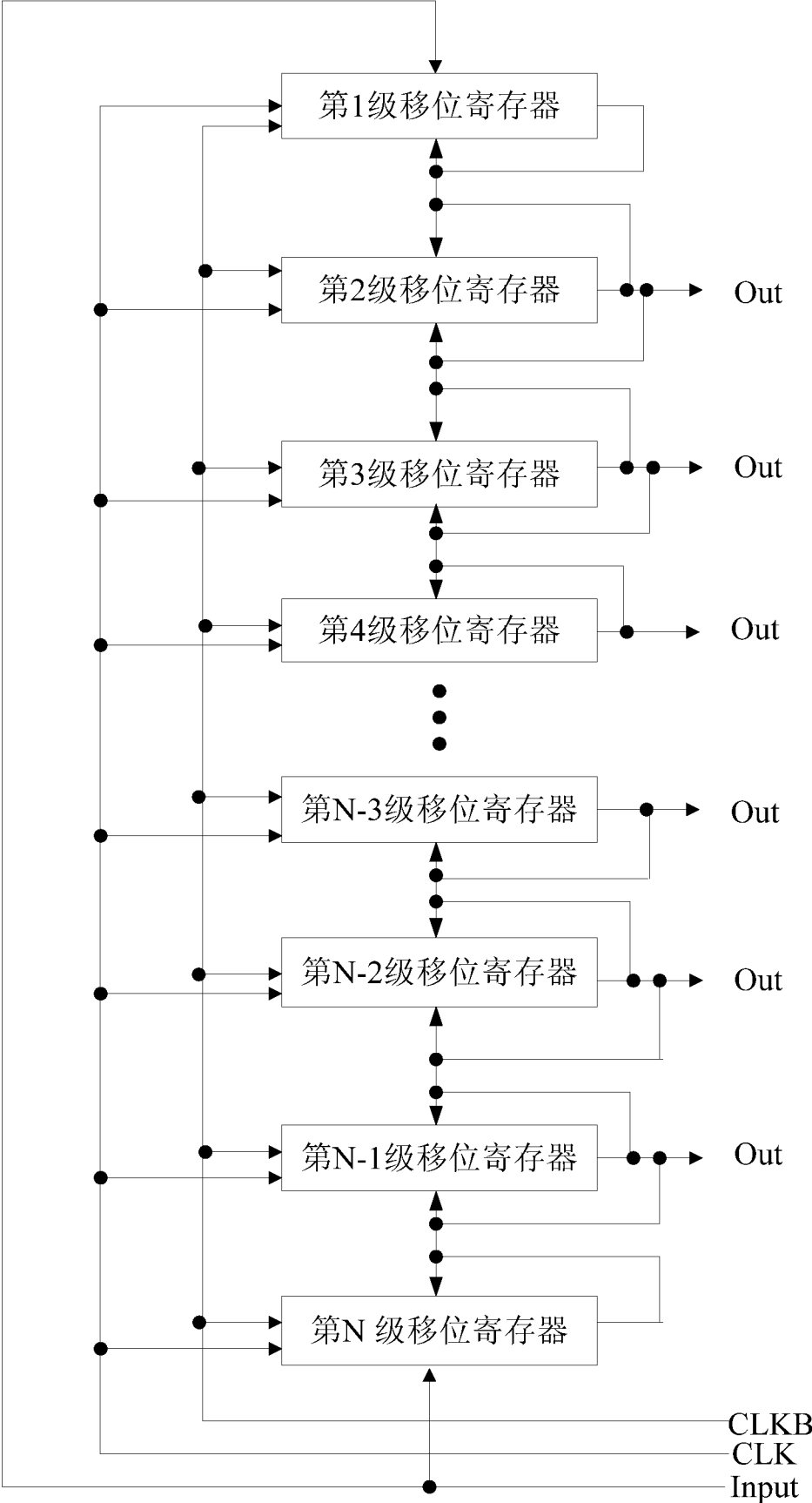


图 9

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2015/084995

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/36 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC: G09G 3/36; G11C 19/28

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS; VEN: shift, CLK, down, noise?, pull, CK, clock, filter+, transistor?, up, register?, node?

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 104217693 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 17 December 2014 (17.12.2014) description, paragraphs [0052]-[0078] and figure 2	1-23
A	CN 1705042 A (LG DISPLAY CO., LTD.) 07 December 2005 (07.12.2005) the whole document	1-23
A	US 2012139883 A1 (LEE JAE-HOON et al.) 07 June 2012 (07.06.2012) the whole document	1-23
PX	CN 104778928 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 15 July 2015 (15.07.2015) claims 1-23	1-23

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“A” document defining the general state of the art which is not considered to be of particular relevance	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“E” earlier application or patent but published on or after the international filing date	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“&” document member of the same patent family
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 22 October 2015	Date of mailing of the international search report 03 November 2015
--	--

Name and mailing address of the ISA State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No. (86-10) 62019451	Authorized officer LI, Jun Telephone No. (86-10) 62085773
---	---

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2015/084995

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 104217693 A	17 December 2014	None	
CN 1705042 A	07 December 2005	KR 101057891 B1	19 August 2011
		CN 100580814 C	13 January 2010
		US 7477226 B2	13 January 2009
		KR 20050113967 A	05 December 2005
		US 2005264514 A1	01 December 2005
US 2012139883 A1	07 June 2012	US 8957882 B2	17 February 2015
		KR 2012006098 A	12 June 2012
		KR 20130012392	04 February 2013
CN 104778928 A	15 July 2015	None	

A. 主题的分类 G09G 3/36(2006.01)i 按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类		
B. 检索领域 检索的最低限度文献(标明分类系统和分类号) G09G3/36; G11C19/28 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用)) CNABS;VEN: 移位寄存器, 晶体管, 时钟, 节点, 降噪, 上拉, 下拉, 滤波shift, CLK, down, noise?, pull, CK, clock, filter+, transistor?, up, register?, node?,		
C. 相关文件		
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
A	CN 104217693 A (京东方科技集团股份有限公司等) 2014年 12月 17日 (2014 - 12 - 17) 说明书[0052]-[0078]和附图2	1-23
A	CN 1705042 A (LG. 飞利浦LCD株式会社) 2005年 12月 7日 (2005 - 12 - 07) 全文	1-23
A	US 2012139883 A1 (LEE JAE-HOON等) 2012年 6月 7日 (2012 - 06 - 07) 全文	1-23
PX	CN 104778928 A (京东方科技集团股份有限公司等) 2015年 7月 15日 (2015 - 07 - 15) 权利要求1-23	1-23
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。		
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件		
国际检索实际完成的日期 2015年 10月 22日		国际检索报告邮寄日期 2015年 11月 3日
ISA/CN的名称和邮寄地址 中华人民共和国国家知识产权局(ISA/CN) 北京市海淀区蓟门桥西土城路6号 100088 中国 传真号 (86-10)62019451		授权官员 李军 电话号码 (86-10)62085773

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2015/084995

检索报告引用的专利文件			公布日 (年/月/日)	同族专利		公布日 (年/月/日)
CN	104217693	A	2014年 12月 17日	无		
CN	1705042	A	2005年 12月 7日	KR	101057891 B1	2011年 8月 19日
				CN	100580814 C	2010年 1月 13日
				US	7477226 B2	2009年 1月 13日
				KR	20050113967 A	2005年 12月 5日
				US	2005264514 A1	2005年 12月 1日
US	2012139883	A1	2012年 6月 7日	US	8957882 B2	2015年 2月 17日
				KR	2012006098 A	2012年 6月 12日
				KR	20130012392	2013年 2月 4日
CN	104778928	A	2015年 7月 15日	无		