



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I459537 B

(45)公告日：中華民國 103 (2014) 年 11 月 01 日

(21)申請案號：101136592

(22)申請日：中華民國 101 (2012) 年 10 月 03 日

(51)Int. Cl. : *H01L25/04 (2014.01)**H01L23/52 (2006.01)*

(30)優先權：2011/10/03 美國

61/542,488

2011/10/03 美國

61/542,553

2012/02/17 美國

61/600,271

2012/04/05 美國

13/440,313

(71)申請人：英帆薩斯公司 (美國) INVENSAS CORPORATION (US)

美國

(72)發明人：柯斯伯 理查 狄威特 CRISP, RICHARD DEWITT (US)；柔伊 華爾 ZOHNI,

WAEL (US)；哈芭 畢哥辛 HABA, BELGACEM (US)；藍布里奇 法蘭克

LAMBRECHT, FRANK (US)

(74)代理人：閻啟泰；林景郁

(56)參考文獻：

US 6633078B2

US 6836007B2

US 2002/0027019A1

US 2002/0043719A1

US 2007/0120245A1

審查人員：莊敏宏

申請專利範圍項數：32 項 圖式數：33 共 97 頁

(54)名稱

用於無窗之導線結合總成之短線最小化

STUB MINIMIZATION FOR WIREBOND ASSEMBLIES WITHOUT WINDOWS

(57)摘要

一種微電子封裝(100)可包括一微電子元件(130)，該微電子元件(130)面向上地安裝於一基板(102)之一第一表面(108)上，其中接點(132)之一或多個行(138、139)沿著該微電子元件之正面在第一方向(142)上延伸。在該基板之一第二表面(110)處曝露之端子(105)的行(104A、104B、106A、106B)沿著表面(110)在該第一方向上延伸。在表面(110)之一中心區(112)中在表面(110)處曝露之第一端子(105)可經組態以攜載可用以判定一可定址記憶體位置之位址資訊，該中心區(112)具有不超過端子之該等行之一最小間距(150)之 3.5 倍的寬度(152)。該微電子元件之一軸面可與該中心區相交。

A microelectronic package (100) can include a microelectronic element (130) mounted face up on a first surface (108) of a substrate (102), with one or more columns (138, 139) of contacts (132) in a first direction (142) along the microelectronic element front face. Columns (104A, 104B, 106A, 106B) of terminals (105 107) exposed at a second surface (110) of the substrate extend in the first direction along surface (110). First terminals (105) exposed at surface (110) in a central region (112) thereof having width (152) not more than three and one-half times a minimum pitch (150) of the columns of terminals can be configured to carry address information usable to determine an addressable memory location. An axial plane of the microelectronic element can intersect the central region.

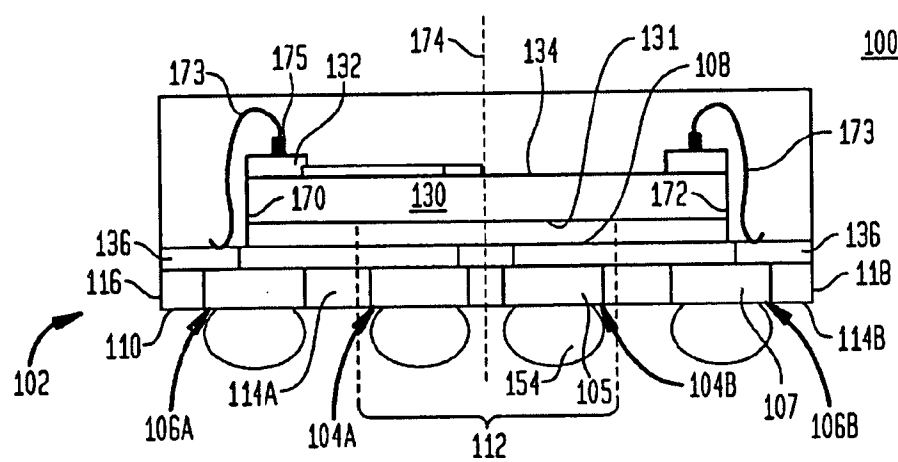


圖6A

- 100 . . . 微電子封裝
- 102 . . . 基板
- 104A . . . 端子之行
- 104B . . . 端子之行
- 105 . . . 第一端子
- 106A . . . 端子之行
- 106B . . . 端子之行
- 107 . . . 第二端子
- 108 . . . 基板之第一表面
- 110 . . . 基板之第二表面
- 112 . . . 中心區
- 114A . . . 第一周邊區
- 114B . . . 第二周邊區
- 116 . . . 基板之第一邊緣
- 118 . . . 基板之第二邊緣
- 130 . . . 微電子元件
- 131 . . . 微電子元件之背面
- 132 . . . 接點
- 134 . . . 微電子元件之正面
- 136 . . . 基板接點
- 154 . . . 接合元件
- 170 . . . 微電子元件之第一邊緣
- 172 . . . 微電子元件之第二邊緣
- 173 . . . 導線結合作
- 174 . . . 軸面
- 175 . . . 球

發明專利說明書

公告本

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：101136592

※申請日：101.10.3

※IPC分類：H01L 25/10 (2006.01)

一、發明名稱：(中文/英文)

H01L 23/52 (2006.01)

用於無窗之導線結合總成之短線最小化

STUB MINIMIZATION FOR WIREBOND ASSEMBLIES WITHOUT
WINDOWS

二、中文發明摘要：

一種微電子封裝(100)可包括一微電子元件(130)，該微電子元件(130)面向上地安裝於一基板(102)之一第一表面(108)上，其中接點(132)之一或多個行(138、139)沿著該微電子元件之正面在一第一方向(142)上延伸。在該基板之一第二表面(110)處曝露之端子(105、107)的行(104A、104B、106A、106B)沿著表面(110)在該第一方向上延伸。在表面(110)之一中心區(112)中在表面(110)處曝露之第一端子(105)可經組態以攜載可用以判定一可定址記憶體位置之位址資訊，該中心區(112)具有不超過端子之該等行之一最小間距(150)之3.5倍的寬度(152)。該微電子元件之一軸面可與該中心區相交。

三、英文發明摘要：

A microelectronic package (100) can include a microelectronic element (130) mounted face up on a first surface (108) of a substrate (102), with one or more columns (138, 139) of contacts (132) in a first direction (142) along the microelectronic element front face. Columns (104A, 104B, 106A, 106B) of terminals (105 107) exposed at a second surface (110) of the substrate extend in the first direction along surface (110). First terminals (105) exposed at surface (110) in a central region (112) thereof having width (152) not more than three and one-half times a minimum pitch (150) of the columns of terminals can be configured to carry address information usable to determine an addressable memory location. An axial plane of the microelectronic element can intersect the central region.

四、指定代表圖：

(一)本案指定代表圖為：第(6A)圖。

(二)本代表圖之元件符號簡單說明：

100	微電子封裝
102	基板
104A	端子之行
104B	端子之行
105	第一端子
106A	端子之行
106B	端子之行
107	第二端子
108	基板之第一表面
110	基板之第二表面
112	中心區
114A	第一周邊區
114B	第二周邊區
116	基板之第一邊緣
118	基板之第二邊緣
130	微電子元件
131	微電子元件之背面
132	接點
134	微電子元件之正面
136	基板接點
154	接合元件

170	微電子元件之第一邊緣
172	微電子元件之第二邊緣
173	導線結合作
174	軸面
175	球

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

六、發明說明：

【發明所屬之技術領域】

本申請案之標的物係關於微電子封裝及併有微電子封裝的總成。

本申請案係2012年4月5日申請之美國申請案第13/440,313號之接續案，該申請案主張2012年2月17日申請之美國臨時申請案第61/600,271號、2011年10月3日申請之第61/542,488號及2011年10月3日申請之第61/542,553號之申請日的權利，所有該等申請案之揭示內容以引用的方式併入本文中。

【先前技術】

通常將半導體晶片提供為個別已預封裝單元。標準晶片具有扁平矩形本體，其中大的正面具有連接至晶片之內部電路的接點。每一個別晶片通常含於具有連接至晶片之接點之外部端子的封裝中。該等端子(亦即，封裝之外部連接點)又經組態以電連接至電路面板(諸如，印刷電路板)。在許多習知設計中，晶片封裝佔據顯著大於晶片自身之面積的電路面板之面積。如在本發明中參考具有正面之扁平晶片所使用，「晶片之面積」應理解為指代正面之面積。

在晶片之任何實體配置中，大小為重要考慮因素。隨著攜帶型電子裝置之快速發展，對晶片之更緊密實體配置的需求變得更加強烈。僅藉由實例，通常稱為「智慧型電話」之裝置整合蜂巢式電話與功能強大的資料處理器、記憶體及輔助裝置(諸如，全球定位系統接收器、電子相機

及區域網路連接連同高解析度顯示器及相關聯之影像處理晶片)之功能。此等裝置可提供諸如完全網際網路連接性、娛樂(包括全解析度視訊)、導航、電子銀行及其他能力之能力，該等能力全部整合於口袋型裝置中。複雜的攜帶型裝置需要將眾多晶片包裝至小空間中。此外，晶片中之一些具有通常稱為「I/O」的許多輸入及輸出連接件。此等I/O必須與其他晶片之I/O互連。形成互連之組件不應極大地增加總成之大小。類似需要出現於如(例如)資料伺服器(諸如，用於需要效能增加及大小減小之網際網路搜尋引擎中的彼等資料伺服器)中之其他應用中。

含有記憶體儲存陣列之半導體晶片(特定而言，動態隨機存取記憶體晶片(DRAM)及快閃記憶體晶片)通常封裝於單晶片或多晶片封裝及總成中。每一封裝具有用於在封裝中之端子與晶片之間攜載信號、電力及接地之許多電連接件。電連接件可包括不同種類之導體，諸如水平導體(例如，跡線、梁式引線等)，其相對於晶片之接點承載表面在水平方向上延伸；諸如導通孔之垂直導體，其相對於晶片之表面在垂直方向上延伸；及導線結合件，其相對於晶片之表面在水平方向及垂直方向兩者上延伸。

習知微電子封裝可併有經組態以主要提供記憶體儲存陣列功能之電子元件，亦即，體現數個主動裝置以提供記憶體儲存陣列功能之微電子元件，該數目大於用以提供任何其他功能之主動裝置的數目。微電子元件可為或包括DRAM晶片，或此等半導體晶片之堆疊電互連總成。通

常，此封裝之所有端子置放成鄰近於封裝基板之一或多個周邊邊緣的行之集合，微電子元件安裝至該封裝基板。

舉例而言，在圖1中所見之一習知微電子封裝12中，端子之三個行14可鄰近於封裝基板20之第一周邊邊緣16而安置，且端子之其他三個行18可鄰近於封裝基板20之第二周邊邊緣22而安置。習知封裝中之封裝基板20的中心區24不具有端子之任何行。圖1進一步展示封裝內之半導體晶片11，該半導體晶片11在其面28上具有元件接點26，該等元件接點26經由延伸穿過封裝基板20之中心區24中之孔隙(例如，結合窗)的導線結合件30與封裝12之端子之行14、18電互連。在一些狀況下，黏接層32可安置於微電子元件11之面28與基板20之間，以加強微電子元件與基板之間的機械連接，其中導線結合件延伸穿過黏接層32中之開口。

依據前述內容，可對端子在微電子封裝上之定位進行某些改良以便改良電效能，尤其在包括此類封裝及此類封裝可安裝至且彼此電互連之電路面板的總成中。

【發明內容】

根據本發明之一態樣，一種微電子封裝可包括一基板，該基板具有一第一表面、與該第一表面對置之一第二表面，及在該第二表面處曝露之複數個基板接點。該第二表面可在第一方向上且在橫向於該第一方向之一第二方向上延伸。該微電子封裝包括具有記憶體儲存陣列功能之一微電子元件，該微電子元件具有面向該第一表面之一背面、與該第一表面對置之一正面，及各自在該正面與該背面之

間延伸且平行於該正面在該第一方向上延伸的對置之第一邊緣及第二邊緣。

該微電子元件可具有在該正面處曝露之元件接點的一或多個行，每一行沿著該正面在該第一方向上延伸。垂直於該正面之一軸面沿著在該第一方向上延伸且相對於元件接點之該一或多個行而居中的一線與該正面相交。導電結構可在該正面上方延伸。該導電結構可將該等元件接點與該等基板接點電連接。

該微電子封裝可包括在該第一方向上延伸之端子之複數個行，端子之該複數個行在該基板之第二表面處曝露且與該等基板接點電連接。該等端子可包括在該基板之該第二表面之一中心區中在該第二表面處曝露的第一端子。該等第一端子可經組態以攜載可由該封裝內之電路使用以自該微電子元件之一記憶體儲存陣列之所有可用可定址記憶體位置當中判定一可定址記憶體位置的位址資訊。該中心區在該第二方向上可具有一寬度，該寬度不超過該等端子之該等平行的行中之任何兩個鄰近行之間的一最小間距的3.5倍。該軸面可與該中心區相交。

在一實例中，該微電子元件可體現數個主動裝置以提供記憶體儲存陣列功能，該數目大於用以提供任何其他功能之主動裝置的數目。

在一實施例中，該等第一端子可經組態以攜載可由該封裝內之該電路使用以判定該記憶體儲存陣列中之該可定址記憶體位置的所有該位址資訊。在一特定實例中，該等第

一端子可經組態以攜載控制該微電子元件之一操作模式的資訊。在一實例中，該等第一端子可經組態以攜載傳送至該微電子封裝之所有命令信號，該等命令信號為寫入啟用信號、列位址選通信號及行位址選通信號。在一例示性實施例中，該等第一端子可經組態以攜載傳送至該微電子封裝之時脈信號，該等時脈信號為用於對攜載該位址資訊之信號進行取樣的時脈。在一特定實施例中，該等第一端子可經組態以攜載傳送至該微電子封裝之所有記憶體庫位址信號。

在一特定實例中，該等端子可經組態以將該微電子封裝連接至該微電子封裝外部之至少一組件。在一實例中，該等元件接點可包括在該微電子元件之該正面處曝露的重新分佈接點。每一重新分佈接點可經由一跡線或一導通孔中之至少一者與該微電子元件之一接觸襯墊電連接。在一實施例中，該導電結構可包括自該等元件接點延伸且與該等基板接點電連接之導線結合物。在一例示性實施例中，該等第一端子可配置於端子之該等行中的不超過兩行中。在一特定實施例中，該等第一端子可配置於端子之該等行中的一單一行中。在一實例中，該等第一端子可配置於端子之該等行中的不超過四行中。

在一例示性實施例中，該基板可具有在對置之該第一表面與該第二表面之間的對置之第一邊緣及第二邊緣。該第一邊緣及該第二邊緣可在該第一方向上延伸。該第二表面可具有分別鄰近於該第一邊緣及該第二邊緣的第一周邊區

及第二周邊區。該中心區可使該第一周邊區與該第二周邊區分離。該等端子可包括在該等周邊區中之至少一者中在該第二表面處曝露的複數個第二端子。該等第二端子中之至少一些可經組態以攜載不同於該位址資訊之資訊。在一實施例中，該等第二端子中之至少一些可經組態以攜載資料信號。在一特定實例中，該基板可包括一介電元件，該介電元件在該介電元件之平面中具有小於每攝氏度百萬分之一(「ppm/°C」) 30之一熱膨脹係數(「CTE」)。在一例示性實施例中，該基板可包括具有小於12 ppm/°C之一CTE的一元件。

根據本發明之另一態樣，一種微電子封裝可包括：一基板，其具有一第一表面、與該第一表面對置之一第二表面，在該第一表面處曝露之複數個基板接點；及一微電子元件，其具有面向該基板之該第一表面的一背面，該微電子元件具有記憶體儲存陣列功能。在一實例中，該微電子元件可具有經組態以用於提供記憶體儲存陣列功能之數個主動裝置，該數目大於用以提供任何其他功能之主動裝置的數目。可在正面上方延伸之導電結構將接點與該等基板接點電連接。端子之複數個平行的行可在該基板之該第二表面處曝露且沿著該第二表面在一第一方向上延伸，該等端子與該等基板接點電連接。該微電子元件可具有與該正面對置且背對該第一表面之一正面，及各自在該正面與該背面之間延伸且平行於該正面在一第一方向上延伸的對置之第一邊緣及第二邊緣。該微電子元件可具有沿著該正面

在該第一方向上延伸的元件接點之至少一行。該第一邊緣及該第二邊緣可界定一軸面，該軸面在該第一方向上以及在垂直於該微電子元件之該背面的一第三方向上延伸。該軸面可相對於該第一邊緣及該第二邊緣而居中。

該等端子可包括在該第二表面之一中心區中在該基板之該第二表面處曝露的第一端子。該等第一端子可經組態以攜載可由該封裝內之電路使用以自該微電子元件之一記憶體儲存陣列之所有可用可定址記憶體位置當中判定一可定址記憶體位置的位址資訊之大部分。該中心區在第二方向上可具有一寬度。該中心區之該寬度可不超過該等端子之該等平行的行中之任何兩個鄰近行之間的一最小間距的3.5倍。該軸面可與該中心區相交。在一實施例中，該等第一端子可經組態以攜載可由該封裝內之該電路使用以判定該記憶體儲存陣列中之該可定址記憶體位置的該位址資訊之至少四分之三。

根據本發明之又一態樣，一種微電子封裝可包括一基板，該基板具有一第一表面、與該第一表面對置之一第二表面、在該第一表面處曝露之複數個第一基板接點，及在該第一表面處曝露之複數個第二基板接點。該微電子封裝可包括各自具有記憶體儲存陣列功能之第一微電子元件及第二微電子元件。在一實例中，該微電子封裝可體現數個主動裝置以提供記憶體儲存陣列功能，該數目大於用以提供任何其他功能之主動裝置的數目。

該第一微電子元件及該第二微電子元件可在該第一表面

上彼此隔開，且可具有各自在第一方向上延伸之平行的第一邊緣。垂直於該基板之該第一表面的一軸面可在該第一方向上延伸，且可在該等第一邊緣間居中。該第一微電子元件及該第二微電子元件可具有面向該第一表面之背面、與該等背面對置之正面，及在該等正面處曝露之複數個接點。可在該等正面上方延伸之導電結構可將該第一微電子元件及該第二微電子元件之該等接點與該等第一基板接點及該等第二基板接點分別電連接。

端子之複數個平行的行可在該基板之該第二表面處曝露且與該等第一基板接點及該等第二基板接點電連接。該等端子可包括在該基板之該第二表面之一中心區中曝露的第一端子。端子之該等行可在該第一方向上延伸。該等第一端子可經組態以攜載可由該封裝內之電路使用以自該第一微電子元件及該第二微電子元件之一記憶體儲存陣列之所有可用可定址記憶體位置當中判定一可定址記憶體位置的位址資訊。該中心區在第二方向上可具有一寬度。該中心區之該寬度可不超過該等端子之該等平行的行中之任何兩個鄰近行之間的一最小間距的3.5倍。該軸面可與該中心區相交。

在一實施例中，該等第一端子可經組態以攜載可由該封裝內之該電路使用以判定該記憶體儲存陣列中之該可定址記憶體位置的所有該位址資訊。在一特定實例中，該等第一端子可經組態以攜載控制該第一微電子元件及該第二微電子元件中之一微電子元件之一操作模式的資訊。在一實

例中，該等第一端子可經組態以攜載傳送至該微電子封裝之時脈信號以及所有命令信號、位址信號及記憶體庫信號，該等命令信號為寫入啟用信號、列位址選通信號及行位址選通信號，且該等時脈信號為用於對攜載該位址資訊之信號進行取樣的時脈。

在一例示性實施例中，該第一微電子元件及該第二微電子元件之該等正面可在平行於該基板之該第一表面的一單一平面中延伸。在一特定實例中，該導電結構可包括自該第一微電子元件及該第二微電子元件之該等接點延伸且與各別之該等第一基板接點及該等第二基板接點電連接的導線結合作。在一實例中，該等第一端子可配置於端子之該等行中的不超過四行中。在一實例中，該等微電子元件中之每一者的該等接點可包括在該各別微電子元件之該正面處曝露的重新分佈接點。每一重新分佈接點可經由一跡線或一導通孔中之至少一者與該各別微電子元件之一接觸襯墊電連接。該等重新分佈接點中之至少一些可沿著該微電子元件之該正面在至少一方向上自該各別微電子元件之該等接點移位。

在一特定實例中，該基板可具有在對置之該第一表面與該第二表面之間的對置之第一邊緣及第二邊緣。該第一邊緣及該第二邊緣可在該第一方向上延伸。該第二表面可具有分別鄰近於該第一邊緣及該第二邊緣之第一周邊區及第二周邊區。該中心區可使該第一周邊區與該第二周邊區分離。該等端子可包括在該等周邊區中之至少一者中在該第

二表面處曝露的複數個第二端子。該等第二端子中之至少一些可經組態以攜載不同於該位址資訊之資訊。在一實施例中，該等第二端子中之至少一些可經組態以攜載資料信號。

根據本發明之再一態樣，一種微電子封裝可包括一基板，該基板具有一第一表面、在該第一表面處曝露之複數個第一基板接點及在該第一表面處曝露之複數個第二基板接點，該封裝包括具有記憶體儲存陣列功能之第一微電子元件及第二微電子元件。在一實例中，每一微電子元件可體現數個主動裝置以提供記憶體儲存陣列功能，該數目大於用以提供任何其他功能之主動裝置的數目。該微電子封裝包括將該等微電子元件之接點與該等基板接點電連接的導電結構。在一些狀況下，該導電結構可在每一微電子元件之正面上方延伸，且端子之複數個平行的行可在該基板之一第二表面處曝露且與該等第一基板接點及該等第二基板接點電連接。該基板之該第二表面可與該第一表面對置。該第二表面可在一第一方向上且在橫向於該第一方向之一第二方向上延伸。

該第一微電子元件及該第二微電子元件可在該第一表面上彼此隔開，且可具有各自在該第一方向上延伸之第一平行邊緣。垂直於該基板之該第一表面的一軸面可在該第一方向上延伸，且可在該等第一邊緣間居中。該第一微電子元件及該第二微電子元件可具有面向該第一表面之背面、與該等背面對置之正面，及在該等正面處曝露之複數個接

點。該導電結構可將該第一微電子元件及該第二微電子元件之該等接點與該等第一基板接點及該等第二基板接點分別電連接。

該等端子可包括在該基板之該第二表面之一中心區中在該第二表面處曝露的第一端子。該等第一端子可經組態以攜載可由該封裝內之電路使用以自該第一微電子元件及該第二微電子元件之一記憶體儲存陣列之所有可用可定址記憶體位置當中判定一可定址記憶體位置的位址資訊之大部分。該中心區在該第二方向上可具有一寬度。該中心區之該寬度可不超過該等端子之該等平行的行中之任何兩個鄰近行之間的一最小間距的3.5倍。該軸面可與該中心區相交。在一特定實例中，該等端子可經組態以攜載可由該封裝內之該電路使用以判定該記憶體儲存陣列中之該可定址記憶體位置的該位址資訊之至少四分之三。

【實施方式】

鑒於相對於圖1描述之說明性習知微電子封裝12，發明者已認識到可進行可幫助改良併有記憶體儲存陣列晶片之微電子封裝及併有此微電子封裝之微電子總成的電效能之改良。

可進行特別用於微電子封裝(在提供於諸如圖2至圖4中所展示之總成中時)之改良，其中將封裝12A安裝至電路面板之一表面且將另一類似封裝12B與封裝12A對置地安裝至電路面板之對置表面上。封裝12A、12B通常在功能上及機械上彼此等效。在功能上及機械上等效之封裝的其他

對 12C 與 12D 及 12E 與 12F 通常亦安裝至同一電路面板 34。電路面板及組裝至電路面板之封裝可形成通常稱為雙列記憶體模組(「DIMM」)之總成的一部分。封裝之每一對置安裝對中的封裝(例如，封裝 12A、12B)連接至電路面板之對置表面上的接點，使得每一對中之封裝通常彼此覆疊大於其各別面積之 90%。電路面板 34 內之局域佈線將每一封裝上之端子(例如，標示為「1」及「5」之端子)連接至電路面板上之全域佈線。全域佈線包括用以將一些信號傳導至電路面板 34 上之連接位點(諸如，位點 I、II 及 III)的匯流排 36 之信號導體。舉例而言，封裝 12A、12B 藉由耦接至連接位點 I 之局域佈線電連接至匯流排 36，封裝 12C、12D 藉由耦接至連接位點 II 之局域佈線電連接至匯流排，且封裝 12E、12F 藉由耦接至連接位點 III 之局域佈線電連接至匯流排。

電路面板 34 使用看似十字交叉或「鞋帶」型樣之局域互連佈線來電互連各別封裝 12A、12B 之端子，在該型樣中，靠近封裝 12A 之一邊緣 16 的標示為「1」之端子經由電路面板 34 連接至封裝 12B 之靠近封裝 12B 之同一邊緣 16 的標示為「1」之端子。然而，如組裝至電路面板 34 之封裝 12B 的邊緣 16 遠離封裝 12A 之邊緣 16。圖 2 至圖 4 進一步展示，靠近封裝 12A 之邊緣 22 的標示為「5」之端子經由電路面板 34 連接至封裝 12B 之靠近封裝 12B 之同一邊緣 22 的標示為「5」之端子。在總成 38 中，封裝 12A 之邊緣 22 遠離封裝 12B 之邊緣 22。

每一封裝(例如，封裝 12A)上之端子至與該封裝對置安裝之封裝(亦即，封裝 12B)上之對應端子之間的穿過電路面板之連接件為相當長的。如在圖 3 中進一步所見，在類似微電子封裝 12A、12B 之此總成中，當來自匯流排之同一信號待傳輸至每一封裝時，電路面板 34 可將匯流排 36 之信號導體與封裝 12A 之標記為「1」的端子及封裝 12B 之標記為「1」的對應端子電互連。類似地，電路面板 34 可將匯流排 36 之另一信號導體與封裝 12A 之標記為「2」的端子及封裝 12B 之標記為「2」的對應端子電互連。相同連接配置亦可應用於匯流排之其他信號導體及每一封裝之對應端子。

電路面板 34 上之匯流排 36 與封裝之各別對中的每一封裝(例如，封裝 12A、12B(圖 2))之間的在板之連接位點 I 處的局域佈線可呈無端短線之形式。如下文所論述，在一些狀況下，此局域佈線在相對長時可影響總成 38 之效能。此外，電路面板 34 亦需要局域佈線來將其他封裝(該對封裝 12C 與 12D 及該對封裝 12E 與 12F)之某些端子電互連至匯流排 36 之全域佈線，且此佈線亦可以相同方式影響總成之效能。

圖 4 進一步說明具有經指派以攜載信號之端子「1」、「2」、「3」、「4」、「5」、「6」、「7」及「8」之各別對的微電子封裝 12A、12B 之間的互連。如圖 4 中所見，因為端子之行 14、18 分別靠近每一封裝 12A、12B 之邊緣 16、22，所以在方向 40 上橫越電路面板 34 所需之佈線可為相當長

的，該方向40橫向於端子之行14、18延伸的方向42。認識到，DRAM晶片之長度在每一側上可在10毫米之範圍內，在圖2至圖4中所見之總成38中之電路面板34中的將同一信號投送至兩個對置安裝之封裝12A、12B之對應端子所需的局域佈線之長度之範圍可在5毫米與10毫米之間，且通常可為約7毫米。

在一些狀況下，電路面板上之連接封裝之端子的相對長之無端佈線可能不會嚴重地影響總成38之電效能。然而，當將信號自電路面板之匯流排36傳送至如圖2中所展示連接至電路面板之封裝之多個對中的每一者時，發明者認識到，自匯流排36延伸至每一封裝上之匯流排36連接至之端子的短線(亦即，局域佈線)之電長度潛在地影響總成38之效能。無端短線上之信號反射可自每一封裝之所連接端子在反向方向上傳播回至匯流排36上，且因此使正自匯流排36傳送至封裝之信號降級。該等影響對於含有當前製造之微電子元件的一些封裝可為可容許的。然而，在以增加之信號切換頻率、低電壓擺動信號或其兩者操作的當前或將來總成中，發明者認識到該等影響可變為嚴重的。對於此等總成，所傳輸信號之穩定時間、振鈴效應、抖動或符號間干擾可增加至不可接受之程度。

發明者進一步認識到，無端短線之電長度通常長於將電路面板上之匯流排36與安裝至電路面板之封裝之端子連接的局域佈線。每一封裝內之自封裝端子至封裝中之半導體晶片的無端佈線增加短線之長度。

在一特定實例中，匯流排36為具有卓越記憶體儲存陣列功能之總成(諸如，DIMM)的命令-位址匯流排。命令-位址匯流排36可經組態以攜載傳送至微電子封裝之位址資訊，該位址資訊可由封裝內之電路(例如，列位址及行位址解碼器及記憶體庫選擇電路(若存在))使用以自封裝中之微電子元件內的記憶體儲存陣列之所有可用可定址記憶體位置當中判定一可定址記憶體位置。命令-位址匯流排36可經組態以將上文所提到之位址資訊攜載至連接位點(例如，展示於圖2中之位點I、II及III)。此等上文所提到之位址資訊可接著藉由局域佈線散佈至電路面板之對置表面上的面板接點之各別集合，封裝12A、12B、12C、12D、12E及12F連接至該電路面板。

在一特定實例中，當微電子元件為或包括DRAM晶片時，命令-位址匯流排36可經組態以攜載微電子元件之命令-位址匯流排之信號的群組中之全部，亦即，傳送至微電子封裝之命令信號、位址信號、記憶體庫位址信號及時脈信號，其中命令信號包括寫入啟用信號、列位址選通信號及行位址選通信號，且時脈信號為用於對位址信號進行取樣的時脈。雖然時脈信號可具有各種類型，但在一實施例中，由此等端子攜載之時脈信號可係作為差分或真及互補時脈信號接收之一或多對差分時脈信號。

因此，本文中所描述之本發明之某些實施例提供一種微電子封裝，該微電子封裝經組態以便准許在第一及第二此等封裝彼此對置地安裝於電路面板(例如，電路板、模組

板或卡，或可撓性電路面板)之對置表面上時減小短線之長度。併有彼此對置地安裝於電路面板上之第一微電子封裝及第二微電子封裝的總成可具有各別封裝之間的顯著減小之短線長度。減小此等總成內之短線長度可(諸如)藉由減小穩定時間、振鈴效應、抖動或符號間干擾連同其他者中之一或多者而改良電效能。此外，亦有可能獲得其他益處，諸如簡化電路面板之結構或降低設計或製造電路面板(或設計電路面板及製造電路面板兩者)之複雜性及成本。

因此，在圖5至圖6B中說明根據本發明之一實施例的微電子封裝100。如圖5至圖6B中所見，封裝可包括基板102，複數個行104A、104B安置於該基板102上，每一行104A及104B具有安置於該行內之至少一些第一端子105。視需要，複數個行106A、106B亦安置於基板102上，每一行106A及106B具有安置於該行內之第二端子107。

如本文中所使用，諸如端子或接點之導電元件係「在」諸如封裝之基板或電路面板之支撐元件「上」或「安置於」諸如封裝之基板或電路面板之支撐元件「上」的陳述並不需要導電元件覆疊支撐元件之表面，只要導電元件在支撐元件之表面處可用於與在垂直於支撐元件之表面的方向上移動之理論點接觸即可。因此，端子或接點可突出以高出表面，相對於表面凹進，或與表面齊平。

基板可包括介電元件，該介電元件在一些狀況下可本質上由聚合材料(例如，樹脂或聚醯亞胺連同其他者)組成且可為薄片狀。或者，基板102可包括具有複合構造之介電

元件，諸如，(例如)具有BT樹脂或FR-4構造之玻璃強化環氧樹脂。在另一實例中，基板可包括支撐元件，該支撐元件由具有小於每攝氏度百萬分之(「ppm/°C」)¹²之熱膨脹係數(「CTE」)的材料形成，端子及其他導電結構安置於該支撐元件上。舉例而言，此低CTE元件可本質上由以下各者組成：玻璃、陶瓷或半導體材料或液晶聚合物材料，或此等材料之組合。

端子105及107可安置於在基板之表面110處曝露的複數個行104A、104B、106A及106B內之位置處。如本文中所使用，導電元件「在」結構之表面「處曝露」的陳述指示，導電元件可用於與自結構外部朝向表面在垂直於表面之方向上移動之理論點接觸。因此，在結構之表面處曝露之端子或其他導電元件可自此表面突出；可與此表面齊平；或可相對於此表面凹進，且經由結構中之孔或凹入部曝露。在展示於圖5中之實例中，行104A及104B各自沿著表面110在第一方向上延伸，且包括複數個第一端子105。行106A、106B可各自包括複數個第二端子107，且在一些狀況下可與行104A、104B平行且亦在第一方向上延伸。在一特定實例中，一些第二端子亦可安置於行104A、104B內。如相對於以下圖7A所見且進一步描述，中心區112不寬於端子之平行的行之鄰近者之間的最小間距之3.5倍。

在一實例中，第一端子可經組態以攜載位址資訊，該位址資訊可由封裝內之電路使用以自微電子元件內之記憶體

儲存陣列的所有可用可定址記憶體位置當中判定一可定址記憶體位置。因此，在一實施例中，第一端子經組態以攜載傳送至微電子封裝之位址資訊，該位址資訊可由封裝內之電路(例如，列位址及行位址解碼器及記憶體庫選擇電路(若存在))使用以自封裝中之微電子元件內的記憶體儲存陣列之所有可用可定址記憶體位置當中判定一可定址記憶體位置。通常，藉由第一端子攜載之位址資訊足以判定該可定址記憶體位置。在一特定實施例中，第一端子可經組態以攜載由封裝內之此電路使用以判定此記憶體儲存陣列內之可定址記憶體位置的所有位址資訊。

在此實施例之一變化中，第一端子可經組態以攜載由封裝內之此電路使用以判定此記憶體儲存陣列內之可定址記憶體位置的位址資訊之大部分，且接著封裝上之其他端子(諸如，上文提及之第二端子)將接著經組態以攜載位址資訊之剩餘部分。在此變化中，在一特定實施例中，第一端子經組態以攜載由封裝內之此電路使用以判定此記憶體儲存陣列內之可定址記憶體位置的位址資訊之四分之三或四分之三以上。

在一特定實施例中，第一端子可能並不經組態以攜載晶片選擇資訊，例如，可用於選擇封裝內之特定晶片以供存取該晶片內之記憶體儲存位置的資訊。在另一實施例中，第一端子可實際上攜載晶片選擇資訊。

多種微電子元件(例如，半導體晶片)經組態以提供記憶體儲存陣列功能。在一實例中，微電子元件可含有數個主

動裝置以提供記憶體儲存陣列功能，該數目大於用以提供任何其他功能之主動裝置的數目。在一種類型之此微電子元件中，在微電子元件之外部的複數個外部接點中之一些接點中的每一者專用於接收供應至微電子元件之複數個位址信號中的各別位址信號。在此狀況下，此等接點中之每一者能夠經由穿過併有微電子元件之微電子封裝之連接件自外部組件(例如，自電路面板)接收供應至微電子元件之複數個位址信號中的一位址信號。

在此類型之微電子元件的一特定實例中，存在於外部接點處之複數個位址信號中的每一者可相對於藉由微電子元件使用之時脈的邊緣(亦即，在不同之第一電壓狀態與第二電壓狀態之間的時脈轉變後即)進行取樣。亦即，每一位址信號可在時脈之較低電壓狀態與較高電壓狀態之間的上升轉變後或在時脈之較高電壓狀態與較低電壓狀態之間的下降轉變後即進行取樣。因此，複數個位址信號可皆在時脈之上升轉變後即進行取樣，或可皆在時脈之下降轉變後即進行取樣，或在另一實例中，外部接點中之一者處的位址信號可在時脈之上升轉變後即進行取樣，且另一外部接點處之位址信號可在時脈之下降轉變後即進行取樣。

在經組態以主要提供記憶體儲存陣列功能之另一類型之微電子元件中，可以多工方式使用微電子元件上之位址接點中的一或多者。在此實例中，微電子元件之特定外部接點可經組態以接收自外部供應至微電子元件之兩個或兩個以上不同信號。因此，第一位址信號可在不同之第一電壓

狀態與第二電壓狀態之間的第一時脈轉變(例如，上升轉變)後即在特定接點處進行取樣，且不同於第一位址信號之信號可在第一電壓狀態與第二電壓狀態之間的第二時脈轉變(例如，下降轉變)後即在特定接點處進行取樣，該第二轉變與該第一轉變相反。

以此多工方式，兩個不同信號可在微電子元件之同一外部接點上在時脈之同一循環內接收。在一特定狀況下，以此方式多工可允許在微電子元件之同一外部接點上在同一時脈循環中接收第一位址信號及不同信號。在又一實例中，以此方式多工可允許在微電子元件之同一外部接點上在同一時脈循環中接收第一位址信號及第二不同位址信號。

在一特定實例中，第一端子可經組態以攜載傳送至微電子封裝之命令信號、位址信號、記憶體庫位址信號及時脈信號之群組中的全部。如上文所提及，當微電子封裝內之微電子元件為動態隨機存取記憶體儲存裝置時，「命令信號」為藉由此微電子元件利用之寫入啟用信號、列位址選通信號及行位址選通信號。「時脈信號」為用作用於對位址信號進行取樣之時脈的信號。舉例而言，如圖5中所見，第一端子可包括時脈信號CK及CKB、列位址選通RAS、行位址選通CAS及寫入啟用信號WE，以及位址信號A0至A15(包括位址信號A0及A15)及記憶體庫位址信號BA0、BA1及BA2。

儘管圖5中未特定展示，但其他端子(例如，第二端子)

亦可安置於中心區中，且經組態以攜載其他信號(例如，至及或自封裝之微電子元件的資料信號)。儘管圖5中之一些第一端子經指派以用於攜載電源供應電壓(VDD)，但電源供應連接以及至接地之連接可在第一端子及第二端子中之任一者當中。為了描述之容易及清楚起見，自圖式省略用於連接至電源供應器或接地之端子，且在以下描述中無需進一步提及該等端子。

通常，當微電子封裝具有第二端子時，第二端子配置成各自具有複數個第二端子之一或多個行。第二端子106A、106B可配置於基板表面110之第一周邊區114A及第二周邊區114B中的一或多者中，周邊區114A、114B鄰近於表面110之對置之第一邊緣116及第二邊緣118。中心區112可安置於第一周邊區114A與第二周邊區114B之間。

如在圖6A之截面圖中所見，微電子封裝100內之微電子元件130具有面向基板102之第一表面110的背面131，及與背面131對置之正面134，且對置之第一邊緣170及第二邊緣172在正面與背面之間延伸。微電子元件(例如，半導體晶片或半導體晶片之堆疊配置)可經組態以提供記憶體儲存陣列功能，且在一實例中可經組態以主要提供記憶體儲存陣列功能。在此微電子元件中，微電子元件中之經組態(亦即，經建構且與其他裝置互連)以提供記憶體儲存陣列功能的主動裝置(例如，電晶體)之數目可大於經組態以提供任何其他功能之主動裝置的數目。

因此，在一實例中，諸如DRAM晶片之微電子元件可具

有作為其主要或僅有功能之記憶體儲存陣列功能。或者，在另一實例中，此微電子元件可具有混合用途，且可併有經組態以提供記憶體儲存陣列功能之主動裝置，且亦併有經組態以提供另一功能(諸如，處理器功能或信號處理器或圖形處理器功能連同其他者)之其他主動裝置。在此狀況下，微電子元件在一些狀況下仍具有經組態以提供記憶體儲存陣列功能之數個主動裝置，該數目大於經組態以提供微電子元件之任何其他功能之主動裝置的數目。

垂直於微電子元件130之面134的軸面174沿著在第一方向上延伸且平行於微電子元件130之第一邊緣170及第二邊緣172並相對於第一邊緣170及第二邊緣172居中的線而與基板102之第二表面110相交。如在圖6A中且在圖6B之對應平面圖中進一步所見，微電子元件130之邊緣170在第一方向142上延伸，且在微電子元件之正面134處曝露且鄰近於邊緣170的接點132之行138可沿著正面134在相同的第一方向142上延伸。微電子元件130之平行於邊緣170的另一邊緣172在第一方向142上延伸，且在微電子元件之正面134處曝露的接點132之第二行139可鄰近於邊緣172沿著正面134在相同的第一方向142上延伸。如圖6B中進一步展示，微電子元件上之接點之行可如在行138之狀況下經完全填入，或接點之行可如在行139之狀況下僅在行內之一些位置處具有接點。諸如導線結合併173(圖6A)之導電結構可使接點132與基板之第一表面108上的對應接點136電連接。

參看圖 6A，微電子元件 130 之平行於邊緣 170、172 而在第一方向上延伸的軸面 174 與基板之第二表面 110 的中心區 112 相交，基板表面之中心區 112 為端子之至少第一行 104A 及第二行 104B (各自具有至少一些第一端子 105) 在微電子封裝之行內所安置之處。第二端子 (若存在) 可安置於基板表面 110 之周邊區 114A、114B 中的一或多者中。或者或此外，一或多個第二端子可安置於中心區中，諸如可安置於行 104A、104B 內。如在圖 6A 中進一步所見，附接至端子之接合元件 154 可包括結合金屬 (例如，焊料、錫、鈹或共晶體) 或附接至端子之其他導電結合材料，其可用以將封裝 100 之端子接合至封裝外部之組件 (諸如，接合至電路面板之對應接點)。

圖 6C 說明展示於圖 6B 中之實施例的變化，其中微電子元件 180 之在其正面處曝露的接點 132 安置成鄰近於微電子元件 180 之各別周邊邊緣 170、172、176、178 且與該等周邊邊緣對準的行或列。邊緣 170、172 為平行的且在第一方向 142 上延伸。圖 6C 說明微電子元件 180 之軸面 174 的位置。在此變化中，軸面 174 展示為在第一方向上延伸，且在平行邊緣 170、172 間居中。

圖 6D 說明展示於圖 6B 中之實施例的另一變化，其中微電子元件 190 之接點安置成鄰近於微電子元件之邊緣 170、172 的行 188 及 189。然而，在此狀況下，微電子元件 190 包括在上面具有導電重新分佈層之半導體晶片，且接點 132 可包括重新分佈接點，該等重新分佈接點藉由導電跡線或

形成為與半導體晶片之接點192、194接觸之金屬化導通孔而連接至半導體晶片之接點192、194(或重新分佈接點可藉由金屬化導通孔及跡線兩者連接至晶片之接點192、194)。在此實例中，軸面174沿著在重新分佈接點之行188、189間居中的線與微電子元件之面196相交。

在如圖6A中所展示之封裝100中，可自微電子元件130開始來形成使微電子元件130與基板102電連接之導線結合作件173，在該狀況下，導線結合作件在微電子元件之接點132上形成球175且經楔形結合至對應基板接點136。圖6E展示根據實施例之變化的封裝101，其中導線結合作件183在基板之接點136上形成球185且楔形結合至微電子元件130之對應接點132。可在必要時使用圖6E之變化以減小微電子封裝101之高度103，此係因為相比展示於圖6A中之導線結合作件173，以此方式形成之導線結合作件183一般可具有在接點132上之較低高度偏移。

圖7A為封裝100之朝向封裝100中之基板的端子承載表面110觀察的平面圖。安置第一端子之行104A、104B可位於表面110之中心區112中，且安置第二端子之行106A、106B可位於表面110之一或多個周邊區114A、114B中。如圖7A中所展示，基板上之端子之任何兩個鄰近行之間的最小距離為最小間距150。最小間距係在垂直於方向162之方向164上，在該方向162上配置特定行(例如，行104A)中之端子。在展示於圖7A中之實例中，最小間距150出現於彼此最接近之行104A、104B之間。繼續參看圖7A，中心區

112具有在間距之方向164上沿著基板表面110之寬度152。在一特定實例中，寬度152可不大於端子之任何兩個鄰近行之間的最小間距150之3.5倍，亦即，不超過最接近之鄰近行104A、104B之間的最小間距150之3.5倍。

圖7B說明具有電路面板354以及第一微電子封裝100A及第二微電子封裝100B的微電子總成300，第一微電子封裝100A及第二微電子封裝100B各自為具有根據上文相對於圖5至圖6E描述之實施例中之一或多者之結構的微電子封裝100。參看圖7A，每一封裝100A、100B可具有指派至封裝上之端子之各別位置的相同信號，且每一封裝上之端子的行104A、104B、106A、106B可相對於基板之邊緣116在x及y正交方向164、162上配置於相同位置處。封裝100A、100B分別電連接至分別在電路面板354之對置之第一表面350及第二表面352處曝露的接點360、362。

電路面板可具有各種類型，諸如用於雙列記憶體模組(「DIMM」)模組中之印刷電路板、待與系統中之其他組件連接的電路板或面板，或主機板連同其他者。在一特定實施例中，電路面板可包括具有小於每攝氏度百萬分之(「ppm/°C」)12之熱膨脹係數(「CTE」)的元件，其中第一表面及第二表面處之面板接點係藉由延伸穿過該元件的導通孔連接。舉例而言，該元件可本質上由半導體、玻璃、陶瓷或液晶聚合物材料組成。

在展示於圖7B中之實例中，行104A、104B中之第一端子105可安置於第一封裝100A上之格柵104內的位置處，且

第二封裝 100B 上之行 104A、104B 中之第一端子 105 可安置於類似格柵 104 內之位置處。端子之每一格柵可經完全填入，亦即，在每一格柵之每一位置處具有一端子。或者，在封裝上之格柵的一或多個位置處可能未安置一端子。如自圖 7B 顯而易見，每一封裝 100A、100B 上之包括第一端子的格柵 104 可在平行於電路面板之表面 350 的 x 及 y 正交方向上在一球間距之距離內彼此對準，該球間距不大於任一封裝上之端子之任何兩個鄰近平行之行之間的最小間距。在一特定實例中，格柵 104 可彼此重合。如本文中所使用，當電路面板之對置表面處的封裝之端子之格柵彼此「重合」時，對準可在慣例製造容限內，或在平行於第一電路面板表面及第二電路面板表面之 x 及 y 正交方向上彼此可在小於一球間距之一半的容限內，該球間距係如上文所描述。

如所展示，電路面板 354 內之佈線使封裝 100A 之行 104A 中的端子與封裝 100B 之行 104A 中的端子電連接。形成電連接之佈線在圖 7B 中藉由虛線 320 示意性地展示，此係因為佈線在圖 7B 中所展示之實例中被隱藏而看不見。類似地，電路面板 354 內之佈線使封裝 100A 之行 104B 中的端子與封裝 100B 之行 104B 中的端子電連接，且此等端子之間的電互連件在圖 7B 中藉由虛線 322 示意性地展示。

另外，在如圖 7B 中所展示之特定實例中，由於在每一格柵中存在第一端子之兩個行 104A、104B，且格柵在至少一球間距內彼此對準，因此電路面板 354 上之連接封裝

100A之標示為「A」的第一端子中之一者與封裝100B之標示為「A」的第一端子中之一對應者所需的佈線可為相對短的。具體而言，當每一封裝上之每一格柵104具有兩個行104A、104B，且格柵104以上述方式對準時，則第一封裝100A之第一行104A的端子與第二封裝100B之第二行104B之端子在平行於電路面板之第一表面350的x及y正交方向上在一球間距內對準，第一表面350係電路面板之主要表面。此外，第一封裝100A之第二行104B的端子與第二封裝之第一行104A之端子在平行於電路面板之第一表面350的x及y正交方向上在一球間距內對準。

因此，電路面板354上之將封裝100A之第一行的第一端子與第二封裝100B之第一行之對應第一端子電連接的短線之電長度可小於每一封裝上之第一端子之最小間距的7倍：例如，小於圖7A中第一端子之行104A、104B之間の間距150之7倍。換言之，將在電路面板之第一表面及第二表面處曝露之一對電耦接之第一面板接點360及第二面板接點362連接至電路面板上之匯流排36之對應導體的導電元件之總組合長度可小於面板接點之最小間距的7倍。

在另一實例中，連接一對電耦接之第一面板接點360及第二面板接點362的導電元件之總組合長度可與電路面板354在第一表面350與第二表面352之間的厚度356大致相同。在又一實例中，第一封裝100A之行104A中的第一端子與第二封裝100B上之行104A中的對應第一端子之間的連接件之電長度可與電路面板354之厚度356大致相同。

此等電連接件之長度的減小可減小自電路面板上之匯流排36(圖2)至電路面板上之封裝之連接位點的短線長度。短線長度減小可(諸如)藉由減小匯流排36之上文所提到之信號的穩定時間、振鈴效應(ringing)、抖動或符號間干擾連同其他者中的一或多者來改良電效能。

此外，亦有可能獲得其他益處，諸如簡化電路面板354之結構或降低設計或製造電路面板之複雜性及成本。亦即，電路面板上之連接可需要較少佈線層來將每一封裝之第一端子互連至電路面板內之由一組導體構成的投送層，該組導體攜載位址資訊或攜載位址資訊及如上文所描述之其他資訊。

此外，當根據本文中之原理來建構附接至電路面板之微電子封裝時，亦可減小電路面板上之實施(諸如)用以傳輸上文所提到之位址資訊或上文所描述之命令及位址資訊的匯流排36所需之佈線之全域投送層的數目。具體而言，所需投送層之數目在一些狀況下可減小至兩個或兩個以下投送層。在一特定實例中，可存在用於投送上文所提到之位址資訊或用於投送命令-位址匯流排36之所有上文所提到之命令信號、位址信號、記憶體庫位址信號及時脈信號的不超過一個投送層。然而，在電路面板上，可存在攜載不同於上文所提到之位址資訊之資訊或攜載不同於命令-位址匯流排信號之信號的較大數目個投送層。

在每一微電子封裝之第一端子安置於各別微電子封裝之格柵104之單一行內的位置處之特定實例中，電路面板354

可包括用於所有位址資訊在以下兩者之間的全域投送之不超過一個投送層：電路面板上之第一微電子封裝100A及第二微電子封裝100B之端子電連接所在的連接位點；與至少一第三微電子封裝之端子電連接所在的不同連接位點。

在每一微電子封裝之第一端子安置於各別微電子封裝之格柵104之不超過兩個平行的行內之位置處之一實施例中，電路面板354可包括用於所有位址資訊在以下兩者之間的全域投送之不超過兩個投送層：電路面板上之第一微電子封裝100A及第二微電子封裝100B之端子電連接所在的連接位點；與至少一第三微電子封裝之端子電連接所在的不同連接位點。在一特定實例中，在此實施例中，可存在用於上文所提到之全域投送的不超過一個投送層。

圖7C說明諸如DIMM(連同其他者)之微電子總成，該微電子總成併有電路面板及彼此對置地安裝至電路面板之對置之第一表面及第二表面的複數個微電子封裝。如在圖7C中所見，上文所提到之位址信號或命令-位址匯流排信號可在連接位點I、II或III之間於至少一方向143上而在匯流排36(例如，電路面板或電路板354上之位址匯流排或命令-位址匯流排)上投送，微電子封裝100A、110B之各別對係在連接位點I、II或III處連接至電路面板之對置側。此匯流排36之信號在稍微不同時間在各別連接位點I、II或III處到達每一對封裝。

至少一方向143可橫向或正交於方向142，每一封裝100A或100B內之至少一微電子元件上之複數個接點的至少一行

138在該方向142上延伸。以此方式，電路面板354上(亦即，電路面板354上或內)之匯流排36的信號導體在一些狀況下可在方向142上彼此隔開，該方向142平行於連接至電路面板之封裝100A或100B內之微電子元件上之接點的至少一行138。

特定而言，當每一微電子封裝之第一端子105配置成在此方向142上延伸之一或多個行104A、104B時，此組態可幫助簡化用以投送匯流排36之信號的電路面板上之一或多個全域投送層之信號導體的繞線。舉例而言，當相對少之第一端子在每一封裝上安置於相同的垂直佈局位置處時，有可能簡化電路面板上之命令-位址匯流排信號的投送。因此，在展示於圖5中之實例中，僅兩個第一端子在每一封裝上安置於相同的垂直佈局位置處，諸如經組態以接收位址信號A3及A1之第一端子。

在一例示性實施例中，微電子總成354可具有可包括半導體晶片之微電子元件358，該半導體晶片經組態以執行傳送至總成354之微電子封裝100A、100B之至少一些信號的緩衝。微電子元件358可經組態以主要執行諸如固態驅動控制器之邏輯功能，且微電子封裝100A及100B中之微電子元件358中的一或多者可各自包括諸如非揮發性快閃記憶體之記憶體儲存元件。

微電子元件358可包括專用處理器，該專用處理器經組態以解除諸如系統1500(圖18)之系統的中央處理單元對至及自包括於微電子元件358中之記憶體儲存元件的資料傳

送之監督。包括固態驅動控制器之此微電子元件358可提供至及自諸如系統1300之系統的主機板(例如，展示於圖18中之電路面板1502)上之資料匯流排的直接記憶體存取。在一特定實施例中，微電子元件358可具有緩衝功能。此微電子元件358可經組態以幫助提供微電子元件358中之每一者相對於微電子總成354外部之組件的阻抗隔離。

在一特定實施例中，微電子封裝之第一端子104可經組態以攜載控制微電子元件101之操作模式的資訊。更具體而言，第一端子可經組態以攜載傳送至微電子封裝100之命令信號及/或時脈信號之特定集合中的全部。在一實施例中，第一端子104可經組態以攜載自外部組件傳送至微電子封裝100之所有命令信號、位址信號、記憶體庫位址信號及時脈信號，其中命令信號包括列位址選通、行位址選通及寫入啟用。在此實施例中，第一晶片可經組態以再生控制操作模式之資訊。或者或此外，第一晶片可經組態以部分或完全解碼控制微電子元件之操作模式的資訊。在此實施例中，每一第二晶片可能或可能不經組態以完全解碼位址資訊、命令資訊或控制微電子元件之操作模式的資訊中之一或多者。

可提供在上面具有其他端子配置之微電子封裝。舉例而言，在說明於圖8中之微電子封裝400中，端子之四個行404A、404B、404C及404D安置於基板表面之中心區112中，此等行含有第一端子，該等第一端子經組態以攜載上

文所提到之位址資訊，或在一特定實施例中，該等第一端子經組態以攜載所有上文所提到之命令信號、位址信號、記憶體庫位址信號及用於對位址信號進行取樣之時脈信號。在微電子封裝400之特定實例中，第二端子亦可安置於行404A、404B、404C及404D內，該等第二端子經組態以攜載不同於由第一端子攜載之上文所提到之資訊或信號的資訊。在另一實例(未圖示)中，微電子封裝之第一端子亦有可能安置於端子之三個行內的位置處。

在說明於圖9A及圖9B中之微電子封裝500中，第一端子配置於安置於基板表面之中心區512中的單一行504內之位置處，該單一行在平行於微電子封裝之邊緣516、518的方向上延伸。下文中，除非另外所提到，否則為了描述之容易及清楚起見，可自說明本發明之各種態樣的諸圖省略第二端子，但第二端子仍可存在於此等實施例中。

在圖9A中所見之特定實例中，基板上之端子之任何兩行之間的最小間距為安置於基板表面之周邊區514B中的第二端子之鄰近行506B與506C之間的間距552。中心區之寬度554不大於端子之行506B與506C之間的最小間距552之3.5倍。

圖10A說明根據一特定實例之微電子封裝600，其中微電子元件包括電互連之第一半導體晶片632及複數個第二半導體晶片634的垂直堆疊630，該等晶片各自具有背對基板602之接點承載面631。導線結合併件635將半導體晶片632、634上之接點626與基板上之對應接點636電互連。間隔件

638可安置於半導體晶片634之鄰近面之間，且間隔件638可安置於半導體晶片632之接點承載面631與半導體晶片634之背面之間。在一些狀況下，黏接層(未圖示)可提供於每一間隔件與半導體晶片之鄰近於此間隔件的面之間。如圖10A中所展示，該一或多個第二半導體晶片634與第一半導體晶片632電互連。舉例而言，如圖10A中所見，存在三個垂直堆疊之第二半導體晶片634，其中該等第二半導體晶片634之面631彼此平行。

在圖10A中所見之微電子封裝600中，第一半導體晶片632及第二半導體晶片634中之每一者可經組態，使得每一此半導體晶片體現數個主動裝置以提供記憶體儲存陣列功能，該數目大於用以提供任何其他功能之主動裝置的數目。舉例而言，第一半導體晶片及第二半導體晶片中之每一者可包括記憶體儲存陣列，及將資料輸入至記憶體儲存陣列及自記憶體儲存陣列輸出資料所需之所有電路。舉例而言，當每一半導體晶片中之記憶體儲存陣列可寫入時，半導體晶片中之每一者可包括：經組態以接收自封裝之端子輸入之外部資料的電路，以及經組態以將自此半導體晶片輸出之資料傳送至封裝之端子的電路。因此，每一第一半導體晶片632及每一第二半導體晶片634可為動態隨機存取記憶體(「DRAM」)晶片，或能夠將資料輸入至此半導體晶片內之記憶體儲存陣列及自此半導體晶片內之記憶體儲存陣列輸出資料且自微電子封裝外部之組件接收此資料及將此資料傳輸至微電子封裝外部之組件的其他記憶體晶

片。換言之，在此狀況下，至及自每一DRAM晶片或其他記憶體晶片內之記憶體儲存陣列的信號並不需要藉由微電子封裝內之額外半導體晶片進行緩衝。

或者，在另一實例中，該一或多個第二半導體晶片634可體現數個主動裝置以提供記憶體儲存陣列功能，該數目大於用以提供任何其他功能之主動裝置的數目，但第一半導體晶片632可為不同類型之晶片。在此狀況下，第一半導體晶片632可經組態(例如，設計、建構或設置)以對信號進行緩衝，亦即，再生在端子處接收到之信號以供傳送至一或多個第二半導體晶片634，或再生自第二半導體晶片634中之一或多者接收到之信號以供傳送至端子，或再生在自端子至一或多個第二半導體晶片634及自一或多個半導體晶片至微電子封裝之端子的兩個方向上傳送之信號。或者或除如上文所描述再生信號之外，在一特定實例中，第一半導體晶片可經組態以部分或完全解碼在端子處(諸如，在第一端子處)接收到之位址資訊或命令資訊中的至少一者。第一晶片可接著輸出此部分或完全解碼之結果以供傳送至一或多個第二半導體晶片634。

在一特定實例中，第一半導體晶片可經組態以對傳送至一或多個第二半導體晶片之命令信號、位址信號及時脈信號進行緩衝。舉例而言，第一半導體晶片632可為如下緩衝器晶片：體現數個主動裝置以提供記憶體儲存陣列功能，從而在將信號傳送至其他裝置(例如，傳送至一或多個第二半導體晶片634)時提供緩衝功能，該數目大於用以

提供任何其他功能之主動裝置的數目。接著，一或多個第二半導體晶片可為功能減少之晶片，其具有記憶體儲存陣列，但其可省略對於DRAM晶片所共有之電路，諸如緩衝器電路、解碼器或預解碼器，或字線驅動器連同其他者。在彼狀況下，第一晶片632可充當堆疊中之「主」晶片且用以控制第二半導體晶片634中之每一者中的操作。

在一特定實例中，第二半導體晶片可經組態，使得其不能夠執行緩衝功能，且因此第一半導體晶片及第二半導體晶片之堆疊配置經組態，使得微電子封裝中所需之緩衝功能可藉由第一半導體晶片執行，且不可藉由堆疊配置中之第二半導體晶片中的任一者執行。

在本文中所描述之實施例中的任一者中，一或多個第二半導體晶片可用以下技術中之一或多者來實施：DRAM、NAND快閃記憶體、RRAM(「電阻性RAM」或「電阻性隨機存取記憶體」)、相變記憶體(「PCM」)、磁阻性隨機存取記憶體(例如，可體現穿隧接面裝置)、靜態隨機存取記憶體(「SRAM」)、自旋轉矩RAM，或內容可定址記憶體連同其他者。

圖10B說明上述實施例之變化，其中微電子封裝601內之第一半導體晶片633經組態以對在封裝之端子(例如，第一端子)處接收到之至少一些信號進行緩衝，以供傳輸至封裝內之其他半導體晶片634。在此變化中，第一半導體晶片633可按覆晶定向安裝至基板602，亦即，使第一半導體晶片633之面上的接點643面向基板602上之對應接點，且

(諸如)藉由焊料、其他結合金屬或其他導電材料接合至該等對應接點。

圖 11A 為說明根據另一變化之微電子封裝 660 之截面圖，且圖 11B 為說明該微電子封裝 660 之對應平面圖，其中第二半導體晶片 634 相對於彼此以階梯方式安裝，使得第一半導體晶片 632 之接點超出在第一半導體晶片 632 正上方之第二半導體晶片 634A 之邊緣 618 而曝露，且彼半導體晶片 634A 之接點超出在彼第二半導體晶片正上方之第二半導體晶片 634B 之邊緣 618 而曝露。第一晶片及第二晶片與基板之間以及晶片間之電連接可藉由電連接半導體晶片之堆疊內之鄰近晶片的導線結合作件 635 或將晶片直接電連接至封裝基板 662 之導線結合作件 637 來提供。

圖 12 說明根據上文相對於圖 10 所描述之實施例的另一變化之微電子封裝 670，其中一或多個第二半導體晶片 634 之接點之間的連接件可包括跡線或引線 640，該等跡線或引線 640 沿著堆疊半導體晶片之單元 630 的一或多個邊緣(亦即，沿著此單元 630 內之半導體晶片 634 的邊緣)延伸。單元 630 經安裝且(諸如)藉由結合金屬(例如，焊料、錫、金、銅、共晶物)或導電凸塊或結合金屬及導電凸塊兩者與第一半導體晶片 632 之接點 627 電互連，該等導電凸塊在一些狀況下可包括導電柱桿(例如，微柱)。跡線 654 可沿著第一半導體晶片之面 631 自接點 627 延伸至第二接點 626，第二接點 626 又可(諸如)經由導線結合作件 645 與基板電連接。

第二半導體晶片634之間的電連接件可進一步包括沿著第二半導體晶片634之正面延伸的跡線644。如在圖12中進一步展示，第二半導體晶片之正面642可向上背對基板602或向下面向基板602。

圖13A進一步說明微電子封裝680，其中第二半導體晶片634具有接點647，該等接點647面向第一晶片之接點627且(諸如)經由結合金屬(例如，焊料、錫、金、銻、共晶物)或導電凸塊或結合金屬及導電凸塊兩者以覆晶方式接合至接點627。跡線654可將接點627與第一晶片上之(諸如)經由導線結合件電連接至基板的其他接點626電連接。

圖13B進一步說明根據一特定實例之微電子封裝690，其中一或多個第二半導體晶片634藉由矽穿孔(「TSV」)650彼此電連接，該等矽穿孔650在第二半導體晶片634中之至少一些之厚度652的方向上(亦即，在垂直於晶片634之面642的方向上)延伸。如在圖13B中所見，在一實例中，TSV 650可(諸如)經由結合金屬(例如，焊料、錫、金、銻、共晶物)或導電凸塊或結合金屬及導電凸塊兩者與第一半導體晶片632之接點627電連接，該等導電凸塊在一些狀況下可包括導電柱桿(例如，微柱)。跡線654可沿著第一半導體晶片之面631自接點627延伸至第二接點626，第二接點626又可導線結合至基板。

在一實例中，在封裝690之端子處(諸如，在第一端子、第二端子或第一端子及第二端子兩者處)接收到之資訊或信號可經由接合至基板接點636之導線結合件645而由第一

半導體晶片 632 接收，基板接點 636 又接合至微電子封裝之此等端子。操作為緩衝器元件之第一半導體晶片 632 可接著再生接收到之資訊或信號，且接著(例如)經由第一晶片 632 與第二晶片 634 之間的連接件且經由第二晶片 634 之堆疊內的 TSV 650 而將再生之資訊或信號傳送至一或多個第二半導體晶片。

圖 13C 說明展示於圖 13B 中之微電子封裝的變化。不同於展示於圖 13B 中之封裝，經組態以再生或至少部分解碼位址資訊或其他資訊(例如，再生供傳送至封裝中之其他半導體晶片之信號)的半導體晶片 664 並不位於鄰近基板 602 之第一表面 108 之處。確切而言，在此狀況下，半導體晶片 664 可安置於封裝內之覆疊一或多個其他半導體晶片的位置處。舉例而言，如圖 13C 中所展示，晶片 664 至少部分覆疊鄰近於基板 602 之第一表面 108 安置的半導體晶片 662，且至少部分覆疊安置於半導體晶片 662 之上的半導體晶片 663A、663B 及 663C。

在一實例中，半導體晶片 662 以及 663A、663B 及 663C 可包括記憶體儲存陣列。如在上文所描述之實例中，此等晶片 662 以及 663A、663B 及 663C 可各自併有經組態以對待寫入至此晶片之資料或正自此晶片讀取之資料或待寫入至此晶片之資料及正自此晶片讀取之資料兩者進行緩衝(例如，臨時儲存)的電路。或者，晶片 662 以及 663A、663B 及 663C 在功能上受限制更多，且可能需要與至少一其他晶片一起使用，該至少一其他晶片經組態以臨時儲存待寫入至

此晶片之資料或正自此晶片讀取之資料或待寫入至此晶片之資料及正自此晶片讀取之資料兩者。

半導體晶片664可經由導電結構(例如，導線結合併件665)電連接至微電子封裝之端子(例如，連接至安置有第一端子604及第二端子606之格柵)，該導電結構至少部分覆疊半導體晶片663A之正面631且連接至在基板602之第一表面108處曝露的接點636。導電結構(例如，導線結合併件665)可經由晶片663A上之接點638且經由導體(未圖示)電連接至半導體晶片664，該等導體沿著晶片663A之面631或沿著晶片664之對立面641或沿著晶片663A、664中之兩者的面631、641延伸。如上文所指示，半導體晶片664可經組態以再生或至少部分解碼其經由導電結構(例如，導線結合併件665)接收之信號或資訊，且半導體晶片664可經組態以將再生或至少部分解碼之信號或資訊傳送至封裝內之其他晶片(諸如，傳送至晶片662以及663A、663B及663C)。

如在圖13C中進一步所見，半導體晶片662、663A、663B及663C可藉由複數個矽穿孔(「TSV」)672、674及676電連接至半導體晶片664及彼此電連接，該等矽穿孔672、674及676可延伸穿過此等晶片中之一者、兩者或三者或三者以上。每一此TSV可與封裝內之佈線(例如，半導體晶片662、663A、663B及663C以及664中之兩者或兩者以上的導電襯墊或跡線)電連接。在一特定實例(未圖示)中，矽穿孔可延伸穿過所有半導體晶片662、663A、663B及663C之厚度，但每一矽穿孔可能並不與其延伸穿過之每

一此半導體晶片電連接。

如在圖 13C 中進一步所見，可包括複數個鰭片 671 之散熱片或熱散播器 668 可(諸如)經由導熱材料(諸如，熱黏劑、導熱脂或焊料連同其他者)而熱耦接至半導體晶片 664 之面(例如，半導體晶片 664 之背面 633)。

展示於圖 13C 中之微電子總成 695 可經組態以操作為能夠進行以下操作之記憶體模組：經由第一端子及第二端子每循環將指定數目個資料位元傳送至微電子封裝上或傳送離開微電子封裝，第一端子及第二端子係為此提供於基板上。舉例而言，微電子總成可經組態以將數個資料位元(諸如，32 個資料位元、64 個資料位元或 96 個資料位元連同其他可能組態)傳送至可與端子 604、606 電連接之外部組件(諸如，電路面板)或自該外部組件傳送該數個資料位元。在另一實例中，當傳送至封裝及自封裝傳送之位元包括錯誤校正碼位元時，每循環傳送至封裝或自封裝傳送之位元的數目可為 36 個位元、72 個位元或 108 個位元。不同於此處特定描述之彼等資料寬度的其他資料寬度為可能的。

圖 14A、圖 14B 及圖 15 說明根據上述實施例中之一或多者之另一變化的微電子封裝 1100。如在圖 14A、圖 14B 及圖 15 中所見，封裝 1100 包括在基板 1102 之第一表面 1108 上彼此隔開的第一微電子元件 1130 及第二微電子元件 1131。每一微電子元件 1130、1131 具有：第一平行邊緣 1170，其遠離各別微電子元件之背對基板 1102 之面 1142 延伸；及第

二平行邊緣1172，其在橫向或正交於第一邊緣延伸之方向的方向上延伸。

微電子元件之接點1138與基板1102之第一表面1108上的對應基板接點1148電連接。又，基板接點1148中之一些(諸如)經由導電跡線1144或經由導電導通孔1146或經由跡線及導通孔兩者與安置於第二表面1110上之中心區1112中的第一端子1104電連接。在一些實施例中，基板接點1148中之一些可改為與第二表面之一或多個周邊區1164中的第二端子1162電連接。圖14A說明封裝上之端子1104、1162的可能信號指派。

如在上述實施例中，基板表面1110之中心區1112具有不大於封裝上之端子之任何兩個鄰近行之間的最小間距1152之3.5倍的寬度1154，其中兩個鄰近行中之每一者在其中具有複數個端子。垂直於基板1102之表面1110的軸面1150沿著平行於第一微電子元件1130及第二微電子元件1131之第一邊緣1170且在該等第一邊緣1170間居中的線而與表面1110相交。在一實例中，如圖中所展示，第一端子1104之行延伸所沿的軸線1151可安置於第一微電子元件及第二微電子元件之鄰近邊緣1134、1135之間。此情形適用於端子之一個以上行的軸線。

或者，儘管在圖14A至圖14B及圖15中未展示，但第一端子1104之行延伸所沿的軸線可覆疊第一微電子元件1130及第二微電子元件1131之面1140中的一或多者，且此情形適用於一個以上行之軸線。在表面1110之中心區1112中可

存在端子之四個行或四個以下行。如在上述實施例中，在中心區中存在之行無需多於第一端子1104之單一行。如在圖15中進一步展示，第一微電子元件及第二微電子元件之面1142可在平行於基板1102之第一表面1108的單一平面1124內延伸。

圖16A至圖16B說明根據在圖14A至圖14B及圖15中所見之實施例之變化的微電子封裝1200，除如上文關於微電子封裝1100(圖14A至圖14B、圖15)所論述之在封裝1200內具有相同配置及電互連的第一微電子元件1230及第二微電子元件1231外，該微電子封裝1200進一步包括第三微電子元件1233及第四微電子元件1235。類似於第一微電子元件及第二微電子元件，第三微電子元件及第四微電子元件中之每一者體現數個主動裝置以提供記憶體儲存陣列功能，該數目大於用以提供任何其他功能之主動裝置的數目。類似於第一微電子元件及第二微電子元件，第三微電子元件1233及第四微電子元件1235面向上地安裝於基板1202上，且(諸如)經由在微電子元件之各別接點承載面(未圖示)上延伸的電連接件而與封裝之第一端子1204電互連。如上文所論述，電連接件可為導線結合併件。

微電子封裝之端子1204可配置於中心區1212內，如上文所描述，該中心區1212具有不大於端子之行之間的最小間距之3.5倍的寬度1252。如在圖16A中進一步展示，軸面1250與基板1202之相交可在封裝1200內之第一、第二、第三及第四微電子元件的所有平行的第一邊緣1270間居中。

以類似於上文相對於圖 14A 至圖 14B 及圖 15 所描述之方式的方式，微電子元件 1230、1231、1233 及 1235 之接點承載面(未圖示)可配置於封裝 1200 內，使得所有此等面為共面的，亦即，在單一平面(亦即，諸如單一平面 1124，如圖 15 中所說明)內延伸。

圖 16B 說明封裝 1200 上之端子的可能信號指派，其中第一端子 1204 配置成中心區中之一或多個行，且第二端子 1206 配置於靠近封裝之周邊邊緣 1260、1261、1262 及 1263 的多個區域中。在此狀況下，第二端子 1206 中的一些可安置於諸如格柵 1270 之格柵內的位置處，且一些第二端子可安置於諸如格柵 1272 之格柵內的位置處。此外，一些第二端子可安置於諸如格柵 1274 之格柵內的位置處，且一些第二端子可安置於格柵 1276 內之位置處。

如圖 16B 中所展示，格柵 1276 中之第二端子 1206 的信號類別指派可關於可在軸面 1250 內延伸之垂直軸線 1251 對稱，且格柵 1274 中之第二端子的信號類別指派可關於垂直軸線 1251 對稱。如本文中所使用，若信號指派係在同一指派類別中，則即使類別內之數值索引不同，兩個信號類別指派仍可相對於彼此對稱。例示性信號類別指派可包括資料信號、資料選通信號、資料選通互補信號，及資料遮罩信號。在一特定實例中，在格柵 1276 中，具有信號指派 DQSH# 及 DQSL# 之第二端子 1206 關於其信號類別指派(其為資料選通互補)而關於垂直軸線 1251 對稱，即使彼等第二端子具有不同信號指派亦如此。

如在圖 16B 中進一步展示，例如，資料信號至微電子封裝上之第二端子之空間位置的指派(諸如，對於資料信號 DQ0、DQ1、...)可(例如)具有關於垂直軸線 1251 之模 X 對稱性。模 X 對稱性可幫助保持(諸如)在圖 7B 中所見之總成 300 中之信號完整性，在總成 300 中，一或多對第一封裝及第二封裝彼此對置地安裝至電路面板，且電路面板使每一對置安裝之封裝對中的彼等第一封裝及第二封裝之對應的多對第二端子電連接。如本文中所使用，當端子之信號指派具有關於軸線之「模 X 對稱性」時，攜載具有相同的編號「模 X」之信號的端子安置於關於軸線對稱之位置處。因此，在(諸如)圖 7B 中之此總成 300 中，模 X 對稱性可准許經由電路面板進行電連接，使得第一封裝之端子 DQ0 可經由電路面板電連接至第二封裝之具有相同的索引編號模 X(X 在此狀況下為 8)之端子 DQ8，使得可在本質上筆直穿通(亦即，垂直於)電路面板之厚度的方向上進行連接。

在一實例中，「X」可為數 2^n (2 的 n 次幂)，其中 n 大於或等於 2，或 X 可為 $8 \times N$ ，N 為 2 或大於 2。因此，在一實例中，X 可等於半個位元組(4 個位元)、1 位元組(8 個位元)、多個位元組($8 \times N$ ，N 為 2 或大於 2)、1 個字組(32 個位元)或多個字組中之位元的數目。以此方式，在一實例中，當存在如圖 16B 中所展示之模 8 對稱性時，格柵 1274 中之經組態以攜載資料信號 DQ0 之封裝端子 DQ0 的信號指派與經組態以攜載資料信號 DQ8 之另一封裝端子的信號指派關於垂直軸線 1251 對稱。此外，相同情形適用於格柵 1276 中之封裝

端子DQ0及DQ8的信號指派。如在圖16B中進一步所見，格柵1274中之封裝端子DQ2及DQ10的信號指派具有關於垂直軸線之模8對稱性，且相同情形適用於格柵1276。在格柵1274、1276中可見關於封裝端子DQ0至DQ15之信號指派中之每一者的(諸如)本文中所描述之模8對稱性。

注意到以下情形為重要的，儘管未展示，但模數「X」可為不同於 2^n (2的n次冪)之數，且可為大於2的任何數。因此，對稱性所基於之模數X可取決於存在於藉以建構或組態封裝之資料大小中的位元之數目。舉例而言，當資料大小為10個位元而非8個位元時，則信號指派可具有模10對稱性。可甚至為如下狀況：當資料大小具有奇數個位元時，模數X可具有此數值。

圖17A及圖17B說明根據上文相對於圖16A及圖16B所描述之實施例1200之變化的微電子封裝1300，該封裝1300具有基板表面1310，該基板表面1310具有安置有第一端子1304之中心區1312。如圖17A及圖17B中所見，微電子元件1330、1331以類似於微電子封裝1100(圖14A至圖14B、圖15)之微電子元件1130、1131之配置的方式配置於基板1302，此係因為鄰近微電子元件1130、1131之邊緣1360平行於彼此，且在相同之第一方向1342上延伸。微電子元件之邊緣1362在橫向於且通常正交於方向1342之方向1344上延伸。

在一些狀況下，各別微電子元件之第一邊緣1360可具有大於此微電子元件之第二邊緣1362的長度。然而，在其他

狀況下，第二邊緣1362可具有大於第一邊緣1360之長度。在圖17A中所見之特定封裝中，含有微電子元件1330、1331、1332或1333中之任一者的任一第一邊緣1360且垂直於此微電子元件之面的平面1370與封裝1300內之另一微電子元件的邊緣1360相交。舉例而言，如圖17A中所展示，含有微電子元件1333之邊緣1360的平面1370在方向1344上延伸，且與封裝內之微電子元件1330的邊緣1360相交。在一特定實施例中，含有微電子元件1333之第一邊緣的平面1370A及1370B與封裝內之不超過一個其他微電子元件的第一邊緣相交。因此，平面1370A僅與微電子元件1330之邊緣1360相交。

此外，如在圖17A中進一步所見，中心區1312可進一步受到限制。具體而言，圖17A展示在基板1302之表面1302上存在矩形子區段區域1372，第一微電子元件1330、第二微電子元件1331、第三微電子元件1332及第四微電子元件1333之所有面皆不延伸超出該矩形子區段區域1372。在描繪於圖17A至圖17B中之微電子封裝1300中，中心區1312並不延伸超出此矩形子區段區域1372之邊界。

圖17B進一步說明微電子封裝1300內之端子的可能配置，其中第一端子1304安置於在正交於封裝之對置邊緣1316、1318的方向上橫越寬度1354的中心區1312內，該寬度1354不大於封裝上之端子的最接近之兩個鄰近行之間的最小間距之3.5倍。周邊區佔據基板1302之表面1310的剩餘區域，從而分別橫越中心區之邊緣與封裝之對置邊緣

1316、1318之間的寬度1356、1357。

上文參看圖5至圖17B描述之微電子封裝及微電子總成可用於多種電子系統(諸如，展示於圖18中之系統1500)之構造中。舉例而言，根據本發明之另一實施例的系統1500包括複數個模組或組件1506(諸如，如上文所描述之微電子封裝及/或微電子總成)連同其他電子組件1508及1510。

在所展示之例示性系統1500中，系統可包括電路面板、主機板或豎式面板(riser panel)1502(諸如，可撓性印刷電路板)，且電路面板可包括將模組或組件1506彼此互連之眾多導體1504，在圖18中僅描繪該等導體1504中之一者。此電路面板1502可將信號輸送至包括於系統1500中之微電子封裝及/或微電子總成中之每一者且自包括於系統1500中之微電子封裝及/或微電子總成中之每一者輸送信號。然而，此情形僅為例示性的；可使用用於在模組或組件1506之間形成電連接之任何合適結構。

在一特定實施例中，系統1500亦可包括諸如半導體晶片1508之處理器，使得每一模組或組件1506可經組態以在一時脈循環中並行傳送數目 N 個資料位元，且該處理器可經組態以在一時脈循環中並行傳送數目 M 個資料位元， M 大於或等於 N 。

在一實例中，系統1500可包括經組態以在一時脈循環中並行傳送32個資料位元之處理器晶片1508，且系統亦可包括四個模組1506，諸如參看圖5所描述之微電子封裝100，每一模組1506經組態以在一時脈循環中並行傳送8個資料

位元(亦即，每一模組1506可包括第一微電子元件及第二微電子元件，該兩個微電子元件中之每一者經組態以在一時脈循環中並行傳送4個資料位元)。

在另一實例中，系統1500可包括經組態以在一時脈循環中並行傳送64個資料位元之處理器晶片1508，且系統亦可包括四個模組1506，諸如參看圖16A至圖16B所描述之微電子封裝1200，每一模組1506經組態以在一時脈循環中並行傳送16個資料位元(亦即，每一模組1506可包括四個微電子元件，該四個微電子元件中之每一者經組態以在一時脈循環中並行傳送4個資料位元)。

在圖18中所描繪之實例中，組件1508為半導體晶片，且組件1510為顯示螢幕，但任何其他組件可用於系統1500中。當然，儘管為了說明清楚起見而在圖18中僅描繪兩個額外組件1508及1510，但系統1500可包括任何數目個此類組件。

模組或組件1506以及組件1508及1510可安裝於以虛線示意性地描繪之共同外殼1501中，且可在必要時彼此電互連以形成所要電路。將外殼1501描繪為可用於(例如)蜂巢式電話或個人數位助理中之類型的攜帶型外殼，且螢幕1510可在該外殼之表面處曝露。在結構1506包括諸如成像晶片之感光元件的實施例中，亦可提供透鏡1511或其他光學裝置以用於將光導引至結構。再次，展示於圖18中之簡化系統僅為例示性的；可使用上文所論述之結構來製造包括通常視為固定結構之系統的其他系統，諸如桌上型電腦、路

由器及其類似者。

上文參看圖5至圖17B所描述之微電子封裝及微電子總成亦可用於諸如展示於圖19中之系統1600的電子系統之構造中。舉例而言，根據本發明之另一實施例的系統1600與展示於圖18中之系統1500相同，惟組件1506已由複數個組件1606替換除外。

組件1606中之每一者可為或可包括上文參看圖5至圖17B所描述之微電子封裝或微電子總成中的一或多者。在一特定實例中，組件1606中之一或多者可為展示於圖7B中之微電子總成300的變化，其中電路面板354包括曝露之邊緣接點，且每一微電子總成300之電路面板354可適合於插入至插槽1605中。

每一插槽1605可包括在插槽之一側或兩側處的複數個接點1607，使得每一插槽1605可適合於與對應組件1606(諸如，微電子總成300之上述變化)之對應所曝露邊緣接點配合。在所展示之例示性系統1600中，系統可包括第二電路面板1602或主機板(諸如，可撓性印刷電路板)，且第二電路面板可包括將組件1606彼此互連之眾多導體1604，在圖19中僅描繪該等導體1604中之一者。

在一特定實例中，諸如系統1600之模組可包括複數個組件1606，每一組件1606為微電子總成300之上述變化。每一組件1606可安裝至第二電路面板1602且與第二電路面板1602電連接，從而將信號輸送至每一組件1606且自每一組件1606輸送信號。系統1600之特定實例僅為例示性的；可

使用用於在組件1606之間形成電連接之任何合適結構。

在不脫離本發明之範疇或精神的情況下，可以不同於如上文特定描述之方式的方式來組合本發明之上述實施例的各種特徵。本發明意欲涵蓋如上文所描述之本發明之實施例的所有此等組合及變化。

應瞭解，各種附屬請求項及其中所闡述之特徵可以不同於獨立請求項中呈現之方式的方式進行組合。亦應瞭解，結合個別實施例所描述之特徵可與所描述實施例中之其他實施例共用。

【圖式簡單說明】

圖1為說明含有DRAM晶片之習知微電子封裝的截面圖。

圖2為說明微電子總成(例如，DIMM模組)之圖解示意圖，該微電子總成併有電路面板及彼此對置地安裝至電路面板之對置之第一表面及第二表面的複數個微電子封裝。

圖3為進一步說明諸如圖2中所展示之總成中的第一微電子封裝及第二微電子封裝與電路面板之間的電互連之截面圖。

圖4為進一步說明諸如圖2中所展示之總成中的第一微電子封裝與第二微電子封裝之間的電互連之圖解平面圖。

圖5為說明根據本發明之一實施例的微電子封裝中之端子之配置及信號指派的圖解平面圖。

圖6A為進一步說明展示於圖5中之微電子封裝的穿過圖5之線6A-6A的截面圖。

圖 6B 為說明根據展示於圖 5 及圖 6A 中之實施例的接點之配置的圖 6A 之微電子元件的平面圖。

圖 6C 為說明根據展示於圖 6B 中之實施例之變化的微電子元件上之接點之替代配置的平面圖。

圖 6D 為說明根據展示於圖 6B 中之實施例之變化的微電子元件上之接點之另一替代配置的平面圖。

圖 6E 為說明根據展示於圖 5 及圖 6A 中之實施例之變化的微電子封裝之截面圖。

圖 7A 為進一步說明根據展示於圖 5 及圖 6A 中之實施例的端子之配置的平面圖。

圖 7B 為說明根據本發明之一實施例的微電子總成及與微電子總成電互連之第一微電子封裝及第二微電子封裝的截面圖。

圖 7C 為說明根據本發明之一實施例的微電子總成(例如，記憶體模組)之示意圖，該微電子總成包括電路面板及電連接至該電路面板之微電子封裝。

圖 8 為說明根據展示於圖 5 及圖 6A 中之實施例之變化的微電子封裝上之端子之替代配置的平面圖。

圖 9A 為說明根據展示於圖 5 及圖 6A 中之實施例之另一變化的微電子封裝上之端子之替代配置的平面圖。

圖 9B 為說明根據本發明之一實施例的微電子總成及與微電子總成電互連之如圖 9A 中所展示的第一微電子封裝及第二微電子封裝的截面圖。

圖 10A 為說明根據本發明之一實施例的微電子封裝之截

面圖，該微電子封裝在其中包括半導體晶片之堆疊電連接總成。

圖 10B 為說明根據展示於圖 10A 中之實施例之變化的微電子封裝之截面圖。

圖 11A 及圖 11B 為說明根據本發明之一實施例的微電子封裝之截面圖及對應俯視圖，該微電子封裝在其中包括半導體晶片之堆疊電連接總成。

圖 12 為說明根據本發明之一實施例的微電子封裝之截面圖，該微電子封裝在其中包括半導體晶片之堆疊電連接總成。

圖 13A 為說明根據展示於圖 12 中之實施例之變化的微電子封裝之截面圖。

圖 13B 為說明根據展示於圖 12 中之實施例之另一變化的微電子封裝之截面圖。

圖 13C 為說明根據展示於圖 13B 中之實施例之變化的微電子封裝之截面圖。

圖 14A 為說明根據本發明之另一實施例的微電子封裝中之端子的配置及信號指派的圖解平面圖。

圖 14B 為進一步說明根據展示於圖 14A 中之實施例的端子之配置的平面圖。

圖 15 為進一步說明展示於圖 14A 中之微電子封裝的穿過圖 14A 之線 15-15 的截面圖。

圖 16A 為說明根據本發明之又一實施例的微電子封裝中之端子的配置之圖解平面圖。

圖 16B 為進一步說明根據展示於圖 16A 中之實施例的端子之配置及信號指派的平面圖。

圖 17A 為說明根據展示於 16A 及圖 16B 中之實施例之變化的微電子封裝中之端子之配置的圖解平面圖。

圖 17B 為進一步說明根據展示於圖 17A 中之實施例的端子之配置及信號指派的平面圖。

圖 18 為說明根據本發明之一實施例的系統之示意性截面圖。

圖 19 為說明根據本發明之一實施例的系統之示意性截面圖。

【主要元件符號說明】

11	半導體晶片/微電子元件
12	微電子封裝
12A	微電子封裝
12B	微電子封裝
12C	封裝
12D	封裝
12E	封裝
12F	封裝
14	端子之行
16	第一周邊邊緣
18	端子之行
20	封裝基板
22	第二周邊邊緣

24	中心區
26	元件接點
28	微電子元件之面
30	導線結合件
32	黏接層
34	電路面板
36	命令-位址匯流排
38	總成
40	方向
42	方向
100	微電子封裝
100A	第一微電子封裝
100B	第二微電子封裝
101	封裝
102	基板
103	微電子封裝之高度
104	格柵
104A	端子之行
104B	端子之行
105	第一端子
106A	端子之行
106B	端子之行
107	第二端子
108	基板之第一表面

110	基板之第二表面
112	中心區
114A	第一周邊區
114B	第二周邊區
116	基板之第一邊緣
118	基板之第二邊緣
130	微電子元件
131	微電子元件之背面
132	接點
134	微電子元件之正面
136	基板接點
138	接點之行
139	接點之第二行
142	第一方向
143	方向
150	端子之任何兩個鄰近行之間的最小間距
152	中心區之寬度
154	接合元件
162	方向
164	方向
170	微電子元件之第一邊緣
172	微電子元件之第二邊緣
173	導線結合併
174	軸面

175	球
176	微電子元件之周邊邊緣
178	微電子元件之周邊邊緣
180	微電子元件
183	導線結合併
185	球
188	接點之行
189	接點之行
190	微電子元件
192	接點
194	接點
300	微電子總成
320	虛線
322	虛線
350	電路面板之第一表面
352	電路面板之第二表面
354	電路面板
356	電路面板之厚度
358	微電子元件
360	第一面板接點
362	第二面板接點
400	微電子封裝
404A	端子之行
404B	端子之行

404C	端 子 之 行
404D	端 子 之 行
500	微 電 子 封 裝
504	第 一 端 子 之 單 一 行
506B	第 二 端 子 之 行
506C	第 二 端 子 之 行
512	中 心 區
514B	基 板 表 面 之 周 邊 區
516	微 電 子 封 裝 之 邊 緣
518	微 電 子 封 裝 之 邊 緣
552	第 二 端 子 之 鄰 近 行 之 間 的 最 小 間 距
554	中 心 區 之 寬 度
600	微 電 子 封 裝
601	微 電 子 封 裝
602	基 板
604	第 一 端 子
606	第 二 端 子
618	第 二 半 導 體 晶 片 之 邊 緣
626	第 二 接 點
627	接 點
630	堆 疊 半 導 體 晶 片 之 單 元 / 垂 直 堆 疊
631	接 點 承 載 正 面
632	第 一 半 導 體 晶 片
633	第 一 半 導 體 晶 片 / 半 導 體 晶 片 之 背 面

634	第二半導體晶片
634A	第二半導體晶片
634B	第二半導體晶片
635	導線結合件
636	基板接點
637	導線結合件
638	間隔件/接點
640	跡線或引線
641	晶片之對立面
642	第二半導體晶片之正面
643	接點
644	跡線
645	導線結合件
647	接點
650	矽穿孔(「TSV」)
652	厚度
654	跡線
660	微電子封裝
662	半導體晶片
663A	半導體晶片
663B	半導體晶片
663C	半導體晶片
664	半導體晶片
665	導線結合件

668	散熱片/熱散播器
670	微電子封裝
671	鰭片
672	矽穿孔(「TSV」)
674	矽穿孔(「TSV」)
676	矽穿孔(「TSV」)
680	微電子封裝
690	微電子封裝
695	微電子總成
1100	微電子封裝
1102	基板
1104	第一端子
1108	基板之第一表面
1110	基板表面/第二表面
1112	中心區
1124	單一平面
1130	第一微電子元件
1131	第二微電子元件
1134	鄰近邊緣
1135	鄰近邊緣
1138	微電子元件之接點
1140	第一微電子元件及第二微電子元件之面
1142	第一微電子元件及第二微電子元件之面
1144	導電跡線

1146	導電導通孔
1148	基板接點
1150	軸面
1151	軸線
1152	端子之任何兩個鄰近行之間的最小間距
1154	中心區之寬度
1162	第二端子
1164	周邊區
1170	第一平行邊緣
1172	第二平行邊緣
1200	微電子封裝
1202	基板
1204	第一端子
1206	第二端子
1212	中心區
1230	第一微電子元件
1231	第二微電子元件
1233	第三微電子元件
1235	第四微電子元件
1250	軸面
1251	垂直軸線
1252	中心區之寬度
1260	周邊邊緣
1261	周邊邊緣

1262	周 邊 邊 緣
1263	周 邊 邊 緣
1270	第 一 平 行 邊 緣 / 格 柵
1272	格 柵
1274	格 柵
1276	格 柵
1300	微 電 子 封 裝
1302	基 板
1304	第 一 端 子
1310	基 板 表 面
1312	中 心 區
1316	封 裝 之 邊 緣
1318	封 裝 之 邊 緣
1330	第 一 微 電 子 元 件
1331	第 二 微 電 子 元 件
1332	第 三 微 電 子 元 件
1333	第 四 微 電 子 元 件
1342	第 一 方 向
1344	方 向
1354	寬 度
1356	寬 度
1357	寬 度
1360	第 一 邊 緣
1362	第 二 邊 緣

1370	平面
1370A	平面
1370B	平面
1372	矩形子區段區域
1500	系統
1501	外殼
1502	電路面板
1504	導體
1506	模組或組件
1508	電子組件/半導體晶片/處理器晶片
1510	電子組件/螢幕
1511	透鏡
1600	系統
1602	第二電路面板
1604	導體
1605	插槽
1606	組件
1607	接點
I	連接位點
II	連接位點
III	連接位點

七、申請專利範圍：

1. 一種微電子封裝，其包含：

一基板，其具有一第一表面、與該第一表面對置之一第二表面，及在該第一表面處曝露之複數個基板接點，該第二表面在一第一方向上且在橫向於該第一方向之一第二方向上延伸；

一微電子元件，其具有記憶體儲存陣列功能，該微電子元件具有面向該第一表面之一背面、與該第一表面對置之一正面，及各自在該正面與該背面之間延伸且平行於該正面在該第一方向上延伸的對置之第一邊緣及第二邊緣，該微電子元件具有在該正面處曝露之元件接點的一或多個行，每一行沿著該正面在一第一方向上延伸，使得垂直於該正面之一軸面沿著在該第一方向上延伸且相對於元件接點之該一或多個行而居中的一線與該正面相交；

導電結構，其將該等元件接點與該等基板接點電連接；及

端子之複數個平行的行，其在該第一方向上延伸、在該第二表面處曝露且與該等基板接點電連接，該等端子包括在該基板之該第二表面之一中心區中曝露的第一端子，該等第一端子經組態以攜載可由該封裝內之電路使用以自該微電子元件之一記憶體儲存陣列之所有可用可定址記憶體位置當中判定一可定址記憶體位置的位址資訊，且

其中該中心區在該第二方向上具有一寬度，該中心區之該寬度不超過該等端子之該等平行的行中之任何兩個鄰近行之間的一最小間距之3.5倍，且該軸面與該中心區相交。

2. 如請求項1之微電子封裝，其中第一微電子元件及第二微電子元件中之每一者體現數個主動裝置以提供記憶體儲存陣列功能，該數目大於用以提供任何其他功能之主動裝置的數目。
3. 如請求項1之微電子封裝，其中該等第一端子經組態以攜載可由該封裝內之該電路使用以判定該記憶體儲存陣列中之該可定址記憶體位置的所有該位址資訊。
4. 如請求項1之微電子封裝，其中該等第一端子經組態以攜載控制該微電子元件之一操作模式的資訊。
5. 如請求項4之微電子封裝，其中該等第一端子經組態以攜載傳送至該微電子封裝之所有命令信號，該等命令信號為寫入啟用信號、列位址選通信號及行位址選通信號。
6. 如請求項1之微電子封裝，其中該等第一端子經組態以攜載傳送至該微電子封裝之時脈信號，該等時脈信號為用於對攜載該位址資訊之信號進行取樣的時脈。
7. 如請求項1之微電子封裝，其中該等第一端子經組態以攜載傳送至該微電子封裝之所有記憶體庫位址信號。
8. 如請求項1之微電子封裝，其中該等端子經組態以將該微電子封裝連接至該微電子封裝外部之至少一組件。

9. 如請求項1之微電子封裝，其中該等元件接點包括在該微電子元件之該正面處曝露的重新分佈接點，每一重新分佈接點經由一跡線或一導通孔中之至少一者與該微電子元件之一接觸襯墊電連接。
10. 如請求項1之微電子封裝，其中該導電結構包括自該等元件接點延伸且與該等基板接點電連接之導線結合作件。
11. 如請求項1之微電子封裝，其中該等第一端子係配置於端子之該等行中的不超過兩行中。
12. 如請求項1之微電子封裝，其中該等第一端子係配置於端子之該等行中的一單一行中。
13. 如請求項1之微電子封裝，其中該等第一端子係配置於端子之該等行中的不超過四行中。
14. 如請求項1之微電子封裝，其中該基板具有在對置之該第一表面與該第二表面之間的對置之第一邊緣及第二邊緣，該第一邊緣及該第二邊緣在該第一方向上延伸，該第二表面具有分別鄰近於該第一邊緣及該第二邊緣之第一周邊區及第二周邊區，其中該中心區使該第一周邊區與該第二周邊區分離，

該等端子包括在該等周邊區中之至少一者中在該第二表面處曝露的複數個第二端子，該等第二端子中之至少一些經組態以攜載不同於該位址資訊之資訊。
15. 如請求項14之微電子封裝，其中該等第二端子中之至少一些經組態以攜載資料信號。
16. 如請求項1之微電子封裝，其中該基板包括一介電元

件，該介電元件在該介電元件之平面中具有小於每攝氏度百萬分之(「ppm/°C」) 30之一熱膨脹係數(「CTE」)。

17. 如請求項1之微電子封裝，其中該基板包括具有小於12 ppm/°C之一CTE之一元件。

18. 一種微電子封裝，其包含：

一基板，其具有一第一表面、與該第一表面對置之一第二表面，及在該第一表面處曝露之複數個基板接點，該第二表面在一第一方向上且在橫向於該第一方向之一第二方向上延伸；

一微電子元件，其具有記憶體儲存陣列功能，該微電子元件具有面向該第一表面之一背面、與該第一表面對置之一正面，及各自在該正面與該背面之間延伸且平行於該正面在該第一方向上延伸的對置之第一邊緣及第二邊緣，該微電子元件具有在該正面處曝露之元件接點的一或多個行，每一行沿著該正面在一第一方向上延伸，使得垂直於該正面之一軸面沿著在該第一方向上延伸且相對於元件接點之該一或多個行而居中之線與該正面相交；

導電結構，其將該等元件接點與該等基板接點電連接；及

端子之複數個平行的行，其沿著該第二表面在該第一方向上延伸且與該等基板接點電連接，該等端子包括在該基板之該第二表面之一中心區中在該第二表面處曝露的第一端子，該等第一端子經組態以攜載可由該封裝內

之電路使用以自該微電子元件之一記憶體儲存陣列之所有可用可定址記憶體位置當中判定一可定址記憶體位置的位址資訊之大部分，且

其中該中心區在該第二方向上具有一寬度，該中心區之該寬度不超過該等端子之該等平行的行中之任何兩個鄰近行之間的一最小間距之3.5倍，且該軸面與該中心區相交。

19. 如請求項18之微電子封裝，其中該等端子經組態以攜載可由該封裝內之該電路使用以判定該記憶體儲存陣列中之該可定址記憶體位置的該位址資訊之至少四分之三。

20. 一種微電子封裝，其包含：

一基板，其具有對置之第一表面及第二表面、在該第一表面處曝露之複數個第一基板接點及在該第一表面處曝露之複數個第二基板接點，該第一表面及該第二表面在一第一方向上且在橫向於該第一方向之一第二方向上延伸；及

第一微電子元件及第二微電子元件，其各自具有記憶體儲存陣列功能，該第一微電子元件及該第二微電子元件在該第一表面上彼此隔開且具有各自在該第一方向上延伸之平行的第一邊緣，其中垂直於該基板之該第一表面的一軸面在該第一方向上延伸且在該等第一邊緣間居中，該第一微電子元件及該第二微電子元件具有面向該第一表面之背面、與該等背面對置之正面，及在該等正面處曝露之複數個接點；

導電結構，其將該第一微電子元件及該第二微電子元件之該等接點與該等第一基板接點及該等第二基板接點分別電連接；及

端子之複數個平行的行，其在該第二表面處曝露且與該等第一基板接點及該等第二基板接點電連接，該等端子包括在該基板之該第二表面之一中心區中曝露的第一端子，該等第一端子經組態以攜載可由該封裝內之電路使用以自該第一微電子元件及該第二微電子元件之一記憶體儲存陣列之所有可用可定址記憶體位置當中判定一可定址記憶體位置的位址資訊，且

其中該中心區在該第二方向上具有一寬度，該中心區之該寬度不超過該等端子之該等平行的行中之任何兩個鄰近行之間的一最小間距之3.5倍，且該軸面與該中心區相交。

21. 如請求項20之微電子封裝，其中該第一微電子元件及該第二微電子元件中之每一者體現數個主動裝置以提供記憶體儲存陣列功能，該數目大於用以提供任何其他功能之主動裝置的數目。
22. 如請求項20之微電子封裝，其中該等第一端子經組態以攜載可由該封裝內之該電路使用以判定該記憶體儲存陣列中之該可定址記憶體位置的所有該位址資訊。
23. 如請求項20之微電子封裝，其中該等第一端子經組態以攜載控制該第一微電子元件及該第二微電子元件中之一微電子元件之一操作模式的資訊。

24. 如請求項20之微電子封裝，其中該等第一端子經組態以攜載傳送至該微電子封裝之時脈信號以及所有命令信號、位址信號及記憶體庫信號，該等命令信號為寫入啟用信號、列位址選通信號及行位址選通信號，且該等時脈信號為用於對攜載該位址資訊之信號進行取樣的時脈。
25. 如請求項20之微電子封裝，其中該第一微電子元件及該第二微電子元件之該等正面在平行於該基板之該第一表面的一單一平面中延伸。
26. 如請求項20之微電子封裝，其中該導電結構包括自該第一微電子元件及該第二微電子元件之該等接點延伸且與各別之該等第一基板接點及該等第二基板接點電連接的導線結合作。
27. 如請求項20之微電子封裝，其中該等第一端子係配置於端子之該等行中的不超過四行中。
28. 如請求項20之微電子封裝，其中該等微電子元件中之每一者的該等接點包括在該各別微電子元件之該正面處曝露的重新分佈接點，每一重新分佈接點經由一跡線或一導通孔中之至少一者與該各別微電子元件之一接觸襯墊電連接，該等重新分佈接點中之至少一些係沿著該微電子元件之該正面在至少一方向上自該各別微電子元件之該等接點移位。
29. 如請求項20之微電子封裝，其中該基板具有在對置之該第一表面與該第二表面之間的對置之第一邊緣及第二邊

緣，該第一邊緣及該第二邊緣在該第一方向上延伸，該第二表面具有分別鄰近於該第一邊緣及該第二邊緣之第一周邊區及第二周邊區，其中該中心區使該第一周邊區與該第二周邊區分離，

該等端子包括在該等周邊區中之至少一者中在該第二表面處曝露的複數個第二端子，該等第二端子中之至少一些經組態以攜載不同於該位址資訊之資訊。

30. 如請求項29之微電子封裝，其中該等第二端子中之至少一些經組態以攜載資料信號。

31. 一種微電子封裝，其包含：

一基板，其具有對置之第一表面及第二表面、在該第一表面處曝露之複數個第一基板接點及在該第一表面處曝露之複數個第二基板接點，該第一表面及該第二表面在一第一方向上且在橫向於該第一方向之一第二方向上延伸；及

第一微電子元件及第二微電子元件，其各自體現數個主動裝置以提供記憶體儲存陣列功能，該數目大於用以提供任何其他功能之主動裝置的數目，該第一微電子元件及該第二微電子元件在該第一表面上彼此隔開且具有各自在該第一方向上延伸之平行的第一邊緣，其中垂直於該基板之該第一表面的一軸面在該第一方向上延伸且在該等第一邊緣間居中，該第一微電子元件及該第二微電子元件具有面向該第一表面之背面、與該等背面對置之正面，及在該等正面處曝露之複數個接點；

導電結構，其在該等正面上方延伸，該導電結構將該第一微電子元件及該第二微電子元件之該等接點與該等第一基板接點及該等第二基板接點分別電連接；及

端子之複數個平行的行，其在該第二表面處曝露且與該等第一基板接點及該等第二基板接點電連接，該等端子包括在該基板之該第二表面之一中心區中曝露的第一端子，該等第一端子經組態以攜載可由該封裝內之電路使用以自該第一微電子元件及該第二微電子元件之一記憶體儲存陣列之所有可用可定址記憶體位置當中判定一可定址記憶體位置的位址資訊之大部分，且

其中該中心區在該第二方向上具有一寬度，該中心區之該寬度不超過該等端子之該等平行的行中之任何兩個鄰近行之間的一最小間距之3.5倍，且該軸面與該中心區相交。

32. 如請求項31之微電子封裝，其中該等端子經組態以攜載可由該封裝內之該電路使用以判定該記憶體儲存陣列中之該可定址記憶體位置的該位址資訊之至少四分之三。

八、圖式：

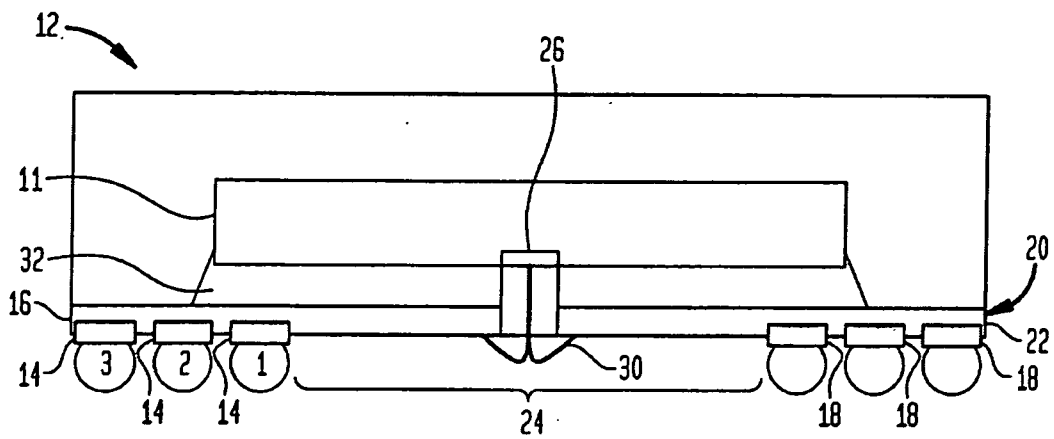


圖1

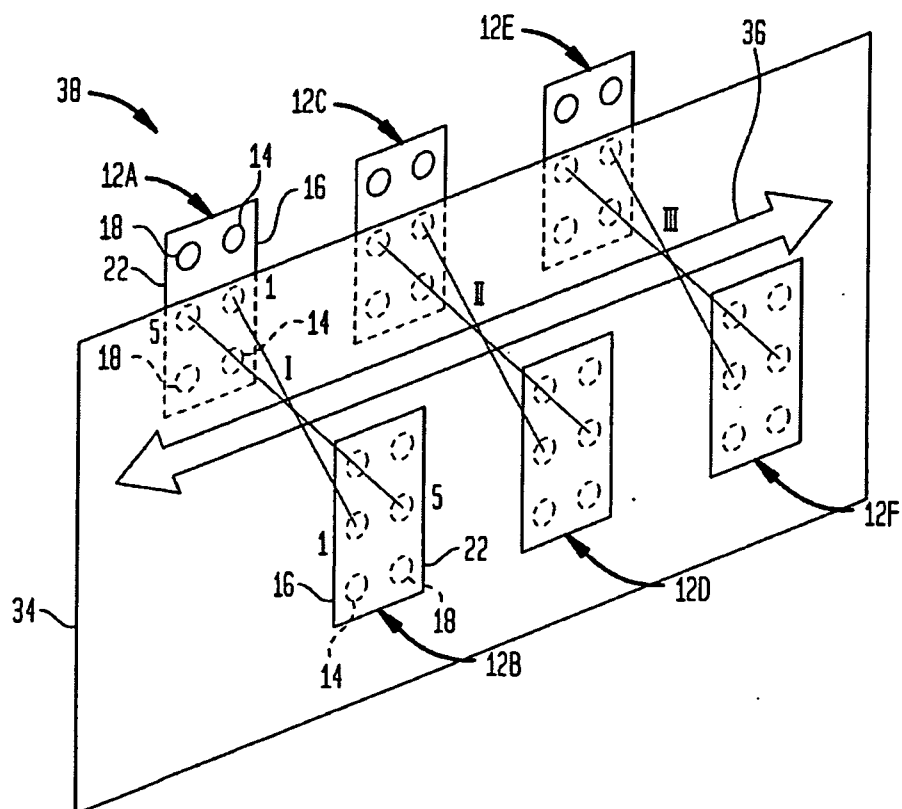


圖2

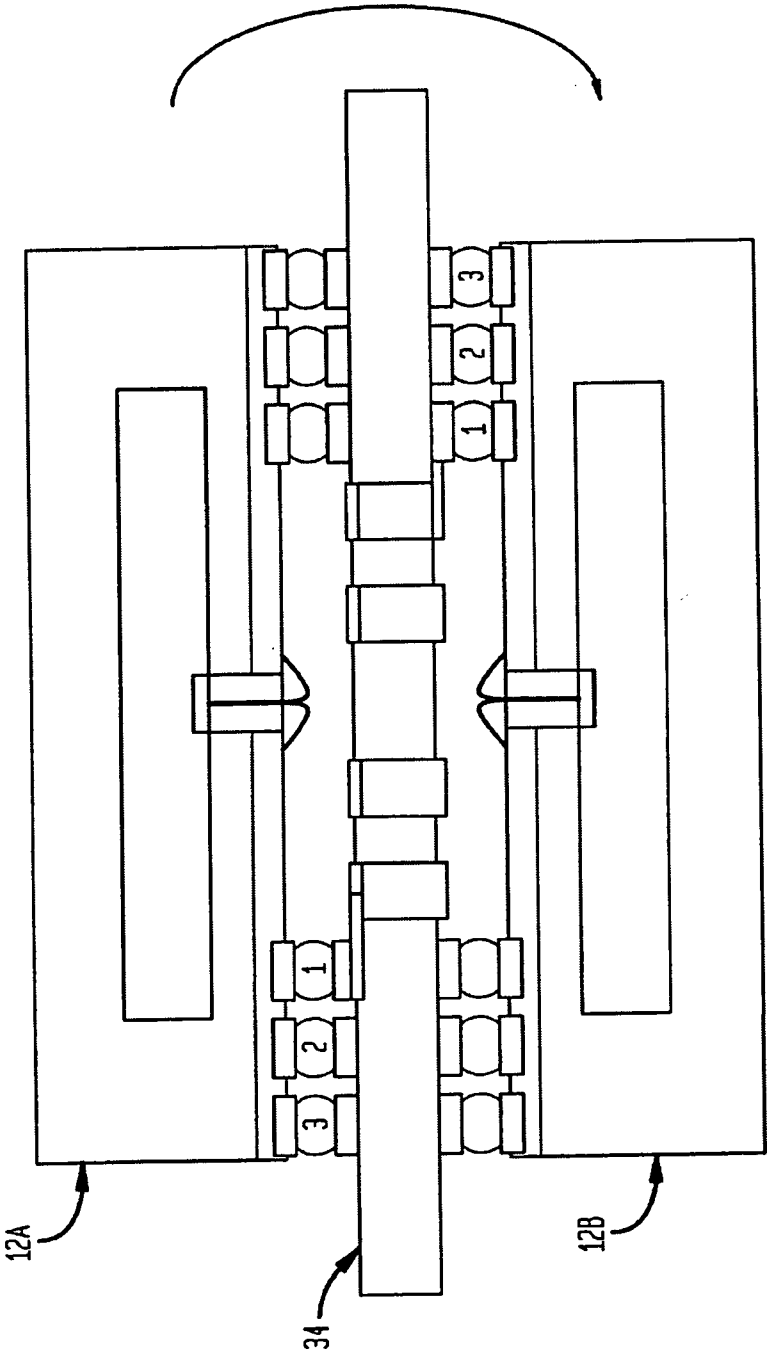


圖 3



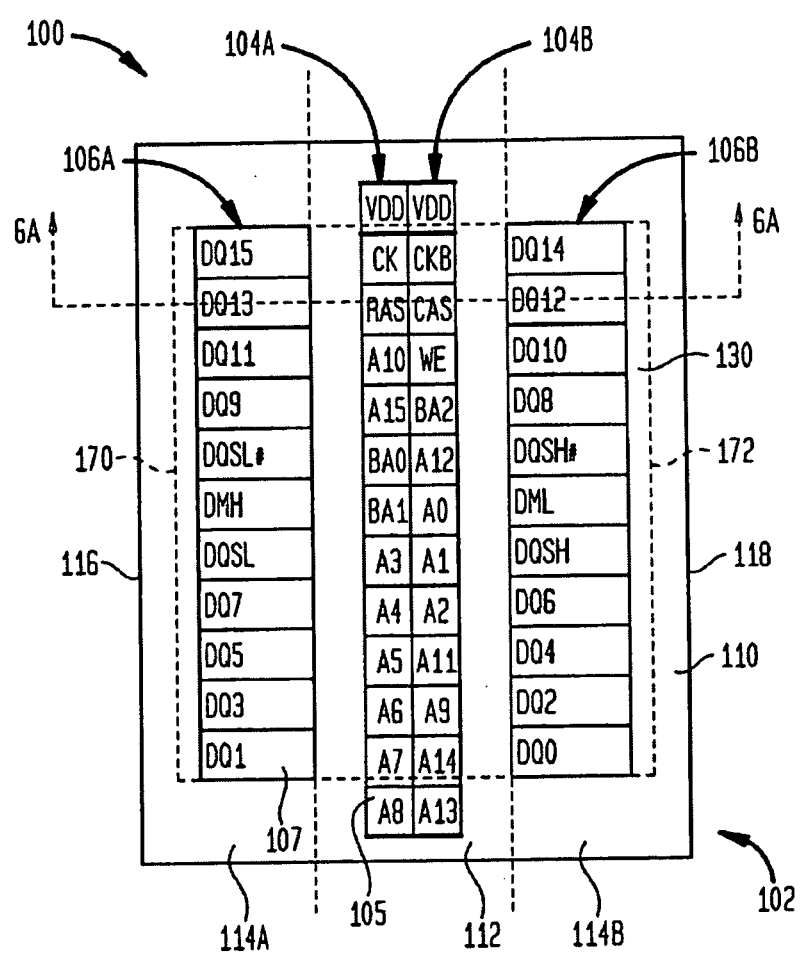


圖 5

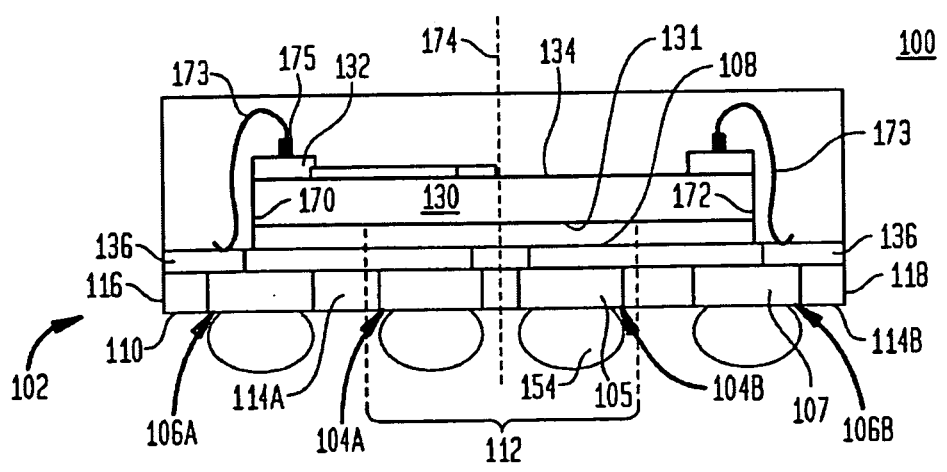


圖 6A

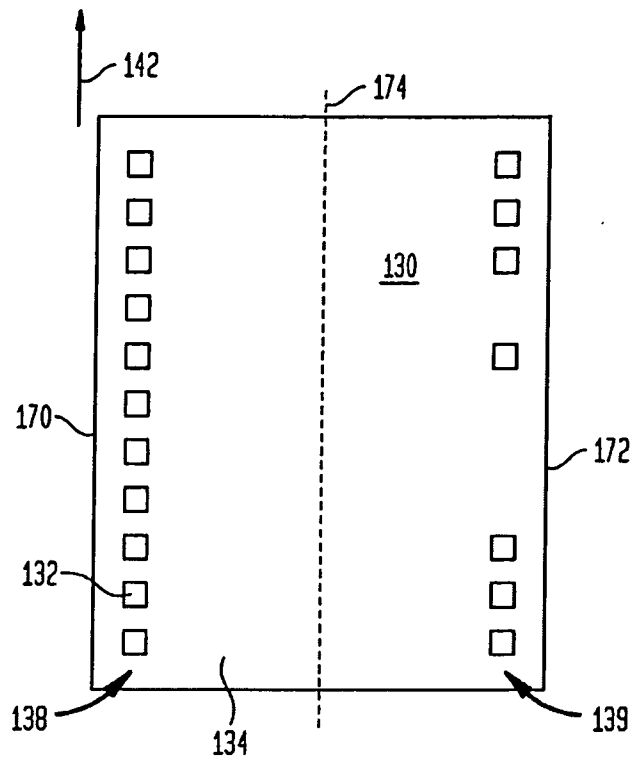


圖 6B

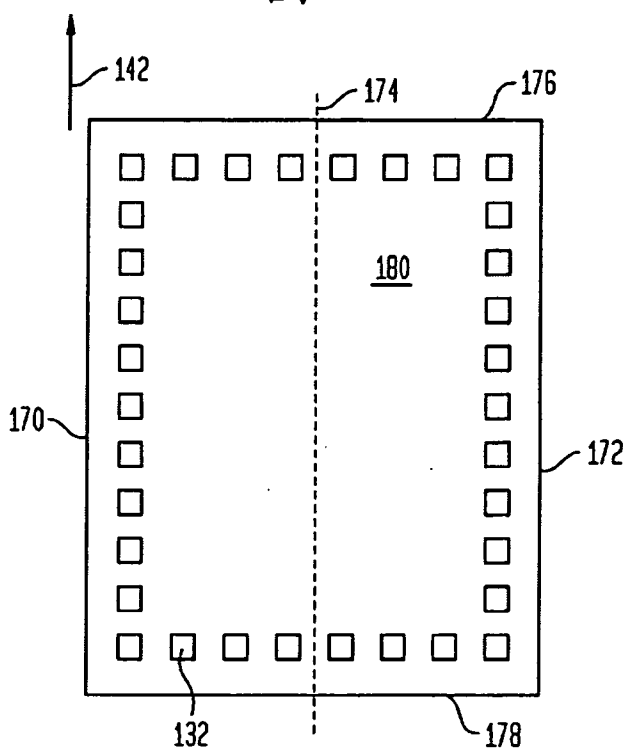


圖 6C

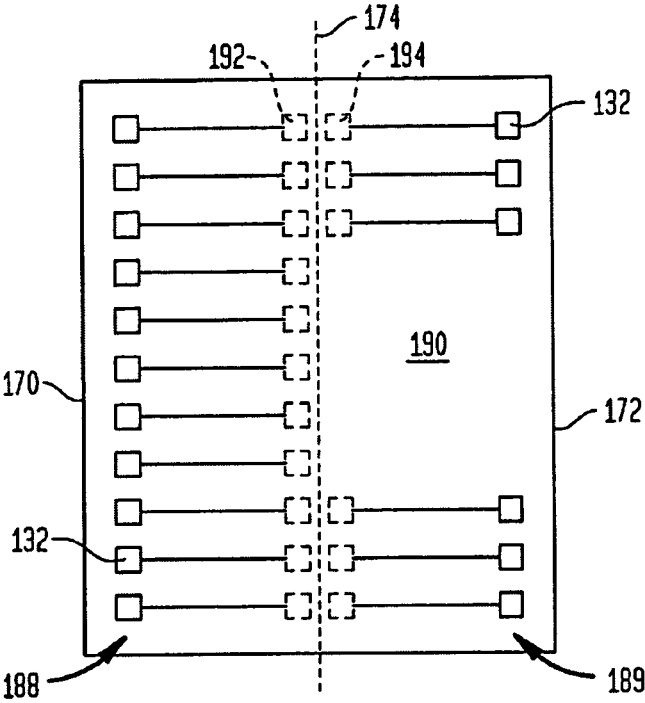


圖 6D

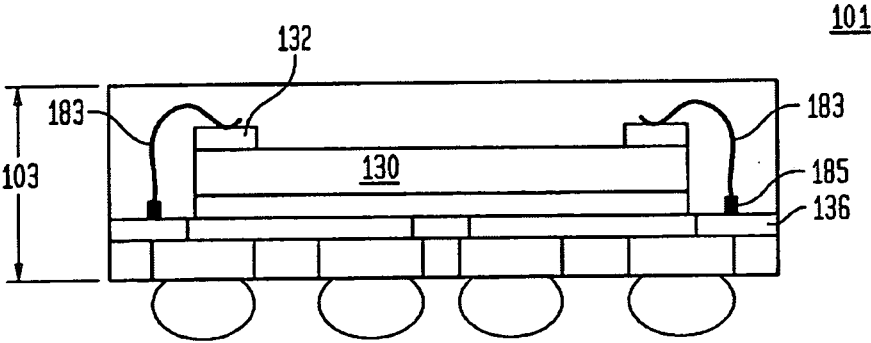


圖 6E

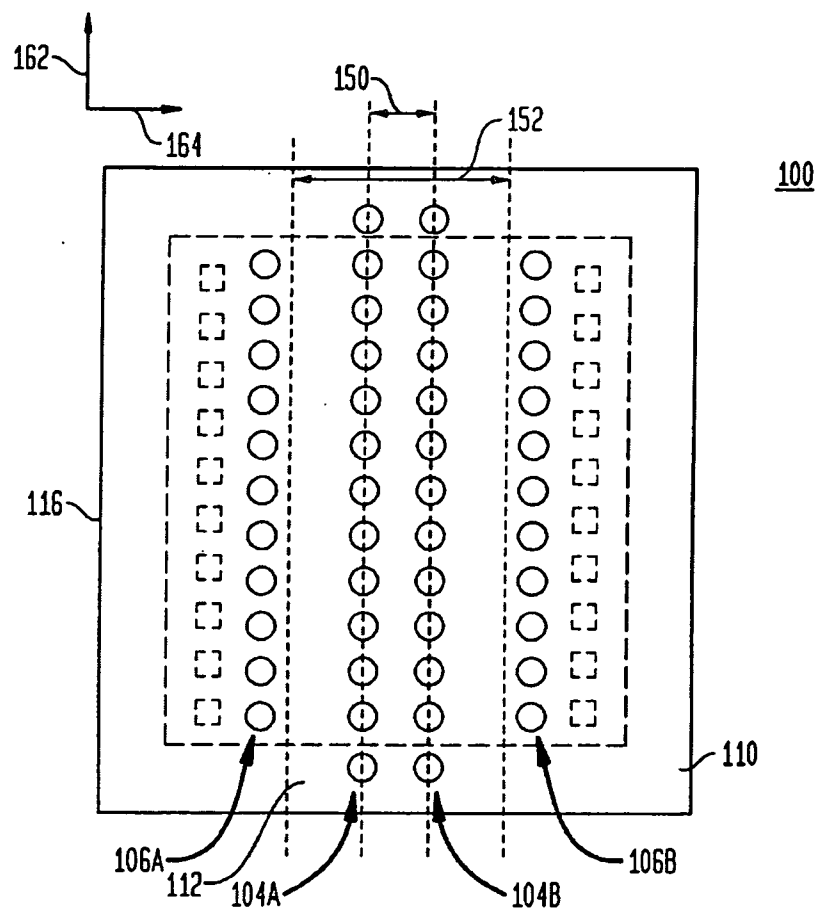


圖 7A

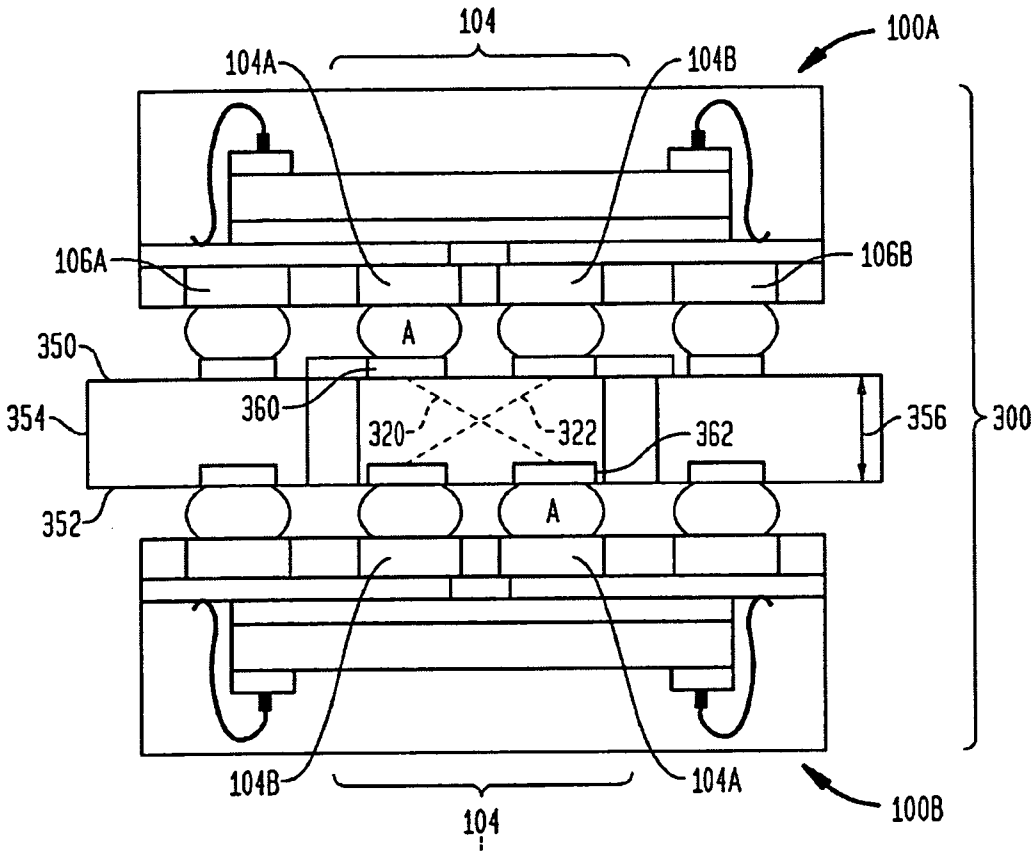


圖 7B

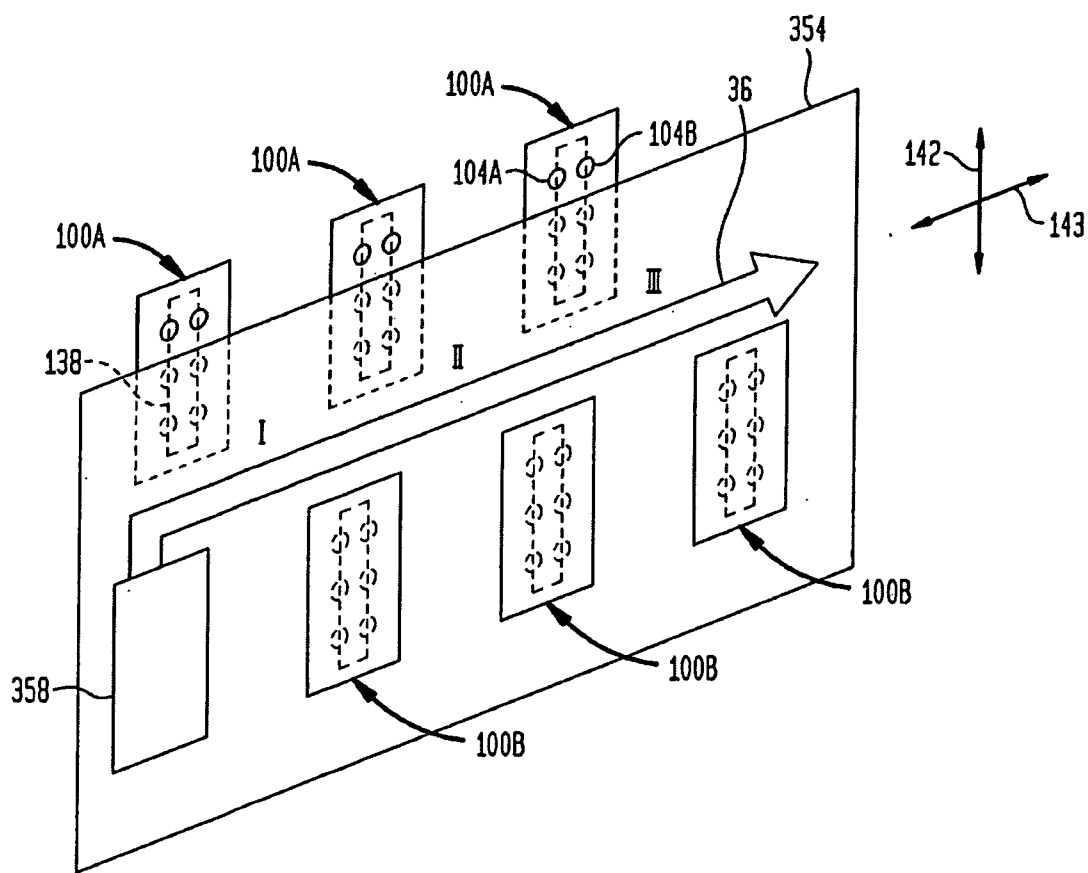


圖 7C

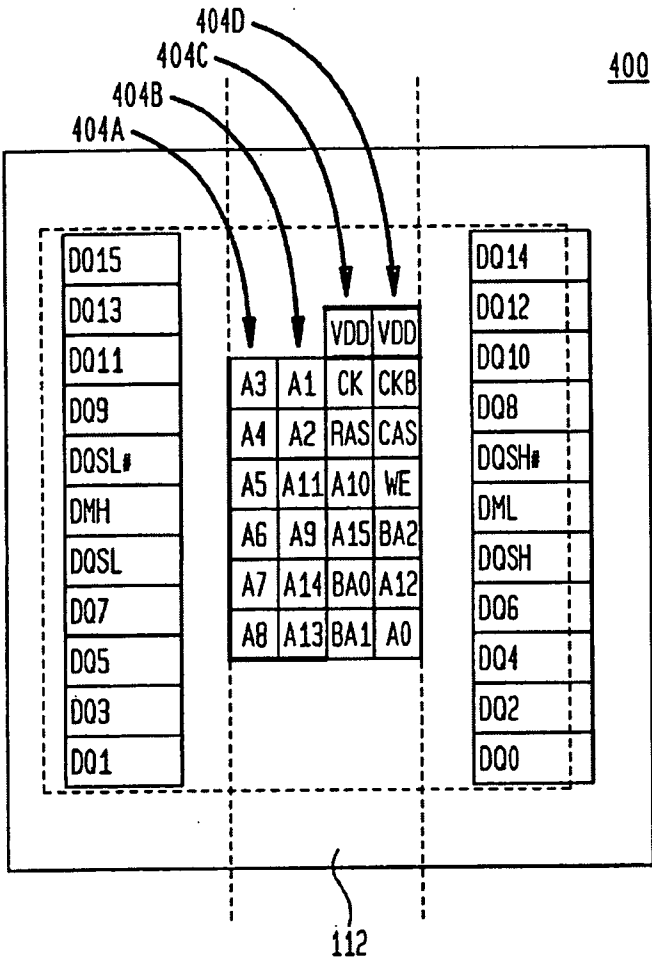


圖 8

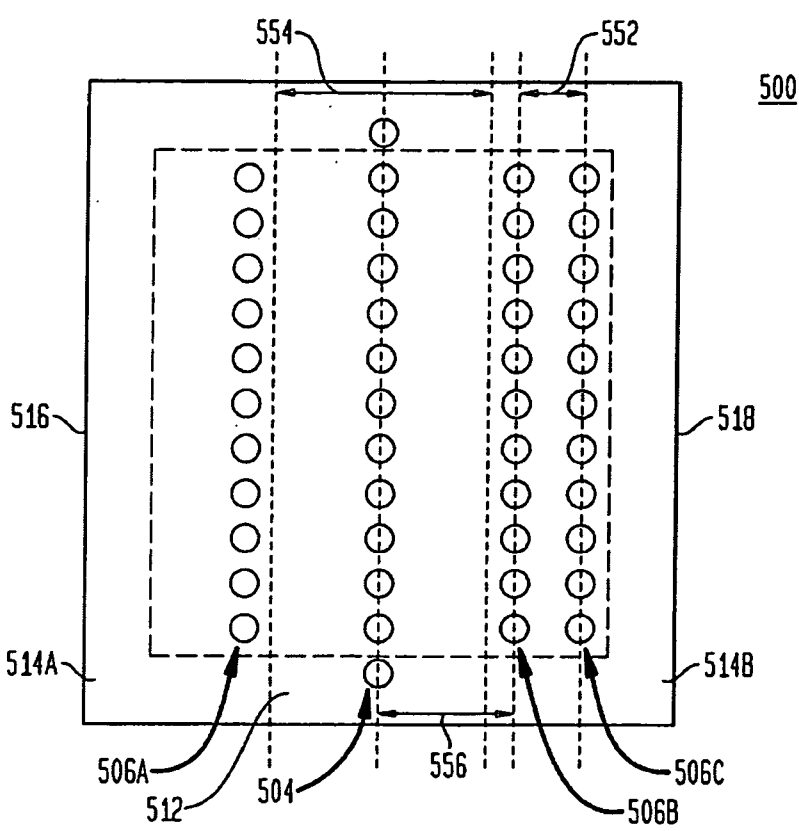


圖 9A

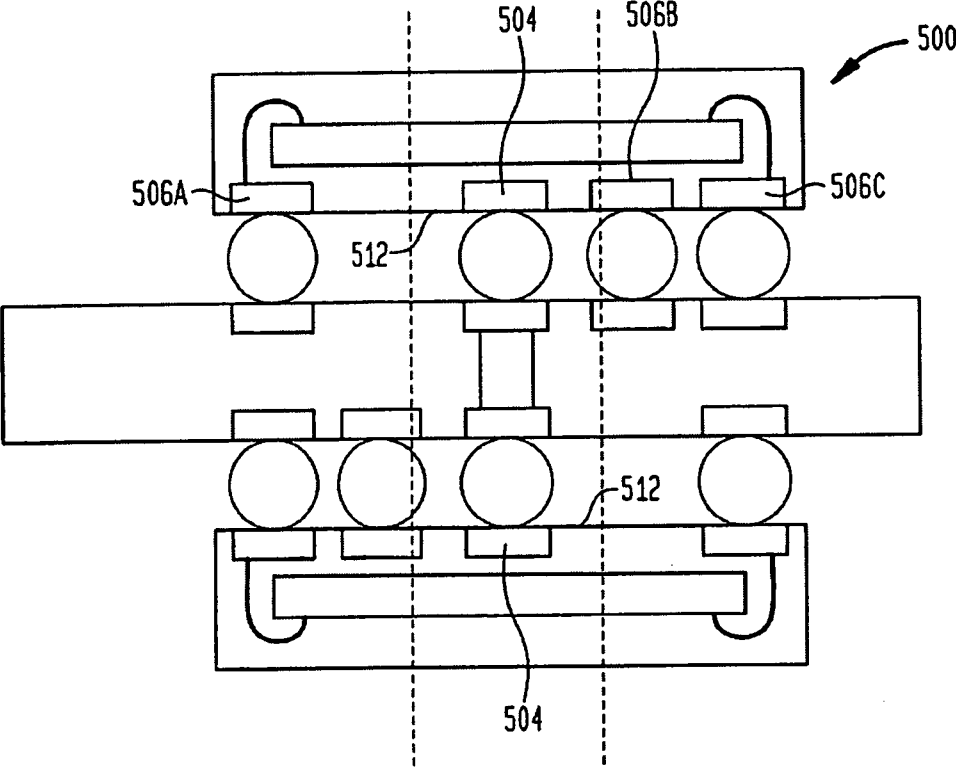


圖 9B

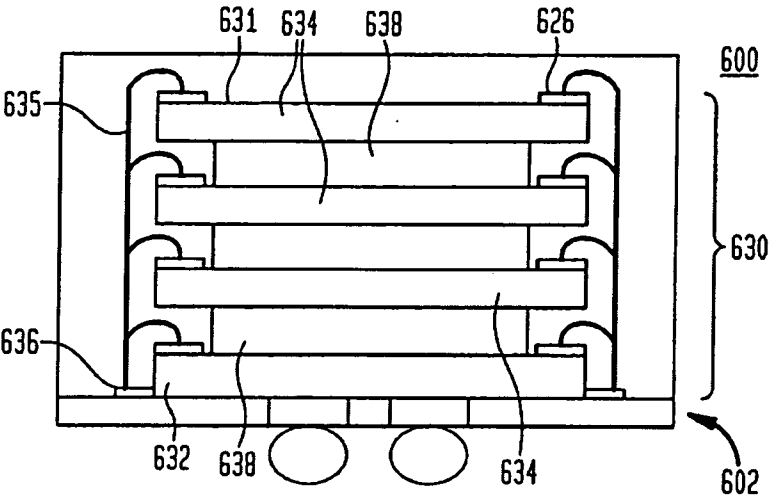


圖 10A

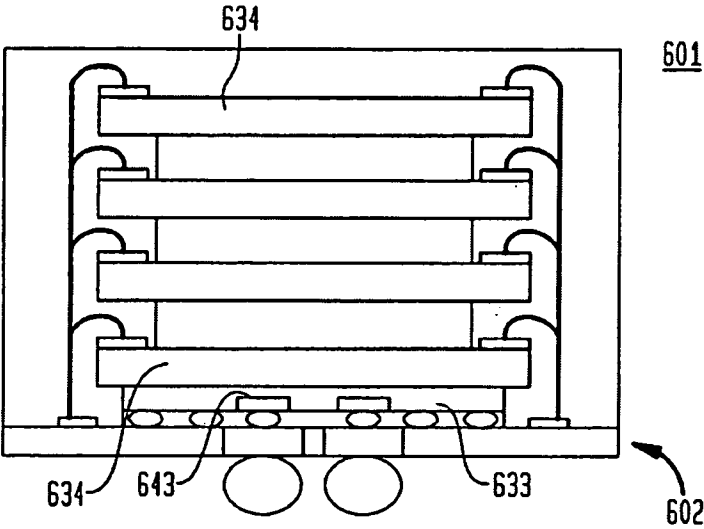


圖 10B

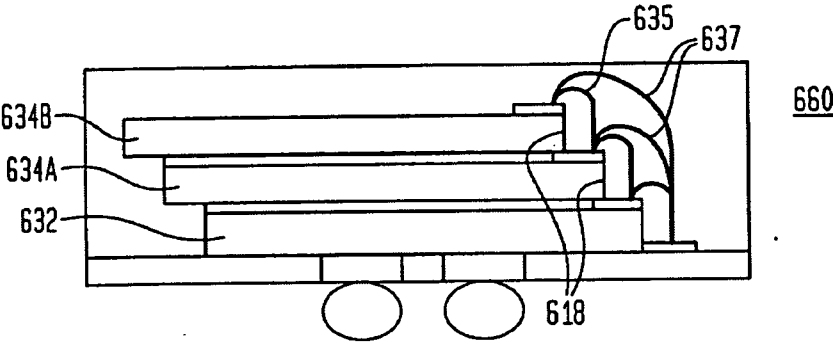


圖 11A

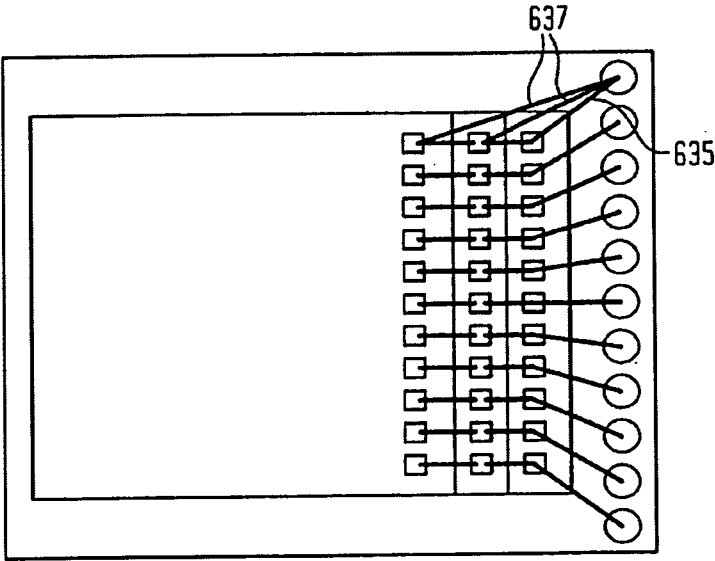


圖 11B

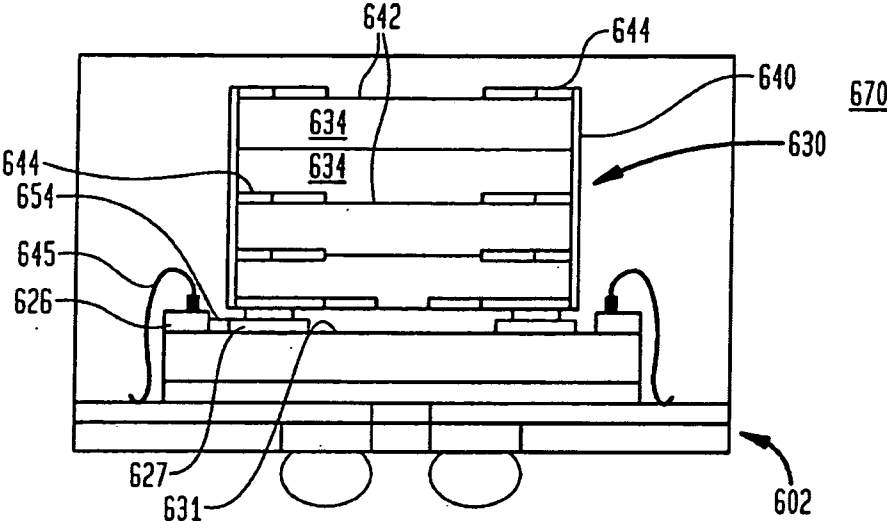


圖 12

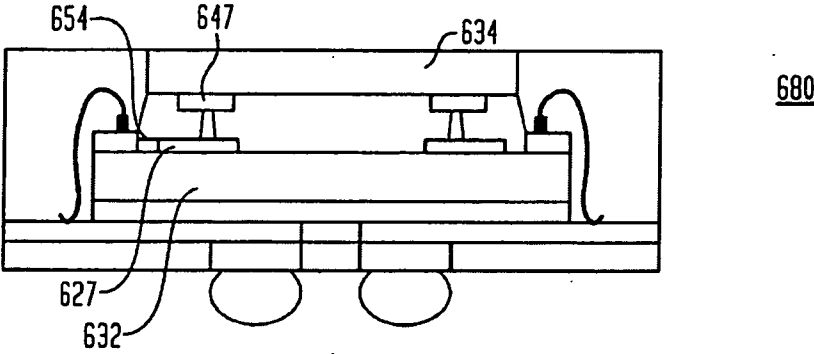


圖 13A

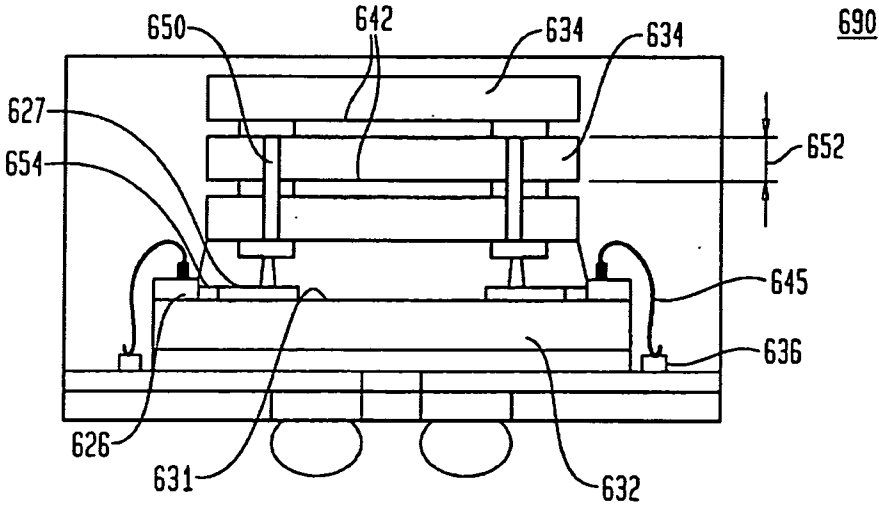


圖 13B

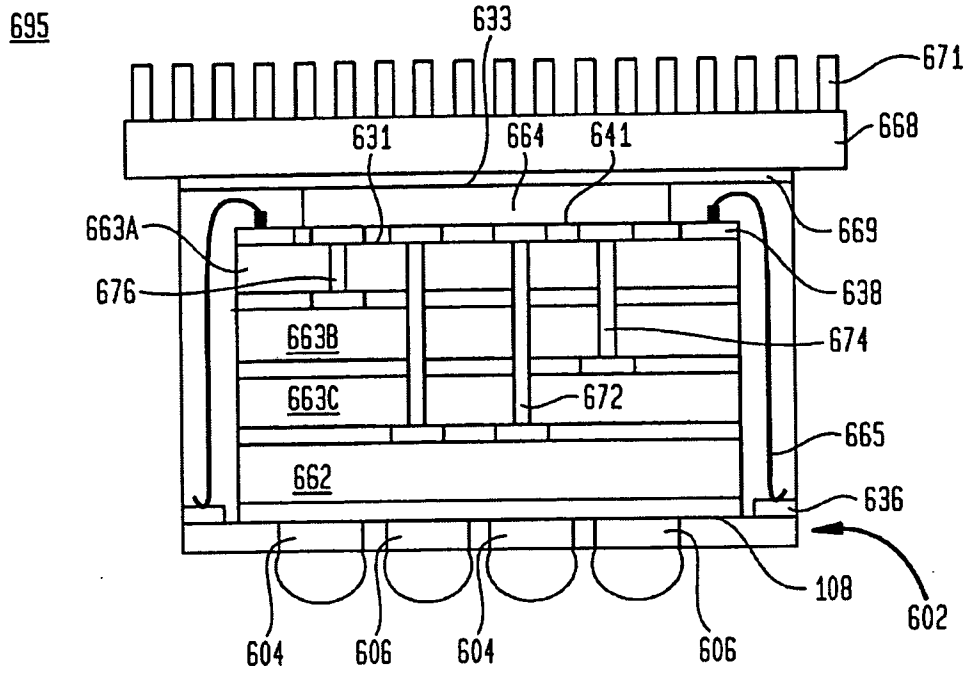


圖 13C

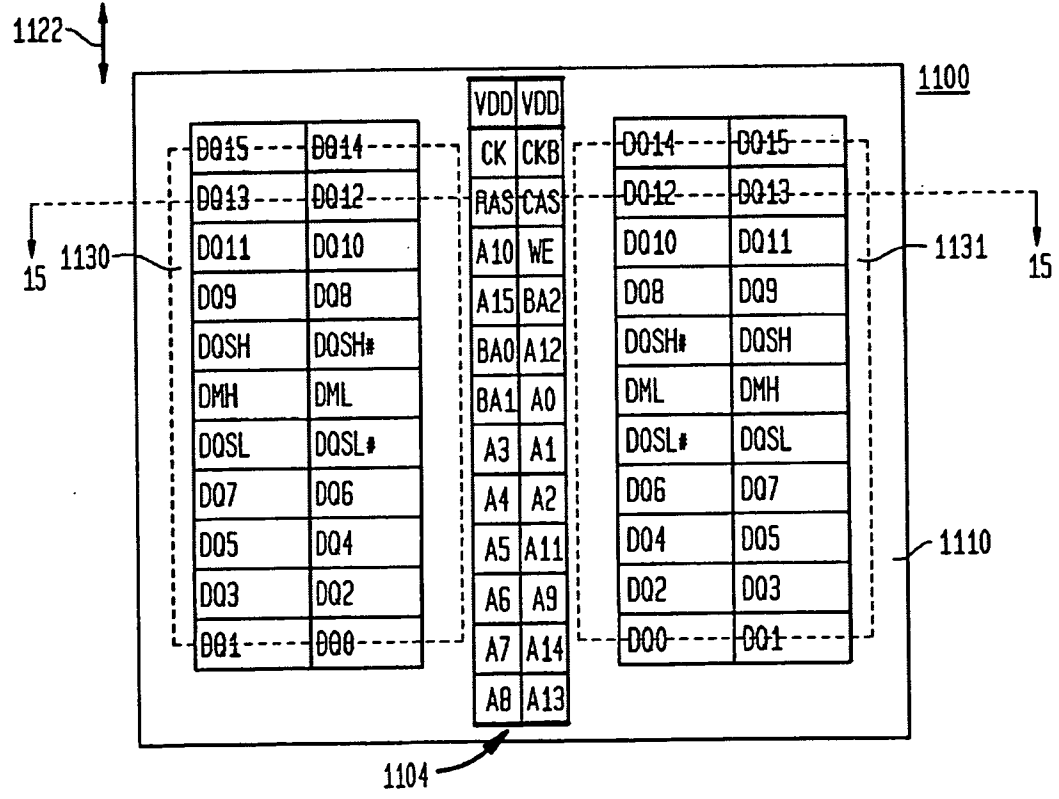


圖 14A

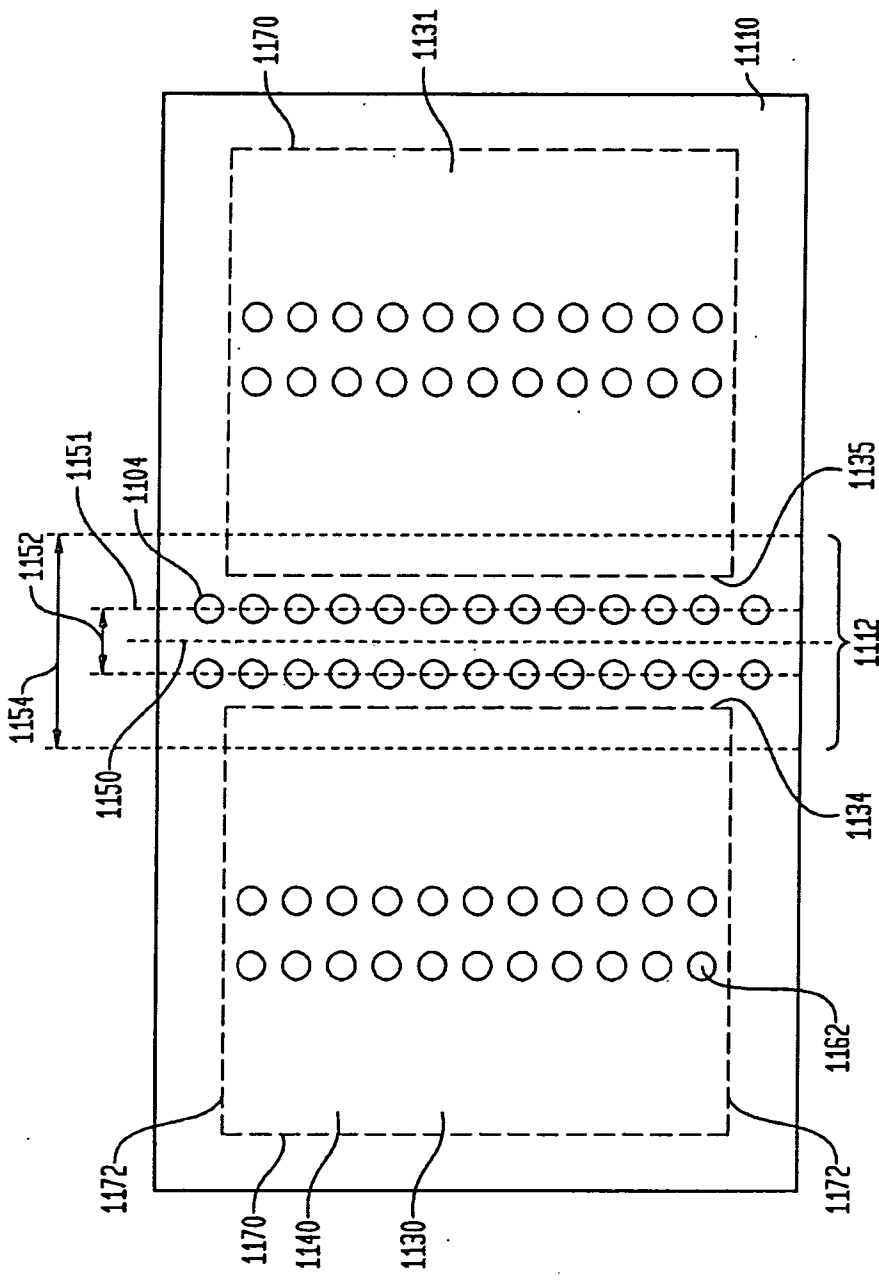


圖 14B

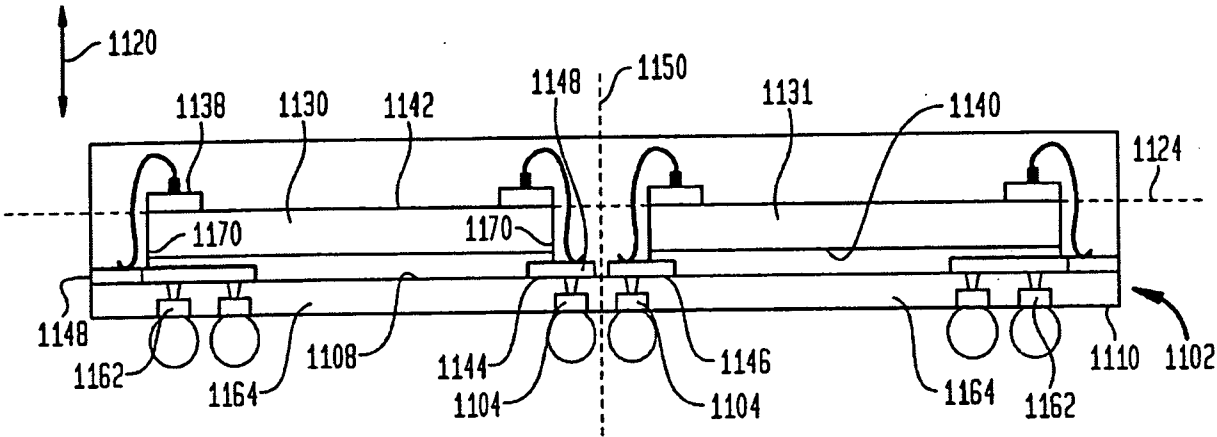


圖 15

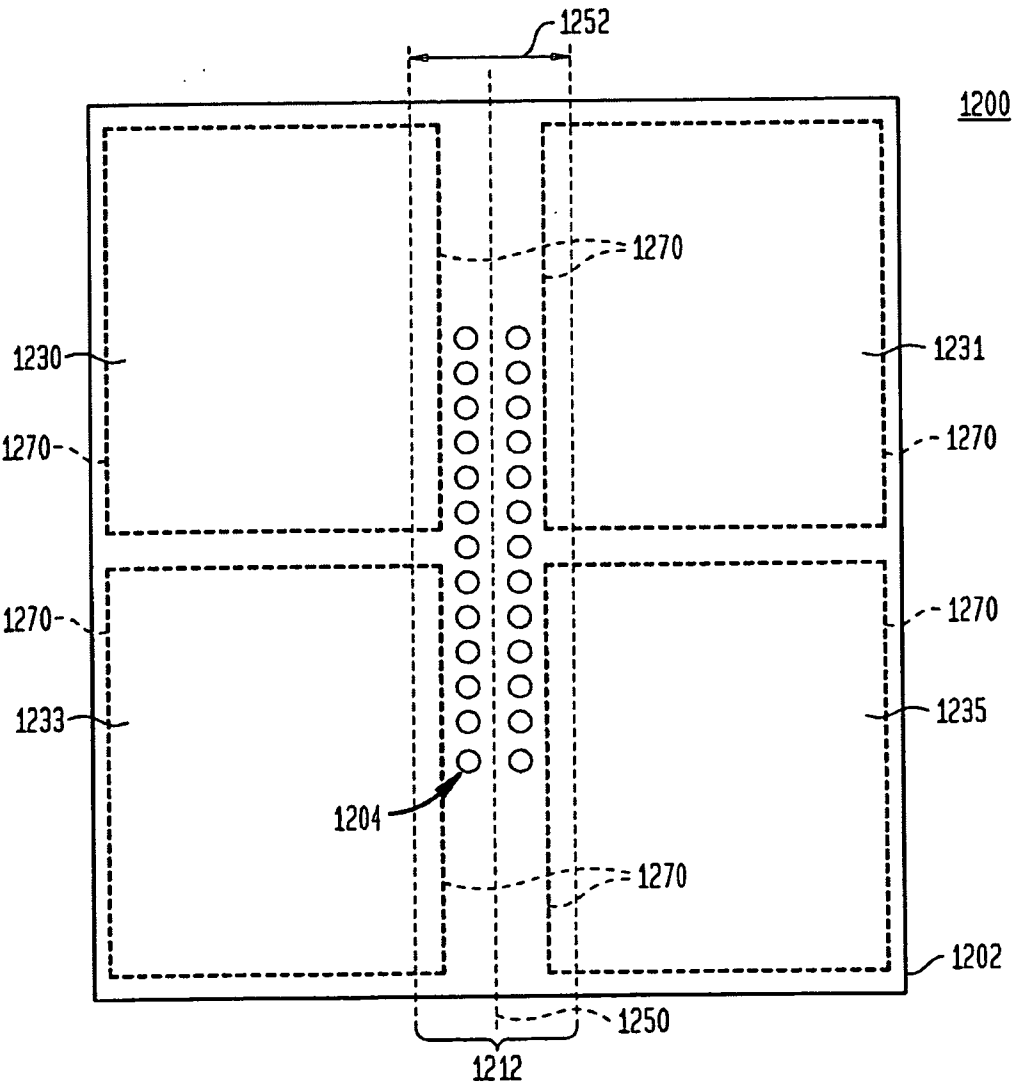


圖 16A

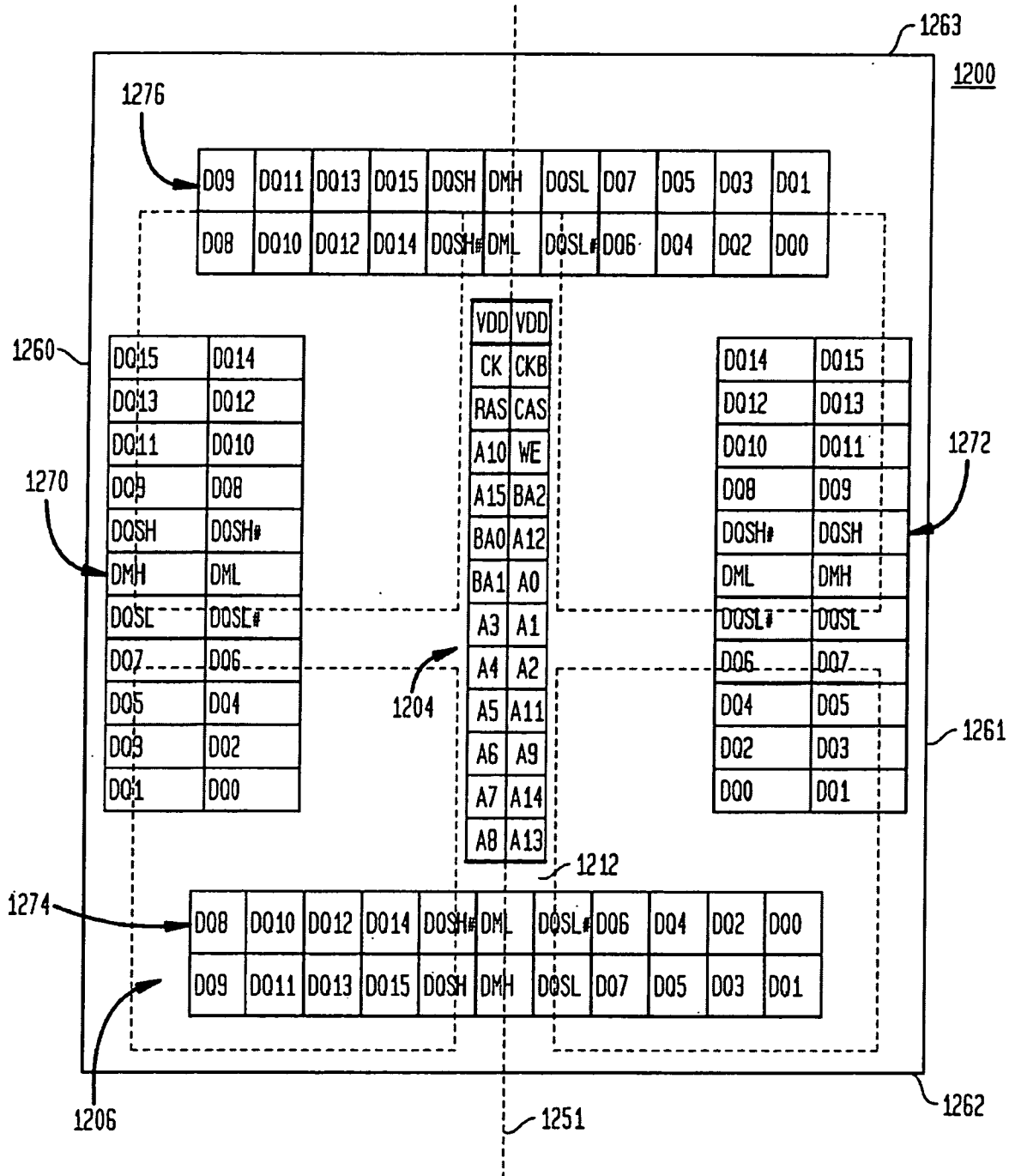


圖 16B

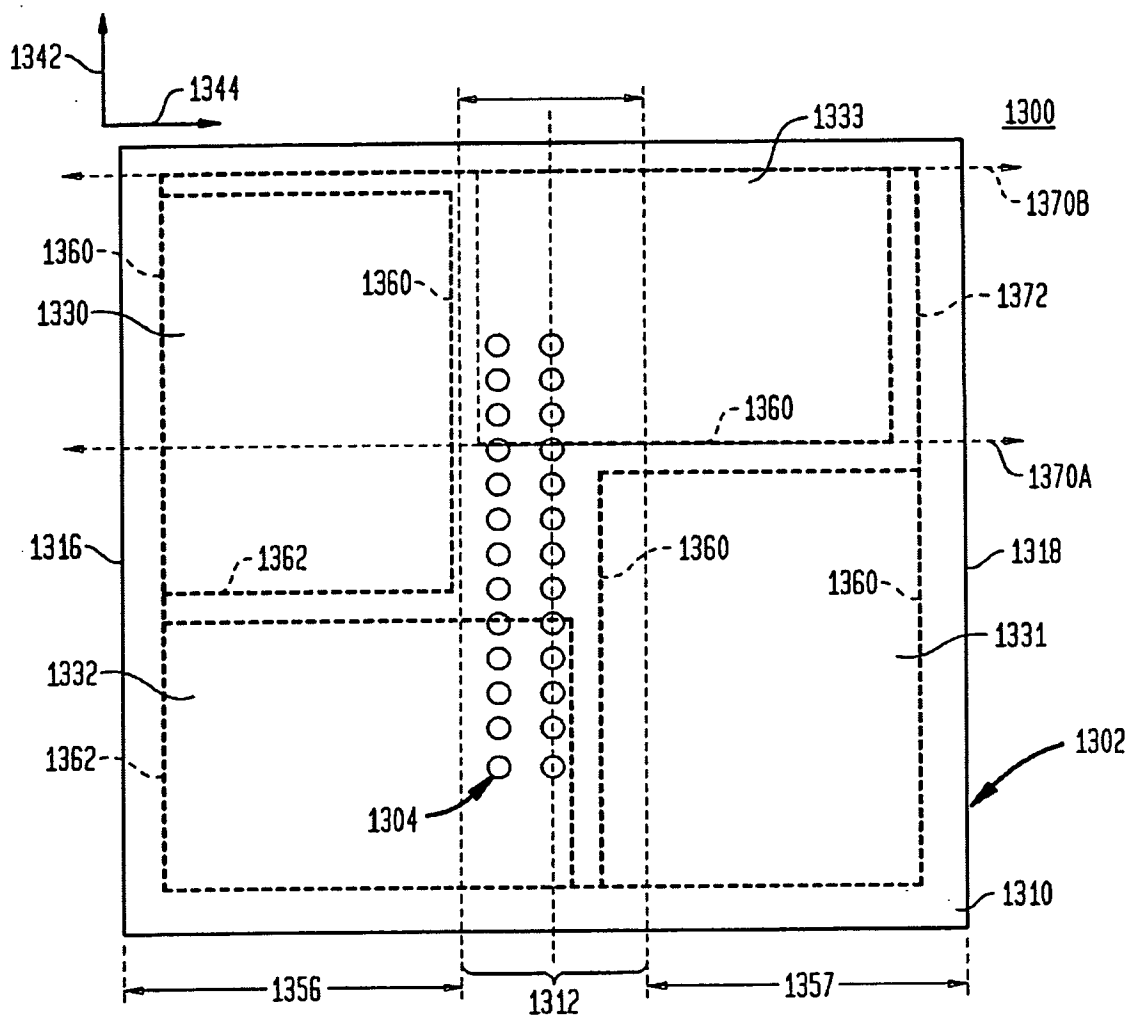


圖 17A

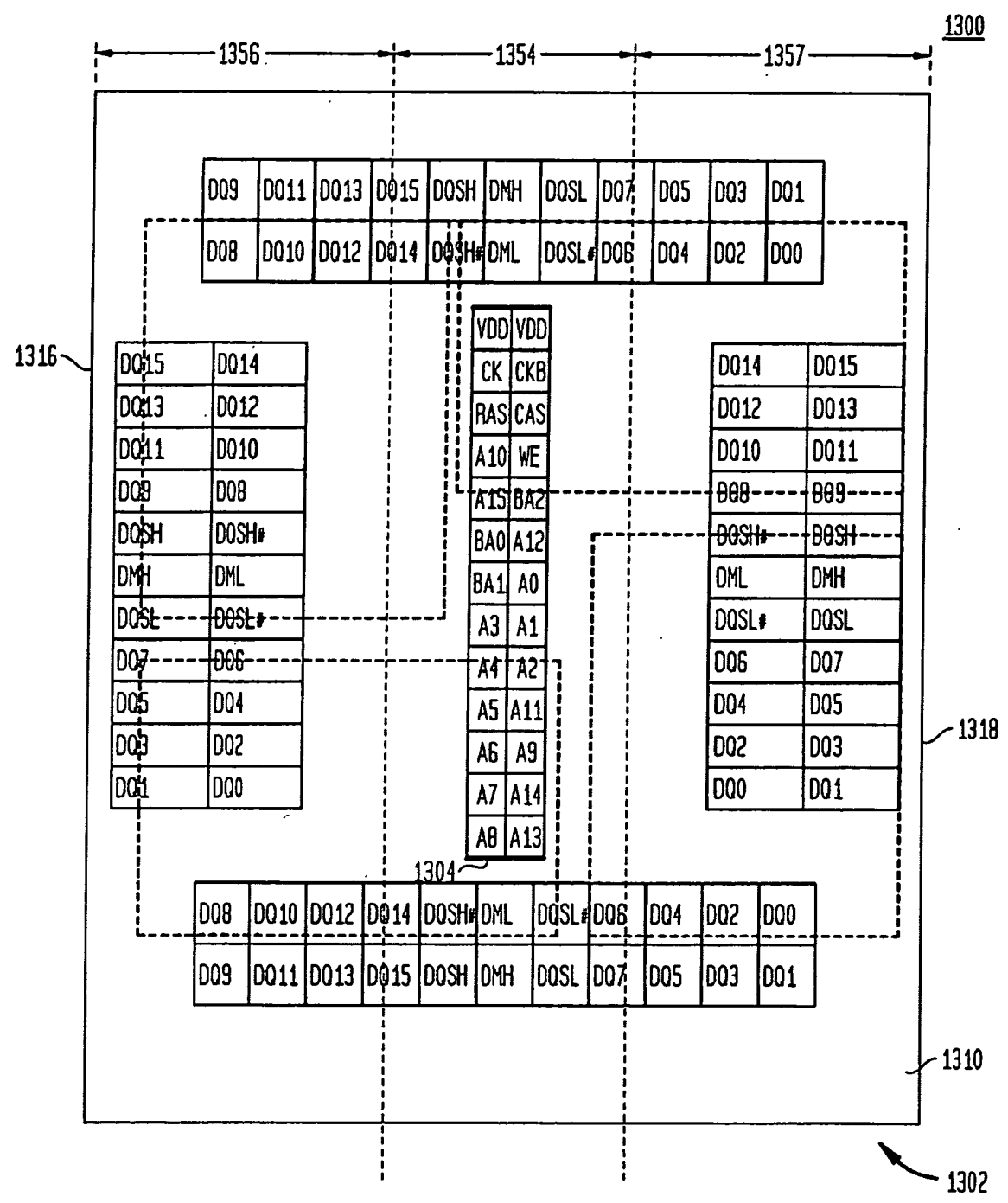


圖 17B

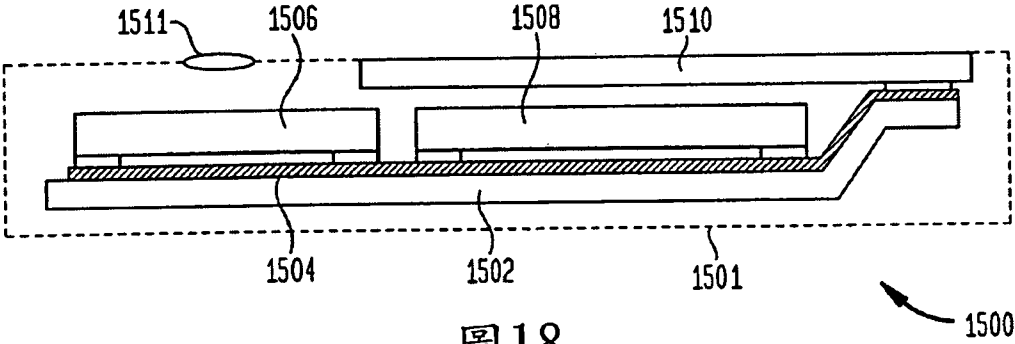


圖18

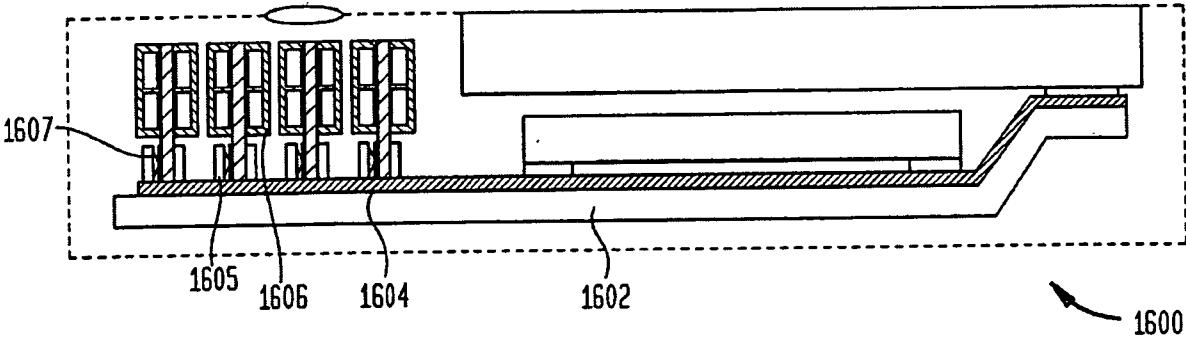


圖19