



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

203476

(11)

(B1)

(51) Int. Cl.³
G 11 C 8/00

/22/ Přihlášeno 25 09 78
/21/ /PV 6198-78/
/23/ Právo přednosti od 13 09 78
Mezinárodní strojírenský veletrh
Brno 1978

(40) Zveřejněno 30 06 80

(45) Vydáno 15 12 82

(75)

Autor vynálezu

BARTŮŇEK IVAN ing., DRÁPAL STANISLAV ing., KRYŠKA JAN ing.
a STRONER PETR ing., PRAHA

(54) Zapojení obvodu pro adresní výběr pevných pamětí s vnitřním cyklem

1

Vynález se týká zapojení obvodu pro adresní výběr pevných pamětí s vnitřním cyklem, které vytváří potřebnou posloupnost adres pevných pamětí a umožňuje cyklické průchody skupinou adres a přeskoky adres.

Dosud známá zapojení řeší daný problém např. tak, že vytváří nastavený počet sekvencí adres a realizuje skoky podmíněné obsahem pamětí. Takové zapojení je doplněno složitým logickým obvodem a kladé vyšší požadavky na potřebný počet adres pevné paměti.

Jiná zapojení umožňují provádění přeskoků, avšak bez zpětné vazby od výsledku prováděné adresy. Opakování jisté posloupnosti adres je zde řešeno zadáním počáteční a konečné adresy, mezi kterými mají adresy probíhat. Běžná adresa se porovnává v komparátoru s konečnou adresou a v případě shody je nahrazována adresou počáteční.

Všechna tato řešení jsou náročná na materiál a vyžadují v provozu navíc čas potřebný pro vyhodnocování stavu.

Nevýhody známých zapojení odstraňuje zapojení obvodu pro adresní výběr pevných pamětí s vnitřním cyklem dle vynálezu, které sestává z paměťového bloku, adresního registru, registru návratové adresy, slučovacího bloku, řídicího bloku, vstupního registru a převáděcího obvodu. Jeho podstata spočívá v tom, že skupinový výstup vstupního registru je spojen se skupinovým vstupem převáděcího obvodu. Skupinový výstup převáděcího obvodu je spojen s prvním skupinovým vstupem slučovacího bloku. Druhý skupinový vstup slučovacího bloku je spojen s prvním skupinovým výstupem paměťového bloku.

Druhý skupinový výstup paměťového bloku je spojen se skupinovým vstupem řídicího bloku. Sedmý výstup řídicího bloku je spojen se čtecím vstupem paměťového bloku. Adresní skupinový

vstup paměťového bloku je spojen se druhým skupinovým výstupem adresního registru. Skupinový vstup adresního registru je spojen se skupinovým výstupem slučovacího bloku. Třetí skupinový vstup slučovacího bloku je spojen se skupinovým výstupem registru návratové adresy. Adresní skupinový vstup registru návratové adresy je spojen s prvním skupinovým výstupem adresního registru.

Čtecí vstup adresního registru je spojen s pátým výstupem řídícího bloku. Čtvrtý výstup řídícího bloku je spojen se zápisovým vstupem registru návratové adresy. Přepisovací vstup adresního registru je spojen se šestým výstupem řídícího bloku. Třetí výstup řídícího bloku je spojen se třetím přepisovacím vstupem slučovacího bloku. Druhý přepisovací vstup slučovacího bloku je spojen se druhým výstupem řídícího bloku. První výstup řídícího bloku je spojen s prvním přepisovacím vstupem slučovacího bloku. První vybuzovací vstup slučovacího bloku je spojen s osmým výstupem řídícího bloku. Devátý výstup řídícího bloku je spojen s druhým vybuzovacím vstupem slučovacího bloku.

Zapojení obvodu pro adresní výběr pevných pamětí s vnitřním cyklem dle vynálezu má oproti dosud známým zapojením rozsáhlejší funkci při zároveň jednodušší konstrukci. Zapojením dle vynálezu bylo dosaženo rovněž časových úspor, neboť odpadají prodlevy potřebné pro vyhodnocování adres. Generace adresy pamětí se provádí vždy o krok předem, takže po přečtení běžné adresy z paměti je možno bez prodlevy přikročit ke čtení další adresy. Adresu paměti lze pomocí zapojení dle vynálezu vytvářet několika způsoby, a to převedením obsahu vstupního registru pomocí převáděcího obvodu, přepsáním obsahu registru návratové adresy, zavedením z výstupů pevné paměti a kromě toho jednodrátkovým vybuzením standardní adresy.

Na připojeném obrázku je znázorněno schematicky zapojení dle vynálezu. Jednotlivé bloky uvedené na schématu lze charakterizovat následujícím způsobem:

Paměťový blok 1 obsahuje polovodičovou paměť, dekodér adresy a vstupní a výstupní obvody paměti. Adresní registr 2 je tvořen čítačem s paralelním zápisem. Registr 3 návratové adresy je sestaven z klopných obvodů. Slučovací blok 4 realizuje na součinnových hradlech s otevřenými kolektory součet jednotlivých vstupů. Řídící blok 5 se skládá ze součtových a součinnových hradel a klopných obvodů. Vstupní registr 6 je tvořen klopnými obvody. Převáděcí obvod 7 se skládá z obvodů typu součtových a součinnových hradel.

Skupinový výstup 61 vstupního registru 6 je spojen se skupinovým vstupem 71 převáděcího obvodu 7. Skupinový výstup 72 převáděcího obvodu 7 je spojen s prvním skupinovým vstupem 44 slučovacího bloku 4. Druhý skupinový vstup 45 slučovacího bloku 5 je spojen s prvním skupinovým vstupem 13 paměťového bloku 1. Druhý skupinový výstup 14 paměťového bloku 1 je spojen se skupinovým vstupem 510 řídícího bloku 5. Sedmý výstup 57 řídícího bloku 5 je spojen se čtecím vstupem 12 paměťového bloku 1. Adresní skupinový vstup 11 paměťového bloku 1 je spojen se druhým skupinovým výstupem 25 adresního registru 2. Skupinový vstup 23 adresního registru 2 je spojen se skupinovým výstupem 49 slučovacího bloku 4.

Třetí skupinový vstup 46 slučovacího bloku 4 je spojen se skupinovým výstupem 33 registru 3 návratové adresy. Adresní skupinový vstup 32 registru 3 návratové adresy je spojen s prvním skupinovým výstupem 24 adresního registru 2. Čtecí vstup 21 adresního registru 2 je spojen s pátým výstupem 55 řídícího bloku 5. Čtvrtý výstup 54 řídícího bloku 5 je spojen se zápisovým vstupem 31 registru 3 návratové adresy. Přepisovací vstup 22 adresního registru 2 je spojen se šestým výstupem 56 řídícího bloku 5. První výstup 51 řídícího bloku 5 je spojen s prvním přepisovacím vstupem 41 slučovacího bloku 4. Druhý výstup 52 řídícího bloku 5 je spojen s druhým přepisovacím vstupem 42 slučovacího bloku 4.

Třetí výstup 53 řídícího bloku 5 je spojen se třetím přepisovacím vstupem 43 slučovacího bloku 4. Osmý výstup 58 řídícího bloku 5 je spojen s prvním vybuzovacím vstupem 47 slučovacího bloku 4. Devátý výstup 59 řídícího bloku 5 je spojen se druhým vybuzovacím

vstupem 48 slučovacího bloku 4. Obvod slouží pro adresní výběr pevné paměti, která je součástí paměťového bloku 1. Vybraná adresa pevné paměti se vede ze druhého skupinového výstupu 25 adresního registru 2 do adresního skupinového vstupu 11 paměťového bloku 1. Přitom adresa uložená v adresním registru 2 vždy předchází o jeden krok adresu paměťové buňky, která se právě zpracovává. Do adresního registru 2 se vybraná adresa buď nahrává do jeho skupinového vstupu 23, a to z výstupu 42 slučovacího bloku 4, nebo se vybraná adresa získává krokováním signálem, který vede z řídicího bloku 5 do čítacího vstupu 21 adresního registru 2. Ve slučovacím bloku 4 se vytváří adresa pěti následujícími způsoby.

První způsob je přepsáním dat uložených ve vstupním registru 6, upravených v převáděcím obvodu 7 a přivedených na první skupinový vstup 44 slučovacího bloku 4 pomocí signálu na jeho prvním prepisovacím vstupu 41. Druhý způsob je přepsáním adresy, uložené v pevné paměti, přiváděné z prvního skupinového výstupu 13 paměťového bloku 1 na druhý skupinový vstup 45 slučovacího bloku 4 pomocí signálu na druhém prepisovacím vstupu 42 slučovacího bloku 4. Třetí způsob se provádí přepsáním obsahu registru 3 návratové adresy, který se přivádí z jeho skupinového výstupu 33 na třetí skupinový vstup 46 slučovacího bloku 4 pomocí signálu na třetím prepisovacím vstupu 43 slučovacího bloku 4. Do registru 3 návratové adresy se průběžně přepisuje obsah adresního registru 2.

V okamžiku, kdy dojde v řídicím bloku 5 k vyhodnocení přeskočení adresy na základě dat, čtených z pevné paměti a přiváděných ze druhého skupinového výstupu 14 paměťového bloku 1 do skupinového vstupu 510 řídicího bloku 5, dojde v řídicím bloku 5 k zablokování signálu na jeho čtvrtém výstupu 54, který je zápisovým signálem pro registr 3 návratové adresy. Tím zůstává v registru 3 návratové adresy adresa o jednu vyšší než poslední adresa zpracovaná před odskokem. Přeskok adresy se realizuje zavedením adresy, uložené v pevné paměti do adresního registru 2 přes slučovací blok 4.

Vyhodnotí-li řídicí blok 5 konec podprogramu, přepíše do adresního registru 2 přes slučovací blok 4 obsah registru 3 návratové adresy. Tak může pokračovat hlavní program od místa přerušení. Při čtvrtém způsobu se adresa vytváří pomocí signálu vedeného z osmého výstupu 58 řídicího bloku 5 do prvního vybuzovacího vstupu 47 slučovacího bloku 4. Tím se ve slučovacím bloku 4 vyvolá první pevně nastavená adresa. Při pátém způsobu se adresa vytváří pomocí signálu z devátého výstupu 59 řídicího bloku 5 do druhého vybuzovacího vstupu 48 slučovacího bloku 4. Tím se ve slučovacím bloku 4 vyvolá druhá pevně nastavená adresa.

Zapojení dle vynálezu se uplatní v řídicích obvodech složitých logických celků v regulační, řídicí, měřicí a výpočetní technice.

P Ř E D M Ě T V Y N Á L E Z U

Zapojení obvodu pro adresní výběr pevných pamětí s vnitřním cyklem, vyznačující se tím, že skupinový výstup (61) vstupního registru (6) je spojen se skupinovým vstupem (71) převáděcího obvodu (7), jehož skupinový výstup (72) je spojen s prvním skupinovým vstupem (44) slučovacího bloku (4), jehož druhý skupinový vstup (45) je spojen s prvním skupinovým výstupem (13) paměťového bloku (1), jehož druhý skupinový výstup (14) je spojen se skupinovým vstupem (510) řídicího bloku (5), jehož sedmý výstup (57) je spojen se čtecím vstupem (12) paměťového bloku (1), jehož adresní skupinový vstup (11) je spojen se druhým skupinovým výstupem (25) adresního registru (2), jehož skupinový vstup (23) je spojen se skupinovým výstupem (49) slučovacího bloku (4), jehož třetí skupinový vstup (46) je spojen se skupinovým výstupem (33) registru (3) návratové adresy, jehož adresní skupinový vstup (32) je spojen s prvním skupinovým výstupem (24) adresního registru (2), jehož čtecí vstup (21) je spojen s pátým výstupem (55) řídicího bloku (5), jehož čtvrtý výstup (54) je spojen se zápisovým vstupem (31) registru (3) návratové adresy, přičemž prepisovací vstup (22) adresního registru (2) je spojen se šestým výstupem (56) řídicího bloku (5), jehož

třetí výstup (53) je spojen se třetím přepisovacím vstupem (43) slučovacího bloku (4), jehož druhý přepisovací vstup (42) je spojen se druhým výstupem (52) řídícího bloku (5), jehož první výstup (51) je spojen s prvním přepisovacím vstupem (41) slučovacího bloku (4), jehož první vybuzovací vstup (47) je spojen s osmým výstupem (58) řídícího bloku (5), jehož devátý výstup (59) je spojen se druhým vybuzovacím vstupem (48) slučovacího bloku (4).

1 list výkresů

