

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2015 年 4 月 2 日(02.04.2015)

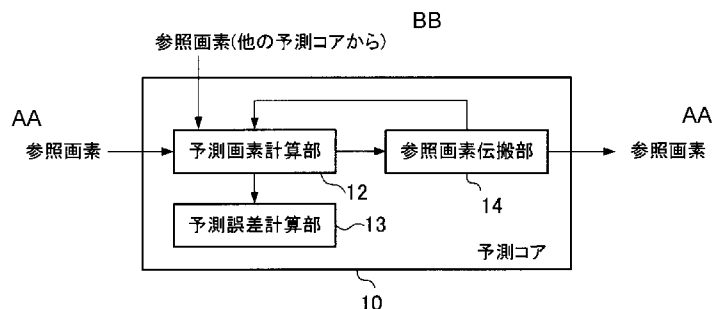


(10) 国際公開番号
WO 2015/045271 A1

- (51) 国際特許分類:
H04N 19/436 (2014.01) *H04N 19/593* (2014.01)
- (21) 国際出願番号: PCT/JP2014/004376
- (22) 国際出願日: 2014 年 8 月 26 日(26.08.2014)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2013-203277 2013 年 9 月 30 日(30.09.2013) JP
- (71) 出願人: 日本電気株式会社(NEC CORPORATION) [JP/JP]; 〒1088001 東京都港区芝五丁目 7 番 1 号 Tokyo (JP).
- (72) 発明者: 小林 栄太(KOBAYASHI, Eita); 〒1088001 東京都港区芝五丁目 7 番 1 号日本電気株式会社内 Tokyo (JP).
- (74) 代理人: 岩壁 冬樹, 外(IWAKABE, Fuyuki et al.); 〒1040031 東京都中央区京橋二丁目 8 番 7 号読売中公ビル 6 階サンライズ国際特許事務所 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第 21 条(3))

(54) Title: INTRA PREDICTION CIRCUIT AND INTRA PREDICTION METHOD

(54) 発明の名称: イントラ予測回路およびイントラ予測方法



- 10 Prediction core
12 Prediction pixel calculating unit
13 Prediction error calculating unit
14 Reference pixel conveying unit
AA Reference pixel
BB Reference pixel (from other prediction core)

(57) Abstract: In order to not increase the circuit scale of an intra prediction circuit, an intra prediction circuit, which performs angular intra prediction, according to the present invention is equipped with a prediction core (10) that includes: a prediction pixel calculating unit (12) that calculates a prediction pixel using a pre-established reference pixel or a reference pixel input from a neighboring other intra prediction circuit; a prediction error calculating unit (13) that calculates a prediction error by subtracting the prediction pixel calculated by the prediction pixel calculating unit (12) from an input image; and a reference pixel conveying unit (14) that supplies the reference pixel used by the prediction pixel calculating unit (12) to a neighboring other intra prediction circuit.

(57) 要約:

[続葉有]

WO 2015/045271 A1

本発明は、イントラ予測回路の回路規模を増大させないことを目的とする。 角度イントラ予測を行うイントラ予測回路は、あらかじめ設定された参照画素または隣接する他のイントラ予測回路から入力された参照画素を用いて予測画素を計算する予測画素計算部 12 と、予測画素計算部 12 が計算した予測画素を入力画像から減算して予測誤差を計算する予測誤差計算部 13 と、予測画素計算部 12 が使用した参照画素を隣接する他のイントラ予測回路に供給する参照画素伝搬部 14 とを含む予測コア 10 を備える。

明 細 書

発明の名称： イントラ予測回路およびイントラ予測方法

技術分野

[0001] 本発明は、回路規模を増大させずにイントラ予測を行うイントラ予測回路およびイントラ予測方法に関する。

背景技術

[0002] 非特許文献1には、ITU-T 勧告H.265 規格にもとづく映像符号化方式であるHEVC (High Efficiency Video Coding) が記載されている。

[0003] HEVCでは、デジタル化された映像の各フレームは符号化ツリーユニット (CTU:Coding Tree Unit) に分割され、ラスタスキャン順に各CTU が符号化される。各CTUは、クアドツリー構造で、符号化ユニット (CU:Coding Unit) に分割されて符号化される。各CUは、予測ユニット (PU:Prediction Unit) に分割されて予測される。また、各CUの予測誤差は、クアドツリー構造で、変換ユニット (TU: Transform Unit) に分割されて周波数変換される。

[0004] CUは、イントラ予測またはフレーム間予測によって予測符号化される。以下、イントラ予測を説明する。

[0005] イントラ予測は、符号化対象フレームの参照画像から予測画像を生成する予測である。非特許文献1では、図12に示す33種類の角度イントラ予測が定義されている。角度イントラ予測は、符号化対象ブロック周辺の参照画素を図12に示す33種類の方向のいずれかに外挿して、イントラ予測信号 (予測画素) を生成する。非特許文献1では、33種類の角度イントラ予測に加えて、符号化対象ブロック周辺の参照画素を平均するDCイントラ予測、および、符号化対象ブロック周辺の参照画素を線形補間するPlanarイントラ予測が定義されている。

[0006] 図12において、最上位行の各矩形および最左列の各矩形は、参照画素を示す。矩形中の数字は、座標を示す。矢印は、予測方向を示す。矢印の近傍に付された数字は、予測モード (以下、モードともいう。) を示す。

- [0007] 図13を参照して、デジタル化された映像の各フレームの各CUを入力画像としてビットストリームを出力する一般的な映像符号化装置の構成と動作を説明する。
- [0008] 図13は、一般的な映像符号化装置の一例を示すブロック図である。図13に示す映像符号化装置は、変換部301、量子化部302、エントロピー符号化部303、逆量子化／逆変換部304、バッファ305、予測部306、および最適予測モード決定部307を備える。
- [0009] 最適予測モード決定部307は、CTU毎に、符号化コストを最小とする予測モードと予測ブロックの組み合わせを決定する。
- [0010] 予測部306は、最適予測モード決定部307が決定した予測モードおよび予測ブロックにもとづいて、CUの入力画像信号に対する予測信号を生成する。予測信号は、イントラ予測またはインター予測にもとづいて生成される。
- [0011] 変換部301は、最適予測モード決定部307が決定したTUクアドツリー構造にもとづいて、入力画像信号から予測信号を減じた予測誤差画像（予測誤差信号）を周波数変換する。変換部301は、予測誤差信号の変換符号化において、周波数変換にもとづいた 4×4 、 8×8 、 16×16 または 32×32 ブロックサイズの直交変換を使用する。具体的には、イントラCUの輝度成分の 4×4 TUに対して、整数演算で近似した（整数精度の）DST（Discrete Sine Transform：離散サイン変換）を使用する。その他のTUに対して、そのブロックサイズに対応する整数演算で近似した（整数精度の）DCT（Discrete Cosine Transform：離散コサイン変換）を使用する。
- [0012] 量子化部302は、変換部301から供給される直交変換係数を量子化する。以下、量子化された直交変換係数を変換量子化値とすることがある。逆量子化／逆変換部304は、変換量子化値を逆量子化する。さらに、逆量子化／逆変換部304は、逆量子化した直交変換係数を逆変換する。逆変換された予測誤差画像は、予測信号が加えられて、バッファ305に供給される。バッファ305は、画像を参照画像として格納する。

先行技術文献

非特許文献

- [0013] 非特許文献1：ITU-T 勧告 H.265 High efficiency video coding, April 2013

発明の概要

発明が解決しようとする課題

- [0014] 予測画素[x][y] は、下記の式で計算される。下式において、r[i], r[j]は、参照画素を示す。i, j は、参照画素の座標を示す。>>は、右方向へのビットシフトを示す。
- [0015] 予測画素[x][y] = (iFact × r[i] + (32 − iFact) × r[j] + 16) >> 5 (1)
- [0016] iFact は係数であるが、各々の行については固定的な値である。
- [0017] 図14は、予測の一例を示す説明図である。図14は、ブロックサイズが8×8であってモード21の場合の例である（図14における太い矢印参照）。予測ブロック中の各数字は、参照画素の座標を示す。例えば、1:2は、r[i]としてr[1]が使用され、r[j]としてr[2]が使用されることを示す。また、図14には、各行におけるiFactの値も示されている。さらに、r[-4]の行とr[-5]の行でr[4]の列に相当する予測画素の計算が例示されている。
- [0018] 予測部306は、イントラ予測を行う場合、ブロックサイズがN×N（N:4、8、16または32）であるときには、N×N回の演算を行う。また、Nの値に応じたイントラ予測回路が用意される。そのために、予測部306をハードウェア回路で実現する場合、回路規模が増大するという課題がある。
- [0019] そこで、本発明は、イントラ予測回路の回路規模を増大させないようにすることを目的とする。

課題を解決するための手段

[0020] 本発明によるイントラ予測回路は、あらかじめ設定された参照画素または隣接する他のイントラ予測回路から入力された参照画素を用いて予測画素を計算する予測画素計算部と、予測画素計算部が計算した予測画素を入力画像から減算して予測誤差を計算する予測誤差計算部と、予測画素計算部が使用した参照画素を隣接する他のイントラ予測回路に供給する参照画素伝搬部とを含む予測コアを備えることを特徴とする。

[0021] 本発明によるイントラ予測方法は、あらかじめ設定された参照画素または隣接する他のイントラ予測回路から入力された参照画素を用いて予測画素を計算し、計算した予測画素を入力画像から減算して予測誤差を計算し、予測画素の計算に使用した参照画素を隣接する他のイントラ予測回路に供給することを特徴とする。

発明の効果

[0022] 本発明によれば、イントラ予測回路の回路規模を増大させないようにすることができる。

図面の簡単な説明

[0023] [図1]予測の一例を示す説明図である。

[図2]行方向の参照画素と列方向の参照画素との対称性を説明するための説明図である。

[図3]イントラ予測回路の構成の概念を示す概念図である。

[図4]予測画素を生成するときに使用する参照画素の例を示す説明図である。

[図5]予測ブロックの行単位の予測処理をより詳しく説明するための説明図である。

[図6]予測画素生成処理を実行する予測画素生成回路を示すブロック図である。

[図7]イントラ予測回路の具体的構成例を示すブロック図である。

[図8]N個の予測コアを含むイントラ予測回路の構成例を示すブロック図である。

[図9]本発明によるイントラ予測回路の主要部を示すブロック図である。

[図10]本発明によるイントラ予測回路の動作を示すフローチャートである。

[図11]本発明による他のイントラ予測回路の主要部を示すブロック図である。

[図12]33種類の角度イントラ予測の例を示す説明図である。

[図13]一般的な映像符号化装置の構成を示す説明図である。

[図14]予測の一例を示す説明図である。

発明を実施するための形態

[0024] 図1は、予測の一例を示す説明図である。図1には、モード33の場合の予測方向および参照画素を示す説明図である。モード33では、参照画素 $r[-16] \sim r[0]$ は使用されない。また、モード18～34（水平線に対して 45° 以上の角度を持つ垂直方向モード）に共通して、参照画素 $r[-16] \sim r[-9]$ は使用されない。

[0025] 同様に、モード2～17（水平線に対して 45° 以下の角度を持つ水平方向モード）に共通して、参照画素 $r[9] \sim r[16]$ は使用されない。

[0026] 図2は、行方向の参照画素と列方向の参照画素との対称性を説明するための説明図である。図2において、斜線部分は、参照画素を示す。上述したように、モード2～17では、参照画素 $r[9] \sim r[16]$ は使用されない（図2（A）参照）。また、モード18～34では、参照画素 $r[-16] \sim r[-9]$ は使用されない（図2（B）参照）。すなわち、モード18～34とモード2～17には、図2に示すような対称性が存在する。なお、図2には、各モードの角度も記載されている。

[0027] 本発明では、そのような対称性に着目してイントラ予測回路の回路規模を削減する。図3は、イントラ予測回路の構成の概念を示す概念図である。

[0028] 図3に示すように、イントラ予測回路は、イントラ予測を行うイントラ予測部1、分配器2、転置回路3、転置回路4および選択器5を備える。

[0029] なお、イントラ予測回路は、図13に示された映像符号化回路に適用可能である。図13に示された映像符号化回路に適用される場合には、予測部306における角度イントラ予測を行う回路として適用される。

- [0030] 分配器 2 は、参照画素を入力して保持する。そして、分配器 2 は、予測モードがモード 2 ～ 17 のいずれかである場合には、参照画素を転置回路 3 に供給する。分配器 2 は、予測モードがモード 18 ～ 34 のいずれかである場合には、入力された参照画素をイントラ予測部 1 に供給する。転置回路 3 は、参照画素の配列を転置し、転置後の参照画素をイントラ予測部 1 に供給する。
- [0031] なお、転置は、行と列とを入れ替えることを意味する。
- [0032] イントラ予測部 1 は、イントラ予測を行い、予測画素を出力する。その際、イントラ予測部 1 は、予測モードがモード 2 ～ 17 のいずれかである場合には、予測画素を転置回路 4 に出力する。予測モードがモード 18 ～ 34 のいずれかである場合には、予測画素を選択器 5 に出力する。転置回路 4 は、予測画素の配列を転置し、転置後の参照画素を選択器 5 に供給する。
- [0033] 選択器 5 は、転置回路 4 からの予測画素またはイントラ予測部 1 からの予測画素を予測ブロックとして出力する。なお、イントラ予測部 1 は、予測ブロックにおける行単位で予測画素を出力する。よって、選択器 5 は、転置回路 4 からの予測画素またはイントラ予測部 1 からの予測画素を一時保存し、1 ブロック分の予測画素の入力が完了したら、予測ブロックを構成する予測画素を出力する。
- [0034] なお、予測モードがモード 2 ～ 17 のいずれかである場合に参照画素の配列は転置されているので、イントラ予測部 1 は、予測モードがモード 2 ～ 17 のいずれかであるときに、モード 18 ～ 34 のいずれかとみなして予測処理を行うことができる。すなわち、イントラ予測部 1 は、垂直方向モードの予測処理のみを実行すればよい。つまり、イントラ予測部 1 は、予測ブロックの上側に隣接する参照画素（参照画素 $r[1] \sim r[8]$ ）、左側に隣接する参照画素（参照画素 $r[-8] \sim r[0]$ ）および右上側に位置する参照画素（参照画素 $r[9] \sim r[16]$ ）のみを使用し、垂直方向モードの予測処理のみを実行する。
- [0035] 図 4 は、予測画素を生成するときに使用する参照画素の例を示す説明図である。図 4 には、予測ブロックサイズが 8×8 である場合が例示されている。

。図4（A）にはモード21の場合が例示され、図4（B）にはモード33の場合が例示されている。

[0036] 本実施形態では、イントラ予測部1は、予測ブロックの行単位で予測処理を実行する。図4に示すように、ある行に着目すると（最上行を除く。）、上の行で使用された参照画素は、下の行において、左、同列、右のいずれかで使用される。すなわち、左下、直下、右下のいずれかで参照される（ただし、最左列および最右列の場合を除く。）。

[0037] 従って、図4に示す例からわかるように、予測ブロックの行単位で予測処理を実行する場合、ある行について予測処理が行われた後、次の行の予測処理を実行するときに、前の行において左、同列、右のいずれかで使用された参照画素を流用することができる。

[0038] 図5は、予測ブロックの行単位の予測処理（演算処理）をより詳しく説明するための説明図である。なお、図5には、予測処理のための係数である「i Fact」の記載と、参照画素の伝搬のための「制御」の記載も含まれている。また、参照画素の伝搬は、具体的には、参照画素の値を出力することを意味する。

[0039] また、図5に示す演算処理は、図5における右上に示される3行8列の予測ブロックに関して予測処理を実行する場合の処理例である。そして、図5において、矩形で囲まれた予測画素生成処理#2の列は、3行8列の予測ブロックにおける左から2列目に相当する。実線の矢印は、実際に参照画素が伝搬することを示す。破線の矢印は、図5における右上に示される例では参照画素は伝搬しないが、他の例において参照画素が伝搬する可能性があることを示す。

[0040] 図5に示すように、イントラ予測部1は、1行に含まれるN個の要素（図5に示す例では、 $N=8$ ）を一時に処理するために、8個の処理機能を有する。それら機能を、予測画素生成処理#1～予測画素生成処理#8とする。

[0041] 第1行目について、予測画素生成処理#1～予測画素生成処理#8が予測処理を実行するときに、各々の予測画素生成処理#1～予測画素生成処理#

8で使用される参照画素が、第2行目についての予測画素生成処理#1～予測画素生成処理#8に対して伝搬されるように制御される。

[0042] さらに、第2行目について、予測画素生成処理#1～予測画素生成処理#8が予測処理を実行するときに、各々の予測画素生成処理#1～予測画素生成処理#8で使用される参照画素が、第3行目についての予測画素生成処理#1～予測画素生成処理#8に対して伝搬されるように制御される。ただし、この場合には、第2行目について予測画素生成処理# n ($n: 2 \sim 8$)で使用された参照画素は、第3行目についての予測画素生成処理#($n - 1$)に対して伝搬される。

[0043] 図6は、図5に示された予測画素生成処理を実行する予測画素生成回路を示すブロック図である。図5には、2つの予測画素生成回路111, 112と周辺回路（具体的には、参照画素レジスタ122, 123, 124）とが示されている。各予測画素生成回路111, 112は、予測画素生成処理を実行する。すなわち、予測画素生成回路111および予測画素生成回路112は、予測画素生成処理#1～予測画素生成処理#8のうちのいずれか2つの隣接する予測画素生成処理（図5において隣接する予測画素生成処理）を実行する回路である。以下、予測画素生成回路111に着目して説明を行うが、予測画素生成回路112の構成および動作は、予測画素生成回路111の構成および動作と同じである。

[0044] 参照画素レジスタ122, 123, 124に参照画素が設定された後、予測画素生成回路111は、参照画素レジスタ122, 123, 124のうちの2つのレジスタから、予測処理で使用する参照画素を取り込む。そして、予測画素生成回路111は、2つの参照画素から予測画素を生成する。なお、後述するように、予測画素生成回路は、1つの参照画素レジスタから参照画素を取り込むことがある。

[0045] 次に、具体的にはイントラ予測回路に供給されるクロック信号の次の立上がりまたは立下がりを契機して、予測画素生成回路111は、制御信号に従って、参照画素を、左に位置する予測画素生成回路112、右に位置する予

測画素生成回路（図6において図示せず）および自回路（予測画素生成回路111）のうちの1つまたは2つに伝搬する。すなわち、参照画素の値を出力する。自回路に参照画素の値を出力することは、図6において、「自己参照ループ」として示されている。

[0046] なお、左に位置する予測画素生成回路112に対する参照画素の伝搬は、図5における予測画素生成処理# n から予測画素生成処理# $(n-1)$ に対する伝搬に相当する。自己参照ループは、図5における直下の処理への伝搬に相当する。右に位置する予測画素生成回路に対する参照画素の伝搬は、予測画素生成処理# n から予測画素生成処理# $(n+1)$ に対する伝搬に相当する。

[0047] 図7は、図6に示された予測画素生成回路の具体的構成例を示すブロック図である。図7には、周辺回路（具体的には、参照画素レジスタ122, 123, 124）も示されている。

[0048] 図7に示す予測コア100は、図6に示す予測画素生成回路の具体的実現例に相当する。予測コア100において、左に位置する予測コア（図示せず）からの参照画素は、レジスタ101を経て選択器102に入力される。右に位置する予測コア（図示せず）からの参照画素は、レジスタ103を経て選択器104に入力される。

[0049] また、選択器102, 104には、参照画素レジスタ122, 123, 124からの参照画素も入力される。

[0050] 選択器102, 104の出力は、予測画素計算部107に入力されるとともに、左右の予測コアに出力される。また、選択器102が出力する参照画素は、レジスタ105を介して選択器102にフィードバックされる。選択器104が出力する参照画素は、レジスタ106を介して選択器104にフィードバックされる。フィードバック経路は、図6における自己参照ループに相当する。

[0051] 予測画素計算部107は、予測画素を生成する。予測画素は、減算器110に入力される。減算器110は、入力された入力画像の値から予測画素の

値を減算して予測誤差信号を生成する。

[0052] 図8は、N個の予測コアを含む1次元シストリックアレイ型のイントラ予測回路の構成例を示すブロック図である。図8には、N=8の場合の構成が例示されている。

[0053] イントラ予測回路は、参照画素レジスタ121～128と、8個の予測コア1001～1008と、iFact 供給回路（係数供給回路）130と、制御回路140と、選択器151，152とを備える。

[0054] 参照画素レジスタ121～128の各々は、1つの参照画素を保持する。予測コア1001～1008の構成は、図7に示された予測コア100の構成と同じである。iFact 供給回路130は、予測ブロックのうち予測コア1001～1008が予測処理を実行する行に対応するiFact を予測コア1001～1008に供給する。iFact 供給回路130は、予測コア1001～1008が次の行の予測画素の計算を開始するときに、iFact の値を切り替える。なお、図8に示す構成では、参照画素のフィードバック経路は、予測コア1001～1008の外に設けられているが、図7に示すように、フィードバック経路は、予測コア1001～1008の内部において設けられていてもよい。

[0055] 制御回路140は、予測コア1001～1008および選択器151，152に制御信号を与える。

[0056] 選択器151には、参照画素 $r[-8] \sim r[0]$ のうち予測コア1001が使用する参照画素が入力される（図2（B）参照）。選択器152には、参照画素 $r[1] \sim r[16]$ のうち予測コア1008が使用する参照画素が入力される（図2（B）参照）。なお、予測コア1001のレジスタ101（図7参照）には、選択器151からも参照画素が入力される。予測コア1008のレジスタ103（図7参照）には、選択器152からも参照画素が入力される。

[0057] 次に、図8に示すイントラ予測回路の動作を説明する。

[0058] 各予測モードにおける予測処理を開始する前に、参照画素レジスタ121～128に、予測ブロックにおける第1行目の予測画素の生成のために使用

される参照画素が設定される。図4（A）に示されたモード21の場合を例にすると、参照画素 $r[1] \sim r[8]$ が、参照画素レジスタ121～128に設定される。

[0059] まず、予測コア1002～1007は、参照画素レジスタ121～128に保持されている2つの参照画素を使用して第1行目の予測画素を生成する。なお、予測コア1001は、1つの参照画素を参照画素レジスタ121から入力し、1つの参照画素を選択器151から入力する。また、予測コア1008は、1つの参照画素を参照画素レジスタ128から入力し、1つの参照画素を選択器152から入力する。

[0060] 図4（A）に示されたモード21の場合を例にすると、予測コア1001は、参照画素 $r[1]$ を参照画素レジスタ121から入力し、参照画素 $r[0]$ を選択器151から入力する。図4（B）に示されたモード33の場合を例にすると、予測コア1008は、参照画素 $r[8]$ を参照画素レジスタ128から入力し、参照画素 $r[9]$ を選択器152から入力する。

[0061] 予測コア1001～1008において、予測画素計算部107は、2つの参照画素から、上記の（1）式による演算で予測画素を生成する。（1）式における $iFact$ は、 $iFact$ 供給回路130から供給される。 $iFact$ 供給回路130は、一例として、使用されうるブロックサイズ、使用されうる予測モードおよび予測ブロックの行に応じた各々の $iFact$ をあらかじめ記憶し、制御回路140からの予測画素生成行を特定可能な信号で特定される行に応じた $iFact$ を出力する。なお、 $iFact$ 供給回路130は、そのときに用いられるブロックサイズ、予測モードおよび行に対応する $iFact$ をその都度計算して出力するように構成されていてもよい。

[0062] 予測画素計算部107による予測画素の計算（生成）に際して、選択器102、104は、予測画素計算部107が計算に使用する参照画素を出力するが、それらの参照画素は、隣接する予測コアにも出力されることがあり、また、予測画素計算部107にフィードバックされることがある（図7参照）。

- [0063] 予測コア1001が図4（A）に示されたモード21で計算を行う場合を例にすると、予測ブロックの第2行目の処理のために、予測コア1001（最左列に関する処理を実行する。）から予測コア1002（最左から2番目の列に関する処理を実行する。）に対して参照画素 $r[0]$ が伝搬され、かつ、参照画素 $r[0]$ は、予測コア1001内でフィードバックされる。
- [0064] なお、ある予測コアにおける次行の処理に必要な参照画素は、隣接する他の予測コアから入手可能であり、かつ、自コアでのフィードバックでも入手可能な場合があるが、その場合には、例えば、フィードバックでの入手を優先する。
- [0065] 以後、予測コア1001～1008は、第2行目以降について予測画素の生成を行うとともに、隣接する予測コアへの参照画素の伝搬または参照画素のフィードバックを行う。
- [0066] 以上に説明したように、本実施形態では、イントラ予測回路は、あらかじめ設定された参照画素または隣接する他のイントラ予測回路から入力された参照画素を用いて予測画素を計算するとともに、予測画素の計算に使用した参照画素を隣接する他のイントラ予測回路に供給したり自回路にフィードバックするので、参照画素を一々取り込むことなく予測ブロックの行単位で一括して予測画素を生成することができ、イントラ予測回路の回路規模を削減することができる。
- [0067] また、イントラ予測回路が、水平方向モードの予測を行うときに参照ブロックにおける参照画素の配列を転置する転置回路を備えることによって、転置回路を備えていない場合に比べて、イントラ予測回路の回路規模を削減することができる。
- [0068] なお、上記の実施形態では、ブロックサイズが 8×8 である場合を例にしたが、ブロックサイズが 8×8 以外である場合には、ブロックサイズに応じて予測コアの数を増減することによって、上記の実施形態の場合と同様にイントラ予測回路を構成することができる。
- [0069] 図9は、本発明によるイントラ予測回路の主要部を示すブロック図である

。図 9 に示すように、イントラ予測回路は、予測画素計算部 12 と、予測誤差計算部 13 と、参照画素伝搬部 14 とを含む予測コア 10 を備える。

[0070] 図 10 は、本発明によるイントラ予測回路の動作を示すフローチャートである。図 10 に示すように、予測画素計算部 12 は、あらかじめ設定された参照画素または隣接する他のイントラ予測回路から入力された参照画素を用いて予測画素を計算する（ステップ S1）。予測誤差計算部 13 は、予測画素計算部 12 が計算した予測画素を入力画像から減算して予測誤差を計算する（ステップ S2）。また、参照画素伝搬部 14 は、予測画素計算部 12 が使用した参照画素を隣接する他のイントラ予測回路に供給する（ステップ S3）。

[0071] 図 11 は、本発明による他のイントラ予測回路の主要部を示すブロック図である。図 11 に示すように、イントラ予測回路は、予測画素計算部 12 と、予測誤差計算部 13 と、参照画素伝搬部 14 とを含む予測コア 10 に加えて、転置回路 20 を備える。転置回路 20 は、参照ブロックにおける参照画素の配列を転置する。

[0072] 以上、実施形態および実施例を参照して本願発明を説明したが、本願発明は上記実施形態および実施例に限定されるものではない。本願発明の構成や詳細には、本願発明のスコープ内で当業者が理解し得る様々な変更をすることができる。

[0073] この出願は、2013 年 9 月 30 日に提出された日本特許出願 2013-203277 を基礎とする優先権を主張し、その開示の全てをここに取り込む。

符号の説明

[0074]

1	イントラ予測部
2	分配器
3	転置回路
4	転置回路
5	選択器

- 1 0 予測コア
- 1 2 予測画素計算部
- 1 3 予測誤差計算部
- 1 4 参照画素伝搬部
- 2 0 転置回路
- 1 0 0 予測コア
- 1 0 1, 1 0 3, 1 0 5, 1 0 6 レジスタ
- 1 0 2, 1 0 4 選択器
- 1 0 7 予測画素計算部
- 1 1 0 減算器
- 1 1 1, 1 1 2 予測画素生成回路
- 1 2 1 ~ 1 2 8 参照画素レジスタ
- 1 3 0 iFact 供給回路
- 1 4 0 制御回路
- 1 5 1, 1 5 2 選択器
- 3 0 1 変換部
- 3 0 2 量子化部
- 3 0 3 エントロピー符号化部
- 3 0 4 逆量子化／逆変換部
- 3 0 5 バッファ
- 3 0 6 予測部
- 3 0 7 最適予測モード決定部
- 1 0 0 1 ~ 1 0 0 8 予測コア

請求の範囲

- [請求項1] 角度イントラ予測を行うイントラ予測回路であって、
あらかじめ設定された参照画素または隣接する他のイントラ予測回路から入力された参照画素を用いて予測画素を計算する予測画素計算部と、
前記予測画素計算部が計算した予測画素を入力画像から減算して予測誤差を計算する予測誤差計算部と、
前記予測画素計算部が使用する参照画素を隣接する前記他のイントラ予測回路に供給する参照画素伝搬部とを含む予測コアを備えることを特徴とするイントラ予測回路。
- [請求項2] 前記参照画素伝搬部は、前記予測誤差計算部に参照画素をフィードバックする回路を含む
請求項1記載のイントラ予測回路。
- [請求項3] 予測ブロックの1行に含まれる画素数分の予測コアを備える
請求項1または請求項2記載のイントラ予測回路。
- [請求項4] 複数の予測コアの各々に、1行分の予測画素を計算するときに、その行に対応する、計算における係数を供給する係数供給回路を備える
請求項3記載のイントラ予測回路。
- [請求項5] 予測ブロックの上側および左側に隣接する参照画素と右上側に位置する参照画素を使用し、
水平方向モードの予測を行うときに、参照ブロックにおける参照画素の配列を転置する転置回路を備える
請求項1から請求項4のうちのいずれか1項に記載のイントラ予測回路。
- [請求項6] 角度イントラ予測を行うイントラ予測方法であって、
あらかじめ設定された参照画素または隣接する他のイントラ予測回路から入力された参照画素を用いて予測画素を計算し、
計算した予測画素を入力画像から減算して予測誤差を計算し、

予測画素の計算に使用される参照画素を隣接する前記他のイントラ予測回路に供給する

ことを特徴とするイントラ予測方法。

[請求項7] 予測画素の計算に使用した参照画素を次の計算時に再利用する
請求項6記載のイントラ予測方法。

[請求項8] 予測ブロックの1行に含まれる画素数分の予測画素を一括して計算する

請求項6または請求項7記載のイントラ予測方法。

[請求項9] 次の行の予測画素の計算を開始するときに、計算における係数を切り替える

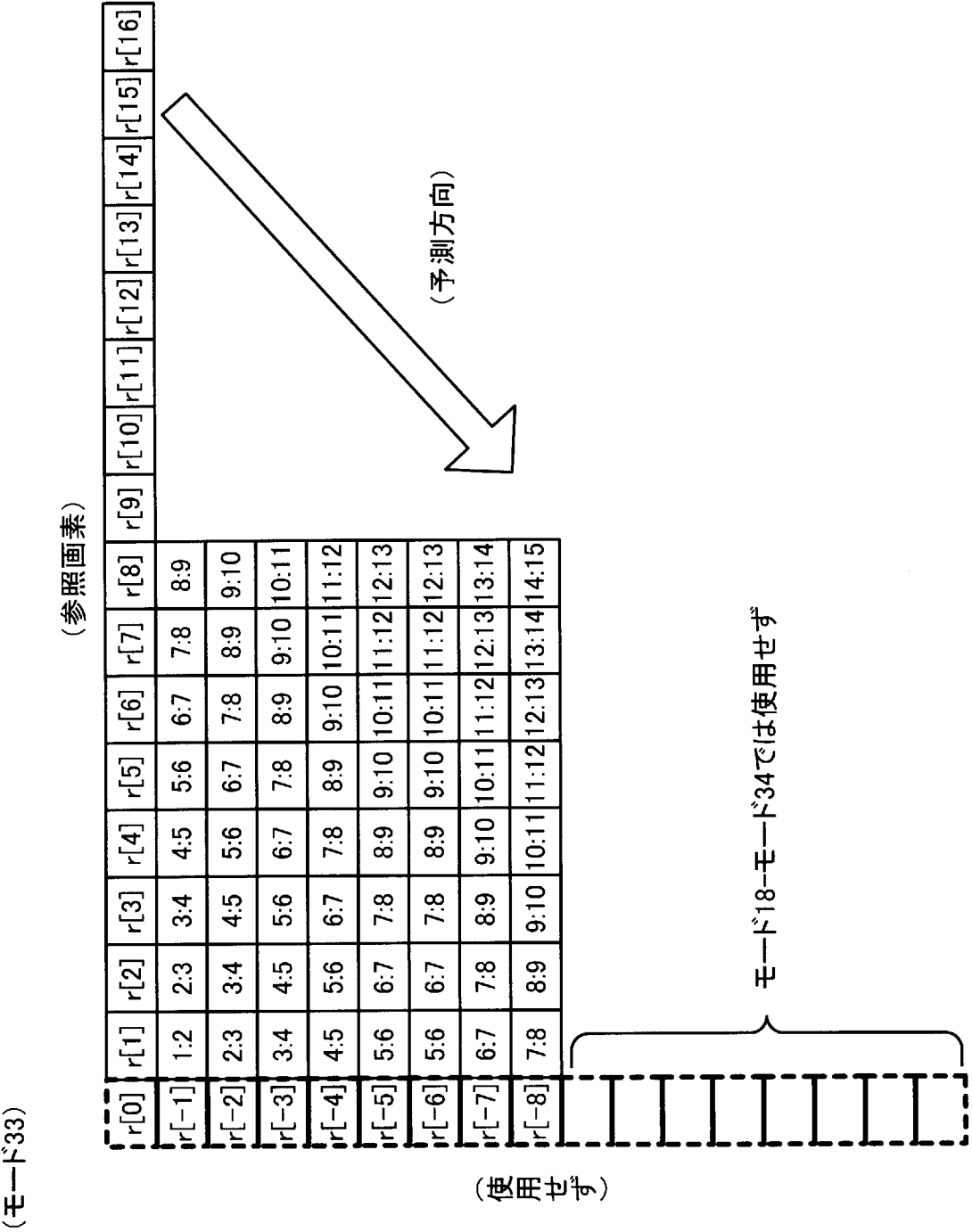
請求項8記載のイントラ予測方法。

[請求項10] 予測ブロックの上側および左側に隣接する参照画素と右上側に位置する参照画素を使用し、

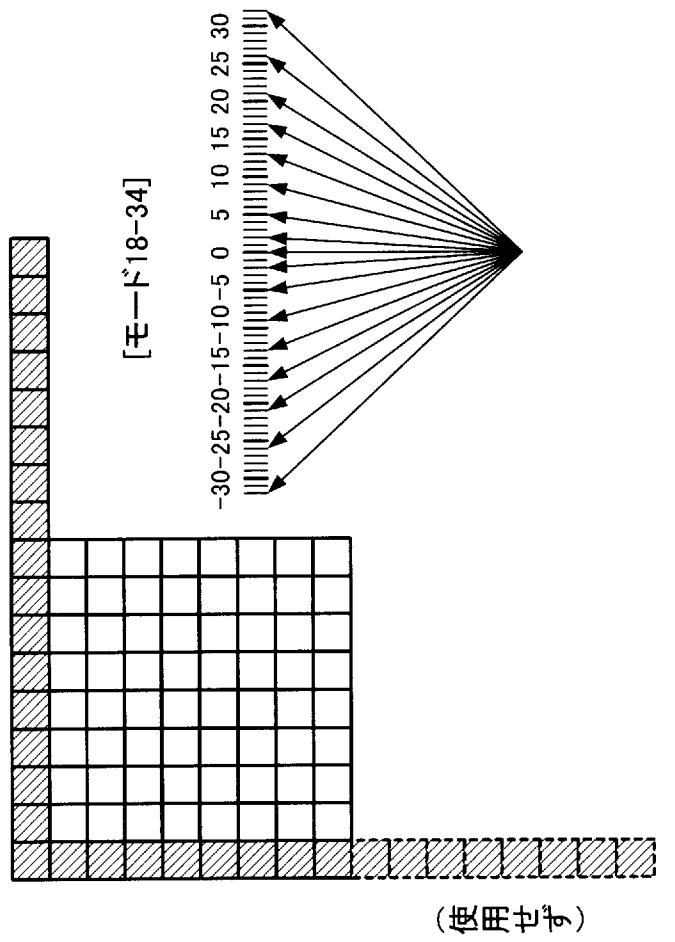
水平方向モードの予測を行うときに、参照ブロックにおける参照画素の配列を転置する

請求項6から請求項9のうちのいずれか1項に記載のイントラ予測方法。

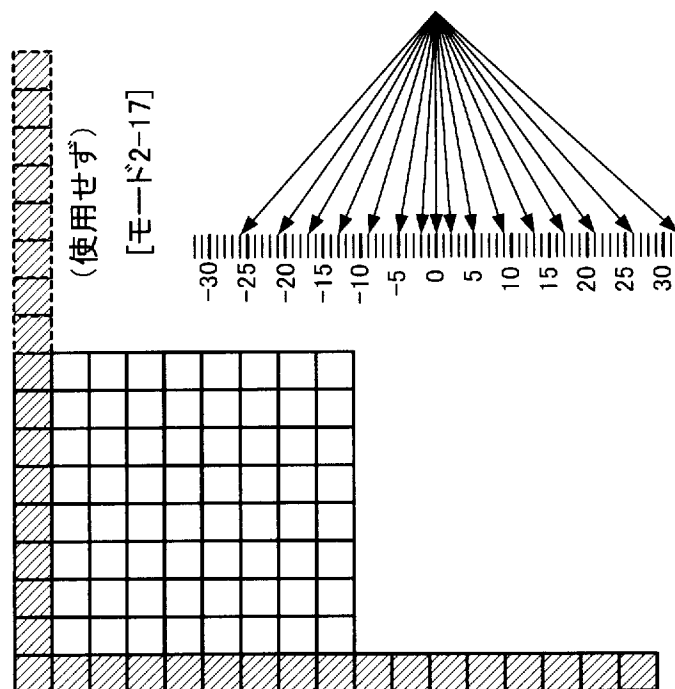
[図1]



[図2]

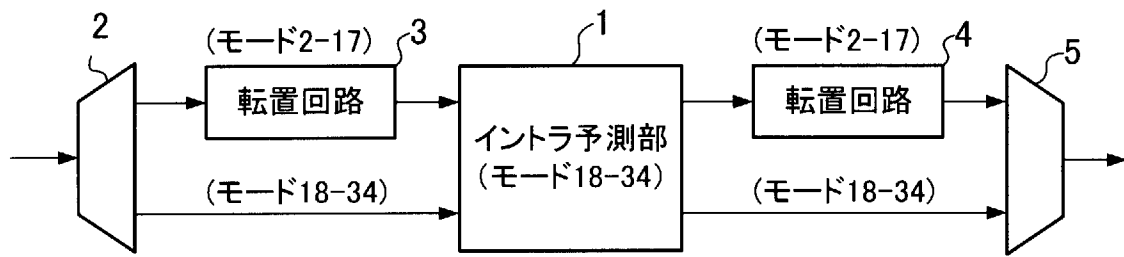


(B)

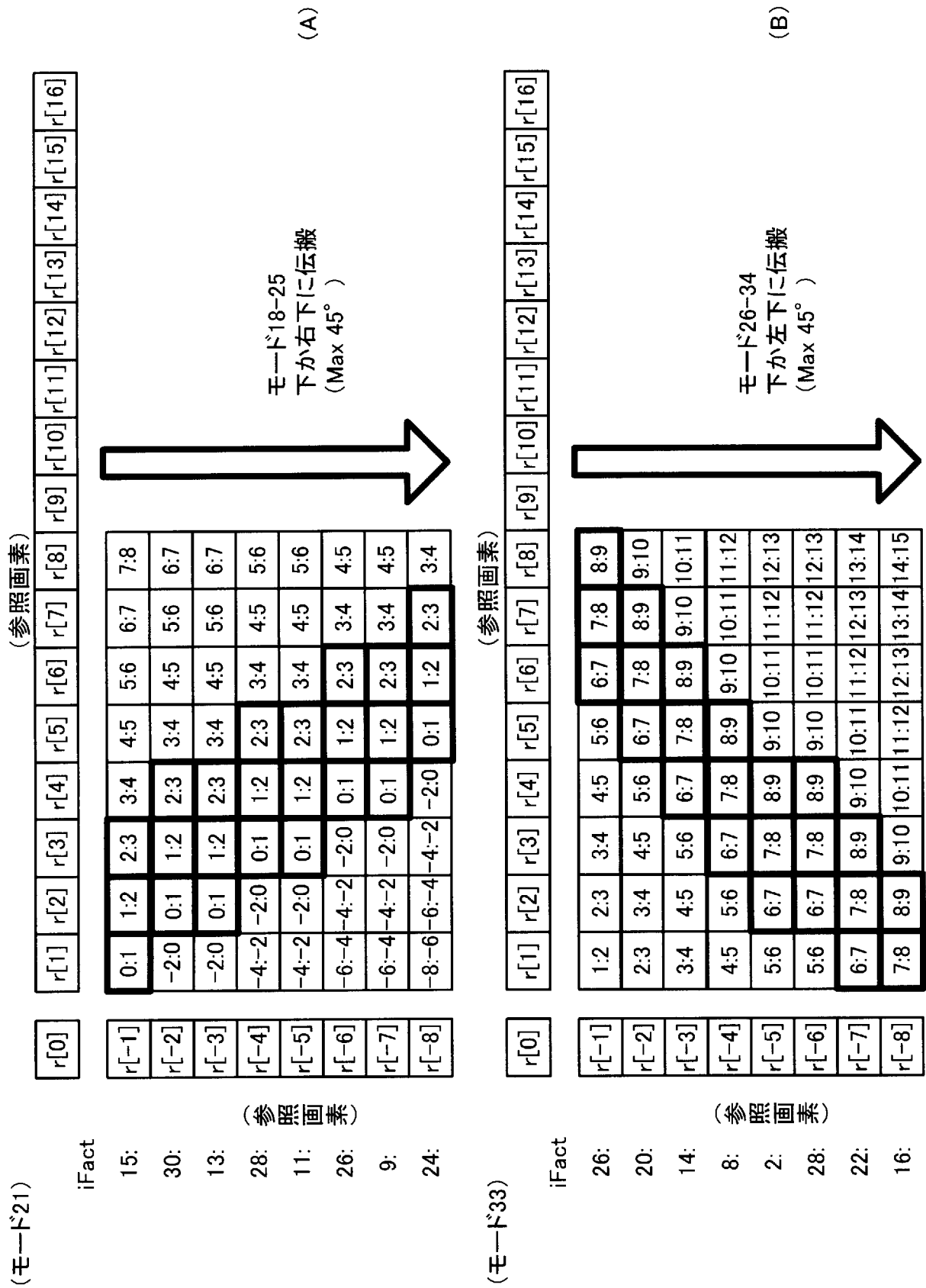


(A)

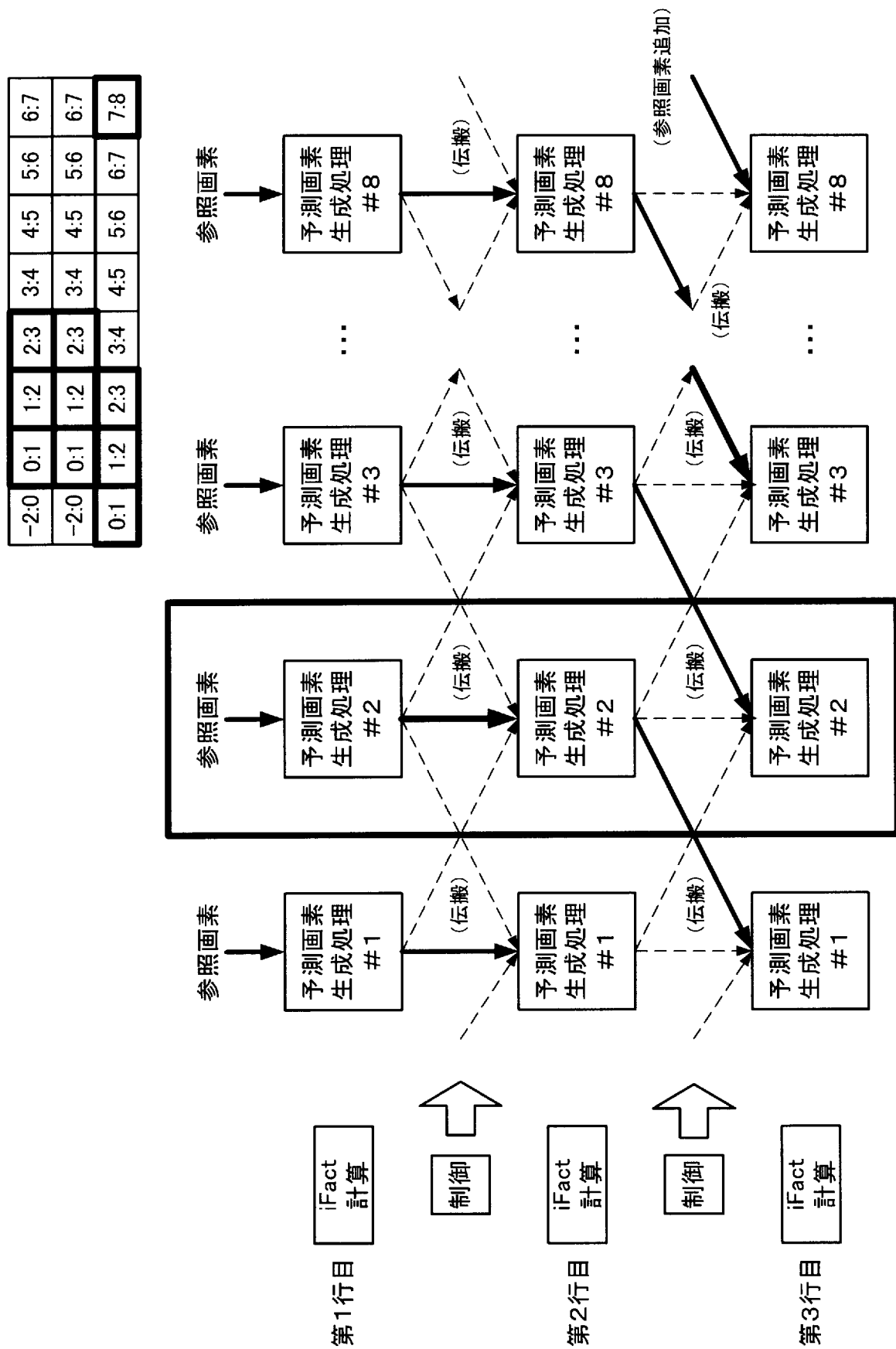
[図3]



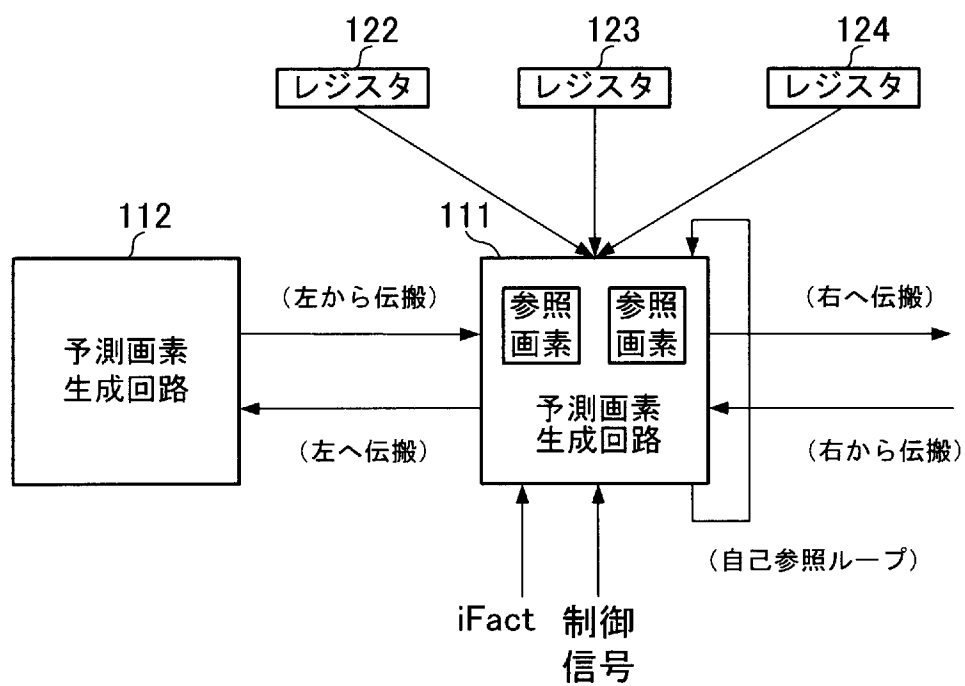
[図4]



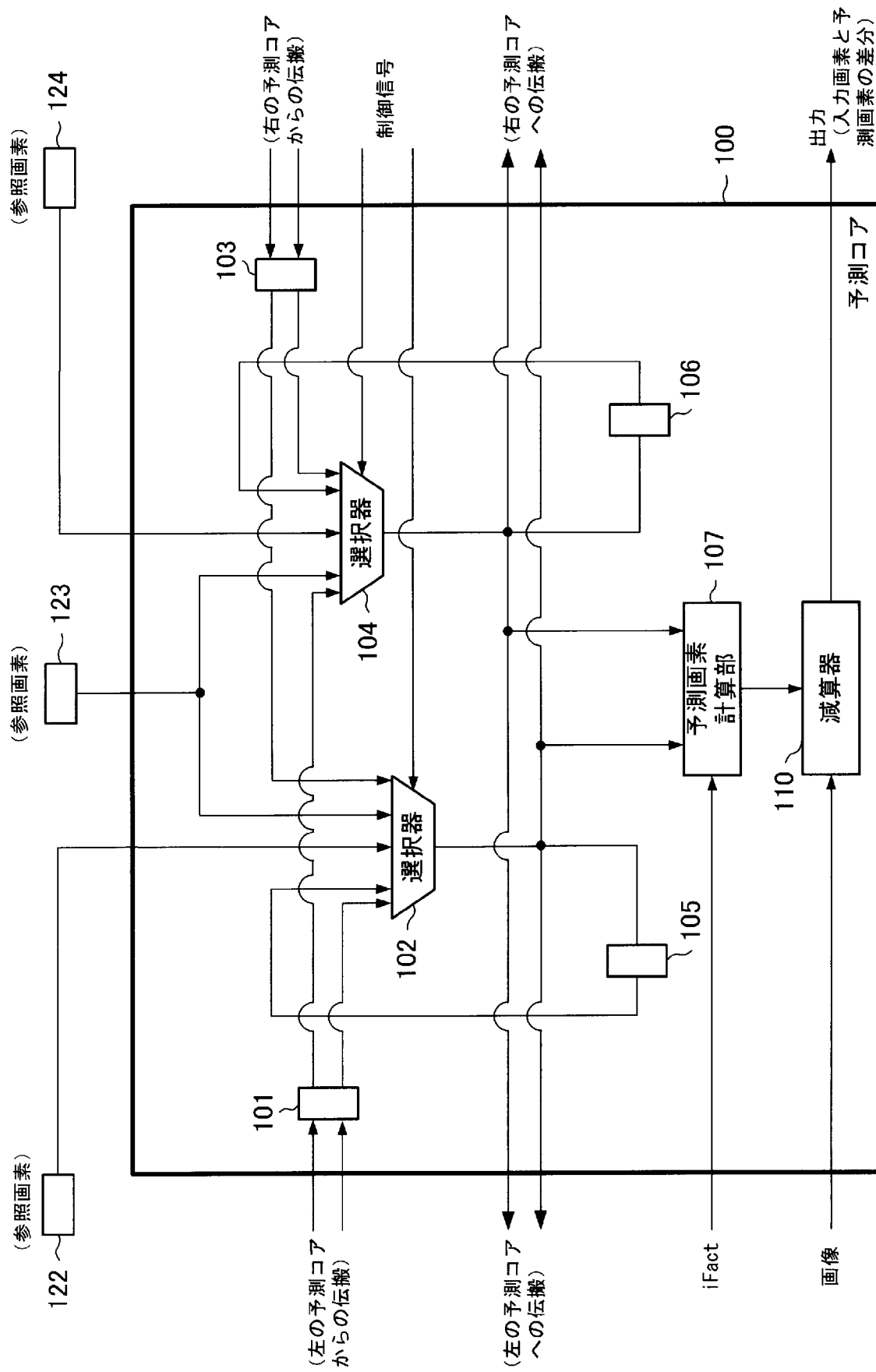
[図5]



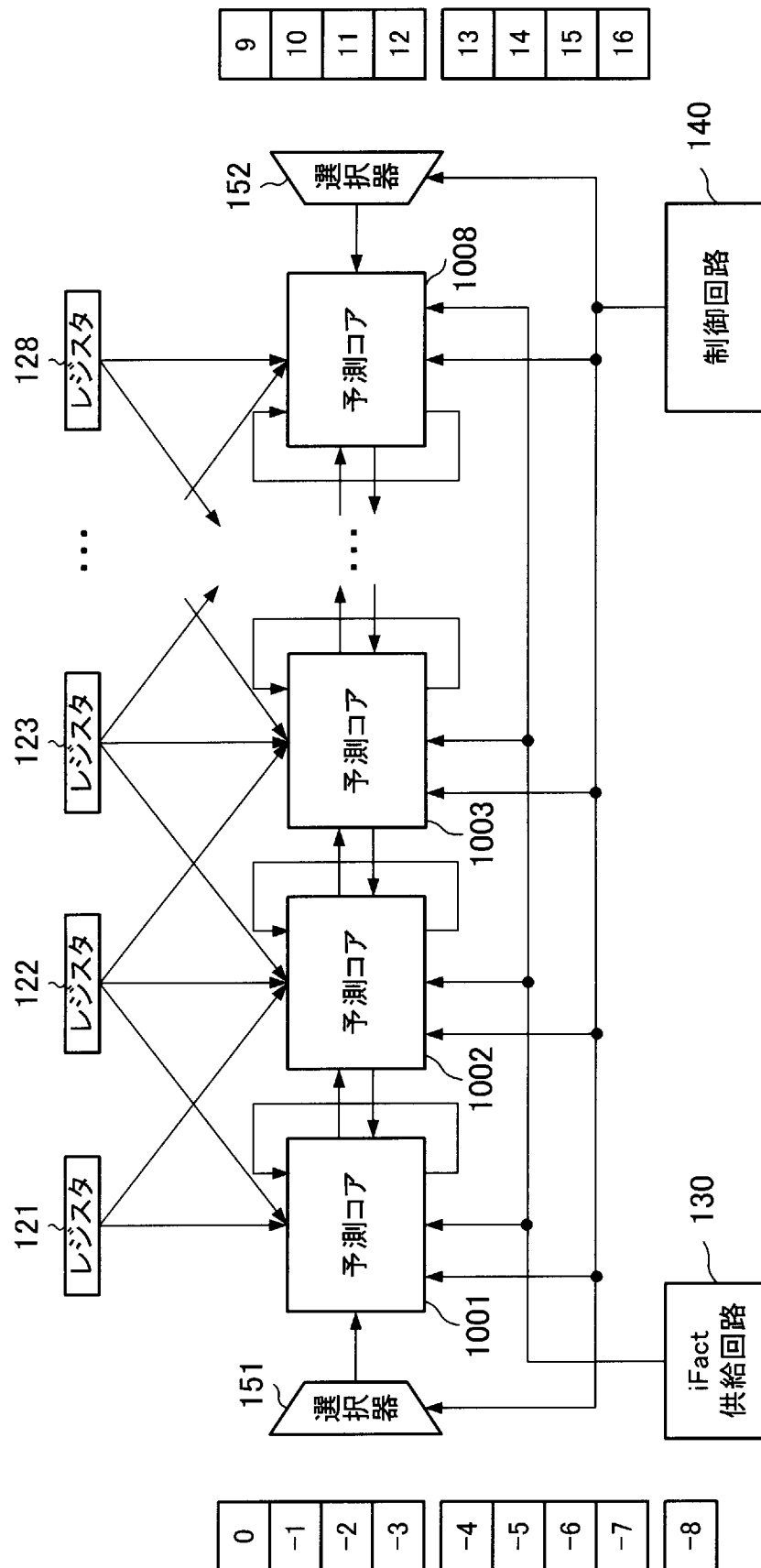
[図6]



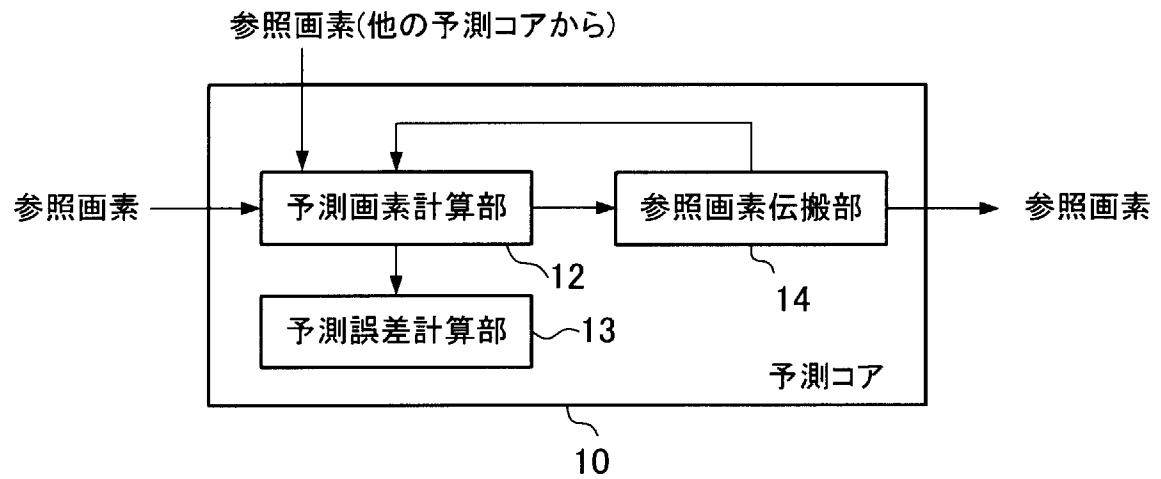
[図7]



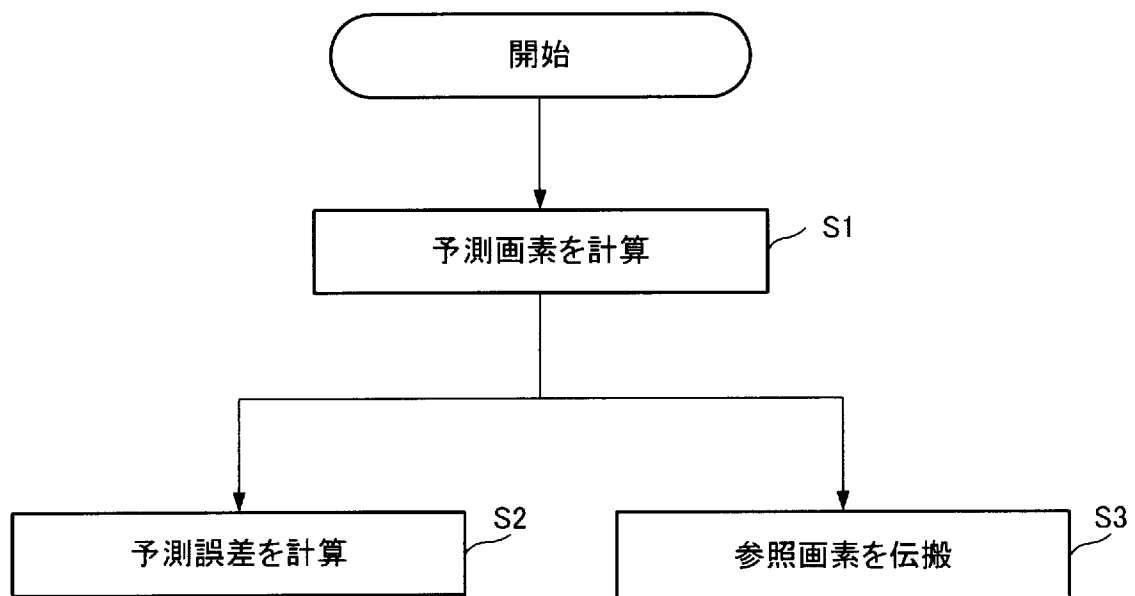
[図8]



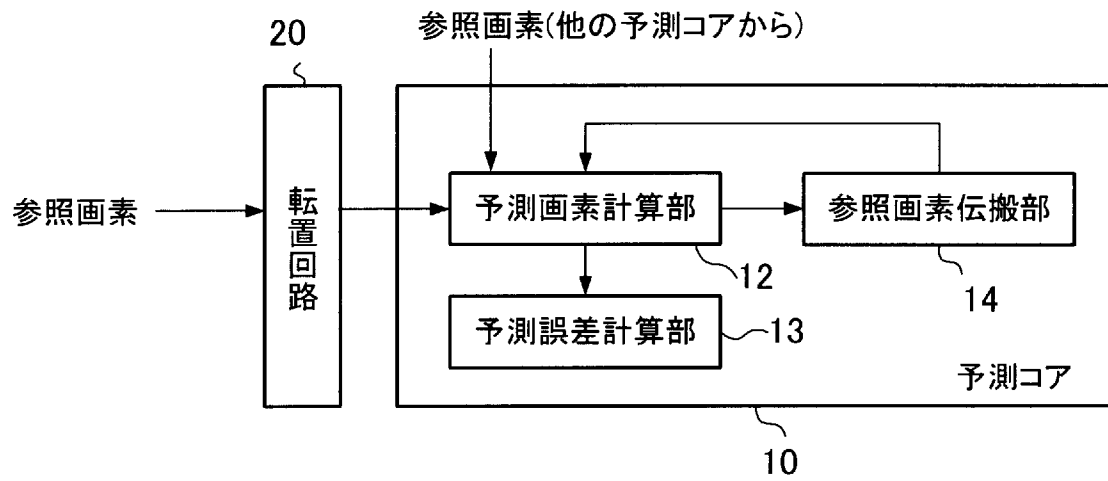
[図9]



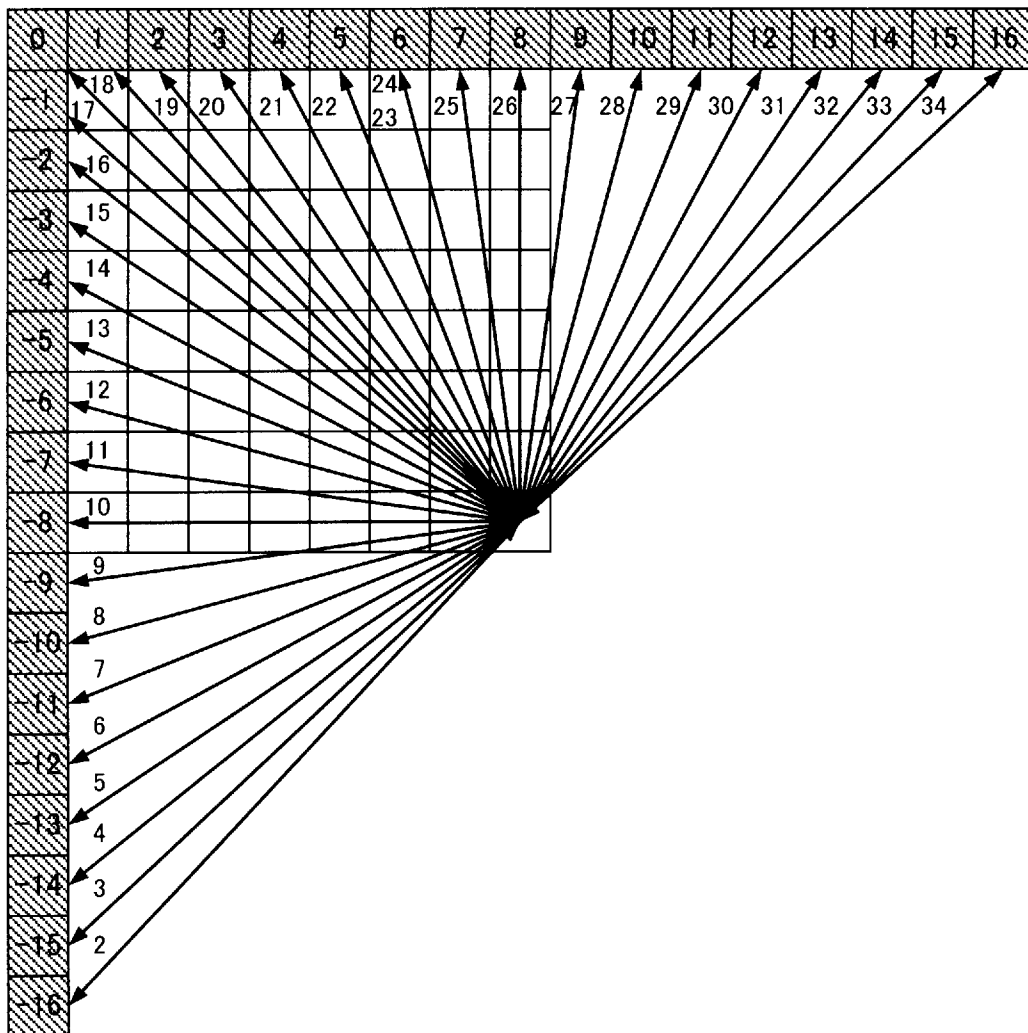
[図10]



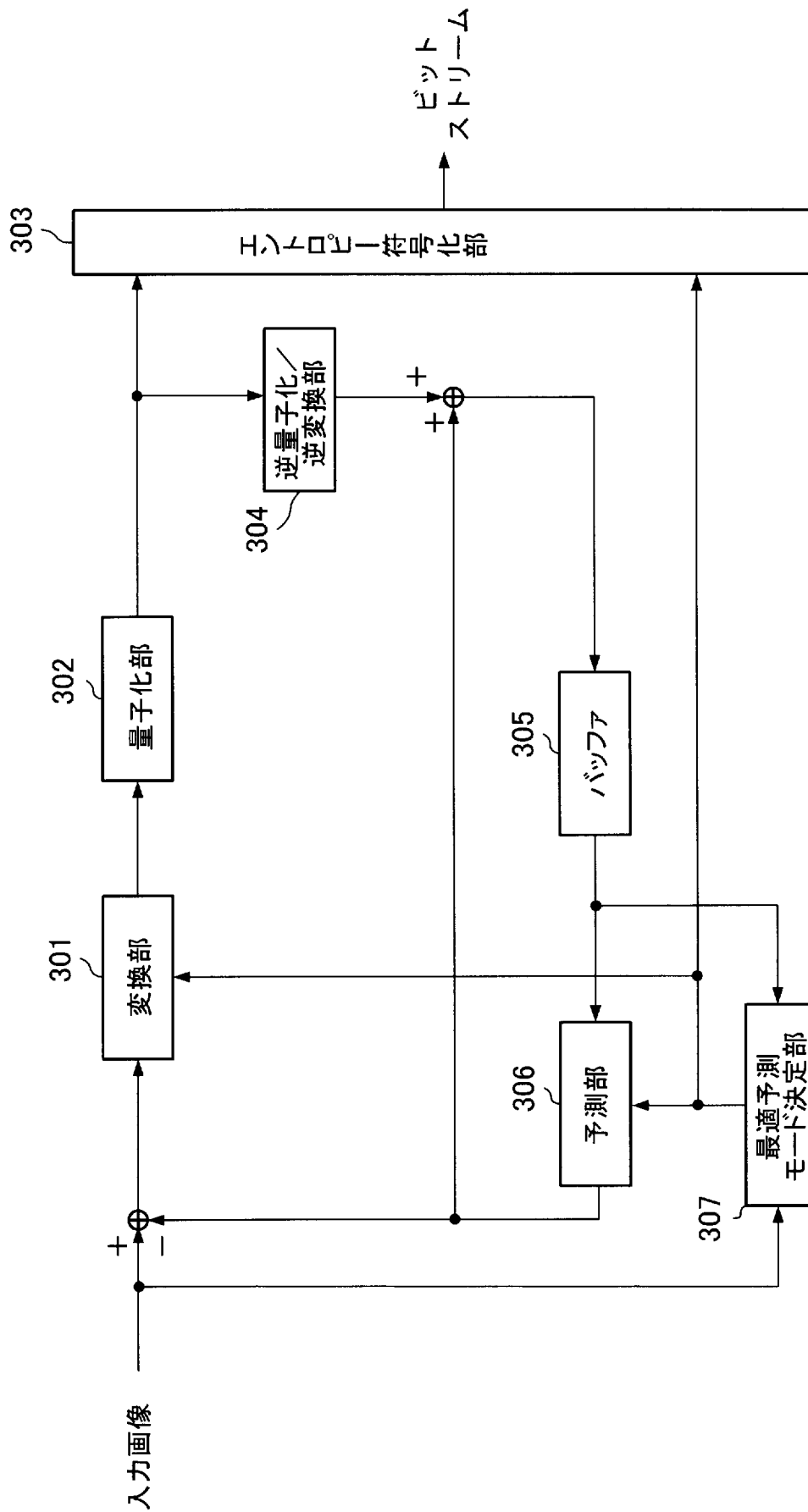
[図11]



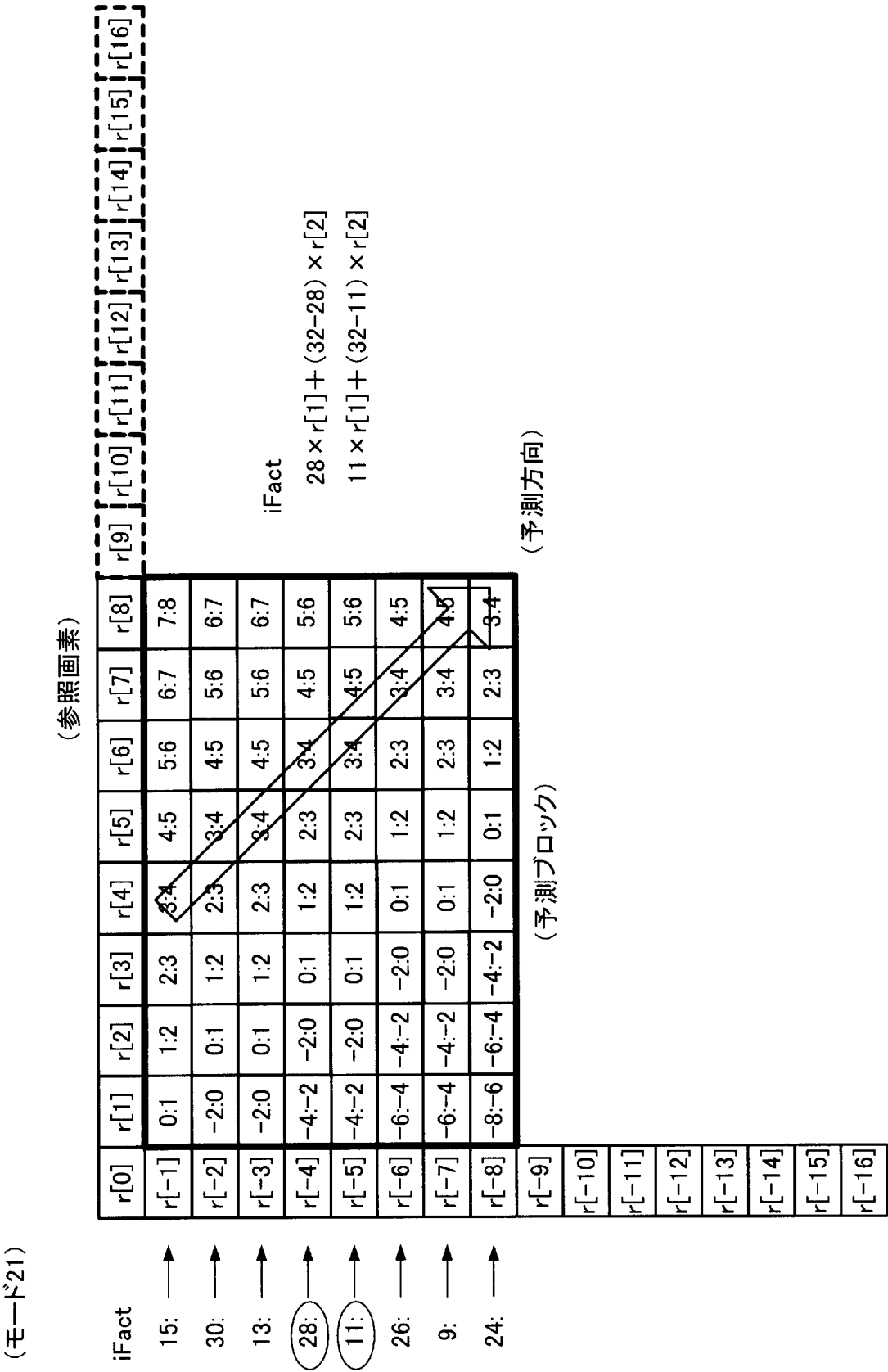
[図12]



[図13]



[図14]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/004376

A. CLASSIFICATION OF SUBJECT MATTER

H04N19/436(2014.01) i, H04N19/593(2014.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H04N19/00-19/98

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2014
Kokai Jitsuyo Shinan Koho	1971-2014	Toroku Jitsuyo Shinan Koho	1994-2014

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2011-23817 A (Fujitsu Ltd.), 03 February 2011 (03.02.2011), entire text; all drawings (Family: none)	1-10
A	JP 2009-260494 A (Canon Inc.), 05 November 2009 (05.11.2009), entire text; all drawings (Family: none)	1-10
A	JP 2003-199111 A (Matsushita Electric Industrial Co., Ltd.), 11 July 2003 (11.07.2003), entire text; all drawings & US 2003/0123548 A1 & EP 1324590 A2 & CN 1429028 A	1-10

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
30 October, 2014 (30.10.14)

Date of mailing of the international search report
18 November, 2014 (18.11.14)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/004376

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	Andrzej Abramowski and Grzegorz Pastuszak, A novel Intra prediction architecture for the hardware HEVC encoder, 2013 Euromicro Conference on Digital System Design (DSD), 2013.09.04, pp.429 - 436	1-10
A	Zhenyu Liu et al., 41.7BN-PIXELS/S RECONFIGURABLE INTRA PREDICTION ARCHITECTURE FOR HEVC 2560X1600 ENCODER, 2013 IEEE International Conference on Acoustics, Speech and Signal Processing (ICASSP), 2013.05, pp.2634 - 2638	1-10
A	Ercan Kalali et al., A HIGH PERFORMANCE AND LOW ENERGY INTRA PREDICTION HARDWARE FOR HIGH EFFICIENCY VIDEO CODING, 2012 22nd International Conference on Field Programmable Logic and Applications (FPL), 2012.08, pp.719 - 722	1-10

A. 発明の属する分野の分類（国際特許分類（I P C））
Int.Cl. H04N19/436(2014.01)i, H04N19/593(2014.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H04N19/00-19/98

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2014年
日本国実用新案登録公報	1996-2014年
日本国登録実用新案公報	1994-2014年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2011-23817 A（富士通株式会社）2011.02.03, 全文, 全図（ファミリーなし）	1-10
A	JP 2009-260494 A（キヤノン株式会社）2009.11.05, 全文, 全図（ファミリーなし）	1-10
A	JP 2003-199111 A（松下電器産業株式会社）2003.07.11, 全文, 全図 & US 2003/0123548 A1 & EP 1324590 A2 & CN 1429028 A	1-10

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

30.10.2014

国際調査報告の発送日

18.11.2014

国際調査機関の名称及びあて先

日本国特許庁（I S A/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

岩井 健二

電話番号 03-3581-1101 内線 3541

5 C

9 4 6 5

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	Andrzej Abramowski and Grzegorz Pastuszak, A novel Intra prediction architecture for the hardware HEVC encoder, 2013 Euromicro Conference on Digital System Design (DSD), 2013.09.04, pp. 429 - 436	1-10
A	Zhenyu Liu et al., 41.7BN-PIXELS/S RECONFIGURABLE INTRA PREDICTION ARCHITECTURE FOR HEVC 2560X1600 ENCODER, 2013 IEEE International Conference on Acoustics, Speech and Signal Processing (ICASSP), 2013.05, pp. 2634 - 2638	1-10
A	Ercan Kalali et al., A HIGH PERFORMANCE AND LOW ENERGY INTRA PREDICTION HARDWARE FOR HIGH EFFICIENCY VIDEO CODING, 2012 22nd International Conference on Field Programmable Logic and Applications (FPL), 2012.08, pp. 719 - 722	1-10