(19)国家知识产权局

(12)发明专利申请

(10)申请公布号 CN 118251724 A
(43)申请公布日 2024.06.25

(21)申请号 202180104266.9
(22)申请日 2021.11.19
(85)PCT国际申请进入国家阶段日
2024.05.15
(86)PCT国际申请的申请数据
PCT/JP2021/042634 2021.11.19
(87)PCT国际申请的公布数据
WO2023/089778 JA 2023.05.25
(71)申请人 株式会社索思未来
地址 日本
(72)发明人 大塚龙志
(74)专利代理机构 北京集佳知识产权代理有限公司 11227
专利代理师 金雪梅
(51)Int.Cl.
G11C 7/10(2006.01)
G11C 5/14(2006.01)

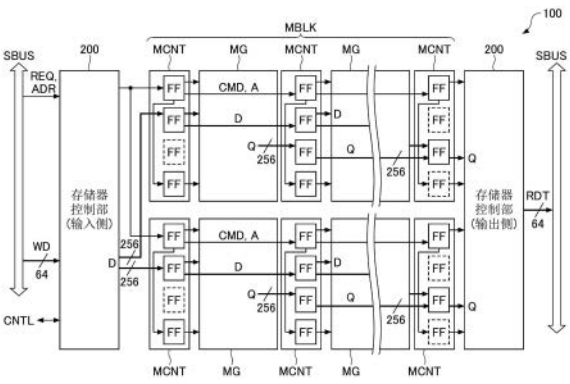
权利要求书2页 说明书28页 附图34页

(54)发明名称

存储器电路

(57)摘要

存储器电路具有:根据请求信号执行写入动作或读取动作的多个存储器组;与多个存储器组分别对应地设置的多个存储器组控制部;以及将请求信号输出到相邻的存储器组控制部的第一存储器控制部。存储器组控制部中的每一个根据接收的请求信号中包含的地址信号,将请求信号输出到对应的存储器组或后级的存储器组控制部。由此,能够通过各存储器组控制部针对每个存储器组控制访问,从而能够抑制访问时间的增加且同时抑制功耗的增加。



CN 118251724 A

1.一种存储器电路,包括:

多个存储器组,其每一个包括多个存储器单元,根据请求信号执行写入动作或读取动作;

多个存储器组控制部,其与所述多个存储器组分别对应地设置;以及

第一存储器控制部,其将从外部接收的请求信号输出到相邻的存储器组控制部,

其中,所述多个存储器组控制部中的每一个在接收的所述请求信号中包含的地址信号表示对应的存储器组的情况下,将所述请求信号输出到对应的存储器组,在所述地址信号表示对应的存储器组以外的情况下,将所述请求信号输出到后级的存储器组控制部。

2.根据权利要求1所述的存储器电路,其中,

所述第一存储器控制部将写入请求信号作为所述请求信号与写入数据信号一同输出,

所述多个存储器组控制部中的每一个在所述地址信号表示对应的存储器组的情况下,将所述写入请求信号和所述写入数据信号输出到对应的存储器组,并抑制将所述写入请求信号和所述写入数据信号输出到后级的存储器组控制部。

3.根据权利要求2所述的存储器电路,其中,

所述第一存储器控制部将从外部接收的M个N位的写入数据信号转换为N×M位的写入数据信号,输出到所述存储器组控制部,其中,M是2以上的整数,N是1以上的整数。

4.根据权利要求1至3中任一项所述的存储器电路,其中,

所述第一存储器控制部将读取请求信号作为所述请求信号输出,

所述多个存储器组控制部中的每一个在所述地址信号表示对应的存储器组的情况下,将所述读取请求信号输出到对应的存储器组,在所述地址信号表示对应的存储器组以外的情况下,抑制将所述读取请求信号输出到对应的存储器组。

5.根据权利要求4所述的存储器电路,其中,

所述多个存储器组控制部的第二级以后的存储器组控制部具有选择器,所述选择器根据所述读取请求信号中包含的地址信号,选择从与前级的存储器组控制部对应的存储器组输出的读取数据信号、或从前级的存储器组控制部传送来的读取数据信号。

6.根据权利要求4或5所述的存储器电路,其中,

在所述多个存储器组的最终级的存储器组的后级侧,还包括存储器组控制部和第二存储器控制部,

所述存储器组控制部和所述存储器组交替地配置,

来自所述多个存储器组中的任何一个的读取数据信号从最终级的存储器组控制部被传送到所述第二存储器控制部,并从所述第二存储器控制部被输出到外部。

7.根据权利要求6所述的存储器电路,其中,

所述第二存储器控制部将从所述最终级的存储器组控制部接收的N×M位的读取数据信号转换为M个N位的读取数据信号,并输出到外部,其中,M是2以上的整数,N是1以上的整数。

8.根据权利要求1至7中任一项所述的存储器电路,其中,

所述存储器组具有至少一个子存储器组,所述子存储器组被设定为低功率模式和激活模式中的任何一个,在所述低功率模式下,保持数据并且抑制功耗,在所述激活模式下,能够执行写入动作或读取动作,

与所述存储器组对应的存储器组控制部将要执行写入动作或读取动作的子存储器组设定为激活模式，

将在规定期间内没有执行写入动作或读取动作的子存储器组设定为所述低功率模式。

9.根据权利要求1至8中任一项所述的存储器电路，其中，

配置在所述多个存储器组中的每一个的两侧的一对所述存储器组控制部之间的请求信号、写入数据信号和读取数据信号的传送所需的时钟周期数彼此相同。

10.根据权利要求1至9中任一项所述的存储器电路，其中，

所述多个存储器组中的每一个具有连接到规定数量的存储器单元的多条字线，

对不良的存储器单元进行补救的冗余字线被分配给距离所述第一存储器控制部最远的存储器组和距离所述第一存储器控制部最近的存储器组中的至少任何一个的字线。

存储器电路

技术领域

[0001] 本发明涉及一种存储器电路。

背景技术

[0002] 在具有SRAM(Static Random Access Memory:静态随机访问存储器)的图像处理装置中,已知将SRAM分割为能够在低功率模式与通常模式之间进行切换的多个组,并将编码后的图像数据存储在组的一个中的方法。图像处理装置通过仅将存储编码后的图像数据的组从低功率模式切换到通常模式,来降低功耗(例如,参照专利文献1)。

[0003] 专利文献1:日本特开2020-6605号公报

发明内容

[0004] <本发明要解决的问题>

[0005] 但是,处理影像数据的系统LSI(Large-Scale Integration)等半导体装置例如有时具有以帧为单位存储影像数据的帧存储器等存储器电路。视频数据的1帧的尺寸越大,使用的存储器容量越大,系统LSI中所搭载的存储器电路的规模越大。由此,存储器电路的功耗增大,存储器电路内的总线布线等变长,从而存储器电路的访问时间增加。

[0006] 本发明是鉴于上述情况而完成的,其目的在于抑制访问时间的增加且同时抑制功耗的增加。

[0007] <用于解决问题的方法>

[0008] 本发明的一个方式中,存储器电路包括:多个存储器组,其每一个包括多个存储器单元,根据请求信号执行写入动作或读取动作;多个存储器组控制部,其与所述多个存储器组分别对应地设置;以及第一存储器控制部,其将从外部接收的请求信号输出到相邻的存储器组控制部,其中,所述多个存储器组控制部中的每一个在接收的所述请求信号中包含的地址信号表示对应的存储器组的情况下,将所述请求信号输出到对应的存储器组,在所述地址信号表示对应的存储器组以外的情况下,将所述请求信号输出到后级的存储器组控制部。

[0009] <发明的效果>

[0010] 根据所公开的技术,能够抑制功耗的增加且同时抑制访问时间的增加。

附图说明

[0011] 图1是示出第一实施方式的存储器电路的一例的方块图。

[0012] 图2是示出图1的存储器控制部的一例的方块图。

[0013] 图3是示出图1的存储器块的结构的一例的方块图。

[0014] 图4是示出图3的存储器组的结构的一例的方块图。

[0015] 图5是示出图4的存储器单元的结构的一例的方块图。

[0016] 图6是示出图5的存储器的读取动作和写入动作的一例的时序图。

[0017] 图7是示出图1的存储器组控制部的结构的一例的方块图。

[0018] 图8是示出图4的存储器单元列的动作状态的转变的一例的状态转变图。

[0019] 图9是示出图7的存储器组控制部的动作的一例的流程图。

[0020] 图10是示出图9的步骤S100的一例的流程图。

[0021] 图11是示出图9的步骤S200的一例的流程图。

[0022] 图12是示出图11的步骤S220的一例的流程图。

[0023] 图13是示出图9的步骤S300的一例的流程图。

[0024] 图14是示出在图1的存储器电路中使存储器单元列转变为激活模式ACT的动作的一例的说明图。

[0025] 图15是示出向图14的激活模式转变时的信号的定时的一例的时序图。

[0026] 图16是示出图15的后续的时序图。

[0027] 图17是示出图1的存储器电路的写入动作的一例的说明图。

[0028] 图18是示出图17的写入动作时的信号的定时的一例的时序图。

[0029] 图19是示出图18的后续的时序图。

[0030] 图20是示出图1的存储器电路的读取动作的一例的说明图。

[0031] 图21是示出图20的读取动作时的信号的定时的一例的时序图。

[0032] 图22是示出图21的后续的时序图。

[0033] 图23是示出图22的后续的时序图。

[0034] 图24是示出图23的后续的时序图。

[0035] 图25是示出图1的存储器电路的读取动作时的信号的定时的另一例的时序图。

[0036] 图26是示出图25的后续的时序图。

[0037] 图27是示出图26的后续的时序图。

[0038] 图28是示出图27的后续的时序图。

[0039] 图29是示出图1的存储器电路中所搭载的冗余电路的一例的方块图。

[0040] 图30是示出搭载有图1的存储器电路的系统的一例的方块图。

[0041] 图31是示出另一存储器电路的一例的方块图。

[0042] 图32是示出图31的存储器组的结构的一例的方块图。

[0043] 图33是示出图31的存储器电路的读取动作的一例的说明图。

[0044] 图34是示出图31的存储器电路的读取动作的另一例的说明图。

具体实施方式

[0045] 以下,使用附图说明实施方式。以下,在传送信号等信息的信号线中,使用与信号名相同的符号。另外,粗线所示的信号线由多位(bit)构成,但也存在单线所示的信号线为多位的情况。

[0046] 图1示出第一实施方式的存储器电路的一例。图1所示的存储器电路100安装在例如处理图像数据的系统LSI等半导体装置中。例如,包括存储器电路100的半导体装置被搭载在监视摄像头等成像设备、AR/VR(Augmented Reality/Virtual Reality:增强现实/虚拟现实)眼镜等头戴式设备或数码相机等上,生成要在显示设备上显示的运动图像数据等。

[0047] 存储器电路100包括存储器块MBLK、连接到存储器块MBLK的输入侧的存储器控制

部200(输入侧)、以及连接到存储器块MBLK的输出侧的存储器控制部200(输出侧)。存储器控制部200(输入侧)是第一存储器控制部的一例,存储器控制部200(输出侧)是第二存储器控制部的一例。以下,在不区分地说明存储器控制部200(输入侧)、200(输出侧)的情况下,称为存储器控制部200。

[0048] 存储器块MBLK具有:多个存储器组MG,其包含多个存储器单元(memory cell),并沿一个方向排列;以及多个存储器组控制部MCNT,配置在多个存储器组MG中的每一个存储器组MG的信号的输入侧。另外,存储器块MBLK具有配置在最终级的存储器组MG的信号的输出侧的存储器组控制部MCNT。例如,各存储器组MG被配置在一对存储器组控制部MCNT之间。换言之,存储器组控制部MCNT与存储器组MG交替地配置。存储器组控制部MCNT用作在存储器控制部200与存储器组MG之间输入/输出的信号的接口电路,或者用作在存储器组控制部MCNT之间输入/输出的信号的接口电路。

[0049] 各存储器组控制部MCNT具有分别接收访问请求信号(控制信号CMD、地址信号A等)、存储器写入数据信号D以及读取数据信号Q的触发器FF。各存储器组控制部MCNT在接收到针对与输出侧相邻的存储器组MG(以下,也称为“本存储器组MG”或“管理对象存储器组MG”。)的访问请求信号的情况下,将访问请求信号输出到本存储器组MG。以下,向所关注的存储器组控制部MCNT输出访问请求信号的存储器组控制部MCNT被称为“前级的存储器组控制部MCNT”。从所关注的存储器组控制部MCNT接收访问请求信号的存储器组控制部MCNT被称为“后级的存储器组控制部MCNT”。

[0050] 在这种情况下,各存储器组控制部MCNT除在最终级的存储器组控制部MCNT中使用的信号之外,抑制向后级的存储器组控制部MCNT的访问请求信号的输出。后级的存储器组控制部MCNT是相对于所关注的存储器组控制部MCNT而隔着1个存储器组MG位于存储器控制部200(输出侧)侧的存储器组控制部MCNT。

[0051] 另外,各存储器组控制部MCNT在接收到针对本存储器组MG以外的存储器组MG的访问请求信号的情况下,将访问请求信号传送到后级的存储器组控制部MCNT。在这种情况下,各存储器组控制部MCNT抑制向本存储器组MG的访问请求信号的输出。

[0052] 另外,各存储器组控制部MCNT将在读取动作时从本存储器组MG读取的存储器读取数据信号Q、或从前级的存储器组控制部MCNT传送来的存储器读取数据信号Q,传送到后级的存储器组控制部MCNT。

[0053] 这样,能够通过各存储器组控制部MCNT针对每个存储器组MG控制访问。由于命令线CMD、地址线A、写入数据线D以及读取数据线Q不是跨多个存储器组MG而长距离地布线,所以能够抑制布线负载的增加。其结果,能够抑制存储器电路100的访问时间的增加且同时抑制功耗的增加。

[0054] 另外,配置在存储器组MG的两侧的一对存储器组控制部MCNT之间的访问请求信号、存储器写入数据信号D以及存储器读取数据信号Q的传送所需的时钟周期数被设定为彼此相同。例如,在配置于存储器组MG的两侧的一对存储器组控制部MCNT之间传送信号所需的时钟周期数为“1”。由于在存储器组控制部MCNT之间传送的信号不受存储器组MG内的信号布线的负载的影响(信号偏斜等),所以能够使传送所需的时钟周期数不依赖于存储器组MG的排列数而始终相同。

[0055] 因此,例如,在存储器控制部200(输入侧)和存储器控制部200(输出侧)之间添加

存储器组MG的情况下,只要根据要添加的数量增加时钟周期数即可。由此,即使在使存储器组MG的数量增加或减少来重新设计存储容量不同的其他存储器电路的情况下,也能够容易地进行时序设计。需说明的是,在图1中,与存储器控制部200(输出侧)相邻的最终级的存储器组控制部MCNT虽然不具有管理对象存储器组MG,但具有对存储器控制部200(输出侧)的定时进行重置的功能。不具有管理对象存储器组MG的最终级的存储器组控制部MCNT在功能上为其他存储器组控制部MCNT的子集(subset)。

[0056] 存储器控制部200连接到半导体器件的系统总线SBUS和输入/输出各种控制信号CNTL的周边总线。例如但不限于,系统总线SBUS可以输入/输出基于ARM公司(其他公司商标)的AXI4(Advanced eXtensible Interface 4:高级可扩展接口4)的信号。存储器控制部200用作用于输入/输出到系统总线SBUS的信号和用于输入/输出到存储器组控制部MCNT的信号之间的接口电路。

[0057] 在图1中,示出了在存储器控制部200(输入侧)和存储器控制部200(输出侧)之间配置两列存储器组控制部MCNT和存储器组MG的一例。但是,存储器组控制部MCNT和存储器组MG的列只要是一列以上即可。另外,存储器组控制部MCNT和存储器组MG的列也可以配置为反C字状(U字状)。在这种情况下,存储器控制部200(输入侧)和存储器控制部200(输出侧)被集中地配置在存储器组控制部MCNT和存储器组MG的配置区域的一端侧。

[0058] 存储器控制部200(输入侧)经由系统总线SBUS从CPU(Central Processing Unit:中央处理单元)等上位的控制器接收针对存储器电路100的读取动作或写入动作等的请求信号REQ、地址信号ADR以及写入数据信号WD等。请求信号REQ是使存储器组MG执行写入动作或读取动作的请求信号(访问请求信号)、或使存储器组MG的动作模式改变的请求信号的一例。访问请求信号是写入请求信号或读取请求信号。需说明的是,在图1中,为了简化图,仅记载了主要的信息信号流。虽然省略了图示,但也有附加的信息、表示各信号的有效或无效的信号、或者表示出数据的输出指示或取入指示等的控制信号。

[0059] 存储器控制部200(输入侧)基于包含地址信号ADR、请求ID或访问大小等信息的请求信号REQ,生成包含用于访问存储器组MG中的存储器的附加信息的控制信号CMD。存储器控制部200(输入侧)将所生成的控制信号CMD输出到第一级的存储器组控制部MCNT。

[0060] 例如,存储器控制部200(输入侧)每当最多接收8次64位的写入数据信号WD时,就将512位的存储器写入数据信号D每256位分别输出到第一级的2个存储器组控制部MCNT。即,存储器控制部200(输入侧)将从系统总线SBUS接收的N位(在本例中为64位)的写入数据信号WD转换为(N×M)位(在本例中M为“8”)的存储器写入数据信号D,使存储器组MG执行存储器写入数据信号D的写入动作。虽然根据来自系统总线SBUS的地址ADR或数据大小,在接收8次写入数据信号WD之前,即,存储器写入数据信号D的512位有时并非全部为有效数据,但根据控制信号CMD等中包含的掩蔽信息,仅将有效数据写入存储器电路100。

[0061] 另外,存储器控制部200(输入侧)经由周边总线接收控制信号CNTL,该控制信号CNTL设定存储器组MG和存储器组控制部MCNT中的至少任何一个的动作规格。另外,存储器控制部200(输入侧)将存储器组MG和存储器组控制部MCNT中的至少任何一个的动作规格作为控制信号CNTL输出到周边总线。例如,与系统总线SBUS相比,周边总线是低速接口。

[0062] 存储器控制部200(输出侧)从最终级的2个存储器组控制部MCNT中的一个接收命令信号CMD、地址信号A等的访问控制信号。存储器控制部200(输出侧)从最终级的2个存储

器组控制部MCNT接收存储器读取数据信号Q,并将读取数据信号RDT输出到系统总线SBUS。例如,每当接收2个256位存储器读取数据信号Q时,存储器控制器200(输出端)输出8个64位读取数据信号RDT。即,存储器控制部200将从存储器组MG读取的并行的存储器读取数据信号Q转换为串行的读取数据信号RDT,并将其输出到系统总线SBUS。

[0063] 输入/输出到存储器块BLK的512位数据是输入/输出到系统总线SBUS的64位数据的8倍。因此,存储器块MBLK的动作频率理想的情况下可以是系统总线SBUS的动作频率的1/8。因此,与对存储器块MBLK输入/输出64位的数据的情况相比,能够削减存储器块MBLK的功耗。由于能够降低存储器块MBLK的动作频率,所以能够使存储器组控制部MCNT和存储器组MG的动作裕度具有富余,从而能够容易地实施电路的时序设计等。

[0064] 需说明的是,输入/输出到存储器块BLK的数据的位数只要是输入/输出到系统总线SBUS的数据的位数的2的n次方倍(n为1以上的整数;在本例中为n=3)即可。

[0065] 图2是示出图1的存储器控制部200的一例的方块图。存储器控制部200(输入侧)包括系统总线输入控制部202、缓存器204、206、周边总线控制部208、整体管理部210、存储器状态管理部212和输入接口控制部214。存储器控制部200(输出侧)包括输出接口控制部220、缓存器222、224、以及系统总线输出控制部226。

[0066] 系统总线输入控制部202根据从系统总线SBUS接收的包含地址信号ADR、请求ID或访问大小等信息的请求信号REQ,将包含用于存储器控制的附加信息的命令信号CMD、地址信号A存储到缓存器204中,最多接收8次从系统总线SBUS接收的写入数据信号WD,并将512位的数据和附加信息(Last信息)1位的合计513位(以下,Last信号的说明只要没有特别说明就省略,合计为512位)存储到缓存器206中。

[0067] 缓存器204、206例如是FIFO(First-In First-Out:先入先出)缓存器。缓存器204将控制信号CMD和地址信号A以保持的顺序输出到输入接口控制部214。缓存器206将写入数据WD以保持的顺序输出到输入接口控制部214。缓存器204将512位的存储器写入数据WD输出到输入接口控制部214。

[0068] 输入接口控制部214等待缓存器204中准备有效信息。若缓存器204的信息成为有效的,则确认信息A,在作为对象的存储器块MBLK内作为访问对象的存储器区域的状态不是激活(active)状态的情况下,进行使其成为激活状态的处理。若成为激活状态,则确认缓存器204的CMD信息,在对存储器块MBLK进行读取动作的情况下,取出缓存器204的信息,将使存储器块MBLK执行读取动作的控制信号CMD和地址A等输出到存储器块MBLK。

[0069] 确认缓存器204的CMD信息,在对存储器块MBLK进行写入动作的情况下,进一步等待缓存器206的信息成为有效。若缓存器206的信息成为有效的,则取出信息D和Last信息,输出使存储器块MBLK执行写入动作或读取动作的控制信号CMD和地址A等,并且将写入数据信号WD作为2个256位的存储器写入数据信号D输出到存储器块MBLK。

[0070] 周边总线控制部208将从周边总线接收的各种控制信号CNTL输出到整体管理部210。另外,周边总线控制部208将从整体管理部210接收的各种控制信号CNTL输出到周边总线。

[0071] 整体管理部210具有设定存储器组MG(图1)的动作模式等的动作规格的多个未图示的寄存器。整体管理部210根据来自周边总线的各种控制信号CNTL设定寄存器。例如,作为动作模式,有关闭模式、休眠模式以及激活模式。例如,关闭模式、休眠模式和激活模式以

后述的存储器单元列MUC为单位进行切换。需说明的是,关闭模式、休眠模式和激活模式的切换单位不限于存储器单元列MUC。

[0072] 例如,在关闭模式下,在作为关闭对象的存储器单元列MUC中,存储器单元区域的电源被切断,对于存储器单元区域以外的周边电路,与关闭和休眠的控制无关的周边电路的电源被切断。在休眠模式下,在作为休眠对象的存储器单元列MUC中,将存储器单元区域的电源降低到能够维持存储在存储器单元中的数据的低电压,对于存储器单元区域以外的周边电路,与关闭和休眠的控制无关的周边电路的电源被切断。需说明的是,在本实施例中,虽然示出了存储器块MBLK自身内置有用于关闭功能或休眠功能的电源电路的例子,但即使在存储器块MBLK自身不具有电源电路的情况下,只要能够通过设置在存储器块MBLK的外部的电源电路,以存储器单元列MUC单位或存储器组MG单位进行存储器单元区域的电源电压的调整、以及存储器单元区域以外的周边电路的电源电压的调整或电源的切断,就能够使用本技术。

[0073] 在激活模式下,可以执行写入动作或读取动作。另外,存储器状态管理部212的寄存器中,也可以设定在激活模式中没有访问的情况下转变为休眠模式的时间。

[0074] 存储器状态管理部212根据内置的多个寄存器的设定值,管理存储器单元列MUC的动作模式。另外,存储器状态管理部212保持表示存储器组MG内的不良的存储器单元的位置的不良信息,实施代替不良的存储器单元而访问正常的存储器单元的管理。

[0075] 在存储器块MBLK的读取动作中,输出接口控制部220将从存储器块接收的2个256位存储器读取数据信号Q存储在缓存器224中。另外,输出接口控制部220将从存储器块MBLK接收的包含用于存储器控制的附加信息的控制信号CMD和地址信号A存储在缓存器222中。

[0076] 缓存器222、224例如是FIFO缓存器。缓存器222将包含用于存储器控制的附加信息的控制信号CMD和地址信号A,以保持的顺序输出到系统总线输出控制部226。缓存器224将256位的2个存储器读取数据信号Q作为512位的读取数据,输出到系统总线输出控制部226。

[0077] 需说明的是,存储器控制部200具有将对系统总线SBUS输入/输出的数据等的频率和对存储器块MBLK输入/输出的数据等的频率相互转换的功能。例如,在存储器控制部200中,缓存器204、206的输入侧根据系统总线SBUS中使用的系统时钟信号SCLK进行动作。在存储器控制部200中,缓存器204、206的输出侧根据存储器块MBLK中使用的存储器时钟信号MCLK动作。

[0078] 同样地,在存储器控制部200中,缓存器222、224的输入侧根据存储器块MBLK中使用的存储器时钟信号MCLK动作。在存储器控制部200中,缓存器222、224的输出侧根据系统总线SBUS中使用的系统时钟信号SCLK动作。这样,缓存器204、206、222、224也作为时钟加载转换电路动作。

[0079] 系统总线输出控制部226接收从缓存器222输出的包含用于存储器控制的附加信息的控制信号CMD和地址信号A、以及从缓存器224输出的512位的存储器读取数据信号Q。系统总线输出控制部226根据包含用于存储器控制的附加信息的控制信号CMD和地址信号A,将512位的存储器读取数据信号Q作为最大8个64位的读取数据RDT依次输出到系统总线SBUS。根据地址信号A或附加信息中包含的大小信息,512位的存储器读取数据信号Q之中有时包含访问对象外的数据。仅输出访问对象的数据到系统总线SBUS。

[0080] 图3示出了图1的存储器块MBLK的结构的一例。在以下的说明中,将存储器块MBLK

作为具有8个存储器组MG(MG10、MG11、MG20、MG21、MG30、MG31、MG40、MG41)进行说明,其中这8个存储器组MG排列成纵向2个且横向4个。要说明的是,存储器块MBLK中所搭载的存储器组MG的数量和配置不限于图3所示的例子。

[0081] 存储器块MBLK具有配置在各存储器组MG的输入侧的存储器组控制部MCNT(MCNT10、MCNT11、MCNT20、MCNT21、MCNT30、MCNT31、MCNT40、MCNT41)。另外,存储器块MBLK具有分别配置在最终级的存储器组MG40、MG41的输出侧的存储器组控制部MCNT50、MCNT51。

[0082] 各存储器组MG包括16个存储器单元MU,其中这16个存储器单元MU排列成纵向4个且横向4个。需说明的是,各存储器组MG中所搭载的存储器单元MU的数量和配置不限于图3所示的例子。

[0083] 没有特别限定,各存储器单元MU的大小为32k字×64位(=2Mbit),纵向排列的4个存储器单元MU输入/输出256位的数据。包括16个存储器单元MU的存储器组MG的大小为128k字×256位(=32Mbit)。包含8个存储器组MG的存储器块MBLK的大小为512k字×512位(=256Mbit)。

[0084] 由纵向排列的2个存储器组MG构成存储器组列MGC。由纵向排列的4个存储器单元MU构成存储器单元列MUC。存储器单元列MUC是子存储器组的一例。例如,各存储器组列MGC通过25位地址信号A中的位AD[24:23]来识别。各存储器单元列MUC通过25位地址信号A中的位AD[22:21]来识别。

[0085] 在本实施例中,关闭模式、休眠模式和激活模式之间的切换的单位是存储器单元列MUC。休眠模式是低功率模式的一例。存储器单元列MUC是作为休眠模式和激活模式的切换单位的子存储组的一例。

[0086] 需说明的是,关闭模式、休眠模式和激活模式可以以纵向2个存储器单元列MUC为单位进行切换,也可以以将存储器单元列MUC进一步细分为多列后的列为单位进行切换。例如,也可以以后述的图5的存储器列MEMC为单位进行切换。另外,关闭模式、休眠模式和激活模式还可以以存储器组MG为单位进行切换。

[0087] 例如,在各存储器单元列MUC中,关闭模式中的功耗是激活模式中的待机功率的1/10左右,休眠模式中的功耗是激活模式中的待机功率的1/3左右。

[0088] 各存储器组MG的输入侧的存储器组控制部MCNT向该存储器组MG、以及该存储器组MG的输出侧的存储器组控制部MCNT,输出控制信号CMD、地址信号A和存储器写入数据信号D。各存储器组MG向输出侧的存储器组控制部MCNT输出存储器读取数据信号Q。如图3所示,命令线CMD和地址线A未跨多个存储器组MG而布线。因此,能够抑制布线负载的增加。其结果,能够抑制存储器电路100的访问时间的增加且同时能够抑制功耗的增加。

[0089] 图4示出了图3的存储器组MG的结构的一例。附加在信号的末尾的符号(i)表示输入信号,附加在信号的末尾的符号(o)表示输出信号。存储器组MG从存储器组控制部MCNT接收存储器时钟信号MCLK、16位的芯片使能信号CEB、写入使能信号WEB以及位写入使能信号BWEB,作为图3的控制信号CMD。将16位的芯片使能信号CEB每4位分别提供给存储器单元列MUC,用于选择存储器单元列MUC和存储器单元列MUC内的存储器列MEMC(后述的图5)。

[0090] 例如,在末尾附加符号B的信号是负逻辑的信号,在末尾未附加符号B的信号是正逻辑的信号。位写入使能信号BWEB是以位为单位控制数据信号的写入的信号,与掩蔽(mask)写入的位对应的位写入使能信号BWEB被设定为高电平。

[0091] 另外,存储器组MG接收地址信号A和256位的存储器写入数据信号D,并输出存储器读取数据信号Q。需说明的是,将256位的存储器写入数据信号D每64位分别供给到存储器单元列MUC的4个存储器单元MU。存储器组MG包括多个选择器SEL,该多个选择器SEL选择从横向排列的4个存储器单元MU输出的64位的存储器读取数据信号Q中的任何一个,并将其输出到存储器组控制部MCNT。

[0092] 另外,存储器组MG从存储器组控制部MCNT接收关闭信号SD和休眠信号SLP,作为图3中的控制信号CMD。如参考图3所述,在本实施方式中,关闭模式、休眠模式和激活模式的切换是以存储器单元列MUC为单位实施的。因此,关闭信号SD和休眠信号SLP针对每个存储器单元列MUC进行提供。

[0093] 各存储器单元MU的符号SDO表示向存储器单元列MUC内的相邻的存储器单元MU输出关闭信号SD的端子。各存储器单元MU的符号SLPO表示向存储器单元列MUC内的相邻的存储器单元MU输出休眠信号SLP的端子。由此,能够将共享给存储器单元列MUC内的末端的存储器单元MU的关闭信号SD和休眠信号SLP,依次传送给存储器单元列MUC内的其他的存储器单元MU。在存储器单元MU的动作模式切换时,发生被称为涌浪电流(inrush current)的现象,其中电流暂时流过比通常情况下多的电流。通过将关闭信号SD和休眠信号SLP依次传送到存储器单元MU,能够依次错开存储器单元列MUC内的4个存储器单元MU的动作模式的切换定时,涌浪电流的产生定时也错开,因此能够抑制峰值电流。

[0094] 图5示出了图4的存储器单元MU的结构的一例。存储器单元MU具有8个存储器MEM,其中这8个存储器MEM排列成纵向2个且横向4个。各存储器MEM的大小为8k字×32位(=256kbit)。例如,存储器MEM可以具有多个SRAM存储器单元,但也可以具有其他的易失性存储器单元。另外,存储器MEM也可以具有MRAM(Magnetoresistive Random Access Memory:磁阻式随机访问存储器)或ReRAM(Resistive Random Access Memory:电阻式随机访问存储器)等非易失性存储器的存储器单元。需说明的是,存储器单元MU中所搭载的存储器MEM的数量和排列不限于图5所示的一例。

[0095] 存储器单元MU内的存储器MEM与图4所示的存储器组MG内的存储器单元MU同样地,依次传送关闭信号SD和休眠信号SLP。由此,能够进一步抑制峰值电流。需说明的是,关闭信号SD和休眠信号SLP可以进一步细分。例如,通过以包含纵向排列的2个存储器MEM的存储器列MEMC为单位来控制关闭信号SD和休眠信号SLP,能够进一步抑制峰值电流。

[0096] 图6示出了图5的存储器MEM的读取动作和写入动作的一例。在读取动作和写入动作中,关闭信号SD和休眠信号SLP需要被固定为低电平(L),作为动作对象的存储器单元列MUC需要处于激活状态。

[0097] 读取动作在时钟信号CLK的上升沿,芯片使能信号CEB为低电平且写入使能信号WEB为高电平时开始。存储器MEM从由与时钟信号CLK的上升沿同步地接收的地址信号A表示的存储器区域中读取数据,并在从时钟信号CLK的上升沿开始时间tcd后,输出存储器读取数据信号Q。

[0098] 写入动作在时钟信号CLK的上升沿,芯片使能信号CEB为低电平且写入使能信号WEB为低电平时开始。存储器MEM与时钟信号CLK的上升沿同步地接收地址信号A和存储器写入数据信号D。然后,存储器MEM将存储器写入数据信号D写入由接收到的地址信号A表示的存储器区域。但是,存储器MEM掩蔽对与时钟信号MCLK的上升沿同步接收的位写入使能信号

BWEB的位值为高电平的位的写入动作。

[0099] 在位写入使能信号BWEB的位值为低电平的情况下,将对应的存储器写入数据信号D的位值写入到存储器单元中。图6中,对于Write Cycle i,由于BWEB(i)位为低电平,所以对应的D(i)位的值被写入存储器单元,由于BWEB(j)位为高电平,所以对应的D(j)位的值向存储器单元的写入被掩蔽。另外,对于Write Cycle j,由于BWEB(j)位为低电平,所以对应的D(j)位被写入存储器单元,由于BWEB(i)位为高电平,所以对应的D(i)位向存储器单元的写入被掩蔽。需说明的是,虽然在图中未示出,但在所有的BWEB位都为低电平的情况下,所有的D位的值都被写入存储器单元,在所有的BWEB位都为高电平的情况下,所有的D位的值向存储器单元的写入都被掩蔽。

[0100] 图7示出了图1的存储器组控制部MCNT的结构的一例。存储器组控制部MCNT具有多个触发器FF(FF1、FF2、FF3、FF4、FF5、FF6、FF7)、中继控制部RCNT、多个掩蔽电路MSK(MSKC、MSKW1、MSKW2、MSKR)。连接有粗信号线的触发器FF由多个构成。在末尾附加(i)的信号表示输入信号,在末尾附加(o)的信号表示输出信号。

[0101] 在图7中,符号PARAM(i)是用于识别存储器组控制部MCNT的多个位的信号,以位为单位固定为高电平或低电平。PARAM(i)信号的逻辑是在存储器电路100设计时确定的。符号CAWD(i)表示从前级的存储器组控制部MCNT接收的控制信号CMD和地址A。符号D[255:0](i)表示从前级的存储器组控制部MCNT接收的存储器写入数据信号D。上方的符号Q[255:0](i)表示来自前级的存储器组MG的存储器读取数据信号Q。下侧的符号Q[255:0](i)表示从前级的存储器组控制部MCNT接收的存储器读取数据信号Q。

[0102] 符号CAWD(o)表示输出到后级的存储器组控制部MCNT的控制信号CMD和地址信号A。符号CEB[3:0]、WEB[3:0]、A、BWEB、SLP[3:0]、SD[3:0]表示输出到本存储器组MG的各种控制信号以及地址信号A。上方的符号D[255:0](o)表示输出到后级的存储器组控制部MCNT的存储器写入数据信号D。下侧的符号D[255:0](o)表示输出到本存储器组MG的写入数据信号D。符号Q[255:0](o)表示输出到后级的存储器组控制部MCNT的存储器读取数据信号Q。

[0103] 存储器时钟信号MCLK经由缓存器BUF1传送到存储器组控制部MCNT内的各同步电路。从缓存器BUF1输出的存储器时钟信号MCLK经由缓存器BUF2,输出到后级存储器组控制部MCNT。另外,从缓存器BUF1输出的存储器时钟信号MCLK经由缓存器BUF3,作为存储器时钟信号IMCLK输出到本存储器组MG。

[0104] 当命令地址使能信号CAEN为有效电平时,触发器FF1保持并输出包含所接收到的控制信号CMD、地址信号A和附加信息的(命令地址信号CAWD)。命令地址使能信号CAEN与控制信号CMD和地址信号A一起从存储器控制器200输出。触发器FF2将从存储器控制部200或前级的存储器组控制部MCNT接收的命令地址使能信号CAEN传送到后级的存储器组控制部MCNT。例如,命令地址使能信号CAEN的有效电平是高电平。

[0105] 触发器FF3在写入数据使能信号WDEN为有效电平时,保持并输出所接收到的256位的写入数据信号D。写入数据使能信号WDEN与写入数据信号D一起从存储器控制部200输出。触发器FF4将从存储器控制部200或前级的存储器组控制部MCNT接收的写入数据使能信号WDEN传送到后级的存储器组控制部MCNT。例如,写入数据使能信号WDEN的有效电平为高电平。

[0106] 触发器FF5在从前级存储器组控制部MCNT接收的读取数据使能信号RDEN为有效电

平时,保持并输出经由选择器SELQ接收的256位存储器读取数据信号Q。例如,读取数据使能信号RDEN的有效电平为高电平。

[0107] 存储器读取数据信号Q分别从前级的存储器组MG和前级的存储器组控制部MCNT输出。前级的存储器组MG是相对于所关注的存储器组控制部MCNT与存储器控制部200(输入侧)相邻地配置的存储器组MG。前级的存储器组MG由所关注的存储器组控制部MCNT的前级的存储器组控制部MCNT控制动作。

[0108] 选择器SELQ根据来自中继控制部RCNT的控制信号的电平,选择从前级存储器组MG读取的存储器读取数据信号Q或从前级存储器组控制器MCNT传送的存储器读取数据信号Q。不管输出存储器读取数据信号Q的存储器组MG的位置如何,选择器SELQ都能够将存储器读取数据信号Q传送到存储器控制部200。

[0109] 读取数据使能信号RDEN从前级或前级之前的存储器组控制部MCNT中的任一个输出。触发器FF6将从前级的存储器组控制部MCNT接收到的读取数据使能信号RDEN,经由电路OR传送到后级的存储器组控制部MCNT。需说明的是,第一级的存储器组控制部MCNT不接收来自前级的存储器组MG的存储器读取数据信号Q和来自前级的存储器组控制部MCNT的存储器读取数据信号Q。第二级的存储器组控制部MCNT不接收来自前级的存储器组控制部MCNT的存储器读取数据信号Q。

[0110] 前级的存储器组控制部MCNT内的触发器FF7在接收从中继控制部RCNT输出的读取数据使能信号IRDEN后延迟1个时钟的定时,经由或电路OR,作为RDEN信号输出到所关注的存储器组控制部MCNT。如图6所示,由于本实施方式的存储器电路100由于相对于读取请求定时(CEB=L且WEB=H时CLK上升)延迟tcd时间来输出数据,所以通过IRDEN信号,从前级的存储器组MG读取了数据的存储器读取数据信号Q被后级的存储器组控制部MCNT内的触发器FF5取入。例如,读取数据使能信号IRDEN的有效电平是高电平。需说明的是,在使用与图6所示的本实施方式的存储器电路100的读取数据成为有效的定时不同的存储器电路的情况下,基于存储器组控制部MCNT内的IRDEN信号生成RDEN信号的部分的电路结构会有变化。

[0111] 中继控制部RCNT控制中继控制部RCNT自身的动作,并且控制后级的存储器组MG的动作。后级的存储器组MG是相对于所关注的存储器组控制部MCNT与存储器控制部200(输出侧)相邻地配置的存储器组MG,是由所关注的存储器组控制部MCNT控制动作的存储器组MG。

[0112] 中继控制部RCNT根据用于表示是从存储器控制部200起第几级的存储器组控制部MCNT的参数信号PARAM来动作。参数信号PARAM的各位基于存储器电路100的整体设计,在各存储器组控制部MCNT部的外部固定为高电平或低电平,指定各存储器组控制部MCNT是第几级的存储器组控制部MCNT。例如,在图3的结构的情况下,存储器组控制部MCNT在横向上有5个。在这种情况下,PARAM信号在3位中表示0到7中的任何一个。

[0113] 图3的最左侧的存储器组控制部MCNT10、MCNT11被设定为PARAM=1。左数第二个存储器组控制部MCNT20、MCNT21被设定为PARAM=2。最右侧的不具有自身MG的存储器组控制部MCNT50、MCNT51被设定为PARAM=0。由于PARAM=1的存储器组控制部MCNT10、MCNT11位于最左侧,不接收来自前级的存储器读取数据信号Q,因此可以不具有用于接收来自前级的存储器读取数据信号的触发器FF5、FF6和选择器SELQ等电路。由于PARAM=0的存储器组控制部MCNT50、MCNT51位于最右侧,无需向后级传送存储器写入数据信号D,因此也可以不具有触发器FF3、FF4以及掩蔽电路MSKW1、MSKW2等电路。

[0114] 中继控制部RCNT通过处理来自触发器FF1的包含控制信号CMD、地址信号A以及附加信息的命令地址信号CAWD,能够检测执行写入动作或读取动作的存储器组MG。中继控制部RCNT在判断出后级的存储器组MG的写入动作的情况下,将低电平的芯片使能信号CEB、低电平的写入使能信号WEB、地址A以及位写入使能信号BWEB输出到后级的存储器组MG。芯片使能信号CEB和写入使能信号WEB与后级的存储器组MG内的4个存储器单元列MUC中的每一个对应地生成。

[0115] 中继控制部RCNT在判断了本存储器组MG的读取动作的情况下,将低电平的芯片使能信号CEB、高电平的写入使能信号WEB以及地址A输出到作为读取对象的存储器单元列MUC。中继控制部RCNT在判断出本存储器组MG向休眠模式或关闭模式转变的情况下,将规定的逻辑电平的休眠信号SLP和关闭信号SD输出到作为控制对象的存储器单元列MUC。休眠信号SLP和关闭信号SD与本存储器组MG内的四个存储器单元列MUC中的每一个对应地生成。

[0116] 中继控制部RCNT在判断为本存储器组MG从休眠模式或关闭模式解除的情况下,将低电平的休眠信号SLP和低电平的关闭信号SD输出到本存储器组MG。需说明的是,各存储器单元列MUC的状态由存储器控制部200内的存储器状态管理部212统一管理。并且,在执行写入动作或读取动作之前,在需要从休眠模式或关闭模式解除的情况下,存储器控制部200在输出写入动作或读取动作的命令之前,输出变更存储器单元MUC的状态的变更命令。

[0117] 例如,在关闭模式中,休眠信号SLP和关闭信号SD分别被设定为低电平和高电平。在休眠模式中,休眠信号SLP和关闭信号SD分别被设定为高电平和低电平。在激活模式中,休眠信号SLP和关闭信号SD均被设定为低电平。

[0118] 需说明的是,在存储器电路100起动时,休眠信号SLP和关闭信号SD分别被设定为低电平和高电平,并且所有的存储器组MG内的存储器单元列MUC都被设定为关闭模式。然后,仅使要进行动作的存储器单元列MUC从关闭模式转变为激活模式ACT,执行写入动作或读取动作。进而,在激活模式中在规定期间没有访问的情况下,从存储器控制部200输出存储器状态的变更命令,对应的存储器组控制部MCNT所管理的存储器组MG内的存储器单元列MUC从激活模式转变为休眠模式。判断从激活模式向休眠模式转变的规定期间能够根据图2的存储器状态管理部212的寄存器的设定值进行变更。

[0119] 另外,休眠模式中或激活模式中的存储器单元列MUC能够基于来自存储器控制部200的指示而转变为关闭模式。这样,要执行写入动作或读取动作的存储器单元列MUC被设定为激活模式,在持续进行访问的期间维持激活模式。另外,在一定的时间内没有访问的情况下,返回到休眠模式。通过使被设定为激活模式的存储器单元列MUC的数量最小化,能够降低存储器电路MEM的功耗。

[0120] 中继控制部RCNT基于从前级的存储器组控制部MCNT接收到的控制信号CMD和地址信号A,检测从前级或前级之前的存储器组MG输出存储器读取数据信号Q的情况。当从前级存储器组MG输出存储器读取数据信号Q时,中继控制部RCNT通过选择器SELQ选择来自前级存储器组MG的存储器读取数据信号Q。当从前级之前的存储器组MG输出存储器读取数据信号Q时,中继控制部RCNT通过选择器SELQ选择从前级存储器组控制部MCNT传送来的存储器读取数据信号Q。

[0121] 当读取数据使能信号RDEN为有效电平(例如高电平)时,中继控制部RCNT解除掩蔽电路MSKR的掩蔽状态,当读取数据使能信号RDEN为无效电平(例如低电平)时,中继控制部

RCNT将掩蔽电路MSKR设定为掩蔽状态。由此,存储器组控制部MCNT在接收到通过执行前级存储器组MG的读取动作而获得的256位的存储器读取数据信号Q的情况下,能够中继存储器读取数据信号Q而将其传送到后级存储器组控制部MCNT。另外,中继控制部RCNT在没有从前级侧接收到存储器读取数据信号Q的情况下,抑制无效的存储器读取数据信号Q向后级的存储器组控制部MCNT的传送。由此,能够削减功耗。

[0122] 中继控制部RCNT基于从前级的存储器组控制部MCNT接收到的包含控制信号CMD、地址信号A以及附加信息的命令地址信号CAWD,检测从本存储器组MG输出存储器读取数据信号Q的情况。在从本存储器组MG输出存储器读取数据信号Q的情况下,中继控制部RCNT将有效电平的读取数据使能信号IRDEN输出到触发器FF7。触发器FF7将读取数据使能信号IRDEN经由电路OR输出到后级的存储器组控制部MCNT。

[0123] 中继控制部RCNT以与用于使后级的存储器组MG执行读取动作的芯片使能信号CEB相同的周期,输出读取数据使能信号IRDEN。因此,从触发器FF7输出的读取数据使能信号RDEN在后级的存储器组MG的读取动作开始后,一个周期后被提供给后级的存储器组控制部MCNT。因此,后级的存储器组控制部MCNT能够将从对应的存储器组MG接收的存储器读取数据信号Q保持在触发器FF5中。

[0124] 在前级或前级之前的存储器组MG中执行读取动作的情况下,为了将存储器读取数据信号Q传送到后级的存储器组控制部MCNT,中继控制部RCNT解除掩蔽电路MSKR的掩蔽状态。另外,在后级或后级之后的存储器组MG中执行写入动作的情况下,为了将写入数据信号D传送到后级MCNT,中继控制部RCNT解除掩蔽电路MSKW1的掩蔽状态。另外,为了抑制写入数据信号D向本存储器组MG的传送,将掩蔽电路MSKW2设定为掩蔽状态。

[0125] 为了将包含控制信号CMD、地址信号A以及附加信息的命令地址信号CAWD向后级的存储器组控制部MCNT传送,中继控制部RCNT将掩蔽电路MSKC的掩蔽状态设定为解除。在后级或后级之后的存储器组MG中执行写入动作的情况下,为了将包含控制信号CMD、地址信号A以及附加信息的命令地址信号CAWD传送到后级的存储器组控制部MCNT,中继控制部RCNT解除掩蔽电路MSKC的掩蔽状态。在本存储器组MG中的任一个中执行写入动作的情况下,为了将命令地址信号CAWD传送到后级的存储器组控制部MCNT,中继控制部RCNT将掩蔽电路MSKC设定为掩蔽状态。在读取动作中,最终级的存储器组控制部MCNT能够执行将包含控制信号CMD、地址信号A以及附加信息的命令地址信号CAWD以及存储器读取数据信号Q输出到存储器控制部200的控制。

[0126] 在由本存储器组MG执行写入动作的情况下,为了抑制写入数据信号D向后级的存储器组控制部MCNT的传送,中继控制部RCNT将掩蔽电路MSKW1设定为掩蔽状态。并且,为了将存储器写入数据信号D传送到本存储器组MG,解除掩蔽电路MSKW2的掩蔽状态。

[0127] 在后级以及后级之后的存储器组MG中执行写入动作的情况下,为了将写入数据信号D传送到后级的存储器组控制部MCNT,中继控制部RCNT解除掩蔽电路MSKW1的掩蔽状态。在后级以及后级之后的存储器组MG中执行写入动作的情况下,为了抑制存储器写入数据信号D向本存储器组MG的传送,中继控制部RCNT将掩蔽电路MSKW2设定为掩蔽状态。

[0128] 图8示出了图4的存储器单元列MUC的操作状态的转变的一例。图8的状态转变由控制存储器单元列MUC的动作的存储器组控制部MCNT管理。但是,向关闭模式SD的转变通过存储器控制部200的存储器状态管理部212的寄存器设定来进行。

[0129] 需说明的是,图8示出了以关闭模式SD、休眠模式SLP和激活模式ACT的切换单位中的状态转变。因此,在关闭模式SD、休眠模式SLP以及激活模式ACT的切换单位为存储器组MG的情况下,图8示出了存储器组MG的状态转变。在以存储器单元列MUC内的存储器列MEMC为单位进行动作模式的切换的情况下,图8示出了以存储器列MEMC为单位的状态转变。以下,说明以存储器单元列MUC为单位的控制的例子。

[0130] 在图1的存储器电路MEM起动时,将所有存储器单元列MUC的状态设定为关闭模式SD。发生了写入请求或读取请求的存储器单元列MUC从关闭模式SD被转变为激活转变模式ATRNS,例如,存储器单元区域以外的周边电路的电源被接通。然后,存储器单元列MUC在经过电源稳定的时间后转变为激活模式ACT,执行写入动作或读取动作。在激活模式ACT下,每当发生该存储器单元列MUC的写入请求或读取请求时,执行写入动作或读取动作。

[0131] 在激活模式ACT下,在没有发生写入请求或读取请求的非访问状态持续了规定时间的情况下,存储器单元列MUC转变为休眠模式SLP。休眠模式SLP是保持由存储器单元列MUC保持的数据且同时抑制功率消耗的低功率模式的一例。通过将规定期间内没有执行写入动作或读取动作的存储器单元列MUC从激活模式ACT切换到休眠模式SLP,能够削减存储器电路100的功耗。在休眠模式SLP下,发生了写入请求或读取请求的存储器单元列MUC被转变为激活转变模式ATRNS。

[0132] 当在激活模式ACT或休眠模式SLP中发生存储器单元列MUC的关闭指示时,存储器单元列MUC转变为关闭模式SD。关闭指示例如基于图2的控制信号CTNL的接收,通过存储器状态管理部212的寄存器设定来进行。需说明的是,根据用途不同,也可以是在休眠模式SLP持续了规定时间的情况下,使存储器单元列MUC转变为关闭模式SD的实施方式。在这种情况下,休眠模式SLP的持续时间可以在图2的整体管理部210的寄存器中预先设定。向关闭模式SD的自动的转变例如是下述情况:在运动图像的处理中,存储器电路100中保持的帧图像数据在一定时间以内必定被访问的情况下,如果在一定时间以上没有访问,则能够保证不利用其中保持的数据。例如,在以某画面尺寸实施存储器访问处理,从中途切换为更小的画面尺寸而继续进行存储器访问处理的情况下等,在以最初的画面尺寸进行处理时所使用的存储器区域中,在切换为更小的画面尺寸的情况下,产生不使用的存储器区域。在这种情况下,通过基于休眠模式SLP的持续时间使其自动转变为关闭信号SD,与从外部发出关闭指示的情况相比,能够容易地进行存储器电路100的访问控制。

[0133] 需说明的是,直到转变为关闭模式SD为止的休眠模式SLP的持续时间,也可以获取访问频率等统计信息,根据获取的统计信息来设定。在这种情况下,存储器控制部200中添加获取统计信息的获取电路和持续时间的计算电路,其中所述统计信息包括从转变为休眠状态直到转变为激活状态的时间、从激活状态转变为休眠状态的频率、以及在激活状态下的访问频率。

[0134] 图9至图13示出了图7的存储器组控制部MCNT的动作的一例。图9至图13所示的处理由存储器电路100内的多个存储器组控制部MCNT的中继控制部RCNT按每个存储器单元列MUC来执行。需说明的是,在图9至图13所示的处理中示出的是关闭模式SD、休眠模式SLP和激活模式ACT的切换单位为存储器单元列MUC的例子。

[0135] 首先,在步骤S10中,中继控制部RCNT等待直到检测出系统时钟信号SCLK的正沿(positive edge)为止,在检测出正沿的情况下,执行步骤S12。在步骤S12中,在发出了状态

转变请求的情况下,中继控制部RCNT执行步骤S100(状态转变处理),在没有发出状态转变请求的情况下,中继控制部RCNT执行步骤S14。图10示出了步骤S100的一例。

[0136] 状态转变请求是转变为激活模式ACT的激活命令、转变为休眠模式SLP的休眠命令、或者转变为关闭模式SD的关闭命令。例如,在作为访问对象的存储器单元列MUC为关闭模式SD或休眠模式SLP的情况下,基于写入请求或读取请求的发出,由对应的中继控制部RCNT发出激活命令。基于经由系统总线SBUS向存储器电路100发出的请求,由存储器控制部200发出关闭命令。在使激活模式ACT中的存储器单元列MUC转变为休眠模式SLP的情况下,由对应的中继控制部RCNT发出休眠命令。需说明的是,休眠命令也可以基于经由系统总线SBUS向存储器电路100发出的请求,由存储器控制部200发出。

[0137] 在步骤S14中,如果发出了读取请求,则中继控制部RCNT执行步骤S200(读取动作),如果未发出读取请求,则中继控制部RCNT执行步骤S16。图11和图12示出了步骤S200的一例。在步骤S16中,在发出了写入请求的情况下,中继控制部RCNT执行步骤S300(写入动作),在没有发出写入请求的情况下,中继控制部RCNT返回到步骤S10。图13示出了步骤S300的一例。

[0138] 在步骤S100中,中继控制部RCNT执行图10所示的状态转变处理,并返回到步骤S10。在步骤S200中,中继控制部RCNT执行图11所示的读取处理,并返回到步骤S10。在步骤S300中,中继控制部RCNT执行写入处理,并返回到步骤S10。

[0139] 图10示出了图9的步骤S100(状态转变处理)的一例。首先,在步骤S102中,中继控制部RCNT判断与状态转变命令一同接收到的地址信号A是否表示本存储器组MG。若以图1的例子来表示,则本存储器组MG是指存储器组控制部MCNT的本存储器组MG,且是执行写入动作或读取动作的作为访问对象的存储器组MG。中继控制部RCNT在地址信号A表示本存储器组MG的情况下执行步骤S104,在地址信号A不表示本存储器组MG的情况下执行步骤S116。

[0140] 在步骤S104中,当状态转变命令是激活命令或休眠解除命令时,中继控制部RCNT执行步骤S106。当状态转变命令不是激活命令或休眠解除命令时,中继控制部RCNT执行步骤S108。

[0141] 在步骤S106中,中继控制部RCNT向地址信号A所表示的作为激活对象的存储器单元列MUC输出低电平的休眠信号SLP和低电平的关闭信号SD。由此,作为激活对象的存储器单元列MUC转变为激活模式ACT。在步骤S106之后,执行步骤S114。

[0142] 在步骤S108中,当状态转变命令是休眠命令时,中继控制部RCNT执行步骤S110,当状态转变命令不是休眠命令时,中继控制部RCNT执行步骤S112。

[0143] 在步骤S110中,中继控制部RCNT向地址信号A所表示的激活对象(要向激活模式ACT转变的对象)的存储器单元列MUC输出高电平(H)的休眠信号SLP和低电平的关闭信号SD。由此,作为激活对象的存储器单元列MUC转变为休眠模式SLP。在步骤S110之后,执行步骤S114。

[0144] 在步骤S112中,中继控制部RCNT向地址信号A所表示的作为激活对象的存储器单元列MUC输出低电平的休眠信号SLP和高电平的关闭信号SD。由此,作为激活对象的存储器单元列MUC转变为关闭模式SD。在步骤S112之后,执行步骤S114。

[0145] 在步骤S114中,中继控制部RCNT通过将掩蔽电路MSKC设定为掩蔽状态,抑制控制信号CMD和地址信号A向后级的存储器组控制部MCNT的传送,结束图10所示的处理。另一方

面,在步骤S116中,中继控制部RCNT通过将掩蔽电路MSKC设定为掩蔽解除状态,许可控制信号CMD和地址信号A向后级的存储器组控制部MCNT的传送,结束图10所示的处理。

[0146] 图11示出了图9的步骤S200(读取动作)的一例。首先,在步骤S202中,中继控制部RCNT判断与读取请求信号一同接收到的地址信号A是否表示本存储器组MG。当地址信号A表示本存储器组MG时,中继控制部RCNT执行步骤S204,当地址信号A不表示本存储器组MG时,中继控制部RCNT执行步骤S210。

[0147] 在步骤S204中,中继控制部RCNT将低电平的芯片使能信号CEB输出到地址信号A所表示的作为读取对象的存储器单元列MUC。中继控制部RCNT向不进行读取的存储器单元列MUC输出高电平的芯片使能信号CEB。

[0148] 接着,在步骤S206中,中继控制部RCNT向本存储器组MG输出高电平的写入使能信号WEB和高电平的位写入使能信号BWEB。中继控制部RCNT向本存储器组MG输出与控制信号CMD一同接收到的地址信号A。

[0149] 接着,在步骤S208中,与作为读取对象的存储器组MG对应的对象中继控制部RCNT输出高电平的读取使能信号RDEN。对象中继控制部RCNT使选择器SELQ选择来自前级的存储器组控制部MCNT的无效的存储器读取数据信号Q。需说明的是,中继控制部RCNT也可以使选择器SELQ选择来自前级的存储器组MG的无效的存储器读取数据信号Q。在步骤S208之后,执行步骤S220。

[0150] 在步骤S210中,中继控制部RCNT向各存储器单元列MUC输出高电平的芯片使能信号CEB、高电平的写入使能信号WEB以及高电平的位写入使能信号BWEB。中继控制部RCNT向各存储器单元列MUC输出低电平的地址信号A。通过不使地址信号A的逻辑电平转变,能够削减功耗。

[0151] 在步骤S212中,中继控制部RCNT判断与读取请求信号一同接收到的地址信号A是否表示前级侧(前级或前级之前)的存储器组MG。当地址信号A表示前级侧的存储器组MG时,中继控制部RCNT执行步骤S214,当地址信号A不表示前级侧的存储器组MG时,中继控制部RCNT执行步骤S216。

[0152] 在步骤S214中,中继控制部RCNT输出低电平的读取使能信号RDEN。另外,中继控制部RCNT使选择器SELQ选择来自前级存储器组MG的存储器读取数据信号Q或来自前级存储器组控制部MCNT的存储器读取数据信号Q。由此,能够将从前级侧的存储器组MG的存储器单元列MUC中的任何一个读取的存储器读取数据信号Q传送到后级。需说明的是,中继控制部RCNT通过或电路OR接收从前级的存储器组控制部MCNT输出的高电平的读取使能信号RDEN,并传送到后级的存储器组控制电路MCNT。在步骤S214之后,执行步骤S220。

[0153] 在步骤S216中,中继控制部RCNT输出低电平的读取使能信号RDEN。另外,中继控制部RCNT使选择器SELQ选择来自前级的存储器组控制部MCNT的无效的存储器读取数据信号Q。需说明的是,中继控制部RCNT也可以使选择器SELQ选择来自前级的存储器组MG的无效的存储器读取数据信号Q。在步骤S216之后,执行步骤S220。

[0154] 在步骤S220中,中继控制部RCNT设定掩蔽电路MSKC、MSKR的掩蔽状态,结束图11所示的动作。

[0155] 图12示出了图11的步骤S220的一例。在步骤S222中,中继控制部RCNT将掩蔽电路MSKC设定为掩蔽解除状态,许可控制信号CMD和地址信号A向后级的存储器组控制部MCNT的

传送。

[0156] 接着,在步骤S224中,中继控制部RCNT基于与读取请求信号一同接收到的地址信号A,判断前级侧的存储器组MG是否执行读取动作。在前级侧的存储器组MG执行读取动作的情况下,执行步骤S226。在前级侧的存储器组MG不执行读取动作的情况下,执行步骤S228。

[0157] 在步骤S226中,中继控制部RCNT将掩蔽电路MSKR设定为掩蔽解除状态,使来自前级的存储器组MG的存储器读取数据信号Q或来自前级的存储器组控制部MCNT的存储器读取数据信号Q能够传送到后级。在步骤S226之后,执行步骤S230。

[0158] 在步骤S228中,由于不传送来自前级的存储器组MG的存储器读取数据信号Q或来自前级的存储器组控制部MCNT的存储器读取数据信号Q,所以中继控制部RCNT将掩蔽电路MSKR设定为掩蔽状态。通过抑制无效的存储器读取数据信号Q的传送,能够削减功耗。在步骤S228之后,执行步骤S230。

[0159] 在步骤S230中,中继控制部RCNT将掩蔽电路MSKW1、MSKW2设定为掩蔽状态,结束图12的动作。通过抑制无效的写入数据信号D和无效的存储器写入数据信号D的传送,能够削减功耗。

[0160] 图13示出了图9的步骤S300(写入动作)的一例。首先,在步骤S302中,中继控制部RCNT判断与写入请求信号一同接收到的地址信号A是否表示本存储器组MG。中继控制部RCNT在地址信号A表示本存储器组MG的情况下执行步骤S304,在地址信号A不表示本存储器组MG的情况下执行步骤S312。

[0161] 在步骤S304中,中继控制部RCNT将低电平的芯片使能信号CEB以及低电平的写入使能信号WEB输出到地址信号A所表示的作为写入对象的存储器单元列MUC。中继控制部RCNT向不写入的存储器单元列MUC输出高电平的芯片使能信号CEB以及高电平的使能信号WEB。

[0162] 接着,在步骤S306中,中继控制部RCNT向本存储器组MG输出控制信号CMD中包含的位写入使能信号BWEB和与控制信号CMD一同接收到的地址信号A。

[0163] 接着,在步骤S308中,中继控制部RCNT输出低电平的读取使能信号RDEN。中继控制部RCNT使选择器SELQ选择来自前级的存储器组控制部MCNT的无效的存储器读取数据信号Q。需说明的是,中继控制部RCNT也可以使选择器SELQ选择来自前级的存储器组MG的无效的存储器读取数据信号Q。

[0164] 接着,在步骤S310中,中继控制部RCNT将掩蔽电路MSKC、MSKW1设定为掩蔽状态,将掩蔽电路MSKW2设定为掩蔽解除状态,结束图13的动作。通过将掩蔽电路MSKC设定为掩蔽状态,能够抑制与写入动作无关的向后级侧的控制信号CMD和地址信号A的传送,因此能够削减功耗。通过将掩蔽电路MSKW1设定为掩蔽状态,能够抑制存储器写入数据信号D向后级的传送,因此能够削减功耗。通过将掩蔽电路MSK2设定为掩蔽解除状态,能够向作为写入对象的存储器单元列MUC传送存储器写入数据信号D。

[0165] 在步骤S312中,中继控制部RCNT向各存储器单元列MUC输出高电平的芯片使能信号CEB、高电平的写入使能信号WEB以及高电平的位写入使能信号BWEB。中继控制部RCNT向各存储器单元列MUC输出低电平的地址信号A。由此,与图11的步骤S210同样地,能够削减功耗。

[0166] 接着,在步骤S314中,中继控制部RCNT输出低电平的读取使能信号RDEN。中继控制

部RCNT使选择器SELQ选择来自前级的存储器组控制部MCNT的无效的存储器读取数据信号Q。需说明的是,中继控制部RCNT也可以使选择器SELQ选择来自前级的存储器组MG的无效的存储器读取数据信号Q。

[0167] 接着,在步骤S316中,中继控制部RCNT设定掩蔽电路MSKC、MSKR、MSKW1、MSKW2的掩蔽状态或掩蔽解除状态。首先,中继控制部RCNT将掩蔽电路MSCR设定为掩蔽状态。接着,中继控制部RCNT根据与写入请求信号一同接收到的地址信号A,判断前级侧的存储器组MG是否执行写入动作。

[0168] 在前级侧的存储器组MG执行写入动作的情况下,中继控制部RCNT将掩蔽电路MSKC、MSKW1、MSKW2设定为掩蔽解除状态。在前级侧的存储器组MG不执行写入动作的情况下,中继控制部RCNT将掩蔽电路MSKC、MSKW1设定为掩蔽解除状态,并将掩蔽电路MSKW2设定为掩蔽状态。然后,中继控制部RCNT结束图13的动作。在不将访问请求信号和写入数据信号D传送到后级侧的情况下,通过将掩蔽电路MSKC、MSKW1设定为掩蔽状态,能够削减功耗。

[0169] 图14示出了在图1的存储器电路100中使存储器单元列MUC转变为激活模式ACT的动作的一例。在图14中,仅示出向激活模式ACT的转变中使用的信号。

[0170] 在关闭模式SD中接收到访问请求信号(写入请求或读取请求)的情况下,存储器控制部200输出用于使作为访问对象的存储器单元列MUC从关闭模式SD转变为激活模式ACT的状态转变请求。另外,在休眠模式SLP中接收到访问请求信号时,存储器控制部200输出用于使作为访问对象的存储器单元列MUC从休眠模式SLP转变为激活模式ACT的状态转变请求。

[0171] 各存储器组控制部MCNT根据来自存储器控制部200的指示,如果是对本存储器组内的存储器单元列MUC的存储器状态转变请求,则向对应的存储器单元列MUC输出低电平的关闭信号SD和低电平的休眠信号SLP。在图14所示的例子中,存储器组MG20的第二个存储器单元列MUC被称为对象存储器单元列MUC(在图中被记载为激活对象MUC)。以下,直到成为激活状态为止,依次进行说明。

[0172] 存储器控制部200向第一级的存储器组控制部MCNT10、MCNT11输出用于将对象存储器单元列MUC设置为激活状态的状态转变请求。存储器组控制部MCNT10、MCNT11基于状态转变请求中包含的地址信号A,判断本存储器组MG10、MG11中包含的存储器单元列MUC不是对象存储器单元列MUC。因此,存储器组控制部MCNT10、MCNT11将状态转变请求传送到后级的存储器组控制部MCNT20、MCNT21。

[0173] 存储器组控制部MCNT20、MCNT21基于状态转变请求中包含的地址信号A,判断本存储器组MG20、MG21中包含的存储器单元列MUC是对象存储器单元列MUC。然后,存储器组控制部MCNT20、MCNT21针对每个存储器组MG20、MG21,向对象存储器单元列MUC中的一个输出低电平休眠信号SLP和低电平关闭信号SD。需说明的是,由于存储器组控制部MCNT20、MCNT21判断本存储器组MG20、MG21内的存储器单元列MUC为对象存储器单元列MUC,因此后级的存储器组控制部MCNT30、MCNT31、MCNT40、MCNT41不传送状态转变请求。

[0174] 图15和图16示出了图14的向激活模式ACT转变时的信号的定时的一例。在图15和图16中,示出了与参考图14说明的操作对应的各种信号的定时波形。在图15、图16以及后述的时序图中,信号的末尾的符号(i)表示向对象电路的输入信号,信号的末尾的符号(o)表示来自对象电路的输出信号。在下文中,各信号可以用符号而不是信号名称来说明。图15以后的时序图的波形中所示的信号名称有时与上述信号名称不同。例如,符号ID表示命令信

号等,符号ADR表示地址信号A,符号ETC表示其他的控制信号等。符号AWID(i)、AWetc(i)、AWVLD(i)表示来自系统总线SBUS的请求信号REQ。符号AWA(i)表示来自系统总线SBUS的地址信号ADR。符号AWRDY(o)表示去往系统总线SBUS的确认信号(acknowledge signal)。

[0175] 图2的系统总线输入控制部202基于从系统总线SBUS输入的高电平的AWVLD信号(请求信号REQ和地址信号ADR的一例),检测从系统总线SBUS提供作为请求信号REQ和地址信号ADR的一例的有效的AWID信号、AWA信号、AWetc信号。AWID信号包含识别状态转变请求的信息,AWA信号表示在状态转变请求中使用的地址。AWetc信号表示要在状态转变请求中使用的附加信息。

[0176] 系统总线输入控制部202将从在AWVLD信号的高电平期间中接收到的AWID信号、AWA信号、AWetc信号转换而得的、包括包含附加信息的控制信号CMD和作为存储区域的访问单位的512位的地址A的CAWD信号(数据)存储(推送)到缓存器204中。系统总线输入控制部202基于低电平的CAFULL信号确认缓存器204中有可用空间之后,将表示受理了状态转变请求的高电平的AWRDY信号(确认信号)输出到系统总线SBUS。当缓存器204中没有可用空间时,将CAFULL信号设置为高电平。CAPUSH信号表示存储到缓存器204中的定时。

[0177] 输入接口控制部214检查保持在缓存器204中的信息,并基于地址信息检测作为状态转变对象的存储器单元列MUC。输入接口控制部214从存储器状态管理部212接收作为状态转变对象的存储器单元列MUC的状态,作为MST信号。

[0178] 例如,假设MST信号是关闭状态SD或休眠状态SLP。在这种情况下,输入接口控制部214将向激活状态变更的变更指示、以及表示作为激活对象的存储器单元列MUC的信息,输出到第一级的存储器组控制部MCNT10、CNT11。向激活状态变更的变更指示、以及表示作为激活对象的存储器单元列MUC的信息与CAEN信号的高电平同步地作为CAWD信号输出到存储器组控制部MCNT10、CNT11。

[0179] 向激活状态变更的变更指示也被输出到存储器状态管理部212。存储器状态管理部212在接收到向激活状态变更的变更指示的下一个时钟周期中,将MST信号从关闭状态SD变更为向激活模式ACT转变的转变状态TOACT。进而,存储器状态管理部212在经过时间T1后,将MST信号设定为激活状态ACT。

[0180] 在图16中,符号(A)表示图15的符号(A)的定时。从输入接口控制部214的输出到存储器组控制部MCNT10、MCNT11的输入之间存在物理距离。因此,从输入接口控制部214输出的信号在时间Td后到达存储器组控制部MCNT10、MCNT11。在本例中,状态转变的对象的存储器单元列MUC包含在存储器组控制部MCNT20、MCNT21的后级的存储器组MG中,由存储器组控制部MCNT20、MCNT21控制。因此,存储器组控制部MCNT10、MCNT11在从接收到的表示向激活状态变更的变更指示的CAWD信号起经过1个时钟周期后,将其作为CAWD信号转送到存储器组控制部MCNT20、MCNT21。

[0181] 存储器组控制部MCNT20、MCNT21基于接收到的CAWD信号中包含的地址,检测出本存储器组MG内的存储器单元列MUC是激活对象。然后,存储器组控制部MCNT20、MCNT21将作为激活对象的存储器单元列MUC的SD端子从高电平设定为低电平,使其转变为激活状态。需说明的是,由于存储器组控制部MCNT20、MCNT21检测出作为激活对象的存储器单元列MUC,所以对向后级的存储器组控制部MCNT30、MCNT31的CAWD(o)、CAEN(o)信号的输出进行掩蔽,不进行传送。

[0182] 图17示出了图1的存储器电路100的写入动作的一例。省略与图14相同的操作的详细说明。在图17中,说明向存储器组MG20、MG21内的作为写入对象的存储器单元列MUC写入数据时的动作。

[0183] 存储器控制部200在接收到写入请求信号时,如在图2中说明的那样,将最多汇总8个经由系统总线SBUS接收的写入数据信号WD(例如,64位)而得到的512位和后述的LAST信号1位(以下,LAST信号的说明除非特别说明,否则省略。)依次存储在图2的缓存器206中。需说明的是,在包含作为写入对象的存储器单元的存储器单元列MUC为关闭状态的情况下,如图14所示,存储器控制部200在使对象存储器单元列MUC转变为激活状态之后,实施图17所示的动作。

[0184] 存储器控制部200例如将512位的存储器写入数据信号D与控制信号CMD和地址信号A一同输出到第一级的存储器组控制部MCNT10、MCNT11。存储器组控制部MCNT10、MCNT11基于接收到的地址信号A,判断为本存储器组MG10、MG11不是写入对象。因此,存储器组控制部MCNT10、MCNT11将控制信号CMD、地址信号A和存储器写入数据信号D传送到后级的存储器组控制部MCNT20、MCNT21。

[0185] 存储器组控制部MCNT20、MCNT21基于接收到的地址信号A,判断为本存储器组MG20、MG21是写入对象。然后,存储器组控制部MCNT20、MCNT21针对每个作为写入对象的存储器单元MU,输出64位的存储器写入数据信号D。并且,存储器组控制部MCNT20、MCNT21将控制信号CMD和地址信号A输出到作为写入对象的存储器单元MU中的每一个。然后,将写入数据写入到作为写入对象的存储器单元中。

[0186] 如图17所示,各存储器组控制部MCNT20、MCNT21由于与写入请求信号一同接收的地址信号表示本存储器组MG,所以对向后级的存储器组控制部MCNT30、MCNT31的控制信号CMD、地址信号A和存储器写入数据信号D的传送进行掩蔽。在与写入请求信号一同接收到的地址信号表示本存储器组MG以外的情况下,各存储器组控制部MCNT将写入请求信号和地址信号传送到后级的存储器组控制部MCNT。由此,例如与将控制信号CMD、地址信号A和存储器写入数据信号D共同提供给各存储器组MG的情况相比,能够抑制命令线CMD、地址线A以及写入数据线D的充放电电流。其结果,能够进一步抑制存储器电路100的访问时间的增加且同时抑制功耗的增加。

[0187] 图18和图19示出了图17的写入动作时的信号的定时的一例。省略与图15和图16相同的动作的详细说明。在图18和图19中,示出了与图17中说明的写入动作对应的各种信号的定时波形。

[0188] 图2的系统总线输入控制部202基于高电平的WVLD信号,检测有效的WDATA信号(数据)等被提供的情况。WDATA信号包含通过写入动作向存储器单元写入的数据和写入地址等。

[0189] 系统总线输入控制部202将在WVLD信号的高电平期间中接收到的DWATA信号暂时存储在内部,将最多8次的数据汇总为512位存储(推送)到缓存器204、206。系统总线输入控制部202基于低电平的WFULL信号,确认缓存器204、206中有可用空间之后,将表示受理了写入请求的高电平的WRDY信号(确认信号)输出到系统总线SBUS。

[0190] WPUSH信号表示写入数据等存储到缓存器204、206中的存储定时。在该实施方式中,每当从系统总线SBUS接收8次64位的数据,就将512位的数据汇总并存储在缓存器206

中。此时,表示来自系统总线SBUS的数据是最后的这一信息的WLAST信号被存储在缓存器204中。写入数据信号D中的not-last表示不是最终数据,last表示是最终数据。

[0191] 当从保持在缓存器204中的信息中检测到写入请求时,输入接口控制部214从缓存器204、206读取控制信号CMD、地址信号A和存储器写入数据信号D。输入接口控制部214通过WDRD中的last、not-last来判断是否是最终的存储器写入数据信号D。在本例中,示出了从缓存器206获取2次512位的存储器写入数据信号D。

[0192] 输入接口控制部214基于从缓存器204、206读取的控制信号CMD、地址信号A和存储器写入数据信号D,生成CAWD信号、CAEN信号、D信号、WDEN信号,并输出到第一级的存储器组控制部MCNT10、MCNT11。

[0193] 在图19中,符号(B)表示图18的符号(B)的定时。存储器组控制部MCNT10、MCNT11在时间Td之后接收从输入接口控制部214输出的信号。存储器组控制部MCNT10、MCNT11基于接收到的控制信号CMD和地址信号A,判断为本存储器组MG不是写入访问对象。因此,存储器组控制部MCNT10、MCNT11将从输入接口控制部214接收到的信号传送到后级存储器组控制部MCNT20、MCNT21。

[0194] 存储器组控制部MCNT20、MCNT21基于接收到的控制信号CMD以及地址信号A,检测出本存储器组MG内的存储器单元列MUC是写入对象。然后,存储器组控制部MCNT20、MCNT21将作为写入对象的存储器单元列MUC的CEB端子、WEB端子设定为低电平。另外,存储器组控制部MCNT20、MCNT21向作为写入对象的存储器单元列MUC的A端子、BWEB端子输出地址A以及位写入使能信号BWEB。由此,向作为写入对象的存储器单元列MUC的存储器单元写入数据。存储器组控制部MCNT20、MCNT21由于与写入请求信号一同接收到的地址信号A表示本存储器组MG,所以对向后级的存储器组控制部MCNT30、MCNT31的信号CAWD(o)、CAEN(o)、D(o)、WDEN(o)的传送进行掩蔽。

[0195] 图20示出了图1的存储器电路100的读取动作的一例。省略与图14和图17相同的操作的详细说明。在图20中,说明从存储器组MG20、MG21内的作为读取对象的存储器单元列MUC读取数据时的动作。

[0196] 在接收到读取请求的情况下,存储器控制部200除了不接收存储器写入数据信号D之外,与接收写入请求时同样地动作。需说明的是,在包含作为读取对象的存储器单元的存储器单元列MUC为关闭状态的情况下,如图14所示,存储器控制部200在使对象存储器单元列MUC(在图中记载为激活对象MUC)转变为激活状态后,执行图20所示的动作。

[0197] 存储器控制部200(输出侧)将控制信号CMD以及地址信号A输出到第一级的存储器组控制部MCNT10、MCNT11。存储器组控制部MCNT10、MCNT11基于接收到的地址信号A,判断为本存储器组MG10、MG11不是读取对象。因此,存储器组控制部MCNT10、MCNT11将控制信号CMD以及地址信号A转发到后级的存储器组控制部MCNT20、MCNT21。

[0198] 存储器组控制部MCNT20、MCNT21基于接收到的地址信号A,判断为本存储器组MG20、MG21是读取对象。然后,存储器组控制部MCNT20、MCNT21将控制信号CMD和地址信号A输出到作为读取对象的存储器单元MU中的每一个。然后,从作为读取对象的存储器单元读取存储器读取数据信号Q,输出到后级的存储器组控制部MCNT30、MCNT31。

[0199] 存储器组控制部MCNT30、MCNT31将接收到的控制信号CMD、地址信号A和存储器读取数据信号Q转发到后级的存储器组控制部MCNT40、MCNT41。存储器组控制部MCNT40、

MCNT41将接收到的控制信号CMD、地址信号A和存储器读取数据信号Q转发到后级的存储器组控制部MCNT50、MCNT51。存储器组控制部MCNT50、MCNT51基于接收到的控制信号CMD和地址信号A,将接收到的存储器读取数据信号Q输出到存储器控制部200(输出侧)。存储器控制部200将接收到的512位存储器读取数据信号Q作为串行读取数据信号DT(例如,64位)分多次输出。

[0200] 在读取动作中,存储器块MBLK可以从存储器控制部200(输入侧)接收访问请求信号,并将存储器读取数据信号Q输出到存储器控制部200(输出侧)。由此,能够使将访问请求信号从存储器控制部200传送到作为读取对象的存储器组MG的信号线的长度与将存储器读取数据信号Q传送到存储器控制部200的信号线的长度之和与访问位置无关而大致恒定。其结果,能够抑制读取访问时间随执行读取动作的存储器组MG的位置而变动。

[0201] 在读取请求信号中包含的地址信号A表示本存储器组MG的情况下,各存储器组控制部MCNT将读取请求信号输出到本存储器组MG。在读取请求信号中包含的地址信号表示本存储器组MG以外的情况下,各存储器组控制部MCNT将读取请求信号传送到后级的存储器组控制部MCNT。

[0202] 图21至图24示出了图20的读取动作时的信号的定时的一例。省略与图15、图16、图18以及图19同样的动作的详细说明。在图21和图24中,示出了与参考图20说明的读取动作对应的各种信号的定时波形。符号ARID(i)、ARetc(i)、ARVLD(i)表示来自系统总线SBUS的请求信号REQ。符号ARAD(i)表示来自系统总线SBUS的地址信号ADR。符号ARRDY(o)表示去往系统总线SBUS的确认信号。

[0203] 在图21中,图2的系统总线输入控制部202将CAWD信号(数据)存储(推送)到缓存器204中,该CAWD信号(数据)包括包含附加信息的控制信号CMD和表示作为存储区域的访问单位的512位的地址A,其是由作为在从系统总线SBUS输入的ARVLD信号(请求信号REQ和地址信号ADR的一例)的高电平期间中从系统总线SBUS接收到的请求信号REQ和地址信号ADR的一例的ARID信号(命令)、ARAD信号(地址)和ARetc信号(其他信号)转换而来的。系统总线输入控制部202在基于从系统总线SBUS输入的低电平CAFULL信号确认缓存器204中存在可用空间之后,向系统总线SBUS输出表示受理了读取请求的高电平ARRDY信号(确认信号)。CAPUSH信号表示读取请求中包含的读取请求信号等存储到缓存器204中的存储定时。

[0204] 在从保持在缓存器204中的信息中检测到读取请求的情况下,输入接口控制部214从缓存器204读取控制信号CMD和地址信号A等。输入接口控制部214基于从缓存器204读取的控制信号CMD和地址信号A等,将用于读取访问的信息输出到第一级的存储器组控制部MCNT10、MCNT11。例如,输出用于读取访问的信号是CAWD信号、CAEN信号、WDEN信号。需说明的是,在读取动作中,不使用写入数据线D。

[0205] 在针对一次读取请求的读取数据信号RDT的输出次数即突发长度(burst length)较大的情况下,存在读取请求通过存储器单元列MUC的一次访问完成不了的情况。在这种情况下,输入接口控制部214生成第二个以后的读取请求。CAWD中的not-last表示读取请求不是最终的,last表示是最终的。

[0206] 在图22中,符号(A)表示图218的符号(A)的定时。存储器组控制部MCNT10、MCNT11在时间Td之后接收从输入接口控制部214输出的信号。存储器组控制部MCNT10、MCNT11基于接收到的控制信号CMD和地址信号A,判断为本存储器组MG不是读取访问对象。因此,存储器

组控制部MCNT10、MCNT11将从输入接口控制部214接收到的信号传送到后级存储器组控制部MCNT20、MCNT21。

[0207] 存储器组控制部MCNT20、MCNT21基于接收到的控制信号CMD和地址信号A,检测出本存储器组MG内的存储器单元列MUC是读取对象。然后,存储器组控制部MCNT20、MCNT21将作为读取对象的存储器单元列MUC的CEB端子设定为低电平,将WEB端子设定为高电平。另外,存储器组控制部MCNT20、MCNT21将地址A输出到作为读取对象的存储器单元列MUC的A端子。由此,从作为读取对象的存储器单元列MUC的存储器单元读取数据。

[0208] 存储器组控制部MCNT20、MCNT21生成读取数据使能信号IRDEN(图7),以将存储器读取数据信号Q传送到后级的存储器组控制部MCNT。读取数据使能信号IRDEN作为读取数据使能信号RDEN,输出到存储器组控制部MCNT30、MCNT31。

[0209] 另外,在读取动作中,从存储器单元列MUC读取的存储器读取数据信号Q在系统总线输出控制部226中被串行并行转换,并作为读取数据信号RDT被输出到系统总线SBUS。因此,存储器组控制部MCNT20、MCNT21将接收到的控制信号CMD和地址信号A与存储器读取数据信号Q一同输出到存储器组控制部MCNT30、MCNT31。

[0210] 在图23中,符号(B)、(C)、(D)表示图18的符号(B)、(C)、(D)的定时。存储器组控制部MCNT30、MCNT31在时间Td后接收从存储器组控制部MCNT20、MCNT21输出的信号。存储器组控制部MCNT30、MCNT31将接收到的控制信号CMD、地址信号A和存储器读取数据信号Q传送到存储器组控制部MCNT40、MCNT41。存储器组控制部MCNT40、MCNT41将接收到的控制信号CMD、地址信号A和存储器读取数据信号Q传送到存储器组控制部MCNT50、MCNT51。存储器组控制部MCNT50、MCNT51将接收到的控制信号CMD、地址信号A和存储器读取数据信号Q输出到存储器控制部200。

[0211] 在图24中,符号(E)、(F)表示图18的符号(E)、(F)的定时。存储器控制部200的输出接口控制部220将接收到的控制信号CMD和地址信号A存储(推送)到缓存器222中,并将接收到的存储器读取数据信号Q存储(推送)到缓存器224中。存储器控制部200的系统总线输出控制部226参考从缓存器222输出的CRAVLD信号和从缓存器224输出的RDVLD信号,等待缓存器222、224成为可读取状态(有效状态)。当缓存器222、224处于可读取状态并且系统总线SBUS处于就绪状态(RRDY=H)时,系统总线输出控制部226生成输出到系统总线SBUS的RID信号和RDATA信号。RID信号和RDATA信号使用保持在缓存器222中的控制信号CMD和地址信号A以及保持在缓存器224中的存储器读取数据信号Q来生成去往系统总线侧的读取数据RDATE(读取数据信号RDT的一例)以及附加信息RID、RLAST。另外,系统总线输出控制部226将表示去往系统总线SBUS的输出信号有效的RVLD信号设定为有效电平(RVLD=H)。来自存储器块MBLK的读取数据为512位单位,而系统总线SBUS侧的读取数据为64位单位。因此,读取数据最多分为8次输出到系统总线SBUS。当使CRAPOP信号和RDPOP信号为有效电平(H)时,将下面的命令、地址、数据输出到缓存器222、224。

[0212] 在图24所示的例子中,系统总线输出控制部226配合系统总线SBUS侧的64位的数据总线宽度,依次选择从存储器块MBLK读取的512位的存储器读取数据信号Q。从最初的64位数据Q1.1到Q1.8,以8个时钟输出到系统总线SBUS。进而,来自存储器块MBLK的下一个512位的存储器读取数据信号Q也从数据Q2.1到Q2.8以8个时钟输出到系统总线SBUS。然后,系统总线输出控制部226在输出作为最后的存储器读取数据信号Q的数据Q2.8时,输出有效电

平(例如,高电平)的RLAST,并完成读取动作。

[0213] 图25至图28示出了图1的存储器电路100的读取动作时的信号的定时的另一例。图25至图28示出了在发出了存储器组MG40、MG 50的存储器单元列MUC中的任何一个的读取请求之后发出存储器组MG10、MG20的存储器单元列MUC中的任何一个的读取请求的一例。

[0214] 图25至图28中的各电路元件的动作除依次发出2个读取请求这一点之外,均与图21至图24中所示的各电路元件的操作相同。换言之,在图25至图28中,针对各读取请求的动作与图21至图24中所示的动作相同。

[0215] 在该实施方式中,能够在存储器组控制部MCNT之间流水线地传送访问请求信号、存储器写入数据信号D以及存储器读取数据信号Q。因此,例如,在从存储器块MBLK输出响应于一个读取请求的存储器读取数据信号Q之前,能够将其他读取请求依次提供给存储器块BLK。由此,如图25至图28所示,能够在对存储器组MG40、MG 50进行读取访问后的下一个时钟周期,对存储器组MG10、MG20进行读取访问。

[0216] 图29示出了安装在图1的存储器电路100中的冗余电路的一例。在图29中,为了使说明容易理解,省略了存储器组MG11、MG21、MG31、MG41以及存储器组控制部MCNT11、MCNT21、MCNT31、MCNT41、MCNT51的记载。对应于存储器组MG11～MG41的冗余电路与对应于存储器组MG10～MG40的冗余电路相同。

[0217] 对于SRAM等半导体存储器,为了提高良品率即成品率,通常与该存储器内的必要容量的存储器单元分开,具有代替不良的存储器单元而动作的冗余存储器单元。并且,在半导体存储器的制造工艺中的动作测试中检测出不良的存储器单元的情况下,例如,以代替不良的存储器单元而使用冗余存储器单元的方式,将不良的存储器单元置换为冗余存储器单元。字线的置换单位可以是1条或4条。

[0218] 在本实施方式中,如图29所示,在存储器组MG40中,将与存储器控制部200相邻的存储器单元列MUC的通常字线的规定数量用作冗余字线。在图29中,示出了4条冗余字线,但是冗余字线的数量不限于4条。例如,作为存储器电路100的用途,在将存储器电路100用作图像处理用的帧存储器的情况等下,由于由图像尺寸等决定存储器使用量,所以无需使用存储器块MBLK的全部存储容量。

[0219] 例如,在存储器组MG40、MG10中的至少一个中,将冗余字线共同地分配给与存储器控制部200(输入或输出侧)相邻的存储器单元列MUC,并且分配给所有存储器组MG10～MG40。对于存储器单位,假设图29的存储器单元MU为1个存储器,与对64个存储器单元MU分别设置冗余存储器单元的情况相比,能够削减冗余电路的电路规模。

[0220] 表示在存储器电路100的动作测试中检测出的不良的存储器单元(或不良的字)的地址和表示置换的冗余字线的冗余地址等不良信息,存储在存储器电路100中设置的e-Fuse等非易失性存储器中。另外,存储器电路100也可以执行存储器电路100起动时的自检来检测不良的存储器单元,并将表示检测出的不良的存储器单元的不良地址等不良信息存储在易失性存储器或非易失性存储器中。在易失性存储器的情况下,每当接通电源时都需要起动时的自检,但在非易失性存储器中存储的情况下,在第二次及之后的电源接通时,不需要起动时的自检。

[0221] 存储器控制部200在存储器电路100起动时,从非易失性存储器读取不良信息,并存储到存储器状态管理部212的寄存器等中。输入接口控制部214在存储器块MBLK访问时参

照存储器状态管理部212,判断访问地址是否是不良地址。在访问地址为不良地址的情况下,输入接口控制部214代替不良地址而将冗余地址输出到存储器组控制部MCNT10(MCNT11)。

[0222] 需说明的是,存储器电路100也可以针对每个存储器组MG、存储器单元MU或存储器MEM具有冗余存储器单元。

[0223] 图30示出了搭载了图1的存储器电路100的系统300的一例。例如,系统300是能够处理运动图像的AR/VR眼镜等的头戴式设备、数码相机或游戏机等。需说明的是,系统300也可以是搭载在车辆上的图像处理系统。另外,搭载有存储器电路100的系统不限于系统300的结构。

[0224] 系统300包括控制器310、摄像装置320、显示装置330和外部存储器340。控制器310具有经由系统总线SBUS相互连接的CPU311、图像处理部312、显示处理部313、编码器/解码器314、外部存储器控制部315以及图1所示的存储器电路100。例如,控制器310可以被设计为系统LSI。

[0225] CPU311控制整个系统300。图像处理部312对摄像装置320获取的图像数据进行处理,将处理后的图像数据转换为能够在显示装置330中显示的帧图像数据,并将帧图像数据存储在存储器电路100中。显示处理部313从存储器电路100读取帧图像数据,使显示装置330显示图像。编码器/解码器314在图像数据被存储在存储器电路100中之前进行编码,并对从存储器电路100读取的压缩后的图像数据进行合成。控制外部存储器控制部315、DRAM(Dynamic Random Access Memory:动态随机访问存储器)等外部存储器340的访问。

[0226] 例如,系统300处理的运动图像的分辨率是VGA(Video Graphics Array:视频图形阵列)、全高清或4K等。在系统300的存储器电路100中搭载有与运动图像的分辨率相匹配的数量的存储器组MG(未图示)。如上所述,即使在存储器组MG的搭载数量增减的情况下,由于与存储器组控制部MCNT间的信号传送相关的时钟周期不变,所以能够容易地进行时序设计,能够抑制访问时间的增加。

[0227] 图31示出了另一存储器电路400的一例。关于与图1至图3相同的要素,省略详细的说明。存储器电路400具有包含多个存储器组MGa的存储器块MBLKa以及存储器控制部200a。存储器块MBLKa与图3的存储器块MBLK不同,不具有存储器组控制部MCNT。另外,在存储器访问时,各存储器组MGa选择在存储器组MGa10、MGa20、MGa30、MGa40的排列方向的正交方向上排列的4个存储器单元MU中的任何一个,输入/输出64位的数据。

[0228] 存储器控制部200a根据经由系统总线SBUS接收的访问请求信号(写入请求信号或读取请求信号),以64位为单位访问存储器组MGa。存储器控制部200a与存储器组MGa10、MGa11相邻地配置。因此,例如,从存储器组MGa40读取的读取数据通过存储器组MGa30、MGa20、MGa10传送到存储器控制部200。

[0229] 另外,存储器电路400在存储器组MGa间不具有存储器组控制部MCNT。因此,存储器控制部200a将存储器写入数据信号D输出到对存储器组MGa10、MGa20、MGa30、MGa40共同设置的写入数据线。存储器控制部200a例如从对存储器组MGa10、MGa20、MGa30、MGa40共同设置的读取数据线接收存储器读取数据信号Q。需说明的是,存储器块MBLKa具有选择器SEL,用于避免从各存储器组MGa输出的存储器读取数据信号Q的冲突。

[0230] 图32示出了图31的存储器组MGa的结构的一例。与图4所示的存储器组MG同样地,

存储器组MGa具有16个存储器单元MU。存储器组MGa经由4个选择器SEL将从各存储器单元MU输出的64位的存储器读取数据信号Q,传送到存储器组MGa的读取数据端子Q。另外,存储器组MGa将由64位的写入数据端子D接收的存储器写入数据信号D共同地提供给各存储器单元MU。由存储器组MG接收的64位的芯片使能信号CEB每4位分别提供给存储器单元MU,用于选择存储器单元MU和存储器单元MU中的存储器列MEMC。

[0231] 图33示出了图31的存储器电路400的读取动作的一例。在图33的例子中,存储器控制部200a接收对靠近存储器控制部200a的存储器组MGa10的存储器单元MU的读取请求。

[0232] 存储器控制部200a将控制信号CMD和地址信号A输出到所有存储器组MG。由于命令线CMD和地址线A在所有的存储器组MG中共同地布线,所以与配置存储器组控制部MCNT的情况相比,负载容量变大,传播延迟时间变大。

[0233] 存储器控制部200a经由选择器SEL接收从作为读取访问对象的存储器单元MU读取的64位的存储器读取数据信号Q,并将其输出到系统总线SBUS。这样,存储器电路400针对通过系统总线SBUS提供的每个读取请求,对存储器块MBLKa执行64位的读取动作。

[0234] 因此,与针对每个读取请求执行512位读取动作的图1的存储器电路100相比,存储器电路400降低了存储器读取数据信号Q的读取速率。并且,存储器电路400以与经由系统总线SBUS提供的读取请求信号的频率相同的频率访问存储器块MBLKa。因此,与存储器电路400的时序设计相比,存储器电路100的读取控制的时序设计变得困难。

[0235] 需说明的是,在写入请求中,与读取请求同样地,与图1的存储器电路100相比,存储器写入数据信号D的写入速率降低,与存储器电路100的时序设计相比,存储器电路400的写入控制的时序设计变得困难。

[0236] 图34示出了图31的存储器电路400的读取动作的另一例。省略与图33相同的操作的详细说明。在图34所示的例子中,存储器控制部200a接收对远离存储器控制部200a的存储器组MGa40的存储器单元MU的读取请求。

[0237] 存储器控制部200a依次经由多个选择器SEL接收从作为读取访问对象的存储器组MGa40的存储器单元MU读取的64位存储器读取数据信号Q,并输出到系统总线SBUS。由于读取数据线Q在所有的存储器组MG中被共同地布线,所以负荷大,传播延迟时间大。

[0238] 另外,在远离存储器控制部200a的存储器组MGa40的读取访问中,控制信号CMD、地址信号A和存储器读取数据信号Q分别跨4个存储器组MG被传送。存储器电路400的时序设计在最坏情况(worst case)下进行。因此,存储器电路400的读取访问的时序规格由存储器组MGa40的访问时序限速来决定。

[0239] 以上,在该实施方式中,针对多个存储器组MG中的每一个设置存储器组控制部MCNT。各存储器组控制部MCNT在访问请求信号表示本存储器组MG的情况下,将访问请求信号输出到本存储器组MG。各存储器组控制部MCNT在访问请求信号表示本存储器组MG以外的情况下,将访问请求信号传送到后级的存储器组控制部MCNT。由此,能够通过各存储器组控制部MCNT针对每个存储器组MG控制访问。由于命令线CMD和地址线A没有跨多个存储器组MG进行布线,所以能够抑制布线负载的增加。其结果,能够抑制存储器电路100的访问时间的增加且同时能够抑制功耗的增加。

[0240] 在写入动作中,控制信号CMD、地址信号A和存储器写入数据信号D不从与作为写入对象的存储器组MG对应的存储器组控制部MCNT往后传送。在读取动作时,控制信号CMD和地

址信号A被提供给要进行读取的存储器组MG,不提供给不进行读取的存储器组MG。由此,例如与将控制信号CMD、地址信号A和存储器写入数据信号D共同提供给各存储器组MG的情况相比,能够抑制命令线CMD、地址线A和写入数据线D的充放电电流。其结果,能够进一步抑制存储器电路100的访问时间的增加且同时能够进一步抑制功耗的增加。

[0241] 存储器组控制部MCNT具有选择器SELQ,该选择器SELQ选择来自前级的存储器组MG的存储器读取数据信号Q或来自前级的存储器组控制部MCNT的存储器读取数据信号Q,并传送到后级的存储器组控制部MCNT。由此,不管输出存储器读取数据信号Q的存储器组MG的位置如何,都能够将存储器读取数据信号Q传送到存储器控制部200。

[0242] 存储器电路100具有在存储器控制部200(输入侧)和存储器控制部200(输出侧)之间交替地配置的存储器组控制部MCNT和存储器组MG。在读取动作中,存储器块MBLK可以从存储器控制部200(输入侧)接收访问请求信号,并将存储器读取数据信号Q输出到存储器控制部200(输出侧)。由此,能够使将访问请求信号从存储器控制部200传送到作为读取对象的存储器组MG的信号线的长度、和将存储器读取数据信号Q传送到存储器控制部200的信号线的长度之和与访问位置无关而大致恒定。其结果,能够抑制读取访问时间随执行读取动作的存储器组MG的位置而变动。

[0243] 存储器控制部200将从系统总线SBUS接收的多个写入数据信号WD汇总作为存储器写入数据信号D,使存储器组MG执行存储器写入数据信号D的写入动作。另外,存储器控制部200将从存储器组MG读取的存储器读取数据信号Q转换为多个读取数据信号RDT,并输出到系统总线SBUS。由此,能够使存储器块MBLK的动作频率低于系统总线SBUS的动作频率,从而能够削减存储器块MBLK的功耗。由于能够降低存储器块MBLK的动作频率,所以能够使存储器组控制部MCNT和存储器组MG的动作裕度具有富余,从而能够容易地进行电路的时序设计等。

[0244] 各存储器组控制部MCNT将执行写入动作或读取动作的存储器单元列MUC设定为激活模式ACT,并将其他存储器单元列MUC设定为关闭模式SD或休眠模式SLP。由此,能够抑制存储器电路100的功耗。另外,各存储器组控制部MCNT通过将规定期间内没有执行写入动作或读取动作的存储器单元列MUC从激活模式ACT切换到休眠模式SLP,能够进一步削减存储器电路100的功耗。

[0245] 配置在存储器组MG的两侧的一对存储器组控制部MCNT之间的访问请求信号、存储器写入数据信号D以及存储器读取数据信号Q的传送所需的时钟周期数被设定为彼此相同。由此,在使存储器组MG的数量增加或减少来重新设计存储容量不同的其他存储器电路的情况下,也能够容易地进行时序设计。

[0246] 对不良的存储器单元进行补救的冗余字线是在靠近存储器组控制部MCNT10、CNT50中的至少任何一个的存储器组MG内,对多个存储器组MG共同设置的。由此,与对每个存储器组MG设置冗余字线的情况相比,能够削减冗余电路的电路规模。

[0247] 以上,基于各实施方式对本发明进行了说明,但本发明并不限于上述实施方式所示的要件。关于这些方面,可以在不损害本发明的主旨的范围内进行变更,可以根据其应用方式适当地进行规定。

[0248] 附图标记说明

[0249] 100 存储器电路

[0250] 200、200a 存储器控制部

[0251] 202 系统总线输入控制部

[0252] 204、206 缓存器

[0253] 208 周边总线控制部

[0254] 210 整体管理部

[0255] 212 存储器状态管理部

[0256] 214 输入接口控制部

[0257] 220 输出接口控制部

[0258] 222、224 缓存器

[0259] 226 系统总线输出控制部

[0260] 300 系统

[0261] 310 控制器

[0262] 311 CPU

[0263] 312 图像处理部

[0264] 313 显示处理部

[0265] 314 编码器/解码器

[0266] 315 外部存储器控制部

[0267] 320 摄像装置

[0268] 330 显示装置

[0269] 340 外部存储器

[0270] 400 存储器电路

[0271] A、ADR 地址信号

[0272] ACT 激活模式

[0273] ATRNS 激活转变模式

[0274] BUF1、BUF2、BUF3缓存器

[0275] CMD 控制信号

[0276] CNTL 控制信号

[0277] D 存储器写入数据信号

[0278] MBLK、MBLKa存储器块

[0279] MCLK 存储器时钟信号

[0280] MCNT 存储器组控制部

[0281] MEM 存储器

[0282] MEMC 存储器列

[0283] MG、MGa 存储器组

[0284] MGC 存储器组列

[0285] MSKC、MSKR、MSKW1、MSKW2掩蔽电路

[0286] MU 存储器单元

[0287] MUC 存储器单元列

[0288] Q 存储器读取数据信号

[0289] RCNT 中继控制部

[0290] RDT 读取数据信号

[0291] SBUS 系统总线

[0292] SCLK 系统时钟信号

[0293] SD 关闭模式

[0294] SEL、SELQ 选择器

[0295] SLP 休眠模式

[0296] WD 写入数据信号。

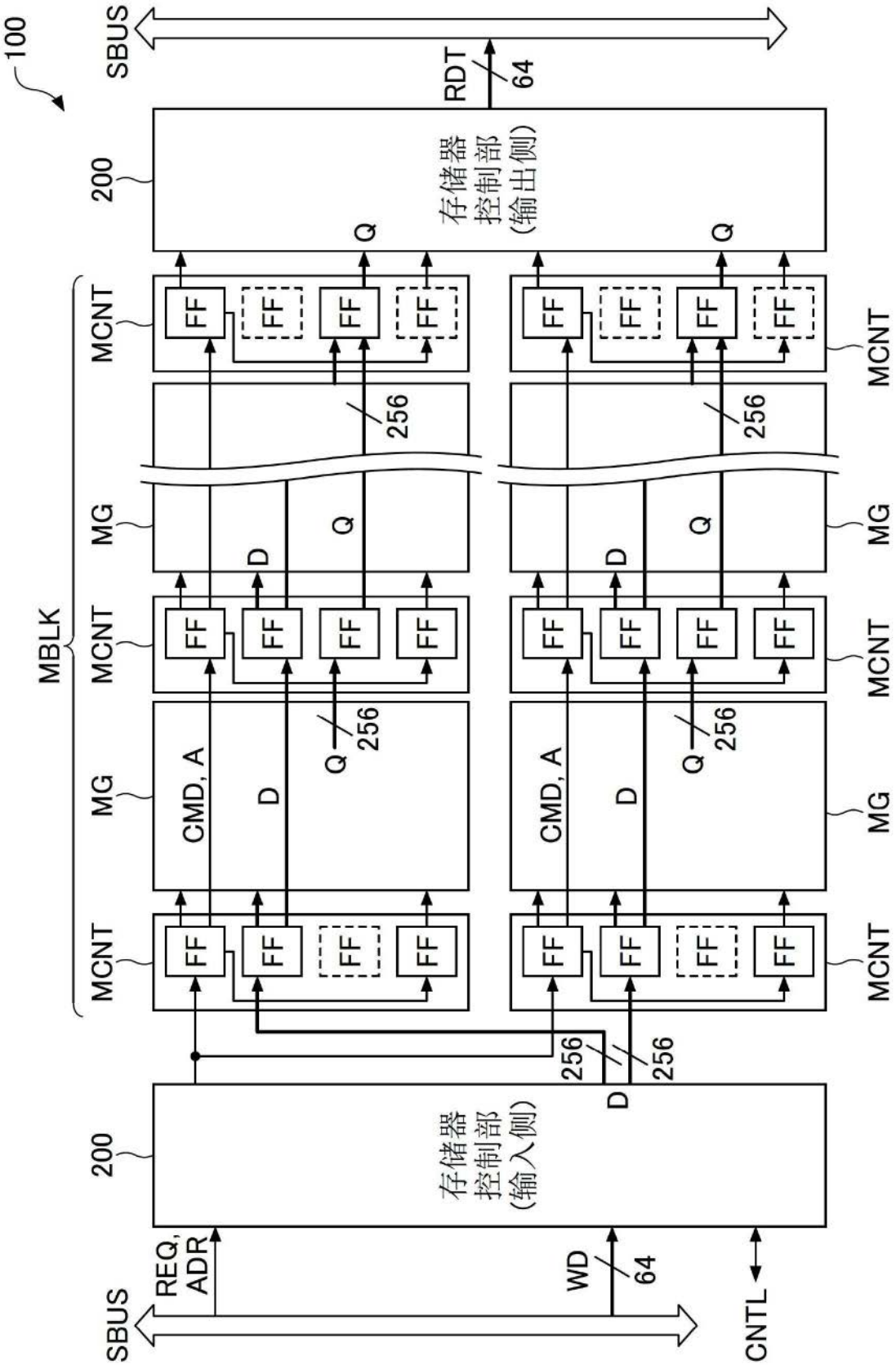

100
SBUS
RDT
64
200
存储器控制部(输出侧)
Q
MCNT
FF
256
MG
D
MBLK
CMD, A
200
存储器控制部(输入侧)
REQ, ADR
WD
CNTL

图1

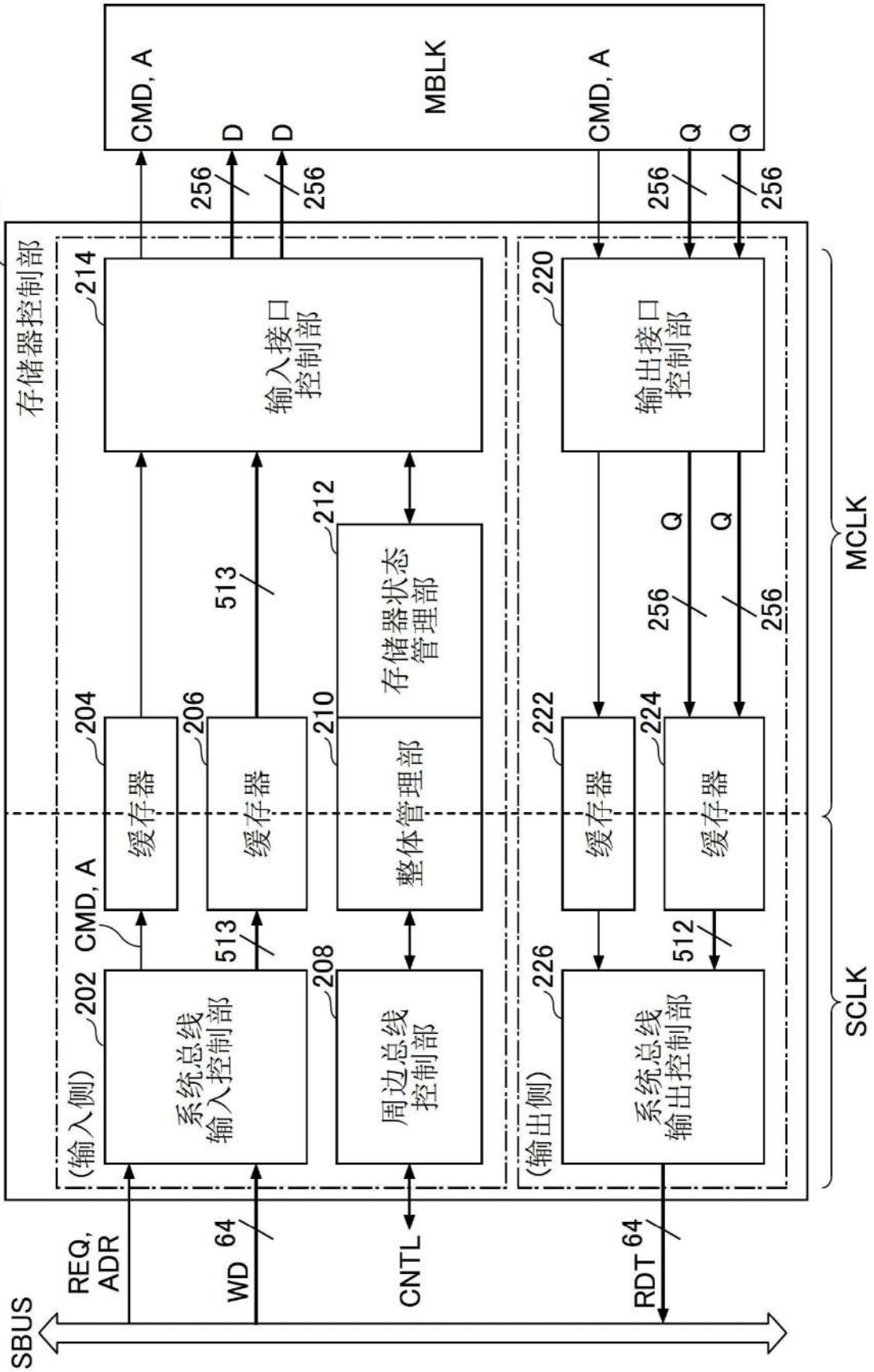

MBLK
CMD, A
D
256
200
存储器控制部
214
输入接口
控制部
220
输出接口
控制部
Q
212
存储器状态
管理部
513
204
缓存器
206
缓存器
210
整体管理部
222
缓存器
224
缓存器
MCLK
SCLK
CMD, A
202
(输入侧)
系统总线
输入控制部
208
周边总线
控制部
226
(输出侧)
系统总线
输出控制部
512
REQ,
ADR
WD
64
CNTL
RDT
SBUS

图2

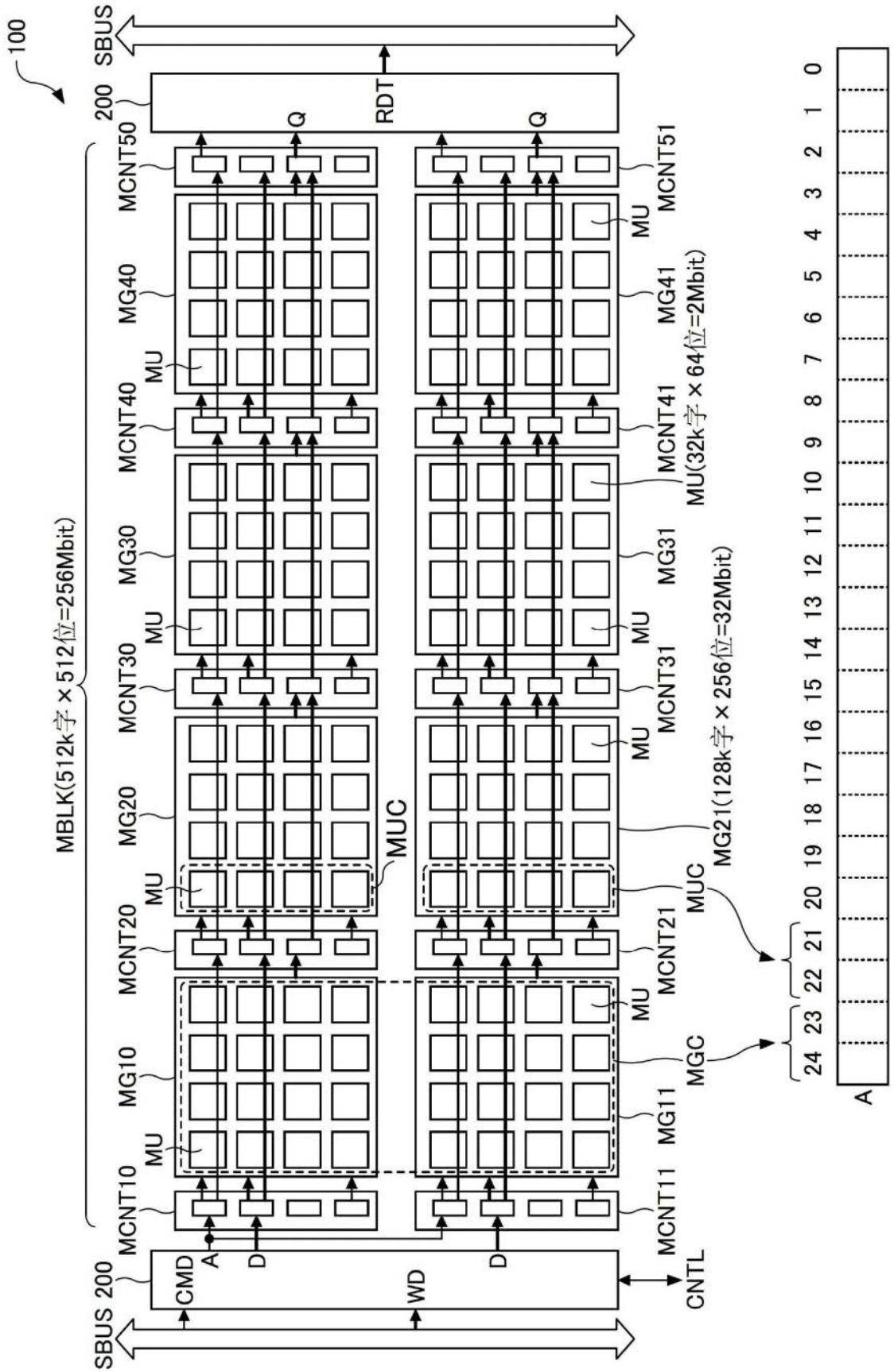

100
SBUS
200
RDT
Q
MCNT50
MCNT51
MG40
MG41
MU
MCNT40
MCNT41
MG30
MG31
MCNT30
MCNT31
MG20
MG21(128k字×256位=32Mbit)
MUC
MCNT20
MCNT21
MG10
MG11
MGC
MCNT10
MCNT11
MBLK(512k字×512位=256Mbit)
MU(32k字×64位=2Mbit)
CMD
A
D
WD
CNTL
0 1 2 3 4 5 6 7 8 9 10 11 12 13 14 15 16 17 18 19 20 21 22 23 24

图3

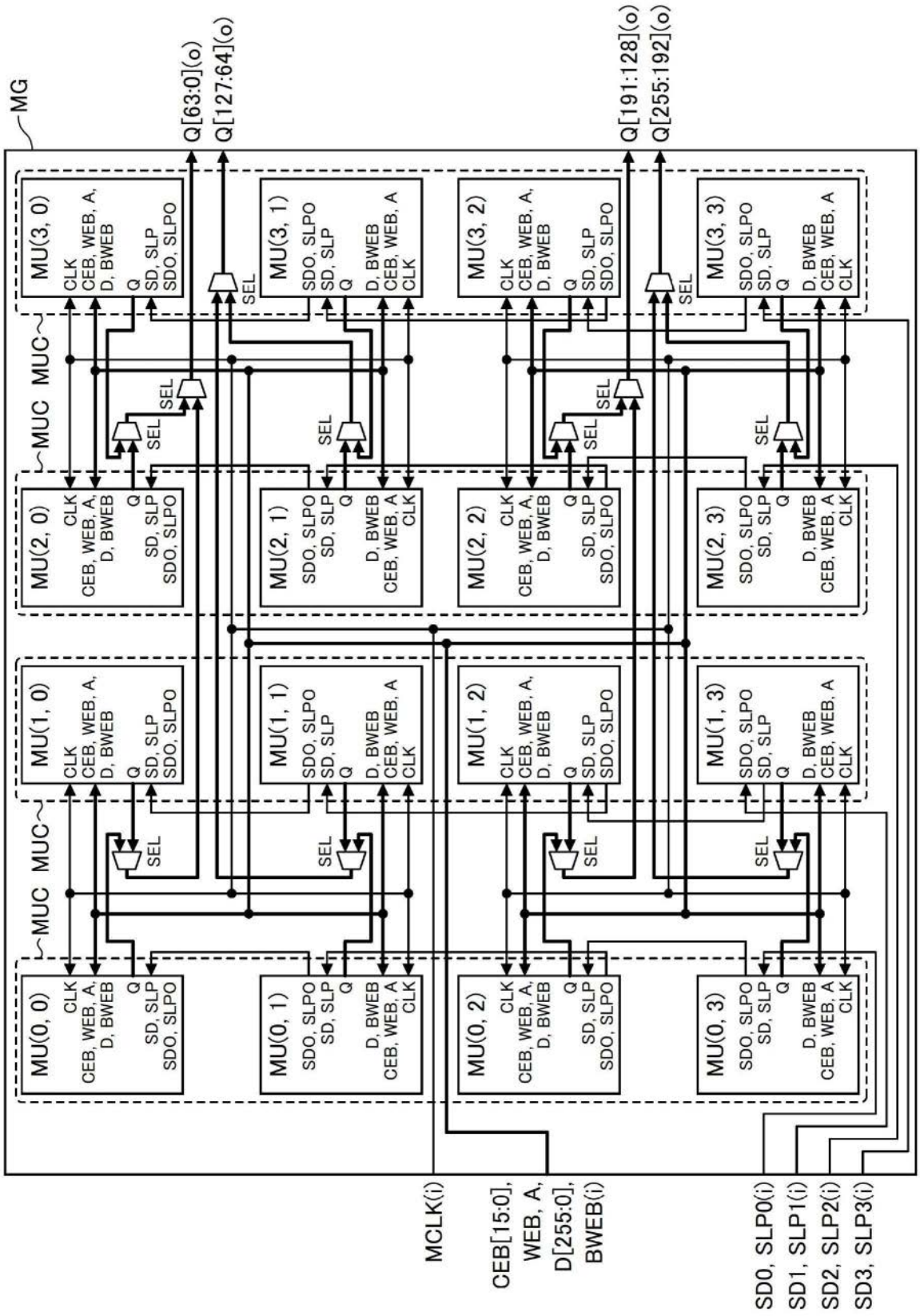

MG
Q[63:0](o)
Q[127:64](o)
Q[191:128](o)
Q[255:192](o)
MUC
MUC
MUC
MU(3, 0)
MU(3, 1)
MU(3, 2)
MU(3, 3)
MU(2, 0)
MU(2, 1)
MU(2, 2)
MU(2, 3)
MU(1, 0)
MU(1, 1)
MU(1, 2)
MU(1, 3)
MU(0, 0)
MU(0, 1)
MU(0, 2)
MU(0, 3)
CLK
CEB, WEB, A,
D, BWEB
Q
SD, SLP
SDO, SLPO
SEL
MCLK(i)
CEB[15:0],
WEB, A,
D[255:0],
BWEB(i)
SD0, SLP0(i)
SD1, SLP1(i)
SD2, SLP2(i)
SD3, SLP3(i)

图4

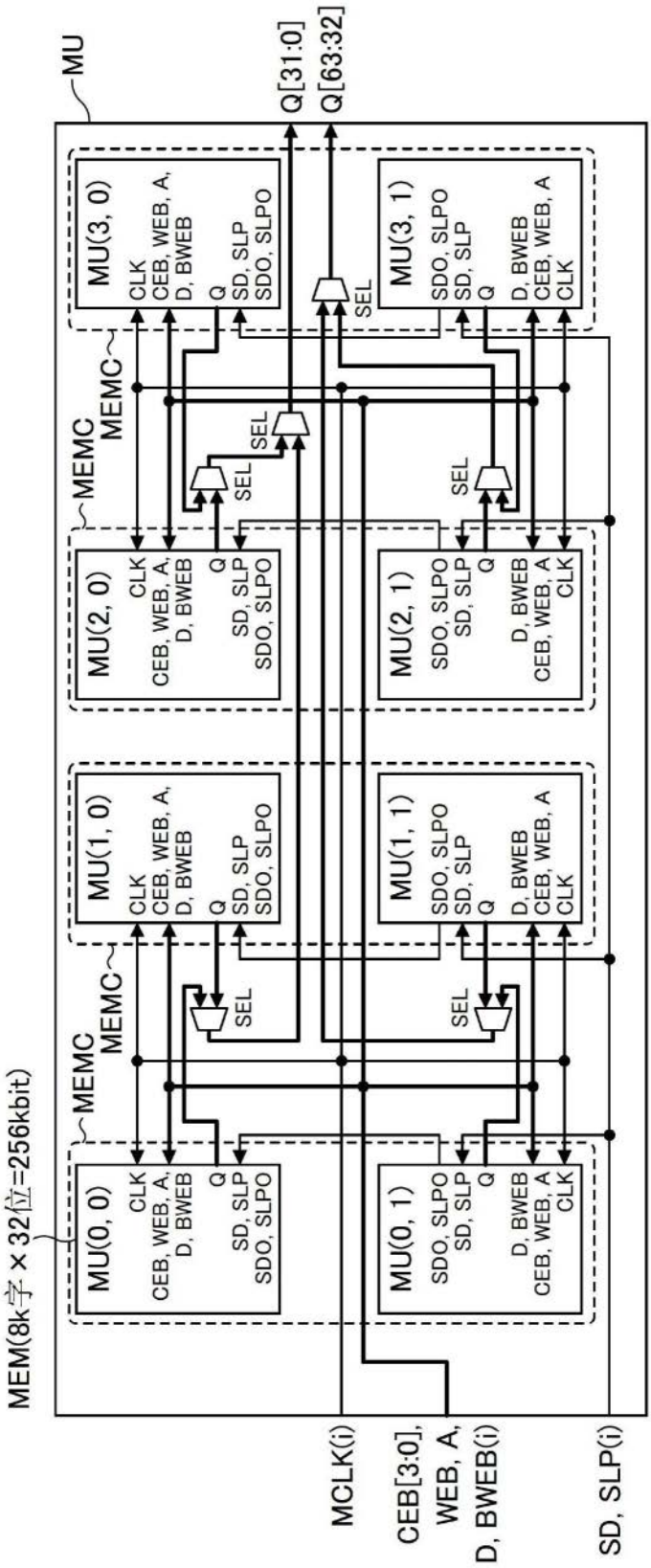

MU
Q[31:0]
Q[63:32]
MEMC
MEMC
MEMC
MEMC
SEL
MU(3, 0)
MU(3, 1)
MU(2, 0)
MU(2, 1)
MU(1, 0)
MU(1, 1)
MU(0, 0)
MU(0, 1)
CLK
CEB, WEB, A,
D, BWEB
Q
SD, SLP
SDO, SLPO
SDO, SLPO
SD, SLP
Q
D, BWEB
CEB, WEB, A
CLK
MEM(8k字×32位=256bit)
MCLK(i)
CEB[3:0],
WEB, A,
D, BWEB(i)
SD, SLP(i)

图5

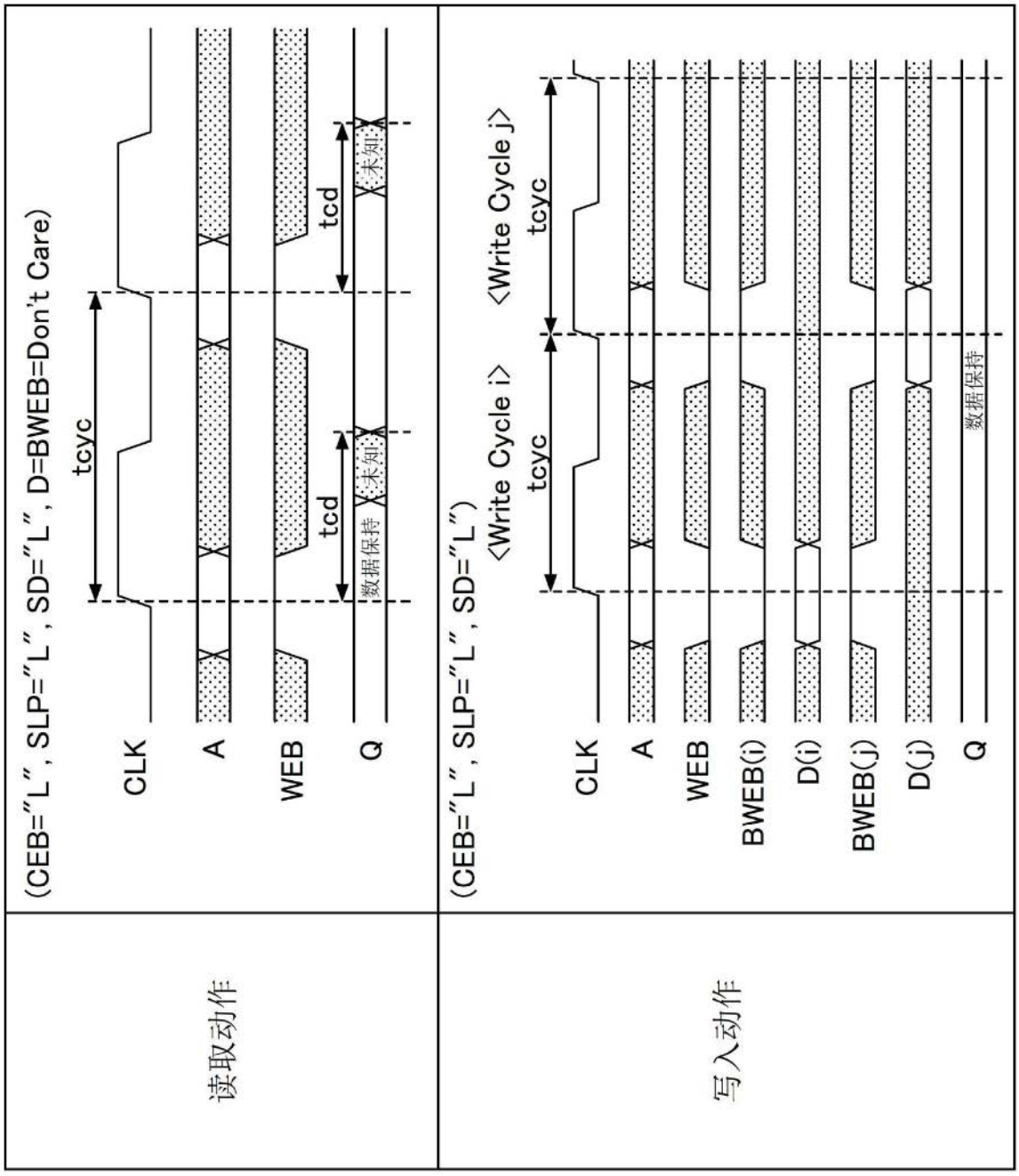

读取动作
(CEB="L", SLP="L", SD="L", D=BWEB=Don't Care)
tcyc
CLK
A
WEB
tcd
数据保持
未知
Q
写入动作
(CEB="L", SLP="L", SD="L")
<Write Cycle i>
<Write Cycle j>
tcyc
BWEB(i)
D(i)
BWEB(j)
D(j)
数据保持

图6

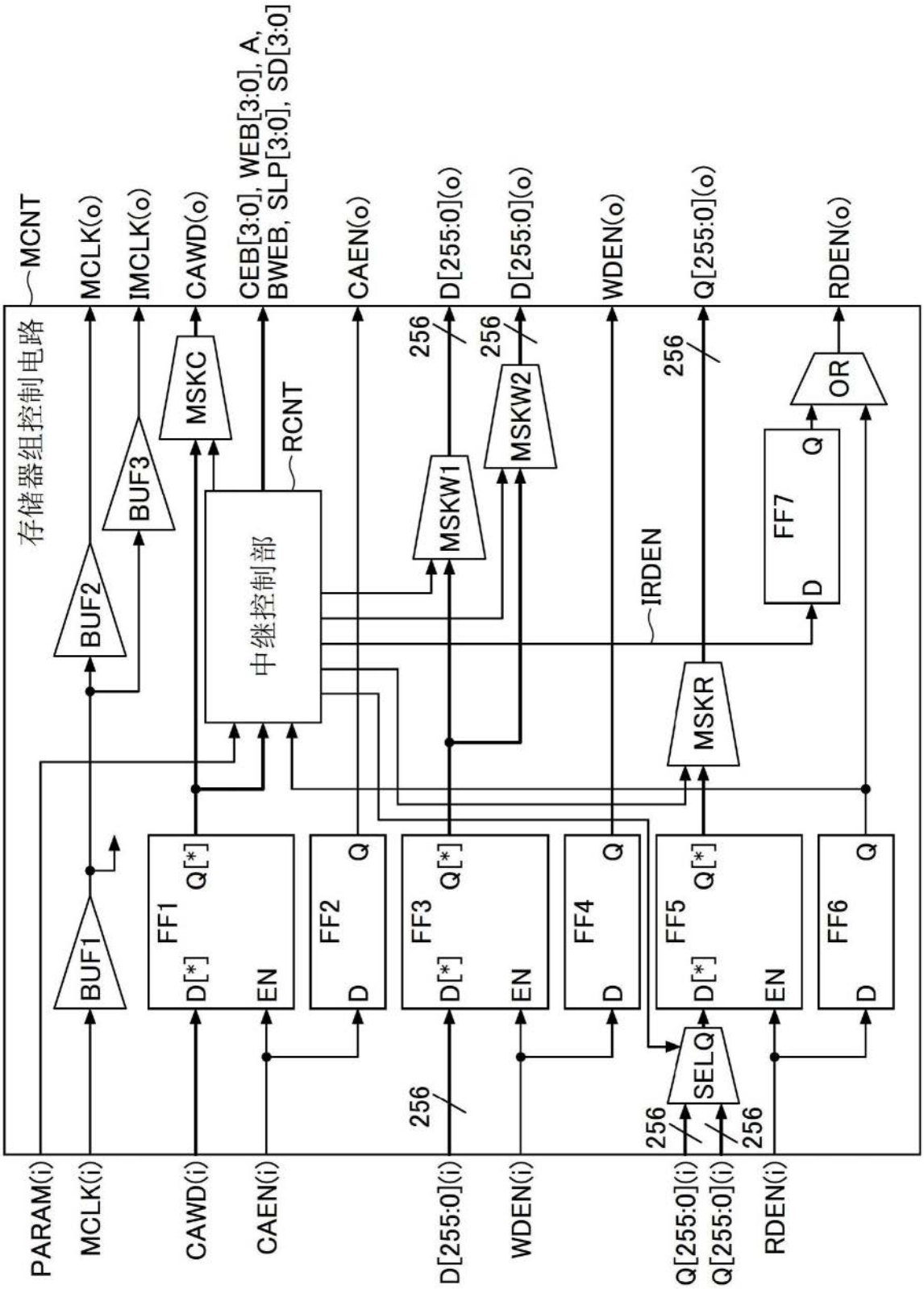

存储器组控制电路
MCNT
MCLK(o)
IMCLK(o)
CAWD(o)
CEB[3:0], WEB[3:0], A,
BWEB, SLP[3:0], SD[3:0]
CAEN(o)
D[255:0](o)
D[255:0](o)
WDEN(o)
Q[255:0](o)
RDEN(o)
BUF1
BUF2
BUF3
MSKC
RCNT
中继控制部
MSKW1
MSKW2
IRDEN
MSKR
OR
FF1
FF2
FF3
FF4
FF5
FF6
FF7
D[*]
Q[*]
EN
D
Q
SELQ
256
PARAM(i)
MCLK(i)
CAWD(i)
CAEN(i)
D[255:0](i)
WDEN(i)
Q[255:0](i)
Q[255:0](i)
RDEN(i)

图7

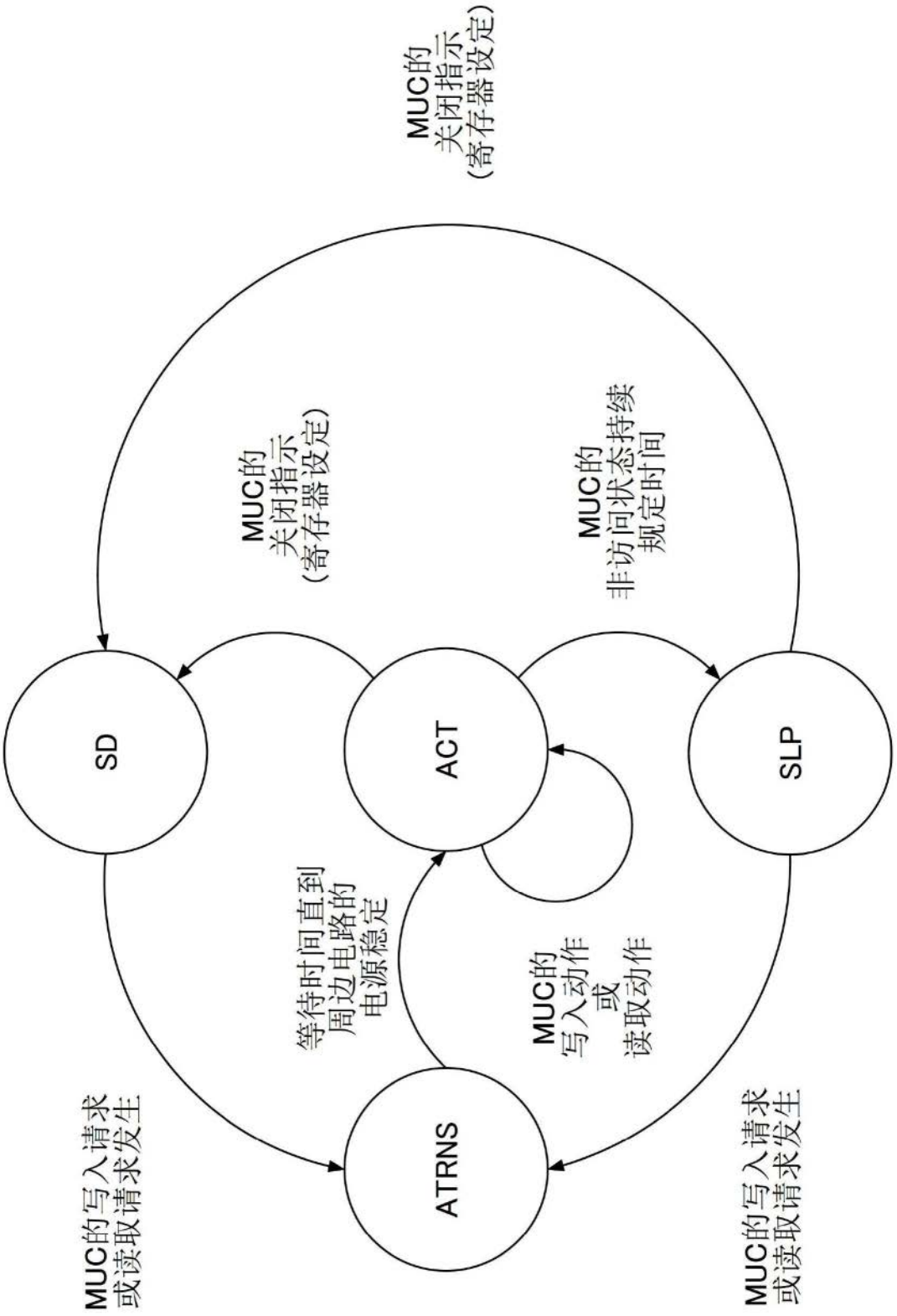

MUC的
关闭指示
(寄存器设定)
MUC的
关闭指示
(寄存器设定)
MUC的
非访问状态持续
规定时间
SD
ACT
SLP
等待时间直到
周边电路的
电源稳定
MUC的
写入动作
或
读取动作
ATRNS
MUC的写入请求
或读取请求发生
MUC的写入请求
或读取请求发生

图8

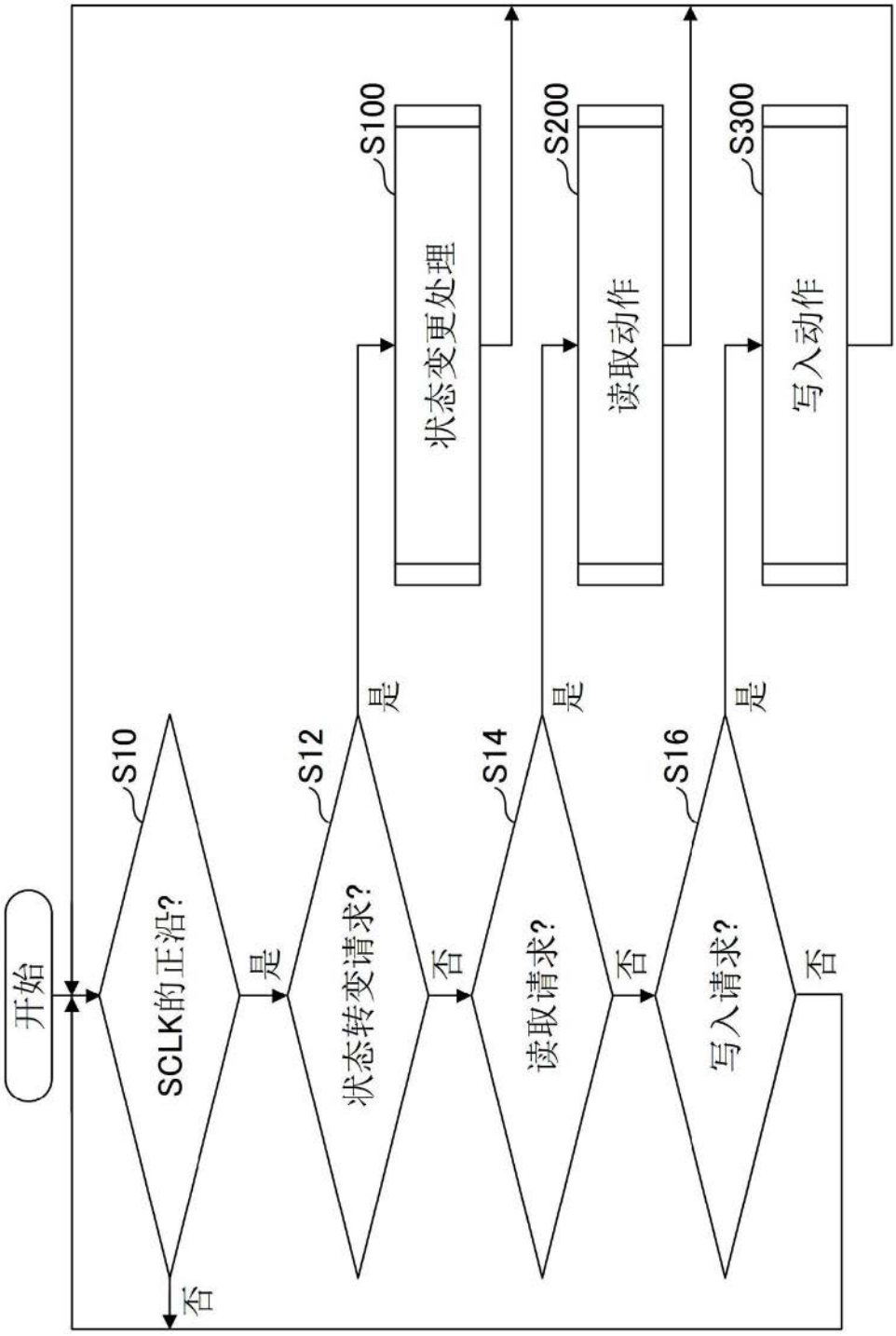

开始
S10
SCLK的正沿?
是
否
S12
状态转变请求?
是
否
S14
读取请求?
是
否
S16
写入请求?
是
否
S100
状态变更处理
S200
读取动作
S300
写入动作

图9

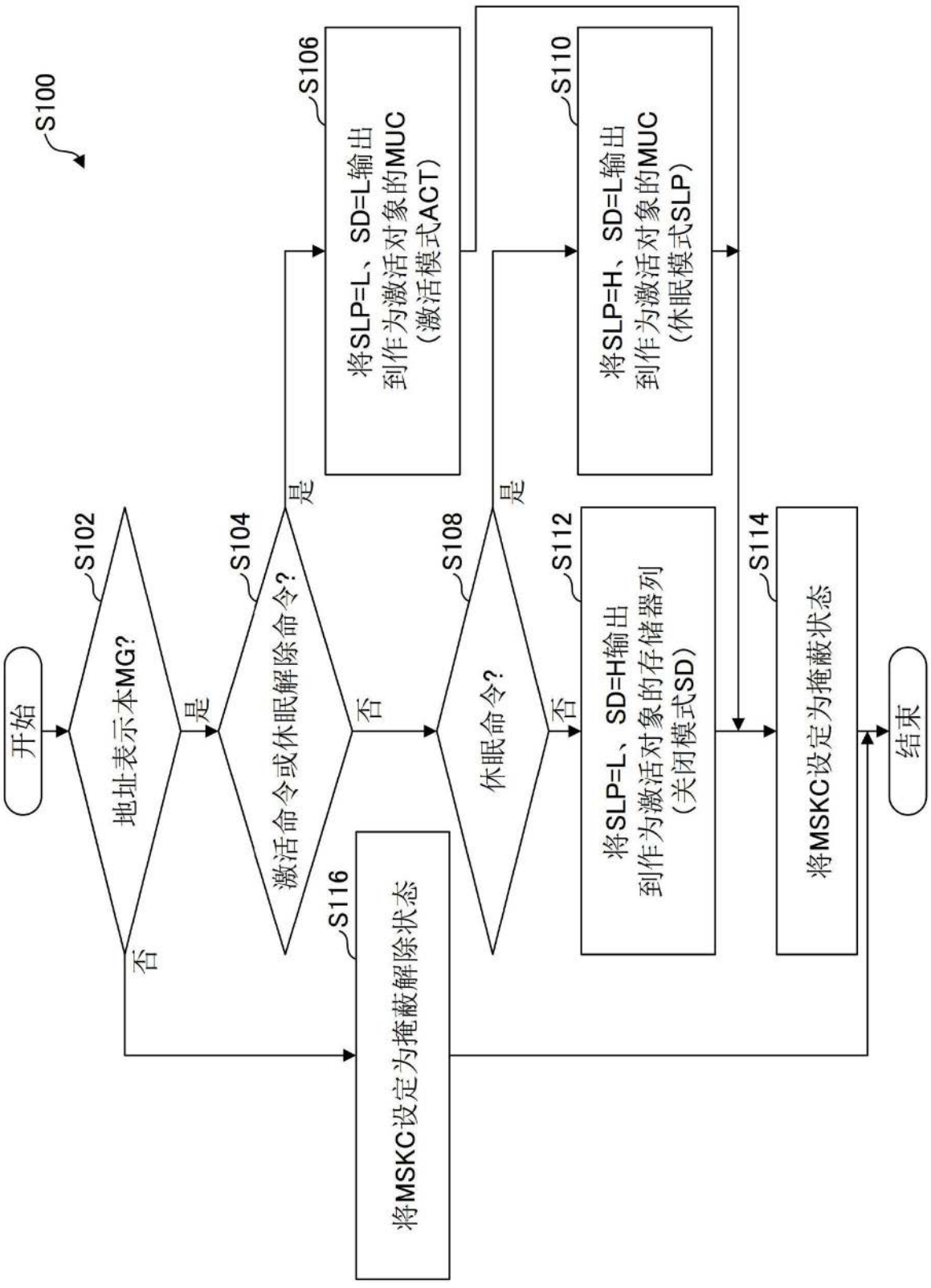

S100
开始
S102
地址表示本MG?
是
否
S104
激活命令或休眠解除命令?
是
否
S106
将SLP=L、SD=L输出
到作为激活对象的MUC
(激活模式ACT)
S108
休眠命令?
是
否
S110
将SLP=H、SD=L输出
到作为激活对象的MUC
(休眠模式SLP)
S112
将SLP=L、SD=H输出
到作为激活对象的存储器列
(关闭模式SD)
S114
将MSKC设定为掩蔽状态
S116
将MSKC设定为掩蔽解除状态
结束

图10

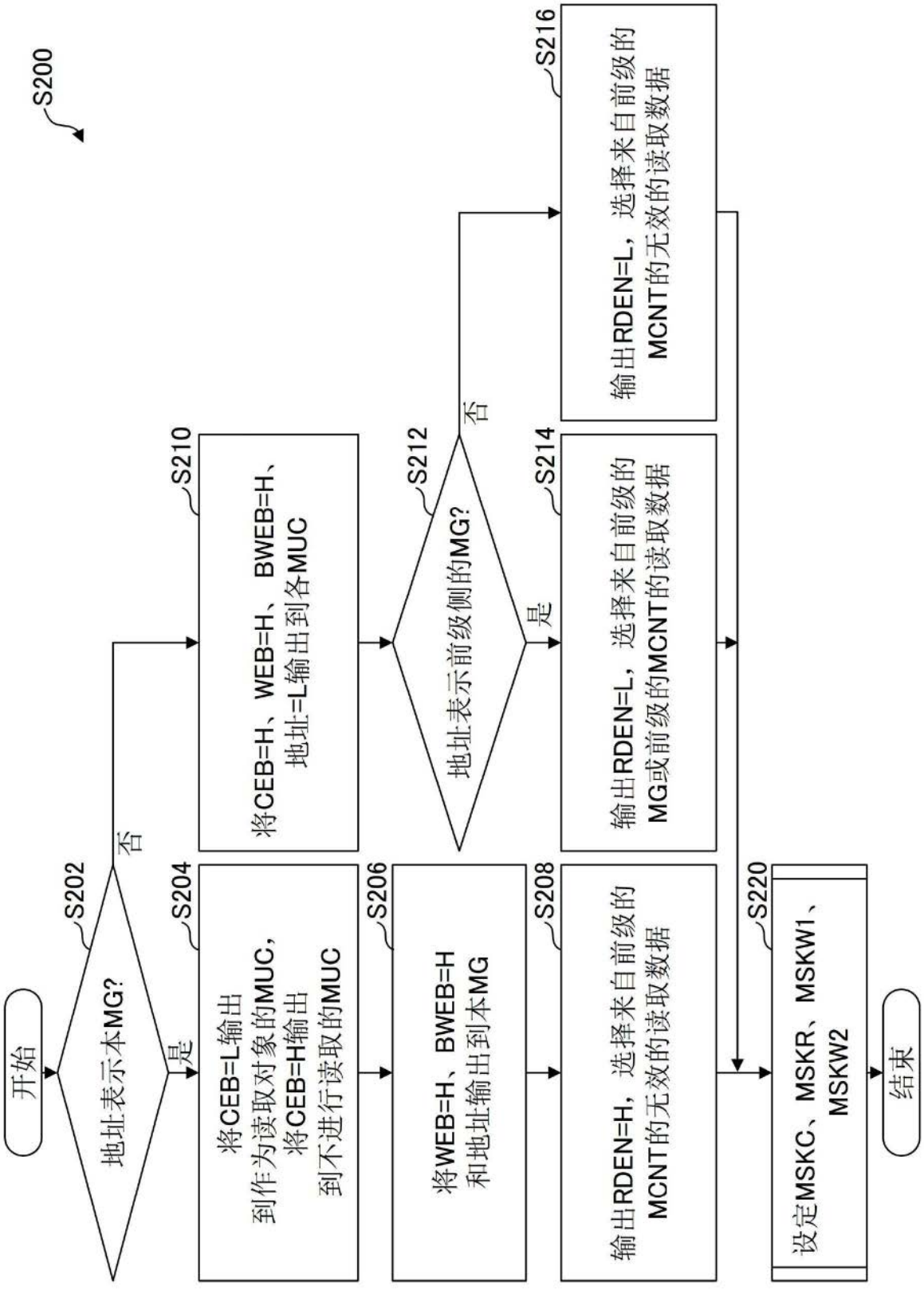

S200
开始
S202
地址表示本MG?
是
否
S204
将CEB=L输出
到作为读取对象的MUC，
将CEB=H输出
到不进行读取的MUC
S206
将WEB=H、BWEB=H
和地址输出到本MG
S208
输出RDEN=H，选择来自前级的
MCNT的无效的读取数据
S210
将CEB=H、WEB=H、BWEB=H、
地址=L输出到各MUC
S212
地址表示前级侧的MG?
是
否
S214
输出RDEN=L，选择来自前级的
MG或前级的MCNT的读取数据
S216
输出RDEN=L，选择来自前级的
MCNT的无效的读取数据
S220
设定MSKC、MSKR、MSKW1、
MSKW2
结束

图11

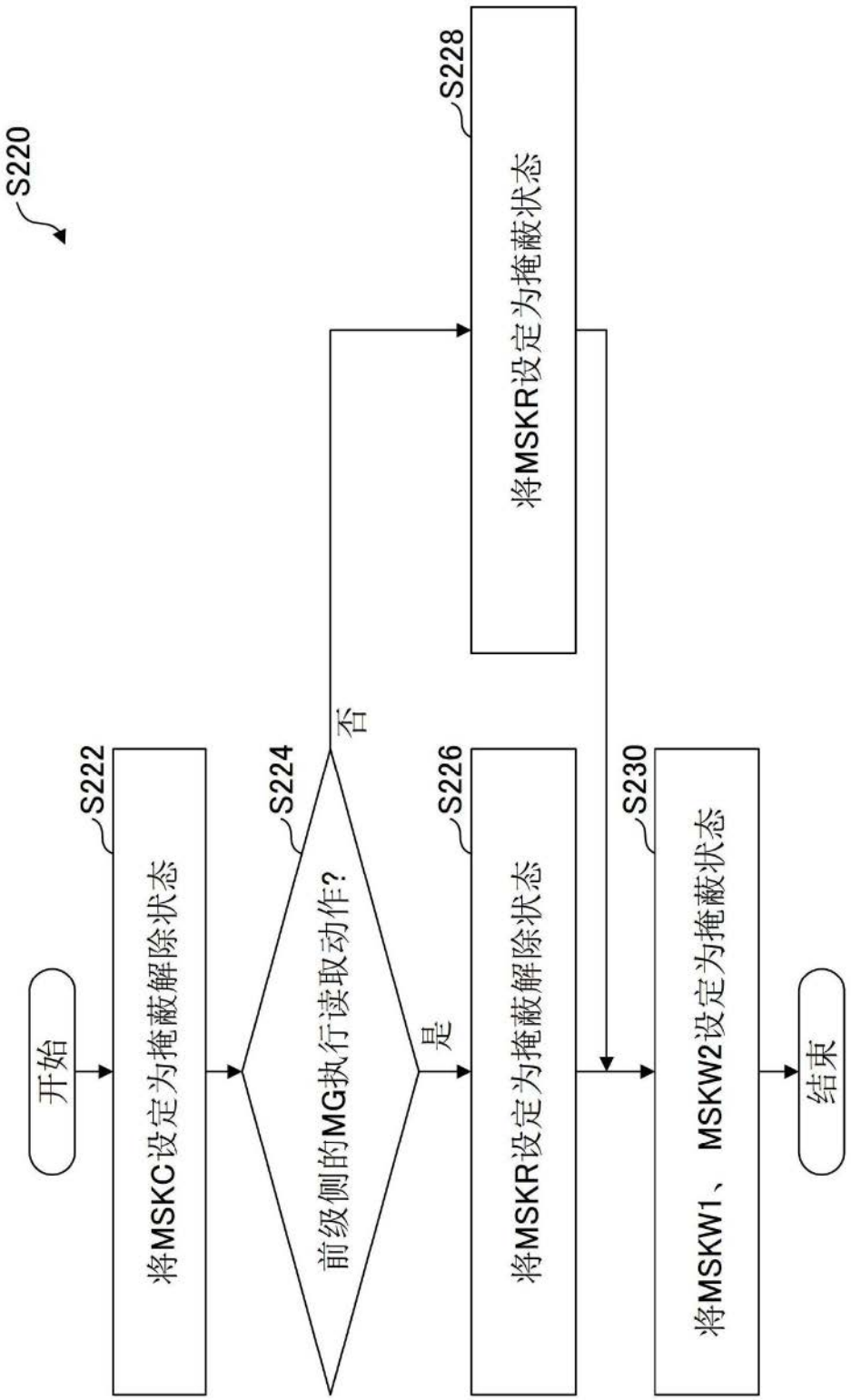

S220
S228
将MSKR设定为掩蔽状态
否
S222
S224
S226
S230
开始
将MSKC设定为掩蔽解除状态
前级侧的MG执行读取动作?
是
将MSKR设定为掩蔽解除状态
将MSKW1、 MSKW2设定为掩蔽状态
结束

图12

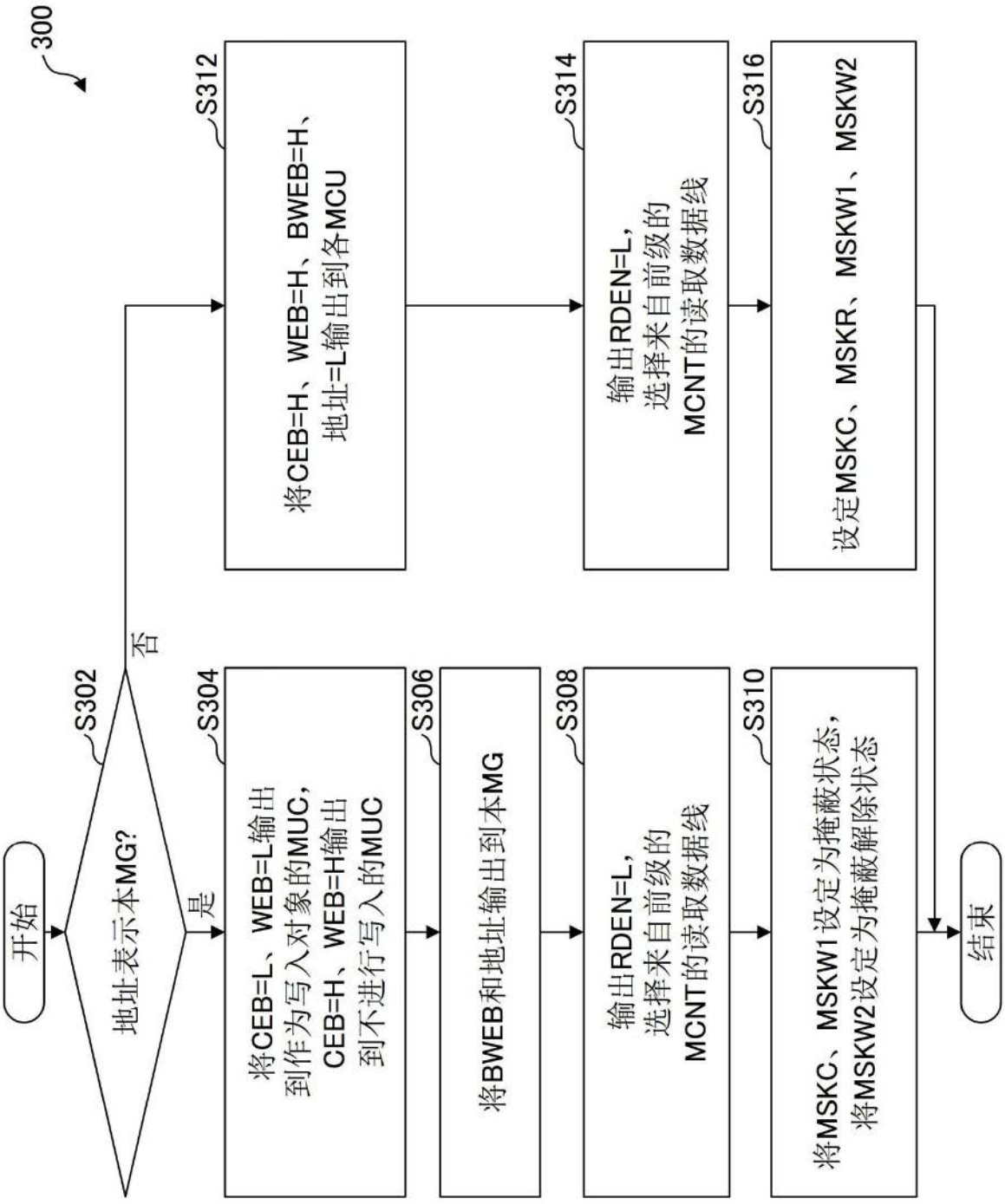

300
开始
S302
地址表示本MG?
否
是
S304
将CEB=L、WEB=L输出到作为写入对象的MUC，CEB=H、WEB=H输出到不进行写入的MUC
S306
将BWEB和地址输出到本MG
S308
输出RDEN=L，选择来自前级的MCNT的读取数据线
S310
将MSKC、MSKW1设定为掩蔽状态，将MSKW2设定为掩蔽解除状态
S312
将CEB=H、WEB=H、BWEB=H、地址=L输出到各MCU
S314
输出RDEN=L，选择来自前级的MCNT的读取数据线
S316
设定MSKC、MSKR、MSKW1、MSKW2
结束

图13

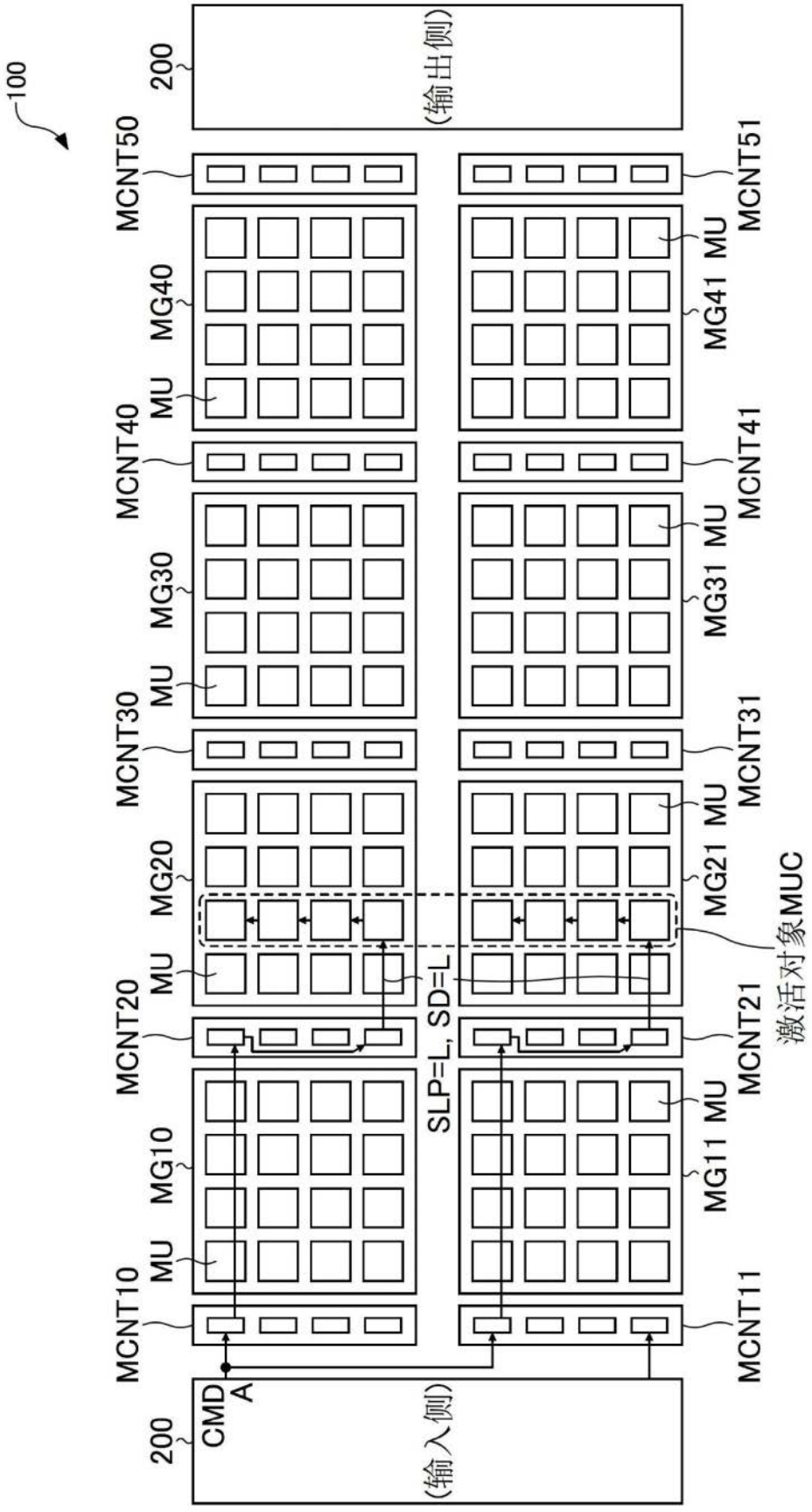

100
200
(输出侧)
MCNT50
MCNT51
MG40
MG41
MU
MCNT40
MCNT41
MG30
MG31
MCNT30
MCNT31
MG20
MG21
激活对象MUC
MCNT20
MCNT21
SLP=L, SD=L
MG10
MG11
MCNT10
MCNT11
CMD
A
200
(输入侧)

图14

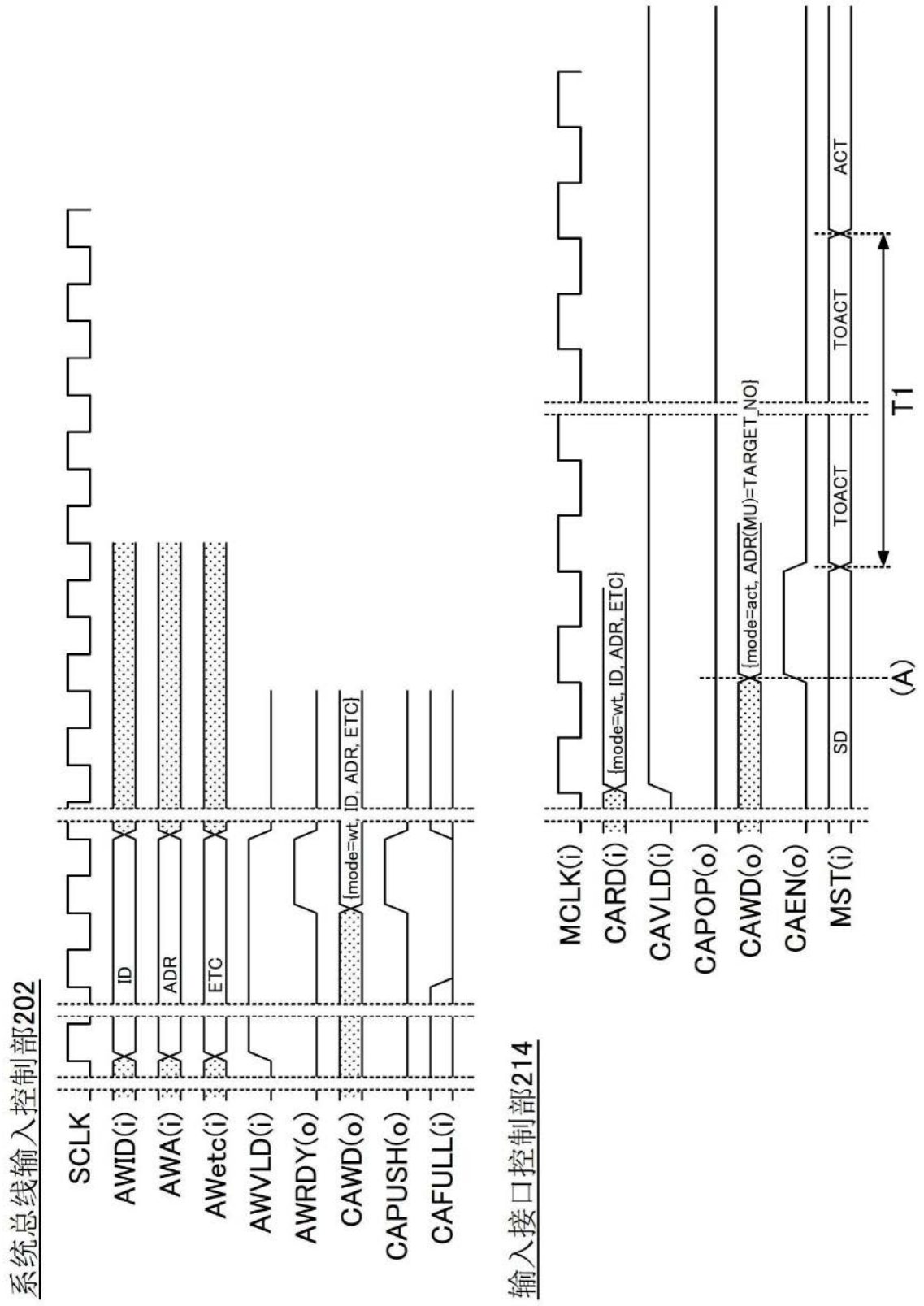

系统总线输入控制部202
SCLK
AWID(i)
ID
AWA(i)
ADR
AWetc(i)
ETC
AWVLD(i)
AWRDY(o)
CAWD(o)
{mode=wt, ID, ADR, ETC}
CAPUSH(o)
CAFULL(i)
输入接口控制部214
MCLK(i)
CARD(i)
{mode=wt, ID, ADR, ETC}
CAVLD(i)
CAPOP(o)
CAWD(o)
{mode=act, ADR(MU)=TARGET_NO}
CAEN(o)
MST(i)
SD
TOACT
TOACT
ACT
T1
(A)

图15

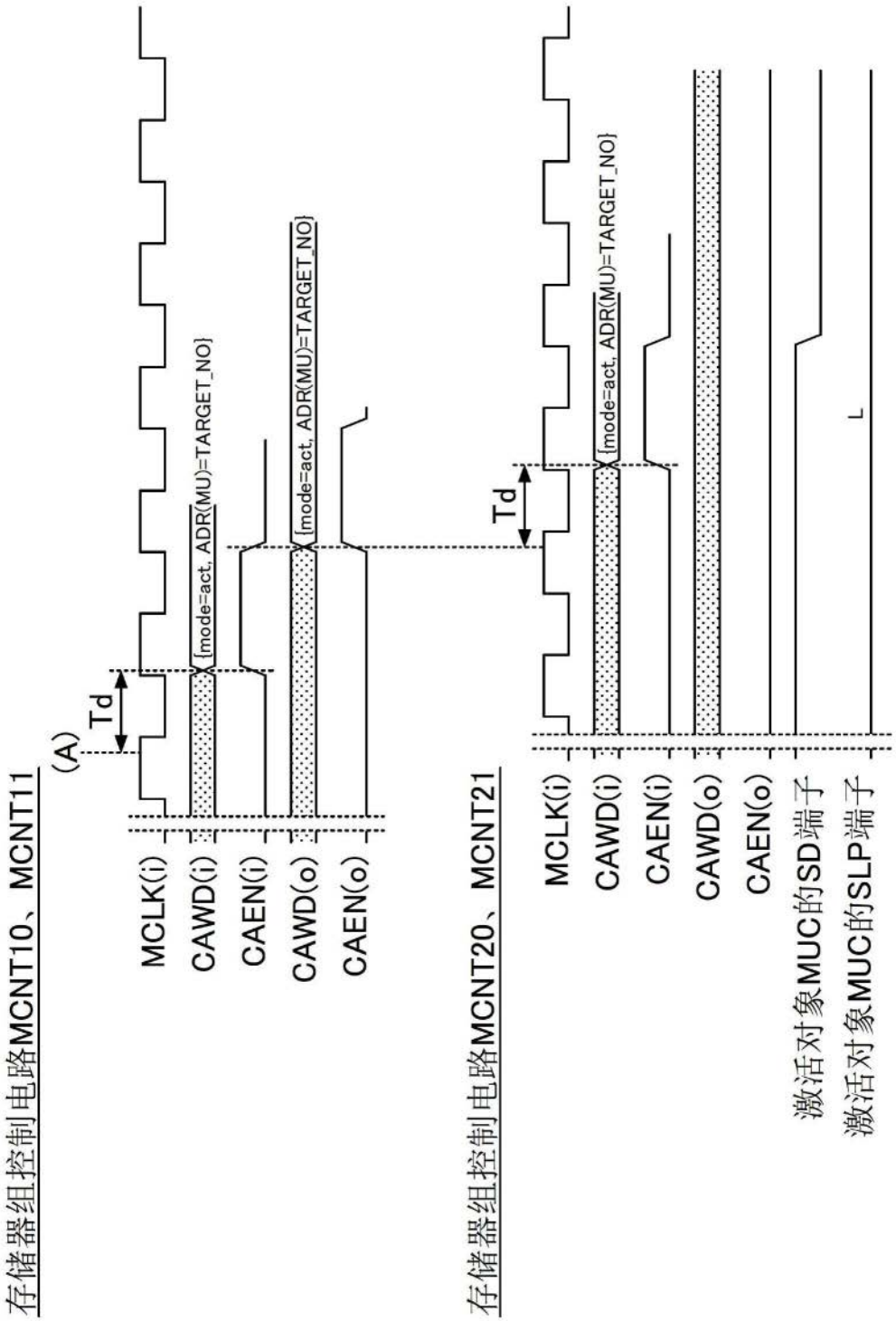

存储器组控制电路MCNT10、MCNT11
(A)
Td
MCLK(i)
CAWD(i)
{mode=act, ADR(MU)=TARGET_NO}
CAEN(i)
CAWD(o)
{mode=act, ADR(MU)=TARGET_NO}
CAEN(o)
存储器组控制电路MCNT20、MCNT21
Td
MCLK(i)
CAWD(i)
{mode=act, ADR(MU)=TARGET_NO}
CAEN(i)
CAWD(o)
CAEN(o)
激活对象MUC的SD端子
激活对象MUC的SLP端子
L

图16

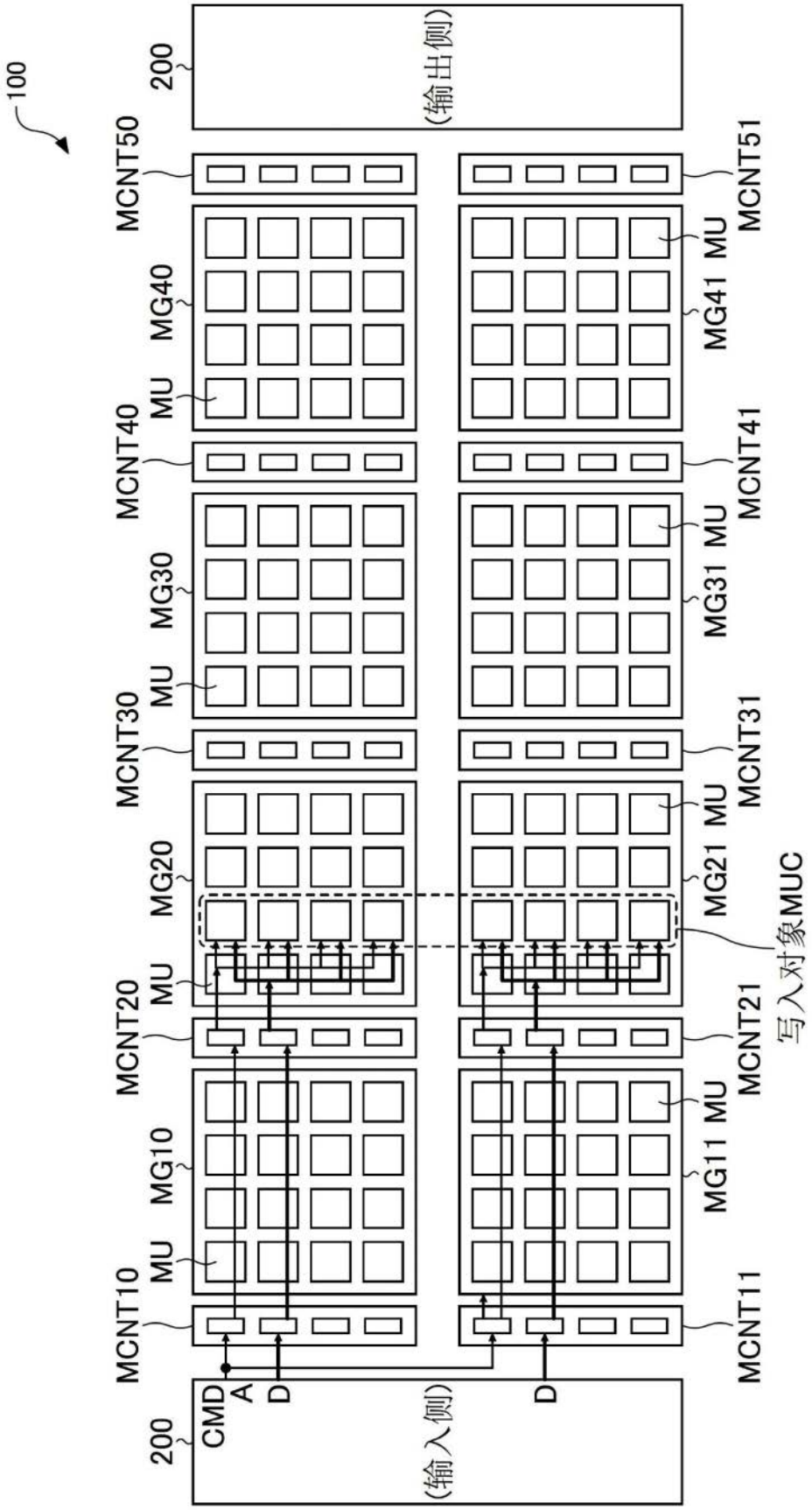

100
200
(输出侧)
MCNT50
MCNT51
MG40
MG41
MU
MCNT40
MCNT41
MG30
MG31
MCNT30
MCNT31
MG20
MG21
写入对象MUC
MCNT20
MCNT21
MG10
MG11
MCNT10
MCNT11
CMD
A
D
200
(输入侧)

图17

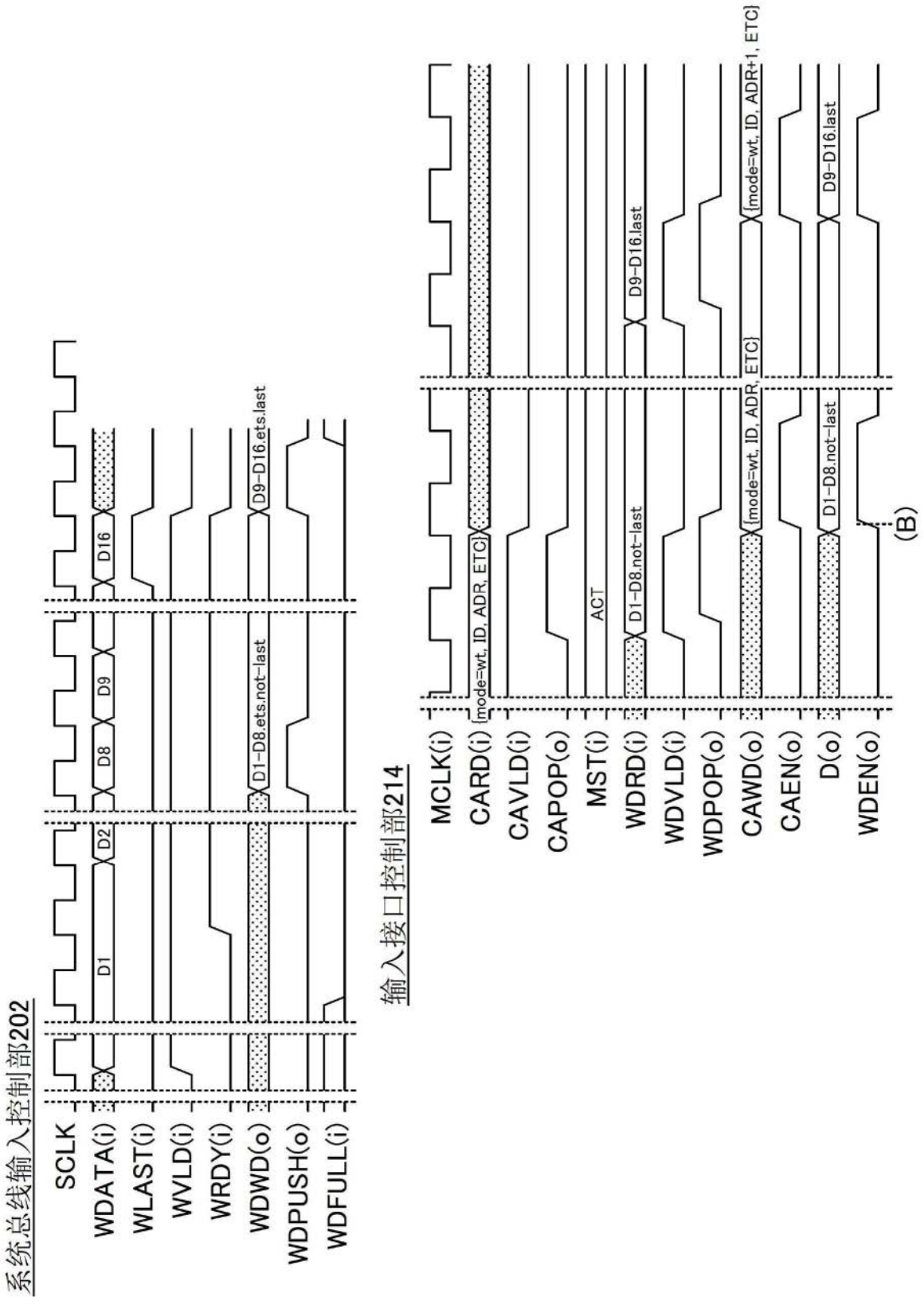

系统总线输入控制部202
SCLK
WDATA(i)
WLAST(i)
WVLD(i)
WRDY(i)
WDWD(o)
WDPUSH(o)
WDFULL(i)
D1
D2
D8
D9
D16
D1-D8.ets.not-last
D9-D16.ets.last
输入接口控制部214
MCLK(i)
CARD(i)
CAVLD(i)
CAPOP(o)
MST(i)
WDRD(i)
WDVLD(i)
WDPOP(o)
CAWD(o)
CAEN(o)
D(o)
WDEN(o)
{mode=wt, ID, ADR, ETC}
ACT
D1-D8.not-last
D9-D16.last
{mode=wt, ID, ADR+1, ETC}
(B)

图18

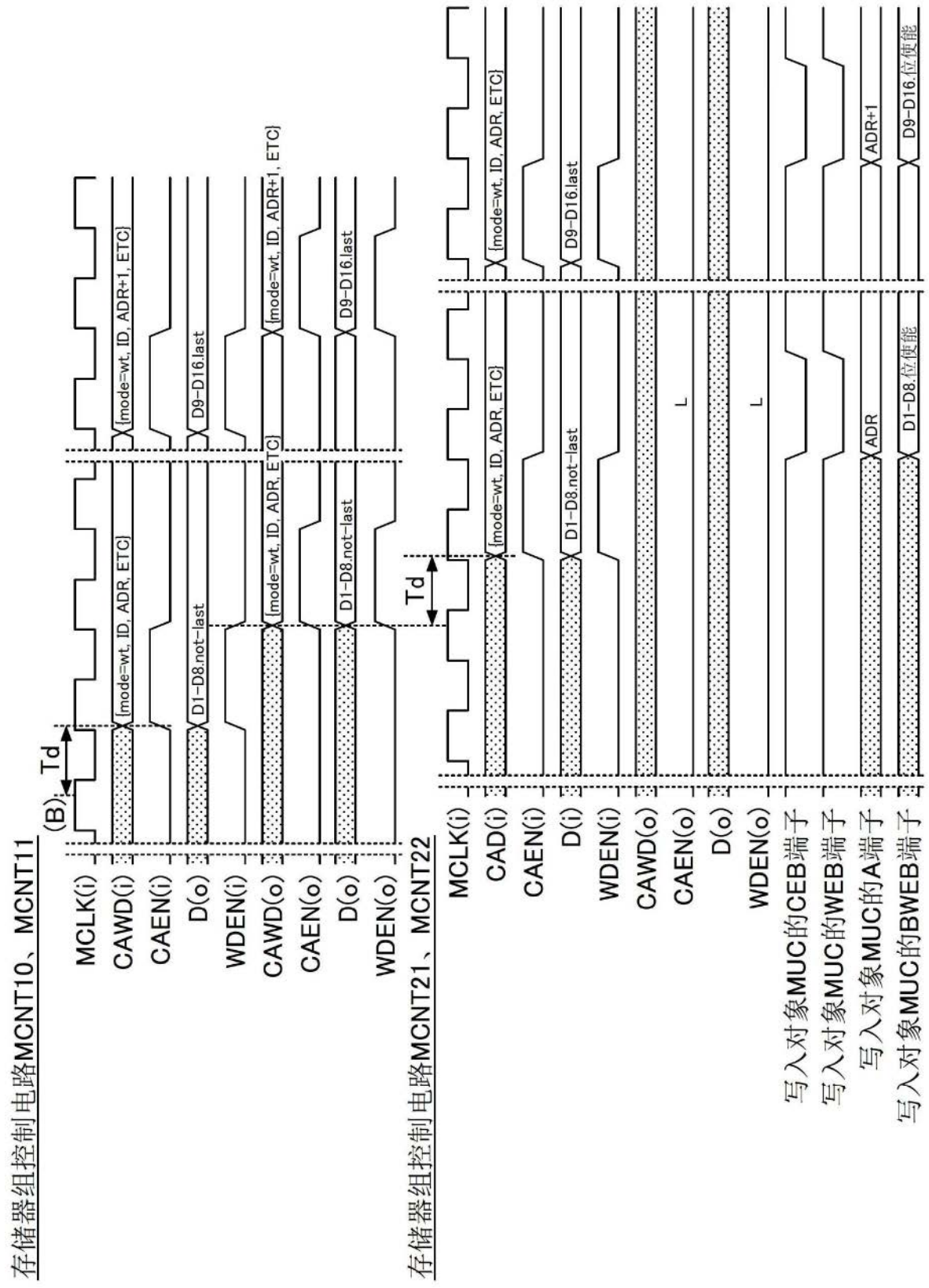

存储器组控制电路MCNT10、MCNT11
(B);
Td
MCLK(i)
CAWD(i)
CAEN(i)
D(o)
WDEN(i)
CAWD(o)
CAEN(o)
D(o)
WDEN(o)
{mode=wt, ID, ADR, ETC}
{mode=wt, ID, ADR+1, ETC}
D1-D8.not-last
D9-D16.last
存储器组控制电路MCNT21、MCNT22
MCLK(i)
CAD(i)
CAEN(i)
D(i)
WDEN(i)
CAWD(o)
CAEN(o)
D(o)
WDEN(o)
L
ADR
ADR+1
D1-D8.位使能
D9-D16.位使能
写入对象MUC的CEB端子
写入对象MUC的WEB端子
写入对象MUC的A端子
写入对象MUC的BWEB端子

图19

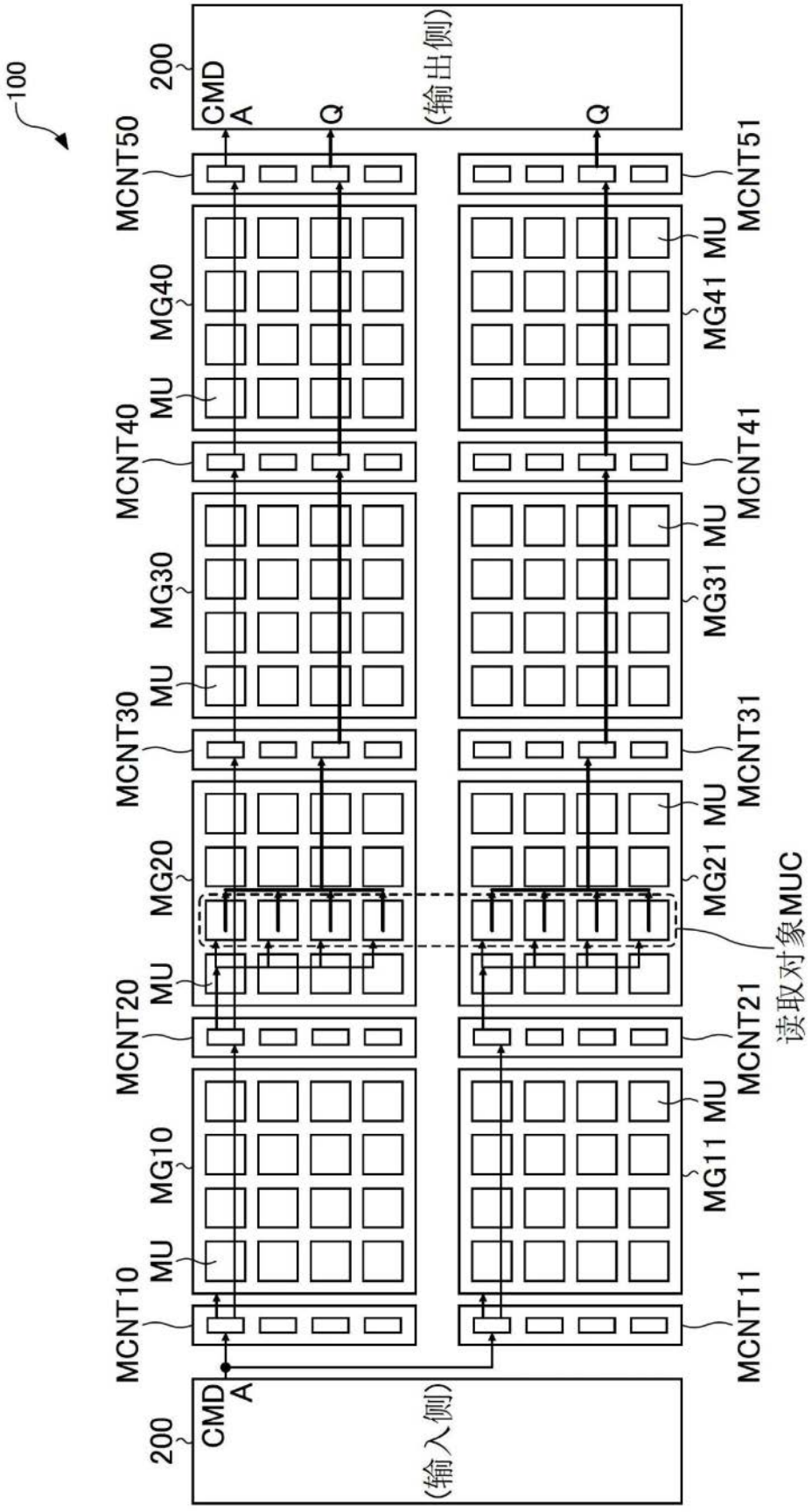

100
200
CMD
A
Q
(输出侧)
MCNT50
MCNT51
MG40
MG41
MU
MCNT40
MCNT41
MG30
MG31
MCNT30
MCNT31
MG20
MG21
读取对象MUC
MCNT20
MCNT21
MG10
MG11
MCNT10
MCNT11
(输入侧)

图20

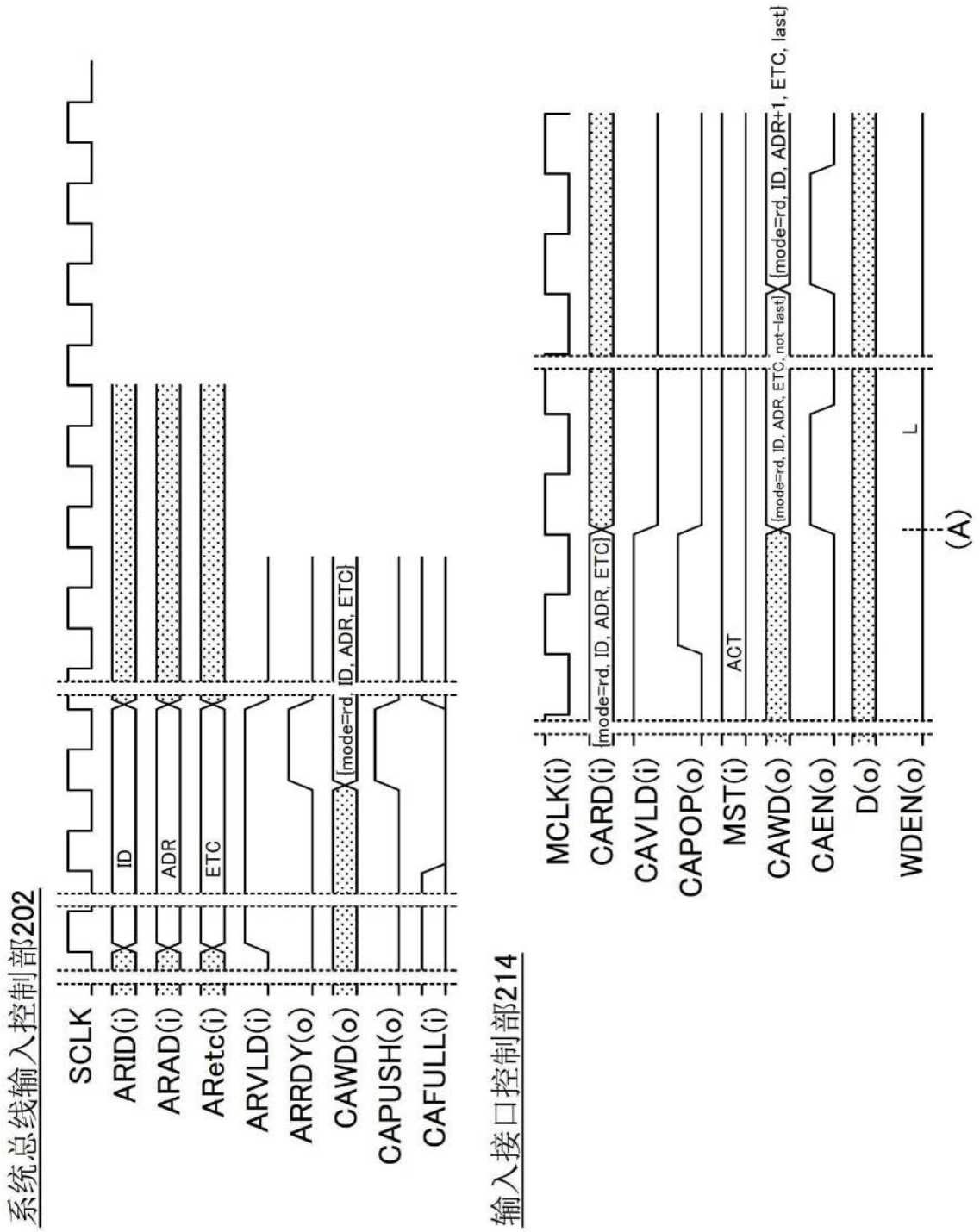

系统总线输入控制部202
SCLK
ARID(i)
ARAD(i)
ARetc(i)
ARVLD(i)
ARRDY(o)
CAWD(o)
CAPUSH(o)
CAFULL(i)
ID
ADR
ETC
{mode=rd, ID, ADR, ETC}
输入接口控制部214
MCLK(i)
CARD(i)
CAVLD(i)
CAPOP(o)
MST(i)
CAWD(o)
CAEN(o)
D(o)
WDEN(o)
{mode=rd, ID, ADR, ETC}
ACT
{mode=rd, ID, ADR, ETC, not-last}
{mode=rd, ID, ADR+1, ETC, last}
L
(A)

图21

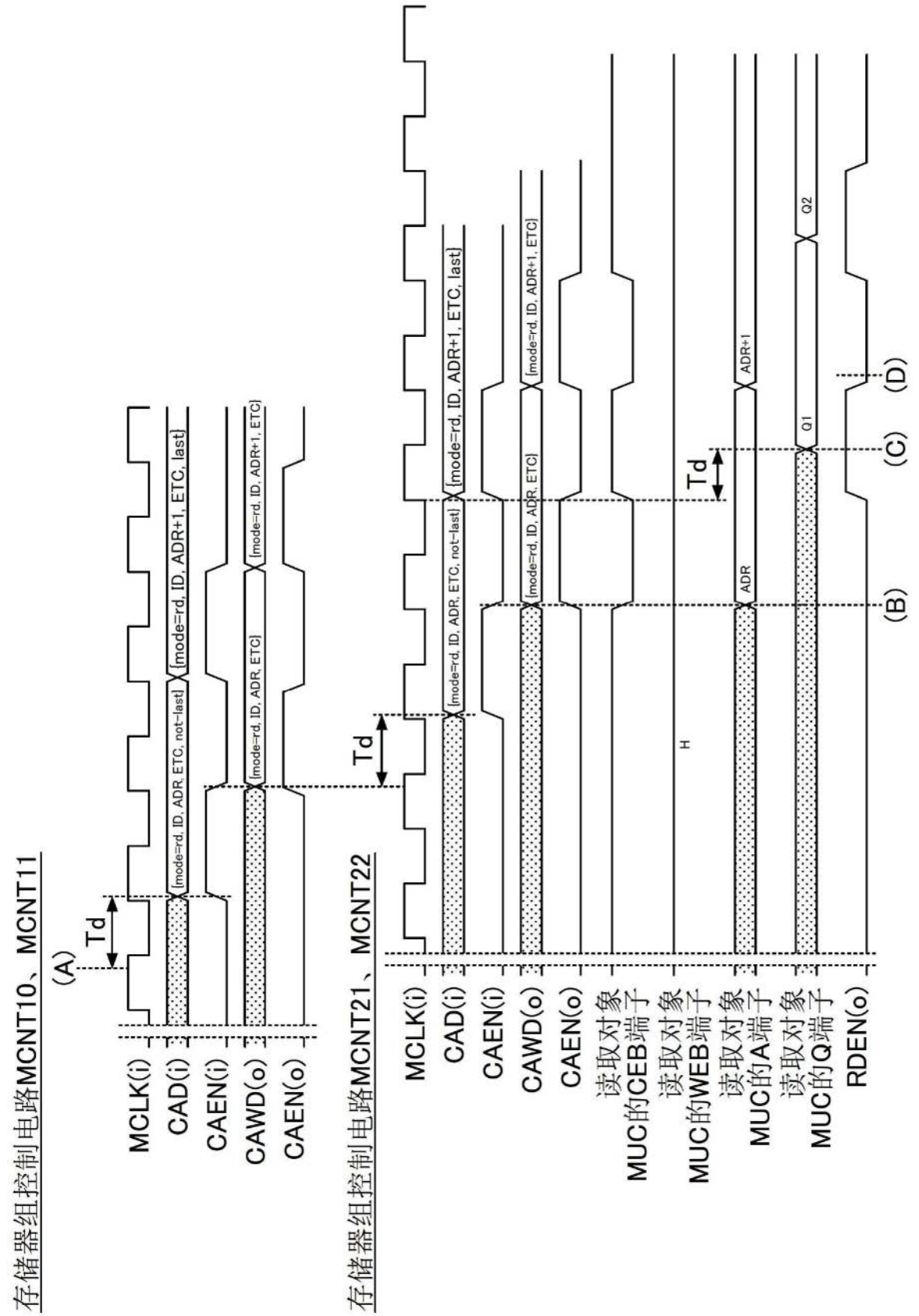

存储器组控制电路MCNT10、MCNT11
(A)
Td
MCLK(i)
CAD(i)
CAEN(i)
CAWD(o)
CAEN(o)
{mode=rd, ID, ADR, ETC, not-last}
{mode=rd, ID, ADR+1, ETC, last}
{mode=rd, ID, ADR, ETC}
{mode=rd, ID, ADR+1, ETC}
存储器组控制电路MCNT21、MCNT22
Td
MCLK(i)
CAD(i)
CAEN(i)
CAWD(o)
CAEN(o)
读取对象MUC的CEB端子
读取对象MUC的WEB端子
读取对象MUC的A端子
读取对象MUC的Q端子
RDEN(o)
H
ADR
ADR+1
Q1
Q2
(B)
(C)
(D)

图22

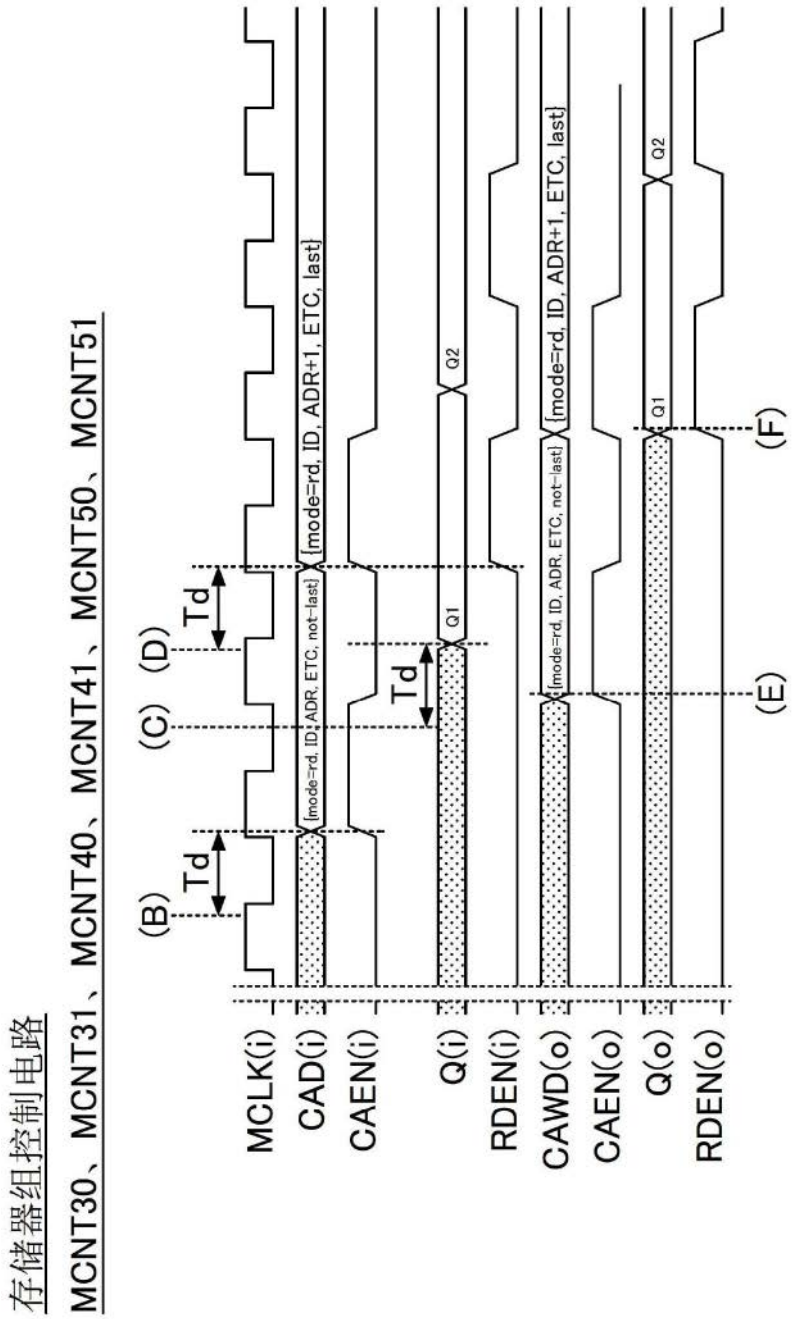

存储器组控制电路
MCNT30、MCNT31、MCNT40、MCNT41、MCNT50、MCNT51
MCLK(i)
CAD(i)
CAEN(i)
Q(i)
RDEN(i)
CAWD(o)
CAEN(o)
Q(o)
RDEN(o)
(B)
(C)
(D)
(E)
(F)
Td
Td
Td
{mode=rd, ID, ADR, ETC, not-last}
{mode=rd, ID, ADR+1, ETC, last}
Q1
Q2
{mode=rd, ID, ADR, ETC, not-last}
{mode=rd, ID, ADR+1, ETC, last}
Q1
Q2

图23

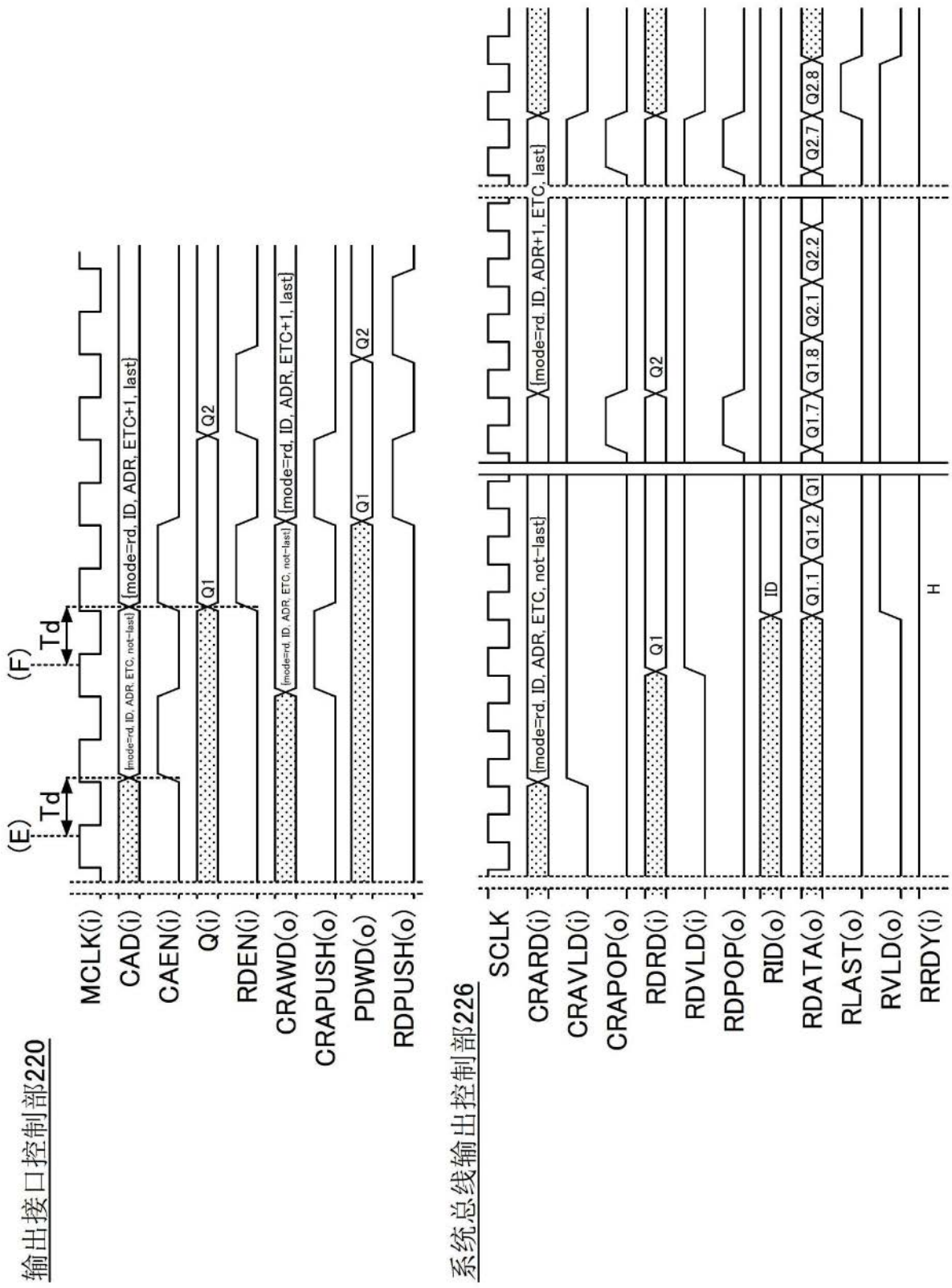

输出接口控制部220
MCLK(i)
CAD(i)
CAEN(i)
Q(i)
RDEN(i)
CRAWD(o)
CRAPUSH(o)
PDWD(o)
RDPUSH(o)
(E)
Td
(F)
Td
{mode=rd, ID, ADR, ETC, not-last}
{mode=rd, ID, ADR, ETC+1, last}
Q1
Q2
系统总线输出控制部226
SCLK
CRARD(i)
CRAVLD(i)
CRAPOP(o)
RDRD(i)
RDVLD(i)
RDPOP(o)
RID(o)
RDATA(o)
RLAST(o)
RVLD(o)
RRDY(i)
{mode=rd, ID, ADR+1, ETC, last}
ID
Q1.1
Q1.2
Q1
Q1.7
Q1.8
Q2.1
Q2.2
Q2.7
Q2.8
H

图24

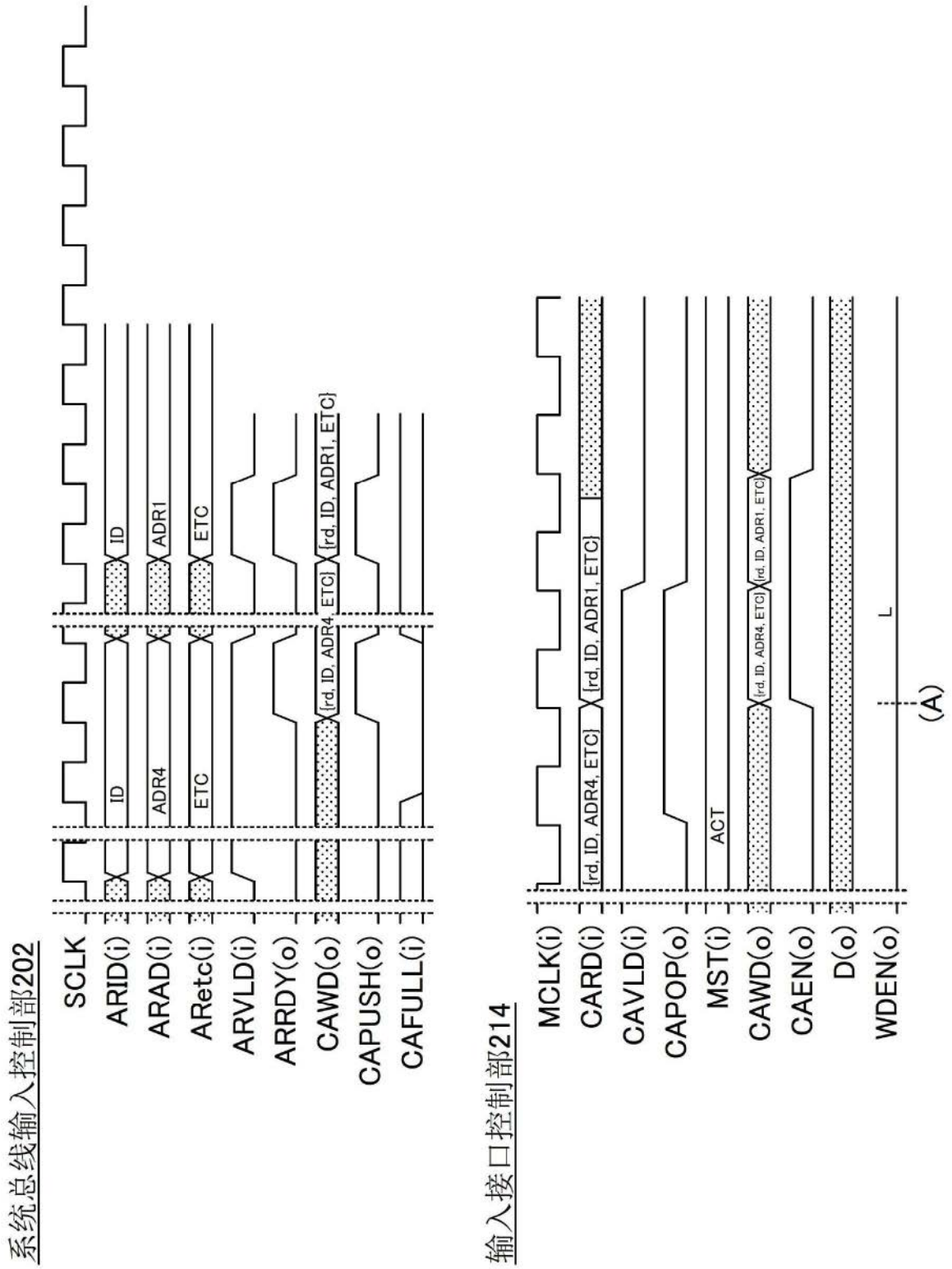

系统总线输入控制部202
SCLK
ARID(i)
ARAD(i)
ARetc(i)
ARVLD(i)
ARRDY(o)
CAWD(o)
CAPUSH(o)
CAFULL(i)
ID
ADR4
ETC
ADR1
{rd, ID, ADR4, ETC}
{rd, ID, ADR1, ETC}
输入接口控制部214
MCLK(i)
CARD(i)
CAVLD(i)
CAPOP(o)
MST(i)
CAWD(o)
CAEN(o)
D(o)
WDEN(o)
ACT
L
(A)

图25

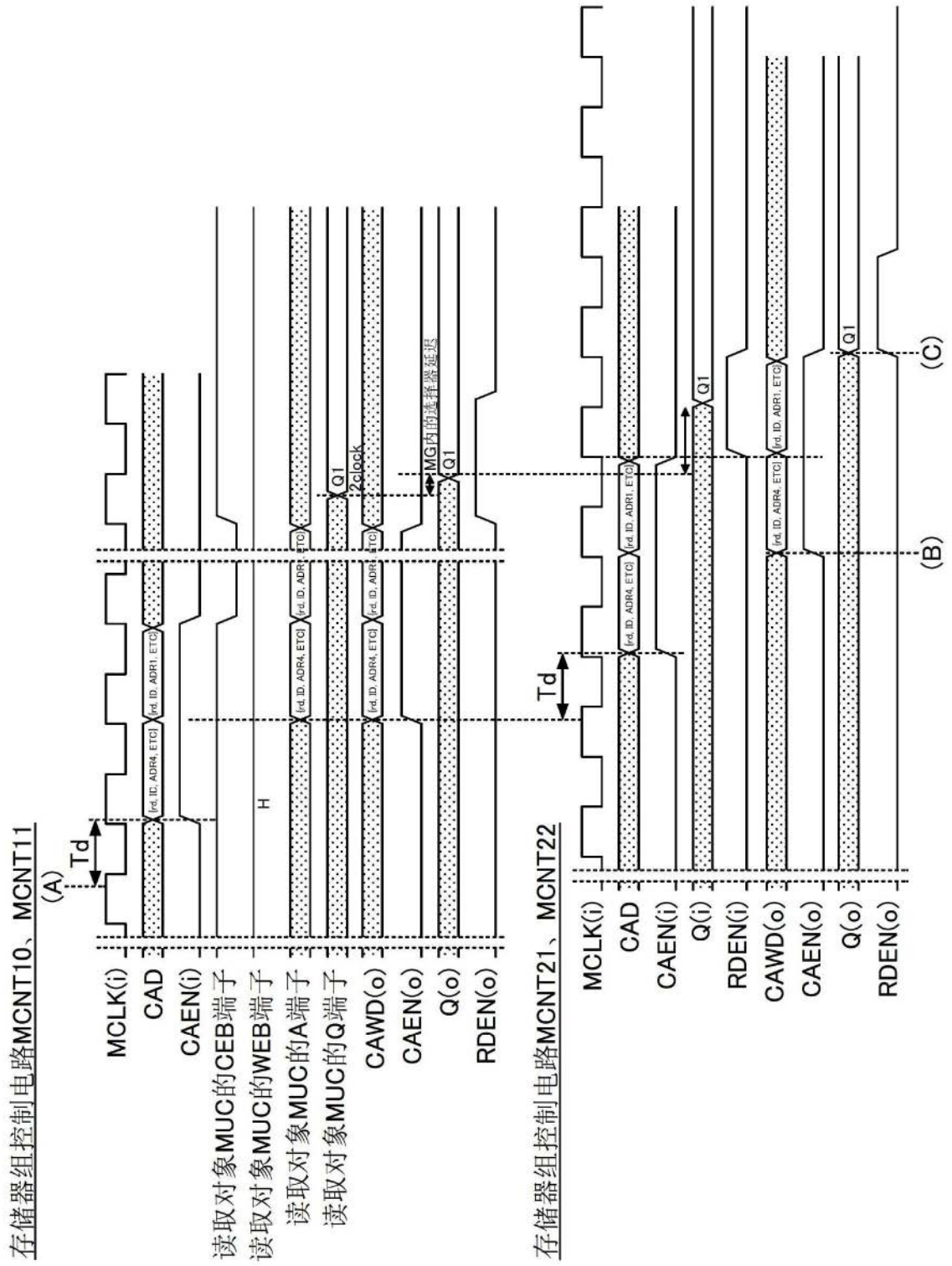

存储器组控制电路MCNT10、MCNT11
(A)
Td
MCLK(i)
CAD
CAEN(i)
读取对象MUC的CEB端子
读取对象MUC的WEB端子
读取对象MUC的A端子
读取对象MUC的Q端子
CAWD(o)
CAEN(o)
Q(o)
RDEN(o)
H
Rd, ID, ADR4, ETC
Rd, ID, ADR1, ETC
Q1
2clock
MG内的读养器延迟
存储器组控制电路MCNT21、MCNT22
Td
MCLK(i)
CAD
CAEN(i)
Q(i)
RDEN(i)
CAWD(o)
CAEN(o)
Q(o)
RDEN(o)
Q1
(B)
(C)

图26

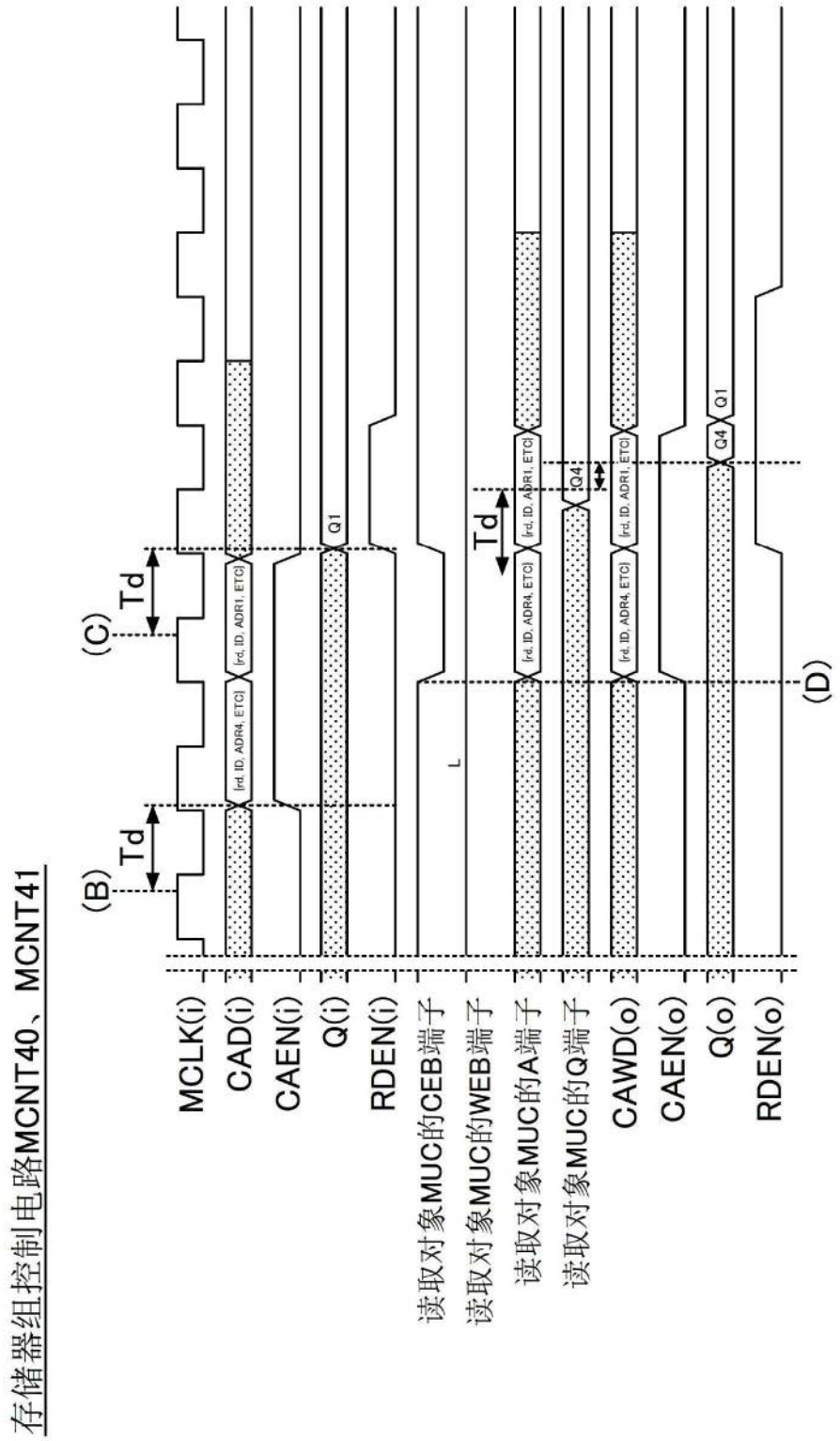

存储器组控制电路MCNT40、MCNT41
MCLK(i)
CAD(i)
CAEN(i)
Q(i)
RDEN(i)
读取对象MUC的CEB端子
读取对象MUC的WEB端子
读取对象MUC的A端子
读取对象MUC的Q端子
CAWD(o)
CAEN(o)
Q(o)
RDEN(o)
(B)
Td
(C)
Td
Td
(D)
{rd, ID, ADR4, ETC}
{rd, ID, ADR1, ETC}
Q1
Q4
L

图27

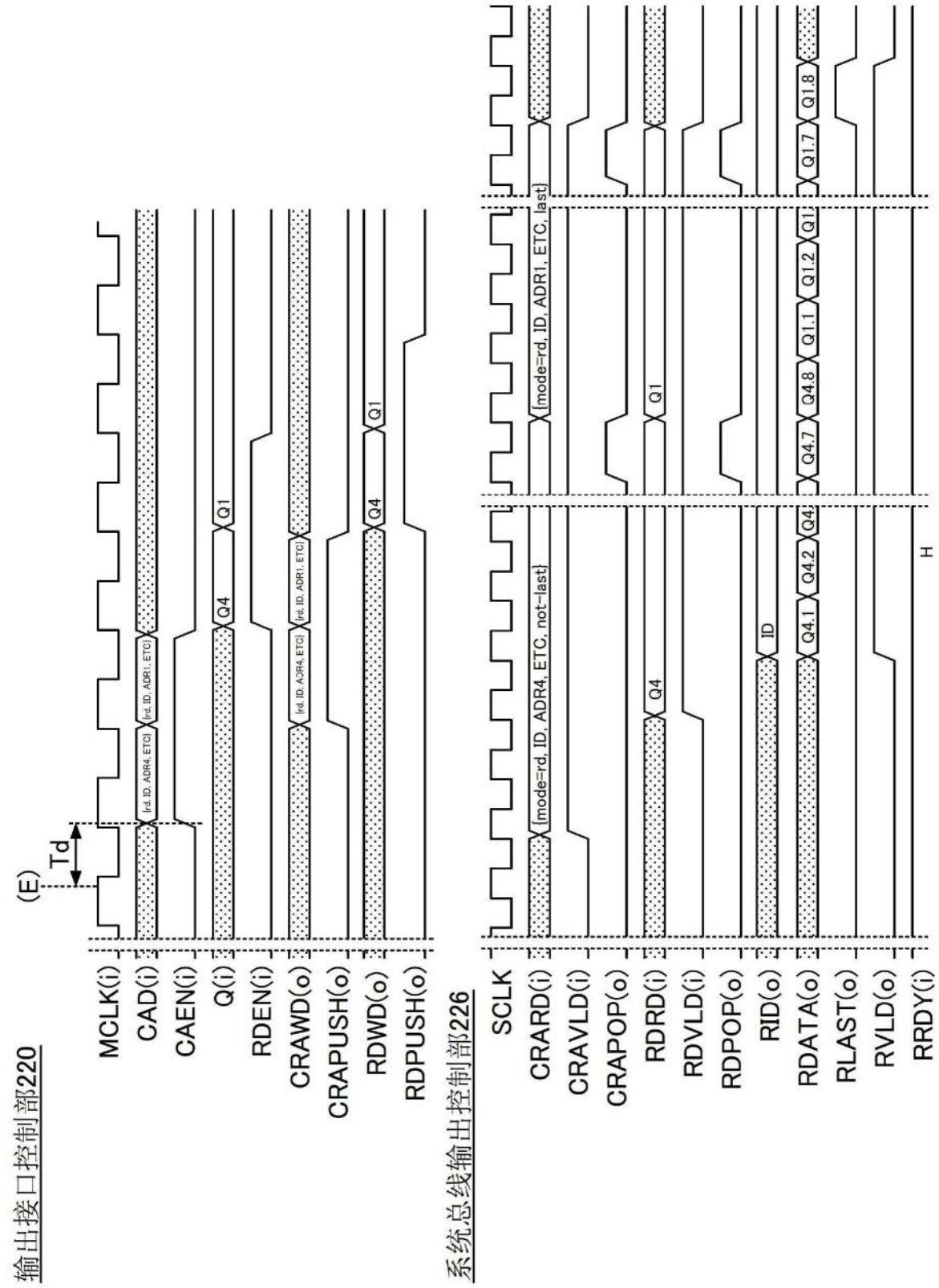

输出接口控制部220
(E)
Td
MCLK(i)
CAD(i)
CAEN(i)
Q(i)
RDEN(i)
CRAWD(o)
CRAPUSH(o)
RDWD(o)
RDPUSH(o)
{rd, ID, ADR4, ETC}
{rd, ID, ADR1, ETC}
Q4
Q1
系统总线输出控制部226
SCLK
CRARD(i)
CRAVLD(i)
CRAPOP(o)
RDRD(i)
RDVLD(i)
RDPOP(o)
RID(o)
RDATA(o)
RLAST(o)
RVLD(o)
RRDY(i)
{mode=rd, ID, ADR4, ETC, not-last}
{mode=rd, ID, ADR1, ETC, last}
ID
Q4.1
Q4.2
Q4.7
Q4.8
Q1.1
Q1.2
Q1.7
Q1.8
H

图28

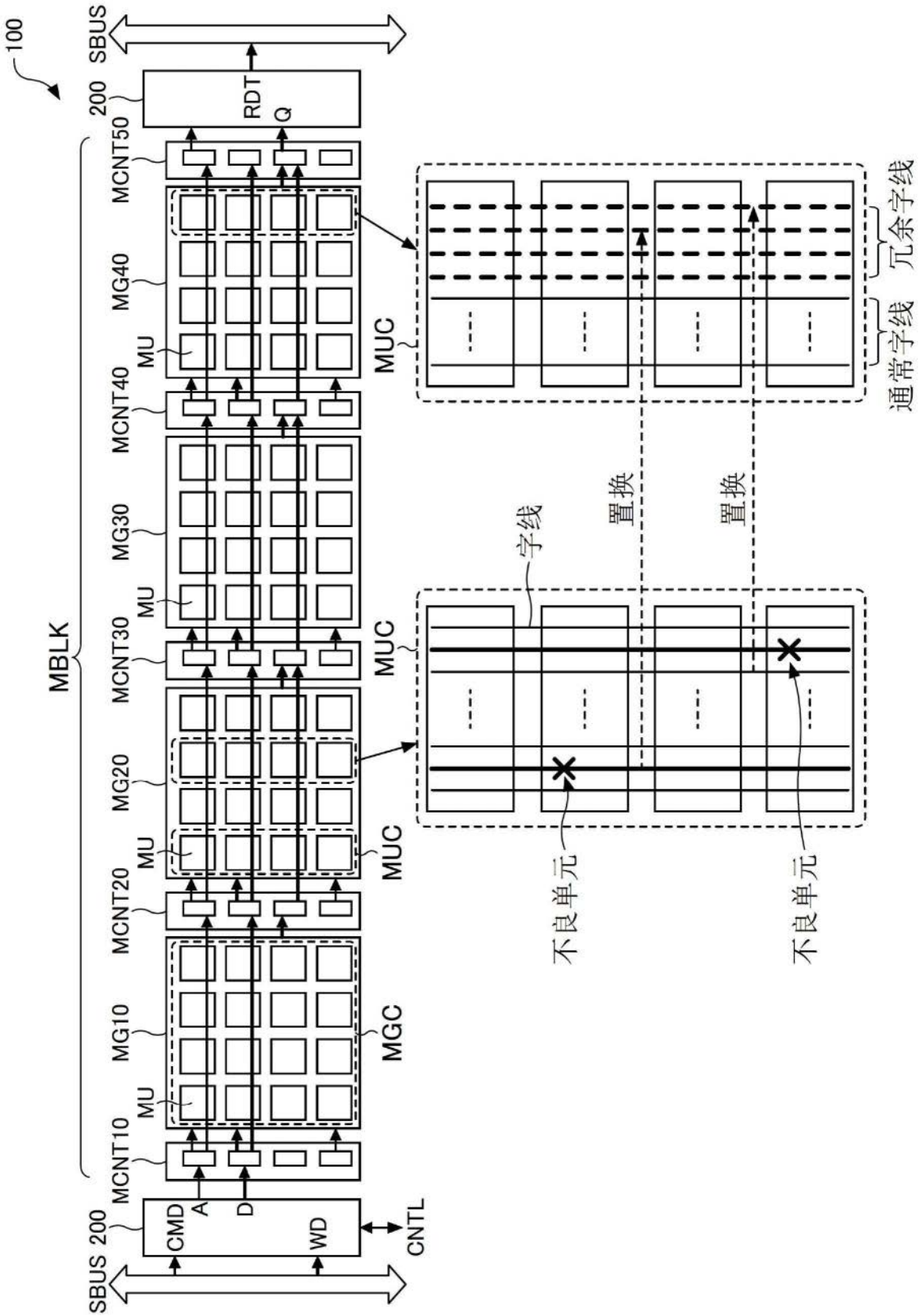

100
SBUS
200
RDT
Q
MCNT50
MG40
MU
MCNT40
MG30
MU
MCNT30
MG20
MU
MCNT20
MG10
MU
MCNT10
MBLK
MUC
MUC
MUC
MGC
SBUS 200
CMD
A
D
WD
CNTL
字线
置换
置换
不良单元
不良单元
冗余字线
通常字线

图29

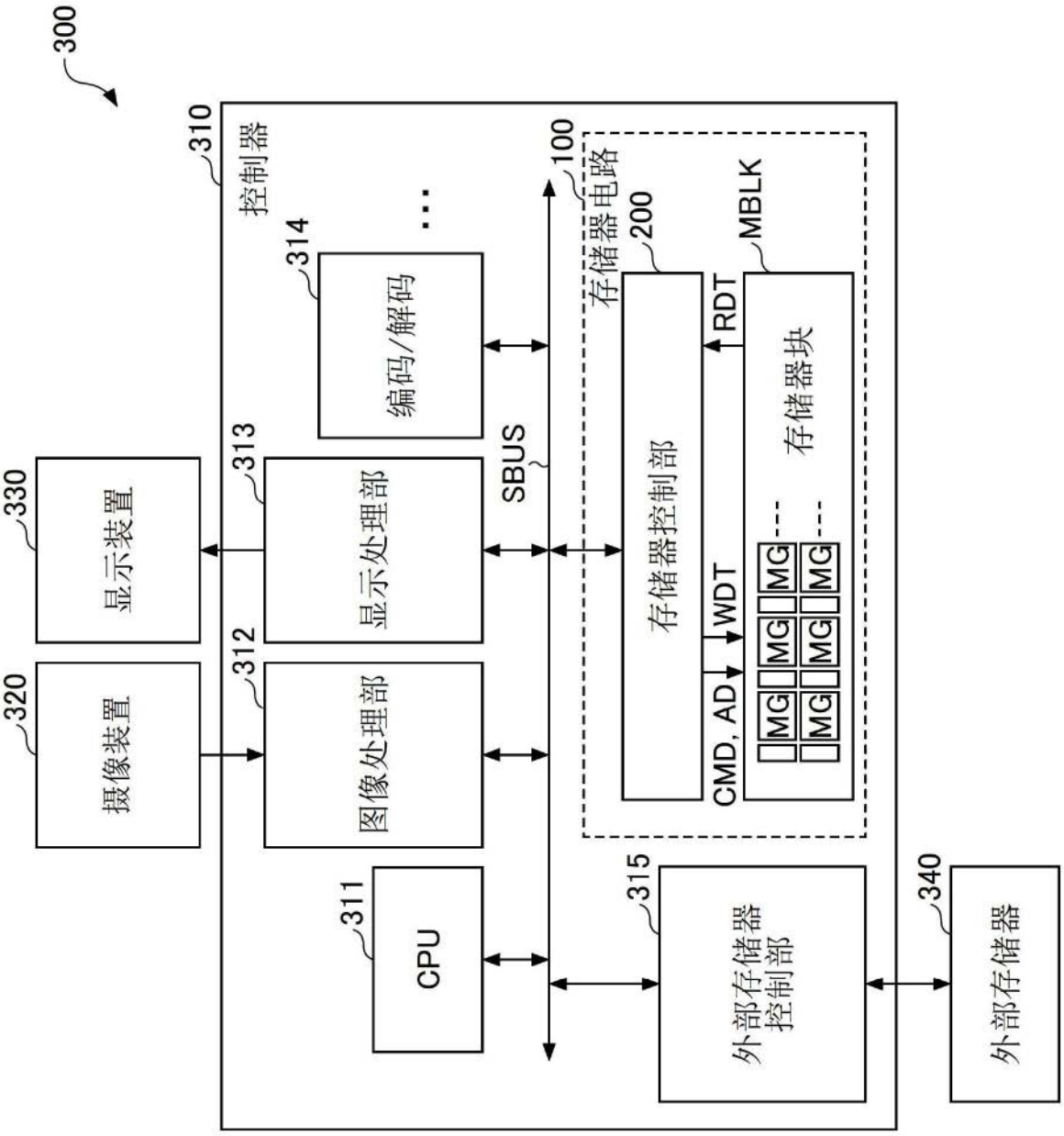

300
310
控制器
100
存储器电路
200
MBLK
314
编码/解码
...
RDT
330
显示装置
313
显示处理部
SBUS
存储器控制部
存储器块
WDT
MG
320
312
图像处理部
CMD, AD
311
CPU
315
外部存储器
控制部
340
外部存储器

图30

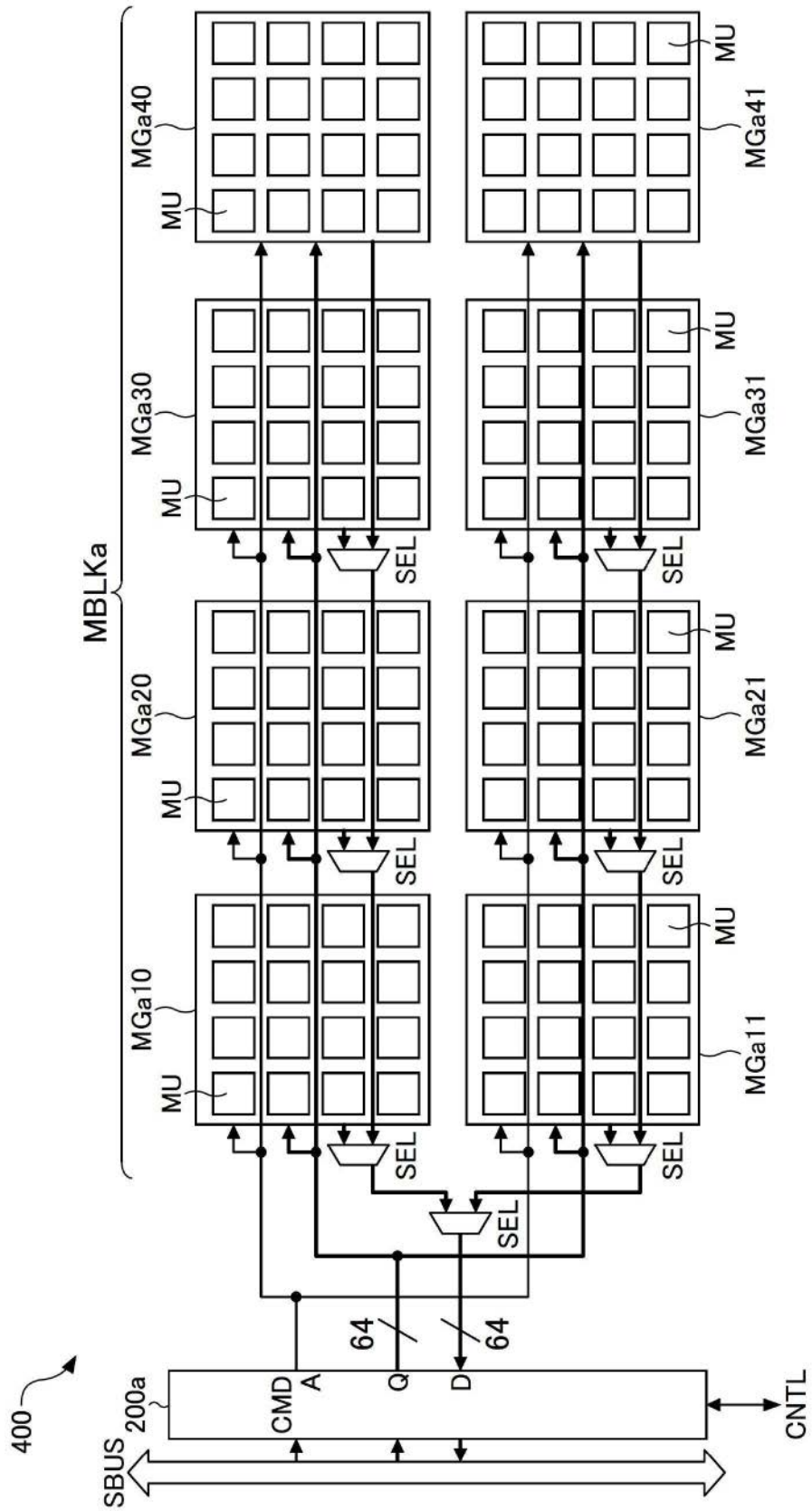

400
SBUS
200a
CMD
A
Q
D
64
64
CNTL
MBLKa
MGa40
MGa41
MGa30
MGa31
MGa20
MGa21
MGa10
MGa11
MU
SEL

图31

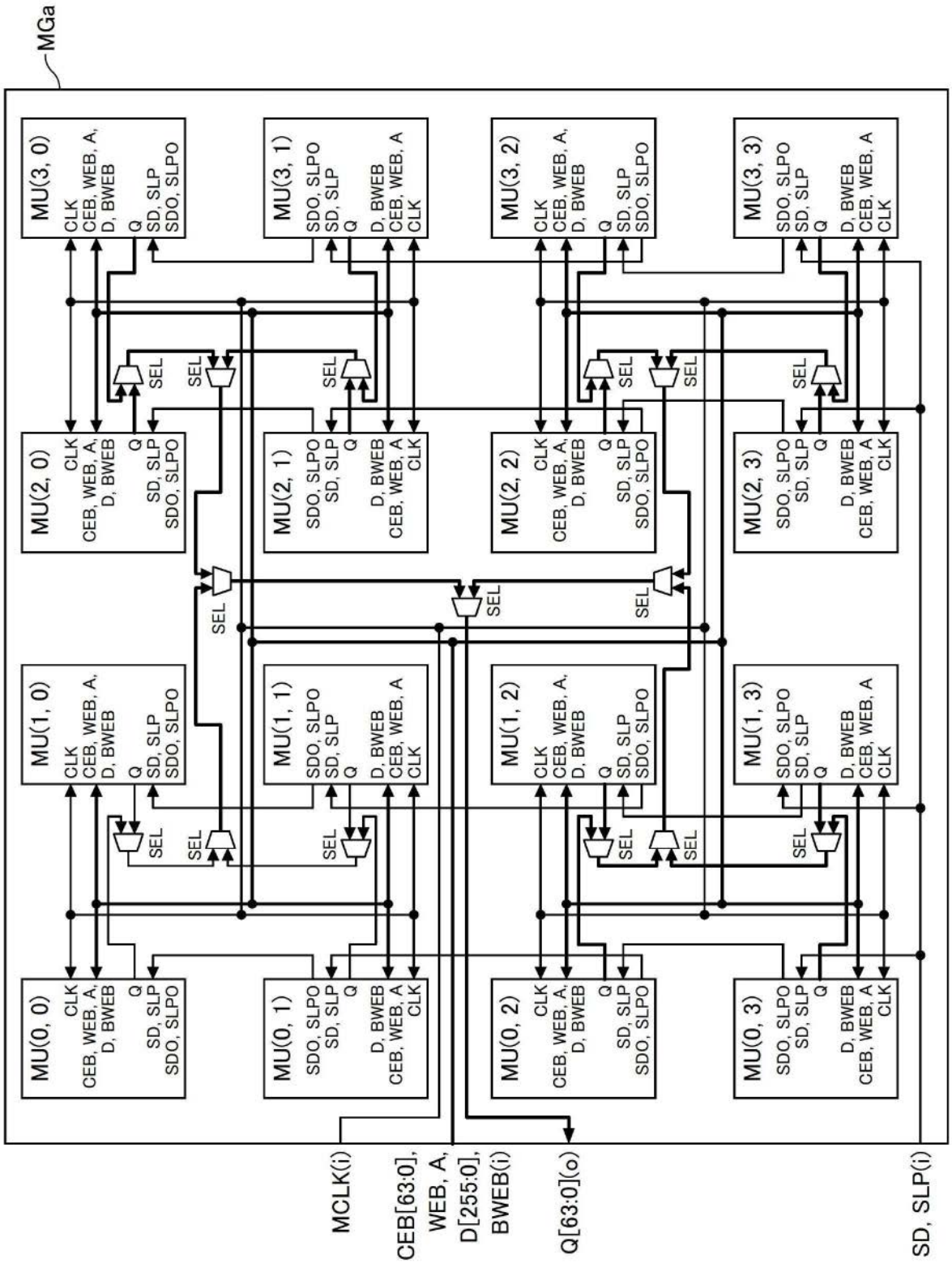

MGa
MU(3, 0)
MU(3, 1)
MU(3, 2)
MU(3, 3)
MU(2, 0)
MU(2, 1)
MU(2, 2)
MU(2, 3)
MU(1, 0)
MU(1, 1)
MU(1, 2)
MU(1, 3)
MU(0, 0)
MU(0, 1)
MU(0, 2)
MU(0, 3)
CLK
CEB, WEB, A,
D, BWEB
Q
SD, SLP
SDO, SLPO
SDO, SLPO
SD, SLP
Q
D, BWEB
CEB, WEB, A
CLK
SEL
MCLK(i)
CEB[63:0],
WEB, A,
D[255:0],
BWEB(i)
Q[63:0](o)
SD, SLP(i)

图32

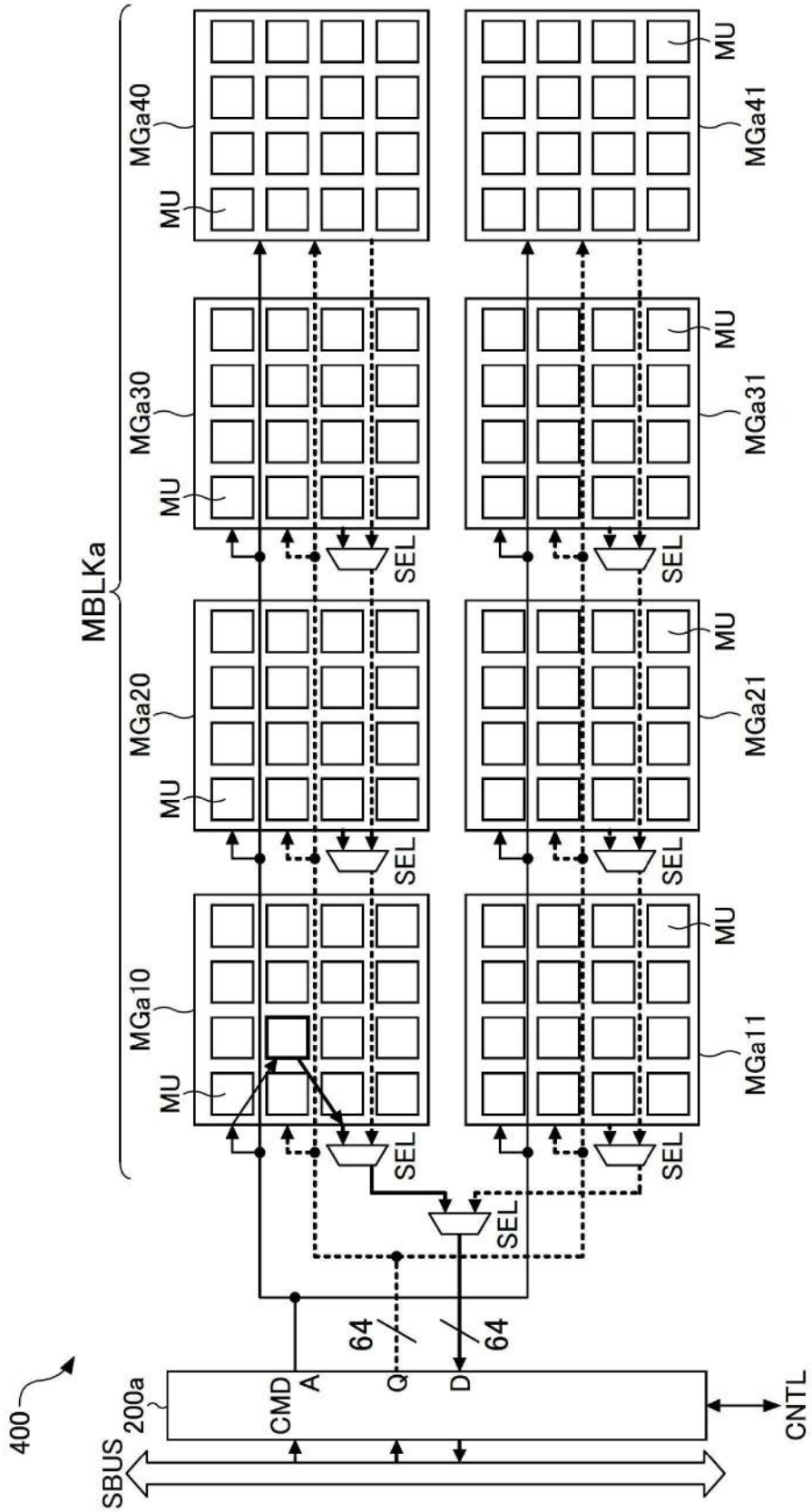

400
SBUS
200a
CMD
A
Q
D
64
64
CNTL
MBLKa
MGa40
MGa41
MGa30
MGa31
MGa20
MGa21
MGa10
MGa11
MU
SEL

图33

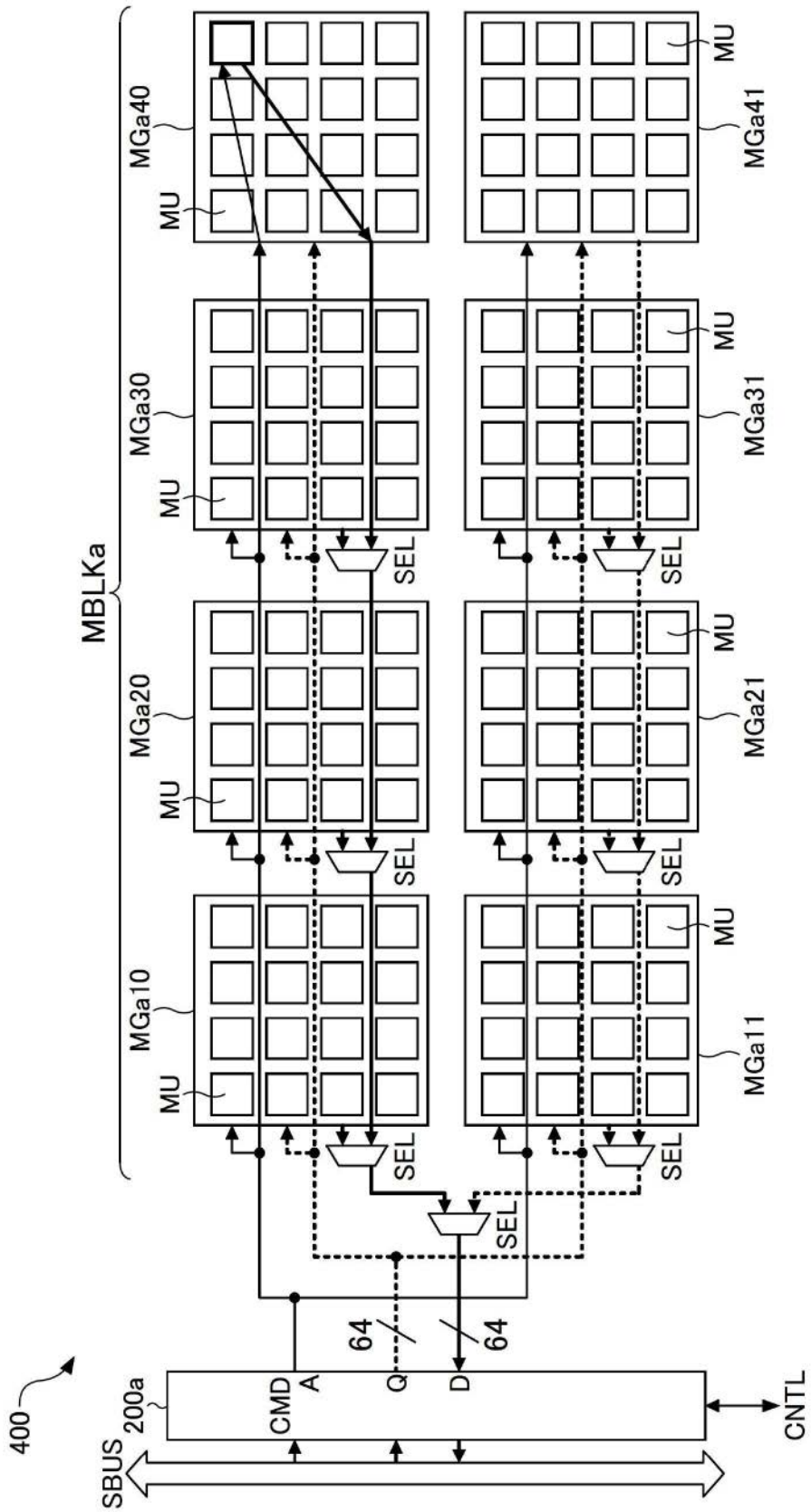

MBLKa
MGa40
MGa30
MGa20
MGa10
MGa41
MGa31
MGa21
MGa11
MU
SEL
64
64
CMD
A
Q
D
200a
400
SBUS
CNTL

图34