

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5241237号
(P5241237)

(45) 発行日 平成25年7月17日(2013.7.17)

(24) 登録日 平成25年4月12日(2013.4.12)

(51) Int.Cl.	F 1
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 301G
HO 1 L 29/78 (2006.01)	HO 1 L 21/28 301B
HO 1 L 21/28 (2006.01)	HO 1 L 21/28 301R
HO 1 L 29/786 (2006.01)	HO 1 L 29/78 617M
	HO 1 L 29/78 617J

請求項の数 4 (全 11 頁)

(21) 出願番号	特願2007-551253 (P2007-551253)
(86) (22) 出願日	平成17年12月2日 (2005.12.2)
(65) 公表番号	特表2008-530769 (P2008-530769A)
(43) 公表日	平成20年8月7日 (2008.8.7)
(86) 国際出願番号	PCT/US2005/043552
(87) 国際公開番号	W02006/076086
(87) 国際公開日	平成18年7月20日 (2006.7.20)
審査請求日	平成20年8月27日 (2008.8.27)
(31) 優先権主張番号	11/034,597
(32) 優先日	平成17年1月13日 (2005.1.13)
(33) 優先権主張国	米国(US)

前置審査

(73) 特許権者	390009531 インターナショナル・ビジネス・マシーンズ・コーポレーション INTERNATIONAL BUSINESS MACHINES CORPORATION アメリカ合衆国10504 ニューヨーク州 アーモンク ニュー オーチャード ロード
(74) 代理人	100108501 弁理士 上野 剛史
(74) 代理人	100112690 弁理士 太佐 稔一

最終頁に続く

(54) 【発明の名称】 p MOS半導体構造

(57) 【特許請求の範囲】

【請求項 1】

S i 半導体基板と、

前記 S i 半導体基板の表面上に設けられた 1 乃至 2 0 原子パーセントの S i 含有量を有する S i O 2 を含む界面層であって、 0.2 ~ 2.5 nm の厚さを有し、 1 × 1 0 11 電荷 / cm 2 よりも低い界面状態を有する、界面層と、

前記界面層の表面上に設けられた H f O 2 、 H f シリケート、または H f 酸窒化物を含む材料からなる、 7.0 以上の誘電率及び 0.5 ~ 3 nm の厚さを有する高誘電率 (k) の誘電体と、

前記高誘電率 (k) の誘電体の表面上に設けられた T i C ゲート金属であって、 4.7 5 ~ 5.3 eV の間の仕事関数及び 5 ~ 50 nm の厚さを有し、前記界面層および前記誘電体の側壁に連続する側壁を有する、 T i C ゲート金属と

を含む、 p MOS 半導体構造。

【請求項 2】

前記 T i C ゲート金属の表面上に、 p 型ドーパントを含み 40 ~ 150 nm の厚さを有する S i 含有導電材料を更に含む、請求項 1 に記載の p MOS 半導体構造。

【請求項 3】

前記界面層、前記高誘電率 (k) の誘電体、および前記 T i C ゲート金属がゲート領域にパターン化される、請求項 1 または 2 に記載の p MOS 半導体構造。

【請求項 4】

14 の厚さの反転層を有する、請求項 1 に記載の p M O S 半導体構造。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置およびそれを製造する方法に関するものである。特に、本発明は、高誘電率 (k) 誘電体 / 界面積層体上に熱的に安定した p 型金属炭化物を含む相補型金属酸化物半導体 (C M O S) 装置に関するものである。更に、本発明は、C M O S 処理フローと一体化することが可能な熱的に安定した p 型金属炭化物を形成するためのプロセスも提供する。

【背景技術】

10

【0002】

標準 C M O S 装置では、一般に、ポリシリコンが標準のゲート材料である。ポリシリコン・ゲートを使用して C M O S 装置を製造する技術は不斷の開発状態にあったし、今や半導体産業において広範に使用されている。ポリシリコン・ゲートを使用する 1 つの利点は、それらが高温に耐え得るということである。しかし、ポリシリコン・ゲートの使用に関連した幾つかの問題点も存在する。例えば、ポリデプリーション (poly-depletion) 効果および比較的高い電気シート抵抗 (約 150 オーム /) のために、C M O S 装置において一般に使用されるポリシリコン・ゲートは、0.1 ミクロン以下のチャネル長に対するチップ性能の決定的な要素となりつつある。ポリシリコン・ゲートに関するもう 1 つの問題点は、ホウ素のようなポリシリコン・ゲートにおけるドーパントが、薄いゲート誘電体を通して容易に拡散してデバイス性能の低下を生じさせ得るということである。

20

【0003】

ポリシリコン・ゲートに関する問題点を回避するために、ポリシリコン・ゲートを单一の金属と置換することが提案された。そのような技術が提案されたが、单一の金属は、高誘電率 (k) 誘電体 (4.0 よりも大きい誘電率) と界面層のゲート積層体上では熱的に安定しない。例えば、タンゲステン W およびレニウム Re は、1000 における安定性の問題を有する。タンゲステンは、1000 、5 秒のアニール後の 4 ~ 5 での界面 S i O₂ の再成長を示して装置のスケーリングを制限し、Re は、高誘電率 (k) のゲート積層体上で安定せず、装置 (移動度) の低下を導く。これに関しては、例えば、IEDM2004 , p825, S. Francisco Ca, Dec. 13-15, 2004 における A. Callegari 氏他による論文および VLSI Digest 2004, Hawaii June 2004 における Narayanan 氏他による論文を参照されたい。

30

【0004】

1000 における安定性は、自己整列型金属酸化物半導体電界効果トランジスタ (M O S F E T) においてソース / ドレイン注入を活性化することを必要とする。更に、高温アニールを行うと、高い電子移動度が得られることが報告されている。これに関しては、例えば、IEDM 2004, p825, S. Francisco Ca, Dec. 13-15, 2004 における A. Callegari 氏他による論文を参照されたい。T i N のような金属窒化物が、金属 / 高誘電率 (k) 誘電体の熱的安定性を改良するために広く使用してきた。しかし、T i N に関して報告された研究のほとんどは、T i N が、装置性能を制限していると思われるミッド・ギャップ型の材料である。

40

【0005】

上記に鑑み、高誘電率 (k) の誘電体を含むゲート積層体上で熱的に安定した新しい金属化合物の提供を求める要求が存在する。特に、p F E T 装置において有用な新しい金属化合物の提供を求める要求が存在する。

【非特許文献 1】IEDM 2004, p825, S. Francisco Ca, Dec. 13-15, 2004 における A. Callegari 氏他による論文。

【非特許文献 2】VLSI Digest 2004, Hawaii June 2004 における Narayanan 氏他による論文。

【発明の開示】

50

【発明が解決しようとする課題】

【0006】

本発明の目的は、約4.75乃至約5.3eV、望ましくは、約5eVの仕事関数を有し且つ高誘電率(k)の誘電体および界面層を含むゲート積層体上で熱的に安定した、p型金属であるTiCから成る新しい金属化合物を提供することにある。本発明のTiC金属化合物は、p型金属酸化物半導体(pMOS)装置において14よりも小さい反転層厚へのスケーリングおよび非常に意欲的な等価酸化膜厚(EOT)を可能にする、1000においても非常に効率的な酸素拡散障壁(バリア)である。

【課題を解決するための手段】

【0007】

大きく見ると、本発明は、半導体構造、即ち、積層膜を提供する。その半導体構造は、半導体基板と、該半導体基板上に設けられた界面層と、該界面層上に設けられた高誘電率(k)の誘電体と、該高誘電率(k)の誘電体上に設けられたTiCゲート金属とを含む。

【0008】

更に、本発明の半導体構造は、半導体基板と、パターン化されたゲート領域とを含み、該ゲート領域は、該基板の一部分上に設けられた少なくとも1つの界面層と、該界面層上に設けられた高誘電率(k)の誘電体と、該高誘電率(k)の誘電体上に設けられたTiC金属化合物とを含む。

【0009】

上記積層膜および半導体構造に加えて、本発明はTiC金属化合物を製造する方法も提供する。その方法は、Tiターゲットと、He希釈された炭素源およびArを含む雰囲気とを準備するステップと、該雰囲気において該TiターゲットからTiC膜をスパッタするステップとを含む。

【0010】

本発明は、TiC膜を形成するための本発明のプロセスが使用される、上記半導体構造を製造する方法も提供する。一般には、半導体構造は、先ず基板の表面上に高誘電率(k)の誘電体および界面層を含む積層体を準備するステップと、しかる後、前述の処理ステップを利用して、即ち、Tiターゲットと、He希釈された炭素源およびArを含む雰囲気とを準備することによって該積層体上にTiC膜を形成するステップと、該雰囲気において該TiターゲットからTiC膜をスパッタするステップとによって形成される。

【0011】

本発明の一部の実施例では、TiC金属ゲートは、ゲート電極として単独で使用されるか、またはシリサイド・コンタクトを含むシリコン含有ゲート電極と共に使用されることが可能である。後者の構造は、本明細書では、デュアル・ポリシリコン/TiC含有FETと呼ばれる。

【0012】

高誘電率(k)の誘電体という用語は、本明細書全体を通して、 SiO_2 よりも大きい誘電率を有する絶縁材料、例えば、4.0よりも大きい誘電率 k を有する絶縁材料を表わすために使用されるということに留意されたい。望ましくは、高誘電率(k)の誘電体は約7.0以上の k を有する。

【0013】

「界面層」という用語は、本明細書全体を通して、例えば、 SiO_2 および $SiON$ を含む少なくともSiまたはOの原子から成る絶縁材料を表わすために使用される。

【発明を実施するための最良の形態】

【0014】

次に、高誘電率(k)の誘電体および界面層を含む積層体上に熱的に安定したp金属ゲートとして使用し得るTiC金属化合物およびその金属化合物を製造する方法を提供する本発明を、本願に添付した図面を参照することによって、更に詳細に説明する。本発明に関する図面は説明を目的に提供され、従って、正確な縮尺で描かれているのではないこと

10

20

30

40

50

に留意されたい。

【0015】

先ず、図1(A)～(C)を参照する。これらの図は、高誘電率(k)の誘電体および界面層を含む積層体上に本発明のTiC金属化合物を含む積層膜構造を形成する場合に使用される基本的な処理ステップを示す。図1(A)は、半導体基板10の表面上に界面層12を含む初期積層膜構造を示す。

【0016】

本発明において使用される半導体基板10は、Si、Ge、SiGe、SiC、SiGeC、Ga、GaAs、InAs、InP、およびすべての他のIV/IV族、III/V族、またはII/VI族化合物半導体を含むがこれらに限定されない任意の半導体材料を含む。半導体基板10は、有機半導体、またはSi/SiGe、シリコン・オン・インシュレータ(SOI)或いはSiGeオン・インシュレータ(SGOI)のような積層された半導体も含み得る。本発明の一部の実施例では、半導体基板10が、Si含有半導体材料、即ち、シリコンを含む半導体材料から構成されることが望ましい。半導体基板10は、不純物がドープされるかまたはドープされなくてもよく、或いはドープされた領域およびドープされない領域を含んでもよい。

【0017】

半導体基板10は、第1のドープされた(nまたはp)領域および第2のドープされた(nまたはp)領域を含むことができる。明確にするために、ドープされた領域は本明細書の図面には詳しく示されない。第1のドープされた領域および第2のドープされた領域は同じであってもよく、或いは異なる導電型または異なるドーピング濃度もしくはこれら両方を有してもよい。ドープされた領域は「ウェル(well)」として知られている。半導体基板10は、歪まされてもよいし、歪まされなくてもよく、或いはその組合せであってもよい。更に、半導体基板10は、例えば、100、110、111、またはそれらの組合せを含む任意の結晶配向を有してもよい。それとは別に、半導体基板10は、異なる結晶配向の少なくとも2つの平面を含むハイブリッド基板であってもよい。

【0018】

少なくとも1つの分離領域(図示されていない)が、一般に、半導体基板10内に形成される。分離領域は、トレンチ分離領域またはフィールド酸化物分離領域であってもよい。トレンチ分離領域は、当業者には周知の一般的なトレンチ分離プロセスを利用して形成される。トレンチ分離領域の形成において、例えば、リソグラフィ、エッチング、およびトレンチ誘電体によるトレンチの充填を使用することも可能である。任意選択的に、トレンチ充填の前にライナ層が形成されてもよく、トレンチ充填の後に高密度化ステップが行われてもよく、平坦化プロセスがトレンチ充填に後続してもよい。所謂シリコン・プロセスの局部的酸化を利用して、フィールド酸化物が形成されてもよい。一般には隣接するゲートが反対の導電型を有するときに必要とされる隣接ゲート領域間の分離を、少なくとも1つの分離領域が行うということに留意されたい。隣接するゲート領域は同じ導電型(即ち、共にn型またはp型)を有してもよく、或いは、それとは別に、それらは異なる導電型(一方がn型および他方がp型)を有してもよい。

【0019】

次に、界面層12が、酸化または酸窒化のような熱プロセス、化学的付着(CVD)、プラズマ支援CVD、原子層付着(ALD)、蒸発、スパッタリング、および化学溶液付着のような付着プロセス、またはそれらの組合せを利用して半導体基板10の表面上に形成される。別の方法として、付着プロセスおよび窒化物形成が、界面層12を形成するために使用されてもよい。界面層12は、任意選択のNと共に、少なくともSiおよびOの原子を含む。従って、界面層12は、SiO₂、SiON、それらのシリケート(ケイ酸塩)、またはそれらの多層構造を含み得る。一部の実施例では、界面層12はSiO₂を含むが、別の実施例では、界面層12はSiONを含む。界面層12は、約1乃至約80原子パーセントSi、典型的には、約1乃至約20原子パーセントSiを含む。残りはOまたはNもしくはこれら両方である。化学的酸化物は、典型的には、Nの存在なしで使用

10

20

30

40

50

される。S i は、界面層 1 2 全体にわたって連続的に存在し得るし、或いはそれは段階的に変動され (graded) 得る。

【0020】

界面層 1 2 は、一般に、約 4.0 乃至約 20 の誘電率を有するが、約 4.5 乃至約 18 の誘電率が更に典型的である。界面層 1 2 は、一般に、約 0.1 乃至約 5 nm の厚さを有するが、約 0.2 乃至約 2.5 nm の厚さが更に典型的である。

【0021】

次に、図 1 (B) に示されるように、高誘電率 (k) の誘電体 1 4 が界面層 1 2 の上に形成される。「高誘電率 (k)」という用語は、4.0 よりも大きい、一般には、約 7.0 以上の誘電率を有する絶縁物を表わす。高誘電率 (k) の誘電体 1 4 は、例えば、酸化、窒化、または酸窒化のような熱成長プロセスによって形成されてもよい。それとは別に、高誘電率 (k) の誘電体 1 4 は、例えば、化学的付着 (CVD)、プラズマ支援 CVD、有機金属化学気相成長法 (MOCVD)、原子層付着 (ALD)、蒸着、反応性スパッタ、および化学的溶液付着、および他の同様の付着プロセスによって形成されてもよい。誘電体 1 4 は、上記のプロセスの任意の組合せを利用して形成されてもよい。

10

【0022】

例示として、本発明において使用される高誘電率 (k) の誘電体 1 4 は、酸化物、窒化物、酸窒化物、およびシリケート (金属シリケートおよび窒化金属シリケートを含む) を含むが、それらに限定されない。一実施例では、高誘電率 (k) の誘電体 1 4 は、HfO₂、ZrO₂、Al₂O₃、TiO₂、La₂O₃、SrTiO₃、Y₂O₃、Ga₂O₃、GdGaO₃ およびそれらの混合物のような酸化物から構成される。高誘電率 (k) の誘電体 1 4 の非常に望ましい例は、HfO₂、ハフニウム・シリケートまたはハフニウム・シリコン・オキシナイトライドを含む。

20

【0023】

高誘電率 (k) の誘電体 1 4 の物理的な厚さは変わり得るが、典型的には、高誘電率 (k) の誘電体 1 4 は約 0.5 乃至約 10 nm の厚さを有し、約 0.5 乃至約 3 nm の厚さが更に典型的である。

【0024】

図 1 (B) に示された積層構造を準備した後、TiC 金属化合物層 1 6 が高誘電率 (k) の誘電体 1 4 の上に形成され、例えば、図 1 (C) に示される構造を与える。本発明によれば、TiC 金属化合物層 1 6 は、および Ti ターゲットと、He 希釈された炭素源および Ar を含む雰囲気とを準備するステップ、しかる後、前記雰囲気において前記 Ti ターゲットから TiC 膜をスパッタするステップによって形成される。本発明によれば、He は炭素源を希釈するために使用される。炭素源を希釈するために使用することが可能な He の量は、典型的には約 70 乃至約 99 % であるが、更に典型的には約 90 乃至約 98 % であり、更に典型的には約 95 % である。スパッタ処理は、任意の一般的なスパッタ装置の反応室において生じる。

30

【0025】

本発明において使用される Ti ターゲットは Ti の任意の固体ソースを含む。TiC 膜のスパッタ時の雰囲気において使用される炭素源は、例えば、アルカン (CH₄、C₂H₆、および他の C_nH_{2n+2} 化合物のような C の二重結合を含む有機化合物の単一結合を含む有機結合体)、アルケン (C₂H₄ および他の C_nH_{2n} のような C の二重結合を含む)、およびアルキン (C₂H₂ のような C の三重結合を含む) を含む炭素化合物を含有した任意の有機物を含む。望ましくは、炭素源はアルキンであり、C₂H₂ が最も望ましい。炭素源は、固体、液体、または気体であるが、気体の炭素源が最も望ましい。

40

【0026】

本発明の一部の実施例では、本発明において使用された He 希釈された炭素源および Ar の流量が、Ar に対して約 1 乃至約 100 sccm であり、炭素源に対しては約 1 乃至約 100 sccm である。典型的には、Ar の流量は約 20 sccm であり、He 希釈された炭素源の流量は約 16 sccm である。温度、気圧、および時間のような他のスパッタ

50

タ条件が一般的であり、当業者にはよく知られている。

【0027】

形成されたTiC膜16の厚さは、使用されたスパッタ条件および製造されるべき装置のタイプ次第で変わり得る。典型的には、TiC膜16は、スパッタの後、約2乃至約200nmの厚さを有し、約5乃至約50nmの厚さが更に典型的である。

【0028】

図1(C)に示された構造は、その後、任意の一般的なCMOS処理フローを利用して、CMOS装置、例えば、FETに形成され得る。一部の実施例では、図1(C)に示された積層構造がそのまま処理され得るし、或いは、それとは別に、Si含有ゲート材料18がTiC層16の上に形成され得る。図2(A)～(D)はSi含有材料18の存在を示すが、Si含有材料が形成されないときには、一般に次のような処理ステップが使える。TiC層16しか含まないパターン化されたゲート領域20のその後のシリサイド化が一般には行われないということに留意されたい。

10

【0029】

図2(A)に示された実施例では、ポリシリコン、SiGe、およびSiGeCのようなSi含有材料18がTiC層16の上に形成される。従って、この実施例では、Si含有材料18およびTiC層16が多層ゲートを形成する。別の実施例では、TiCは単一金属ゲートとして使用される。使用されるSi含有材料18は、単結晶、多結晶、またはアモルファス状態であるか、またはそのような形態の混合物から成る。

【0030】

20

Si含有材料は、一般には、その場(in-situ)付着プロセスを利用して、または付着、イオン注入、およびアニールによってドープされる。TiCがp型金属であるので、ドーパントはp型ドーパントである。本発明のこの時点で形成されたSi含有材料18の厚さ、即ち、高さは使用されるプロセスに従って変わり得る。典型的には、Si含有材料18は約20乃至約180nmの垂直方向厚を有し、約40乃至約150nmの厚さが更に典型的である。

【0031】

図示された処理の実施例では、Si含有材料18、TiC層16、任意選択的には高誘電率(k)の誘電体14、および界面層12が、パターン化されたゲート領域、即ち、積層体20を提供するようにリソグラフィおよびエッチングによってパターン化される。単一のパターン化されたゲート領域(即ち、積層体)20が示されるが、本発明は、複数のパターン化されたゲート領域(即ち、積層体)20を形成することを意図するものである。複数のパターン化されたゲート領域(即ち、積層体)20が形成されるとき、そのゲート領域は同じ寸法、即ち、長さを有してもよく、または、装置性能を改善するために可変の寸法を有してもよい。本発明のこの時点における各パターン化されたゲート領域(即ち、積層体)20は少なくともパターン化されたTiC層16を含む。図2(B)は、各パターン化されたゲート領域(即ち、積層体)20の形成後の構造を示す。図示の実施例では、Si含有材料18、TiC層16、高誘電率(k)の誘電体14、および界面層12が、本発明のこのステップ中にエッチングされる、即ち、パターン化される。

30

【0032】

40

リソグラフィ・ステップは、図2(A)または図1(C)に示されたブランケット積層構造の上面にフォトレジストを塗布するステップと、そのフォトレジストを所望の照射パターンに露光するステップと、通常のレジスト現像装置を用いて該露光されたフォトレジストを現像するステップとを含む。次に、1つ以上のドライ・エッチング・ステップを利用して、フォトレジストのパターンが構造に変換される。一部の実施例では、パターンがブランケット積層構造の層の1つに変換された後、そのパターン化されたフォトレジストは除去され得る。別の実施例では、エッチングが完了した後で、そのパターン化されたフォトレジストが除去される。

【0033】

パターン化されたゲート領域(即ち、積層体)20を形成する場合に本発明で使用し得

50

る適当なドライ・エッチング・プロセスは、反応性イオン・エッチング、イオン・ビーム・エッチング、プラズマ・エッチング、またはレーザ・アブレーションを含むが、それに限定されない。その使用されるドライ・エッチング・プロセスは、下にある高誘電率(k)の誘電体14にとって一般には選択的であるが、いつもそうであるとは限らず、従って、このエッチング・ステップは、典型的には、高誘電率(k)の誘電体14および界面層12を含む積層体を除去しない。しかし、一部の実施例では、図2(B)に示されるように、以前にエッチングされたゲート領域(即ち、積層体)の材料層によって保護されない高誘電率(k)の誘電体14および界面層12の部分を除去するためにエッチングを使用することも可能である。

【0034】

10

次に、例えば、図2(C)に示されるように、少なくとも1つのスペーサ22が、一般には、パターン化されたゲート領域(即ち、積層体)20の露出した側壁に形成されるが、いつもそうであるとは限らない。少なくとも1つのスペーサ22が、酸化物、窒化物、酸窒化物、またはそれらの組合せのような絶縁物から構成される。少なくとも1つのスペーサ22は、付着またはエッチングによって形成される。

【0035】

少なくとも1つのスペーサ22の幅は、ソースおよびドレイン・シリサイド・コントラクト(その後に形成される)がゲート領域(即ち、積層体)20のエッジの下に侵入しないように十分に幅広くなければならない。典型的には、ソース/ドレイン・シリサイドは、少なくとも1つのスペーサ22が、最下部において測定した場合、約20乃至約80nmの幅を有するとき、ゲート領域(即ち、積層体)20のエッジの下に侵入しない。

20

【0036】

ゲート領域(即ち、積層体)20は、それに熱的な酸化、窒化、または酸化窒化プロセスを受けさせることによってスペーサ形成前に不動態化してもよい。不動態化(パッシベーション)は、ゲート領域(即ち、積層体)20の付近に不動態材料の薄い層(図示されてない)を形成する。このステップは、スペーサ形成という前のステップの代わりにまたはそれに関連して使用されてもよい。それがスペーサ形成と共に使用されるとき、スペーサ形成は、ゲート領域(即ち、積層体)20の不動態化プロセスの後に行う。

【0037】

30

次に、ソース/ドレイン拡散領域24が(スペーサ領域と共に、またはその存在なしに)基板内に形成される。ソース/ドレイン拡散領域24は、イオン注入およびアニール・ステップを利用して形成される。アニール・ステップは、前の注入ステップによって注入されたドーパントを活性化するように働く。イオン注入およびアニールのための条件は当業者には周知である。イオン注入およびアニールの後に形成された構造が図2(D)に示される。

【0038】

40

ソース/ドレイン拡散領域24は、通常の拡張(エクステンション)注入を使用してソース/ドレイン注入の前に形成される拡張注入領域(個別にラベル付けされてない)も含んでもよい。拡張注入は活性化アニールによって後続されてもよく、或いは、それとは別に、拡張注入およびソース/ドレイン注入中に注入されたドーパントが同じ活性化アニール・サイクルを使用して活性化されてもよい。本明細書では、ハロー注入(図示されてない)も考慮される。ソース/ドレイン拡張領域は、一般に、深いソース/ドレイン領域よりも狭く、パターン化されたゲート領域(即ち、積層体)20のエッジと揃えられるエッジを含む。

【0039】

次に、高誘電率(k)の誘電体14および下にある界面層12は、それらが事前に除去されなかった場合、これらの絶縁材料を選択的に除去する化学的エッチング・プロセスを利用して除去される。このエッチング・ステップは半導体基板10の上面において停止する。高誘電率(k)の誘電体14および下にある界面層12の露出した部分の除去において任意の化学的エッチング液を使用し得るが、一実施例では希釈フッ化水素酸(DHF)

50

が使用される。

【0040】

図2(D)は、ソース/ドレイン拡散領域24上のシリサイド領域26、およびSi含有材料18(それが存在する場合)の存在を示す。Si含有材料18上のシリサイドは、任意選択であり、ゲート領域(即ち、積層体)上にSi含有材料が存在しない場合には形成されない。シリサイド領域26は、任意の一般的なシリサイド化プロセスを利用して形成される。一部の実施例では、少なくともソース/ドレイン拡散領域24上にSi含有材料が存在しないとき、エピタキシャルSiまたはアモルファスSiのようなSi含有材料がシリサイド化の前に形成されてもよい。

【0041】

シリサイド化プロセスは、シリサイド化されるべき領域の上に、Co、Ti、W、Ni、Pt、またはそれらの合金のような導電性且つ高融点金属をC、Ge、Si等のような他の合金添加物によって形成するステップを含む。CVD、PECVD、スパッタ、蒸着、またはめっきのような通常の付着プロセスを使用することが可能である。任意選択的には、金属の酸化を防ぐ障壁層が金属層の上に形成されてもよい。任意選択的なバリア層の例は、例えば、SiN、TiN、TaN、TiON、およびそれらの組合せを含む。金属付着に続いて、その構造は、付着された金属とSiとの間に反応を生じさせ、かつその後の金属シリサイドの形成を生じさせる第1のアニールを受ける。アニールは、典型的には、約250乃至約800の温度で行われる。なお、約400乃至約550の第1アニール温度がより典型的である。

【0042】

一部の実施例では、第1アニールは、選択的エッチング・プロセスに対して非常に耐性のある金属に富んだ(メタル・リッチ)シリサイド相を形成する。メタル・リッチ相が生じるとき、低抵抗性のシリサイドを形成するためには第2の高温アニールが必要となる。別の実施例では、低抵抗性のシリサイドを形成する場合、第1アニールが十分である。

【0043】

第1アニールに続いて、付着された金属の未反応の残り部分が、ウェット・エッチング、反応性イオン・エッチング(RIE)、イオン・ビーム・エッチング、またはプラズマ・エッチングのような通常のエッチング・プロセスを使って除去される。

【0044】

必要な場合、第2アニールがエッチング・プロセスの後に行われる。第2アニールは、典型的には、第1アニールよりも高い温度で行われる。その第2アニール(任意選択)に対する典型的な温度範囲は約550乃至約900である。

【0045】

金属相互接続による後工程(BEOL:バック・エンド・オブ・ザ・ライン)相互接続レベルの形成のような更なるCMOS処理を、当業者には周知である処理ステップを利用して形成することも可能である。

【0046】

以下の例は、本発明のプロセスおよびそれを使ってTiC含有ゲート積層体を形成する場合に得られる幾つかの利点の説明を行うものである。

【0047】

この例では、TiC/HfO₂/SiO₂積層体がSiウェハの表面上に形成された。SiO₂界面層がSiウェハの酸化によって形成された。SiO₂界面層の厚さは約1.2nmであった。約3nmの厚さを有するHfO₂誘電体はMOCVDによってSiO₂界面層上に形成された。次に、それぞれが20および16sccmの流速を用いるAr/C₂H₂(He中に5%)を含む雰囲気およびTiターゲットを準備することによって、TiC層が形成された。TiC層は約40nmの厚さを有した。

【0048】

積層体の形成後、その積層体はN₂中で1000における急熱アニールを受け、450アニールにおけるガスの形成が別個に行われた。図3は、この積層体のCV特性を示

10

20

30

40

50

す。C V は 10 kHz で行われ、往復トレースされた。そのトレースは、低い電荷トラップを表わすヒステリシスがないことを示す。 1×10^{-1} 電荷 / cm^2 よりも低い低インターフェース状態を表わす C V 特性が理想的のように見える。j. Wiley & Sons 社の Physics of Semiconductor Devices 誌, Second Edition, pages 395-397 において S.M. Sze により計算されたように、積層体に対する仕事関数が、p MOS 装置にとっては一般的である、5 eV であったということに留意されたい。従って、この積層体を使って製造された p FET は、ゲート積層体において具現化された高誘電率 (k) の誘電体のために、かなりのゲート・リーコの減少 (~ 5 枝の大きさ) を伴う約 14 の反転層厚で動作しなければならない。現在の SiO₂ 技術は、ずっと大きなゲート・リーコを伴う約 19 の反転層厚を有する。

10

【0049】

本発明を好適な実施例に関して詳しく示し、説明したが、発明の主旨および範囲から逸脱することなく、形態および細部における上記および他の変更を施し得るということは当業者には明らかであろう。従って、本発明が、開示および図示された形態および細部そのものに限定されるのではなく、「特許請求の範囲」の記載の範囲内にあるということは当然である。

【図面の簡単な説明】

【0050】

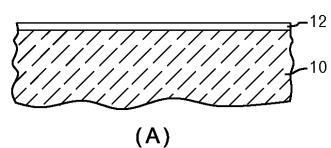
【図 1】高誘電率 (k) の誘電体および界面層を含む積層体上に p 型金属ゲートとして TiC 金属化合物を含む積層膜構造を形成する場合に使用される処理ステップを (断面図によって) 示す概略図である。

20

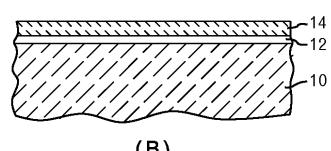
【図 2】ポリ Si / ゲート金属の自己整合型 FET 構造を形成するための本発明の基本的な処理ステップを (断面図によって) 示す概略図である。

【図 3】N₂ 内の 1000 でのアニール、その後のフォーミング・ガス環境におけるアニール後の、TiC / HfO₂ / SiO₂ ゲート積層体のキャパシタンス対電圧 (C V) 特性を示すグラフである。

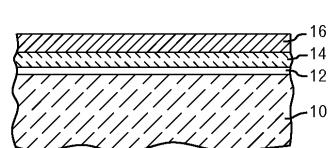
【図1】



(A)

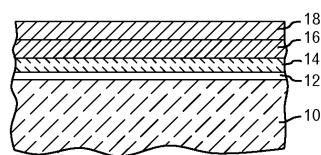


(B)

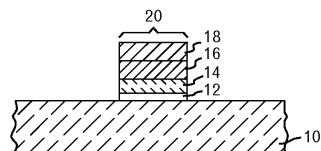


(C)

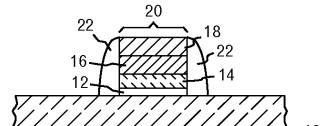
【図2】



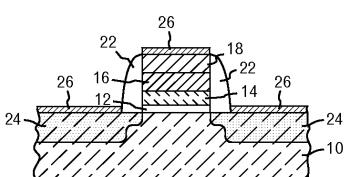
(A)



(B)

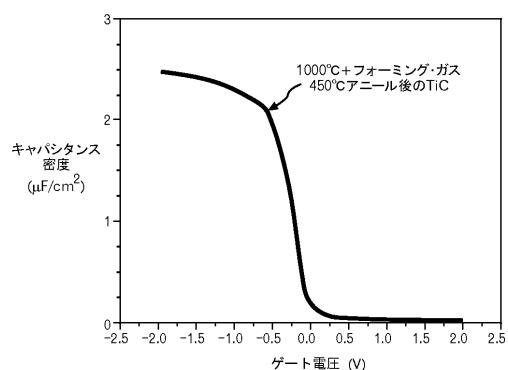


(C)



(D)

【図3】



フロントページの続き

- (72)発明者 カルガリー、アレサンドロ、シー
アメリカ合衆国10598、ニューヨーク州ヨークタウン・ハイツ、ハノーバー・ストリート 7
56
- (72)発明者 グリベルヤック、マイケル、エイ
アメリカ合衆国06701、コネティカット州スタンフォード、ニッカーボッカー・アベニュー
155
- (72)発明者 レシー、ディアンヌ、エル
アメリカ合衆国12533、ニューヨーク州マホバッック、マウンテンビュー・ドライブ 44
- (72)発明者 マクフィーリ、フェントン、アール
アメリカ合衆国10562、ニューヨーク州オシニング、ドナルド・レーン 25
- (72)発明者 サエンガー、キャサリン、エル
アメリカ合衆国10562、ニューヨーク州オシニング、アンダーヒル・ロード 115
- (72)発明者 ザファー、サフィ
アメリカ合衆国10510、ニューヨーク州ブライアクリフ・マナー、ハンガーフォード・ロード
92

審査官 松本 陶子

- (56)参考文献 米国特許出願公開第2004/0222474(US, A1)
特開2004-363502(JP, A)
特開2005-005556(JP, A)
特開2004-303894(JP, A)
特開2004-186295(JP, A)
特表2008-523591(JP, A)
特開2006-080354(JP, A)
特開2000-208720(JP, A)
特開2004-288891(JP, A)
米国特許第06020024(US, A)
特表平08-508851(JP, A)
特開平03-048460(JP, A)
特開平07-015014(JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/336
H01L 29/78
H01L 29/786
C23C 14/00
H01L 21/28-21/288
H01L 21/22-21/445
H01L 29/40-29/49
H01L 29/872