

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2019-91822

(P2019-91822A)

(43) 公開日 令和1年6月13日(2019.6.13)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 29/78 (2006.01)	HO 1 L 29/78 6 5 2 H	4 M 1 0 4
HO 1 L 29/06 (2006.01)	HO 1 L 29/78 6 5 3 A	
HO 1 L 21/28 (2006.01)	HO 1 L 29/78 6 5 2 F	
HO 1 L 29/417 (2006.01)	HO 1 L 29/06 3 0 1 D	
	HO 1 L 29/06 3 0 1 V	

審査請求 未請求 請求項の数 11 O L (全 13 頁) 最終頁に続く

(21) 出願番号 特願2017-220305 (P2017-220305)
 (22) 出願日 平成29年11月15日 (2017.11.15)

(71) 出願人 000003078
 株式会社東芝
 東京都港区芝浦一丁目1番1号
 (71) 出願人 317011920
 東芝デバイス&ストレージ株式会社
 東京都港区芝浦一丁目1番1号
 (74) 代理人 100091982
 弁理士 永井 浩之
 (74) 代理人 100091487
 弁理士 中村 行孝
 (74) 代理人 100082991
 弁理士 佐藤 泰和
 (74) 代理人 100105153
 弁理士 朝倉 悟

最終頁に続く

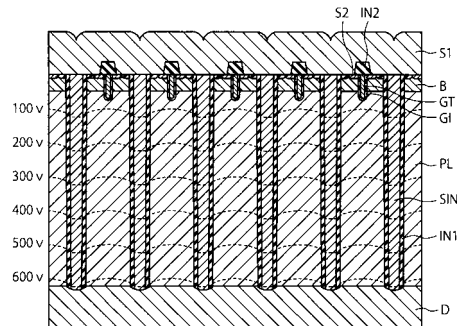
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 低コストでオン抵抗が小さい半導体装置を提供する。

【解決手段】 本実施形態に係る半導体装置は、第1導電形のドレイン領域と、前記ドレイン領域の上に設けられた第1導電形の第1半導体領域と、前記第1半導体領域の上部に形成されたMOSFETと、前記MOSFETを覆うように形成されたソース電極と、前記第1半導体領域の両側に形成された一対の電気接続部であって、前記ドレイン領域と前記ソース電極との間を電氣的に接続する、電気接続部と、を備える。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

第 1 導電形のドレイン領域と、
 前記ドレイン領域の上に設けられた第 1 導電形の第 1 半導体領域と、
 前記第 1 半導体領域の上部に形成された M O S F E T と、
 前記 M O S F E T を覆うように形成されたソース電極と、
 前記第 1 半導体領域の両側に形成された一对の電気接続部であって、前記第 1 半導体領域とは電氣的に絶縁された状態で、前記ドレイン領域と前記ソース電極との間を電氣的に接続する、電気接続部と、
 を備える半導体装置。

10

【請求項 2】

前記電気接続部は、
 前記ドレイン領域と前記ソース電極とを電氣的に接続する導電性膜と、
 前記導電性膜の両側に形成された一对の第 1 絶縁膜と、
 を備える請求項 1 に記載の半導体装置。

【請求項 3】

前記導電性膜は、高抵抗の導電性膜により構成されている、請求項 2 に記載の半導体装置。

【請求項 4】

前記導電性膜は、半導電性窒化シリコン (Semi-Insulating SiN)、又は、半導電性ポリシリコン (Semi-Insulating Poly-crystalline Silicon) により構成されている、請求項 2 又は請求項 3 に記載の半導体装置。

20

【請求項 5】

前記電気接続部において、前記一对の第 1 絶縁膜の間は、前記導電性膜が充填されている、請求項 2 乃至請求項 4 のいずれかに記載の半導体装置。

【請求項 6】

前記一对の第 1 絶縁膜は、前記ドレイン領域の内部にまで達している、請求項 2 乃至請求項 5 のいずれかに記載の半導体装置。

【請求項 7】

前記第 1 半導体領域の第 1 導電形の不純物濃度は、前記ドレイン領域の第 1 導電形の不純物濃度より低い、請求項 1 乃至請求項 6 のいずれかに記載の半導体装置。

30

【請求項 8】

前記電気接続部の前記ソース電極と前記ドレイン領域との間の電氣的な抵抗は、 10^7 から 10^{10} の間である請求項 1 乃至請求項 7 のいずれかに記載の半導体装置。

【請求項 9】

前記 M O S F E T は、
 前記第 1 半導体領域の上部に形成された、第 2 導電形の第 2 半導体領域と、
 前記第 2 半導体領域の上部に形成された、第 1 導電形のソース領域と、
 前記ソース領域と前記第 2 半導体領域とを貫通して、前記第 1 半導体領域に達する、ゲート領域であって、第 2 絶縁膜を介して前記ソース領域と前記第 1 半導体領域と前記第 2 半導体領域に接する、ゲート領域と、
 を備える請求項 1 乃至請求項 6 のいずれかに記載の半導体装置。

40

【請求項 10】

第 1 導電形のドレイン領域と、
 前記ドレイン領域の上に設けられた第 1 導電形の第 1 半導体領域と、
 前記第 1 半導体領域の上部に形成された第 2 導電形の第 2 半導体領域と、
 前記第 2 半導体領域に形成された M O S F E T と、
 前記 M O S F E T を覆うように形成されたソース電極と、
 前記第 1 半導体領域の両側に形成された一对の電気接続部であって、前記第 1 半導体領域とは電氣的に絶縁された状態で、前記ドレイン領域と前記ソース電極との間を電氣的に

50

接続する、電気接続部と、

前記電気接続部の周囲で、前記第2半導体領域から前記ドレイン領域の方向に延びる、第2導電形の第3半導体領域と、
を備える半導体装置。

【請求項11】

前記第3半導体領域は、前記第2半導体領域と前記ドレイン領域とを接続する、請求項10に記載の半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の実施形態は、半導体装置に関する。

【背景技術】

【0002】

中耐圧及び高耐圧の半導体装置において、スーパージャンクション構造のMOSFET (Metal Oxide Semiconductor Field Effect Transistor) が知られている。このスーパージャンクション構造は、n形半導体領域の中に縦型のp形半導体領域を設けて、電界強度が均一となる空乏層をn形とp形の半導体領域の境界面に形成し、耐圧を確保する構造である。このような構造のMOSFETは、通常の構造のMOSFETと比べて、オン抵抗が小さいという特徴がある。

【0003】

しかし、昨今の半導体装置の高性能化にともない、n形半導体領域とp形半導体領域の不純物濃度を高い精度で管理しなければならなくなり、製造プロセスが高コストになるという問題があった。このため、製造プロセスにおいて、n形とp形の半導体領域の高精度な不純物濃度の管理をせずとも、低抵抗化が実現できる半導体装置の実現が望まれていた。

【先行技術文献】

【非特許文献】

【0004】

【非特許文献1】 A Superjunction U-MOSFET With SIPOS Pillar Breaking Superjunction Silicon Limit by TCAD Simulation Study, Zhen Cao et al., IEEE ELECTRON DEVICE LETTERS, VOL. 38, NO. 6, JUNE 2017

【発明の概要】

【発明が解決しようとする課題】

【0005】

本実施形態の目的は、低コストでオン抵抗が小さい半導体装置を提供することにある。

【課題を解決するための手段】

【0006】

本実施形態に係る半導体装置は、第1導電形のドレイン領域と、前記ドレイン領域の上に設けられた第1導電形の第1半導体領域と、前記第1半導体領域の上部に形成されたMOSFETと、前記MOSFETを覆うように形成されたソース電極と、前記第1半導体領域の両側に形成された一对の電気接続部であって、前記第1半導体領域とは電氣的に絶縁された状態で、前記ドレイン領域と前記ソース電極との間を電氣的に接続する、電気接続部と、を備える。

【0007】

本実施形態に係る半導体装置は、第1導電形のドレイン領域と、前記ドレイン領域の上に設けられた第1導電形の第1半導体領域と、前記第1半導体領域の上部に形成された第2導電形の第2半導体領域と、前記第2半導体領域に形成されたMOSFETと、前記MOSFETを覆うように形成されたソース電極と、前記第1半導体領域の両側に形成された一对の電気接続部であって、前記第1半導体領域とは電氣的に絶縁された状態で、前記ドレイン領域と前記ソース電極との間を電氣的に接続する、電気接続部と、前記電気接続部の周囲で、前記第2半導体領域から前記ドレイン領域の方向に延びる、第2導電形の第

10

20

30

40

50

3 半導体領域と、を備える。

【図面の簡単な説明】

【0008】

【図1】第1実施形態に係る半導体装置の構成を説明する断面図。

【図2】図1に示す半導体装置の部分的な斜視図。

【図3】第1実施形態に係る半導体装置の製造工程を説明する断面図。

【図4】第1実施形態に係る半導体装置の製造工程を説明する断面図。

【図5】第1実施形態に係る半導体装置の製造工程を説明する断面図。

【図6】第1実施形態に係る半導体装置の製造工程を説明する断面図。

【図7】第1実施形態に係る半導体装置の製造工程を説明する断面図。

【図8】第1実施形態に係る半導体装置の製造工程を説明する断面図。

【図9】第2実施形態に係る半導体装置の構成を説明する図。

【図10】第2実施形態に係る半導体装置の製造工程を説明する断面図。

【図11】第2実施形態に係る半導体装置の製造工程を説明する断面図。

【図12】第2実施形態に係る半導体装置の製造工程を説明する断面図。

【図13】第2実施形態に係る半導体装置の製造工程を説明する断面図。

【図14】第2実施形態に係る半導体装置の製造工程を説明する断面図。

【図15】第2実施形態に係る半導体装置の製造工程を説明する断面図。

【図16】第2実施形態に係る半導体装置の変形例を説明する断面図。

【発明を実施するための形態】

【0009】

以下、図面を参照しながら、本実施形態に係る半導体装置及びその製造方法を説明する。なお、以下の説明において、略同一の機能及び構成を有する構成要素については、同一符号を付し、重複説明は必要な場合にのみ行うこととする。

【0010】

なお、図面は模式的または概念的なものであり、各部分の厚みと幅との関係、部分間の大きさの比率などは、必ずしも現実のものとは限らない。また、同じ部分を表す場合であっても、図面により互いの寸法や比率が異なって表される場合もある。

【0011】

各実施形態の説明には、図面の向きしたがって、適宜、上方や下方、上や下、上側や下側という表現を用いるが、これらの表現は半導体装置の構造を説明するための便宜上のものであり、半導体装置を見る方向により、或いは、半導体装置の仕様態様により、その上下方向は任意に入れ替え可能である。

【0012】

また、以下の説明において、 n^+ 、 n 、 n^- 及び p^+ 、 p の表記は、各導電形における不純物濃度の相対的な高低を表している。すなわち、「+」が付されている表記は、「+」や「-」のいずれも付されていない表記よりも不純物濃度が相対的に高く、「-」が付されている表記は、いずれも付されていない表記よりも不純物濃度が相対的に低いことを示す。また、以下で説明する各実施形態において、各半導体領域の n 形（第1導電形）と p 形（第2導電形）を反転させて各実施形態を実施してもよい。

【0013】

〔第1実施形態〕

第1実施形態に係る半導体装置は、スーパージャンクション構造のMOSFETにおいて、ソース電極とドレイン領域が高抵抗の導電性膜で構成された電気接続部を介して接続されている。その結果、導電性膜に等電位分布が形成され、MOSFETの下方に位置する半導体領域に形成される空乏層がドレイン領域の方向に延びる。その効果として、各MOSFETの耐圧が向上する。以下に、その詳細を説明する。

【0014】

図1は、本実施形態に係る半導体装置の構成を説明するための半導体装置の断面図である。この図1に示すように、本実施形態に係る半導体装置は、スーパージャンクション構

10

20

30

40

50

造のMOSFETを複数備えて構成されている。図2は、本実施形態に係る半導体装置の部分的な斜視図である。

【0015】

具体的には、ドレイン領域Dと、ゲート領域GTと、ゲート絶縁膜GIと、ソース電極S1と、ソース領域S2と、ベース領域Bと、ピラーPLと、絶縁膜IN1と、層間絶縁膜IN2と、高抵抗の導電性膜SINとを備えて構成されている。

【0016】

ドレイン領域Dは、 n^+ 形半導体層であり、例えば、 n^+ 形の半導体基板により構成されている。ドレイン領域Dとソース電極S1の間には、 n 形のピラーPLが形成されているとともに、ドレイン領域Dとソース電極S1とを電氣的に接続する高抵抗の導電性膜SINと、この導電性膜SINの周囲を覆う絶縁膜IN1とが形成されている。すなわち、図2の斜視図からも分かるように、 n 形のピラーPLの両側は、絶縁膜IN1により、導電性膜SINや他のピラーPLから電氣的に分離されている。

10

【0017】

導電性膜SINは、半導電性膜とも呼ばれる、極めて抵抗の高い材料で構成されている。本実施形態においては、例えば、この導電性膜SINの抵抗、すなわち、ドレイン領域Dとソース電極S1との間の電氣的な抵抗は、 10^7 から 10^{10} の間になることを想定している。このため、ドレイン領域Dからソース電極S1には、極微量の電流しか流れない。技術的観点からすると、 10^7 より抵抗が低くなると、ドレイン領域Dからソース電極S1に流れる電流が大きくなり、無駄な消費電流や発熱の増大を招くこととなる。一方で、 10^{10} より抵抗が大きくなると実質的に電流が一切流れなくなり、後述する等電位分布を適切に形成することができなくなると考えられる。すなわち、ドレイン領域Dとソース電極S1との間に流れる電流はリーク電流と同じ扱いであり、技術的に許容できる電流量は最大でも数 $10 \mu A$ オーダーとなる。この範囲にリーク電流を抑えようとすると抵抗の下限値は 10^7 程度となる。

20

【0018】

また、絶縁膜IN1と導電性膜SINのドレインD形の端部は、ドレイン領域Dの内部にまで達するように形成されている。このため、ピラーPLと導電性膜SINとが電氣的に絶縁され、ピラーPLからの電流が導電性膜SINに流れ込んだり、導電性膜SINからの電流がピラーPLに流れ込んだりしないように構成されている。

30

【0019】

n 形のピラーPLの上部には、 p 形のベース領域Bが形成されている。 p 形のベース領域Bの表面には、 n 形のソース領域S2が形成されている。これらソース領域S2とベース領域Bとを貫通して、ゲート領域GTが、ゲート絶縁膜GIを介して形成されている。また、ゲート絶縁膜GIの上には、層間絶縁膜IN2が形成されている。このため、ゲート領域GTは、ソース領域S2とベース領域Bから電氣的に絶縁されて形成されている。ソース領域S2は、ソース電極S1と電氣的に接続されている。

【0020】

ピラーPLが本実施形態に係る第1半導体領域に相当しており、絶縁膜IN1が本実施形態に係る第1絶縁膜に相当しており、ベース領域Bが本実施形態に係る第2半導体領域に相当しており、ゲート絶縁膜GIが本実施形態に係る第2絶縁膜に相当している。また、 n 形が本実施形態における第1導電形に相当しており、 p 形が本実施形態に係る第2導電形に相当している。さらに、導電性膜SINと絶縁膜IN1とにより、本実施形態に係る電気接続部を構成しており、ベース領域Bとソース領域S2とゲート領域GTとにより、本実施形態に係るMOSFETが構成されている。

40

【0021】

したがって、1つのピラーPLに着目すると、ピラーPLの両側に一对の電気接続部が形成されていることとなる。この電気接続部は、導電性膜SINの両側に絶縁膜IN1が存在することから、ピラーPLとは電氣的に絶縁された状態で、ドレイン領域Dとソース電極S1とを電氣的に接続することとなる。また、図1からも分かるように、絶縁膜IN

50

1と絶縁膜IN1との間には、導電性膜SINが充填されている構造となっている。

【0022】

次に、この図1に示した半導体装置の動作について説明する。本実施形態においては、例えば、ドレイン領域Dに600Vが印加されており、ソース電極S1はグランド(0V)に接続されていると仮定する。この状態で、ゲート領域GTに閾値以上の正の電圧が印加されると、p形のベース領域Bにチャンネルが形成され、電子がソース領域S2からピラーPLを介して、ドレイン領域Dに流れる。つまり、このMOSFETがオフ状態からオン状態に切り替わる。

【0023】

一方で、MOSFETがオン状態であるのかオフ状態であるのかに拘わらず、高抵抗の導電性膜SINには、極微量の電流がドレイン領域Dからソース電極S1に向けて流れる。つまり、電子がソース電極S1からドレイン領域Dに向けて移動する。上述したように、導電性膜SINの周囲は絶縁膜IN1が形成されているので、導電性膜SINを流れる電流が、ピラーPLに理論上、流れ込まない。このため、ある種のリーク電流である導電性膜SINを流れる電流は、極微量に維持される。

【0024】

極微量の電流が高抵抗の導電性膜SINを流れることにより、0Vから600Vの等電位分布が導電性膜SINに形成される。図1においては、100V、200V・・・600Vの等電位分布を模式的に示している。このように高抵抗の導電性膜SINに形成された等電位分布により、n形のピラーPLに形成された空乏層も、ドレイン領域Dの方向へ引張られることとなる。特に、近年の半導体装置の微細化により、MOSFET同士の距離は近接してきており、n形のピラーPLに形成された空乏層がMOSFETから離れた状態に維持される。このため、高抵抗の導電性膜SINに等電位分布を形成することにより、MOSFETの耐圧を向上させることが可能となる。

【0025】

次に、図3乃至図8に基づいて、本実施形態に係る半導体装置の製造方法を説明する。これら図3乃至図8は、本実施形態に係る半導体装置の製造工程を説明する断面図である。

【0026】

まず、図3に示すように、n⁺形半導体層10aの上に、n⁻形半導体層20aを形成する。続いて、n⁻形半導体層20aの上に、フォトレジスト層PR1を形成し、パターニングする。そして、このパターニングされたフォトレジスト層PR1をマスクとして用いて、例えばRIE(Reactive Ion Etching)法により、n⁻形半導体層20aと、n⁺形半導体層10aのエッチングを行う。これにより、トレンチTR1を形成する。このトレンチTR1は、n⁻形半導体層20aを貫通し、n⁺形半導体層10aに到達している。すなわち、トレンチTR1の底部には、n⁺形半導体層10aが露出している。

【0027】

次に、図4に示すように、フォトレジスト層PR1を剥離して、例えば熱酸化により、側壁酸化膜30aを形成する。これにより、n⁻形半導体層20aの表面と、n⁺形半導体層10aにおけるトレンチTR1の底部で露出している表面に、側壁酸化膜30aが形成される。

【0028】

次に、図5に示すように、例えばRIE法により、側壁酸化膜30aをエッチバックすることにより、側壁酸化膜30aを部分的に除去して、側壁酸化膜30bを形成する。すなわち、n⁻形半導体層20aの上面に形成された側壁酸化膜30aと、トレンチTR1の底部に形成された側壁酸化膜30aとを、エッチングにより除去する。これにより、トレンチTR1の底部から、再び、n⁺形半導体層10aが露出する。

【0029】

次に、図6に示すように、例えばCVD(Chemical Vapor Deposition)法により、高抵抗の導電性膜40aを形成して、トレンチTR1に導電性膜40aを埋め込む。この高

10

20

30

40

50

抵抗の導電性膜 40 a は、半導電性膜 (Semi-insulating film) とよばれ、例えば、半導電性窒化シリコン (Semi-Insulating SiN : 略称 SIN) や、半導電性ポリシリコン (Semi-Insulating Poly-crystalline Silicon : 略称 SIPOS) により形成することができる。この導電性膜 40 a は、極めて高い抵抗を有しており、極微量の電流が流れるという材料特性を有している。

【0030】

次に、図 7 に示すように、導電性膜 40 a を、例えば RIE 法により全体的にエッチングをし、トレンチ TR1 に導電性膜 40 b を残しつつ、 n^- 形半導体層 20 a の表面の導電性膜 40 a を除去して、 n^- 形半導体層 20 a の表面を露出させる。続いて、例えば CMP (Chemical Mechanical Polishing) 法により、 n^- 形半導体層 20 a の表面を平滑化する処理を行う。

10

【0031】

次に、 n^- 形半導体層 20 a の露出している表面に、 p 形不純物をイオン注入し、活性化させることで、 p 形半導体層 50 a を形成する。続いて、この p 形半導体層 50 a の表面に、 n 形不純物を部分的にイオン注入し、活性化させることで、 n^+ 形半導体層 60 a を形成する。そして、この n^+ 形半導体層 60 a の中央部分に、この p 形半導体層 50 a を貫通して、 n^- 形半導体層 20 a に達するトレンチ TR2 を形成する。続いて、例えば熱酸化により、 p 形半導体層 50 a、 n^+ 形半導体層 60 a、及び、トレンチ TR2 の表面に、絶縁層 70 a を形成する。

20

【0032】

次に、図 8 に示すように、例えば CVD 法により、トレンチ TR2 に n^+ 形半導体層を埋め込んで、表面上にある n^+ 形半導体層と絶縁層 70 a とをエッチングにより除去することにより、トレンチ TR2 に、絶縁層 70 b を介在させた n^+ 形半導体層 80 a を形成する。続いて、例えば CVD 法により絶縁層を形成して、パターニングすることにより、 n^+ 形半導体層 80 a の上に、絶縁層 90 a を形成する。さらに、例えば CVD 法により、絶縁層 90 a を覆う金属層 100 a を形成する。以上のような工程により、図 8 に示した半導体装置が得られる。

【0033】

図 8 と図 2 の対応関係は、次のようになる。すなわち、 n^+ 半導体層 10 a がドレイン領域 D となり、 n^- 形半導体層 20 a がピラー PL となり、側壁酸化膜 30 b が絶縁膜 IN1 となり、導電性膜 40 b が導電性膜 SIN となり、 p 形半導体層 50 a がベース領域 B となり、 n^+ 形半導体層 60 a がソース領域 S2 となり、絶縁層 70 b がゲート絶縁膜 GI となり、半導体層 80 a がゲート領域 GT となり、絶縁層 90 a が層間絶縁膜 IN2 となり、金属層 100 a がソース電極 S1 となる。

30

【0034】

以上のように、本実施形態に係る半導体装置によれば、ドレイン領域 D とソース電極 S1 とを、高抵抗の導電性膜 SIN と絶縁膜 IN1 とから構成された電気接続部により電氣的に接続することとしたので、導電性膜 SIN に等電位分布を形成することができ、これにより、ピラー PL に形成される空乏層をドレイン領域 D の方向へ引っ張ることができる。このため、ピラー PL に形成された MOSFET の耐圧を向上させることができ、結果として、オン抵抗が小さい半導体装置を実現することができる。

40

【0035】

また、導電性膜 SIN の材料には、高い抵抗値を有する半導電性膜とも呼ばれる、SIN (Semi-insulating SiN) や、SIPOS (Semi-insulating Poly-crystalline silicon) などを用いることとしたので、導電性膜 SIN を流れる電流を極微量に抑えることができる。このため、消費電力の増大も極めて小さくすることができる。

【0036】

〔第 2 実施形態〕

第 2 実施形態においては、上述した第 1 実施形態における導電性膜 SIN と絶縁膜 IN1 とから形成された電気接続部の周囲に、ベース領域 B からドレイン領域 D の方向に延び

50

る p 形の半導体層を形成することにより、n 形のピラー P L と p 形の半導体層の間に空乏層を形成して耐圧を確保しつつ、n 形と p 形の不純物濃度がばらついたとしても電気接続部の等電位分布により耐圧を確保できるようにしている。以下、上述した第 1 実施形態と異なる部分を説明する。

【 0 0 3 7 】

図 9 は、本実施形態に係る半導体装置の構成を説明するための断面図であり、上述した第 1 実施形態における図 1 に対応している。この図 9 に示すように、本実施形態に係る半導体装置も、スーパージャンクション構造の MOS F E T を複数備えて構成されている。

【 0 0 3 8 】

本実施形態においては、電気接続部の絶縁膜 I N 1 の周囲に、p 形の半導体層 P 2 が追加的に形成されている。本実施形態においては、この p 形の半導体層 P 2 は、ベース領域 B とドレイン領域 D の間を結ぶように形成されている。すなわち、ベース領域 B とドレイン領域 D とは、半導体層 P 2 により接続されている。

10

【 0 0 3 9 】

この p 形の半導体層 P 2 は、従来のスーパージャンクション構造の MOS F E T における p 形のピラーと同等の役割を果たす。すなわち、p 形の半導体層 P 2 と n 形のピラー P L との境界面に空乏層を形成し、MOS F E T の耐圧を確保する。このためには、p 形の半導体層 P 2 と n 形のピラー P L の不純物濃度を厳格に管理して製造する必要がある。

【 0 0 4 0 】

万が一、p 形の半導体層 P 2 と n 形のピラー P L の不純物濃度にばらつきが生じて、p 形の半導体層 P 2 と n 形のピラー P L との間に耐圧を確保するのに十分な空乏層が形成されない場合でも、電気接続部の導電性膜 S I N を流れる極微少な電流により、等電位分布がピラー P L に形成され、ピラー P L の空乏層がドレイン領域 D の方向へ引っ張られる。このため、上述した第 1 実施形態と同様に、MOS F E T の耐圧を確保することができる。

20

【 0 0 4 1 】

このことから分かるように、ピラー P L が本実施形態に係る第 1 半導体領域に相当しており、絶縁膜 I N 1 が本実施形態に係る第 1 絶縁膜に相当しており、ベース領域 B が本実施形態に係る第 2 半導体領域に相当しており、半導体層 P 2 が第 3 半導体領域に相当しており、ゲート絶縁膜 G I が本実施形態に係る第 2 絶縁膜に相当している。また、n 形が本実施形態における第 1 導電形に相当しており、p 形が本実施形態に係る第 2 導電形に相当している。さらに、導電性膜 S I N と絶縁膜 I N 1 とにより、本実施形態に係る電気接続部を構成しており、ベース領域 B とソース領域 S 2 とゲート領域 G T とにより、本実施形態に係る MOS F E T が構成されている。

30

【 0 0 4 2 】

次に、図 1 0 乃至図 1 5 に基づいて、本実施形態に係る半導体装置の製造方法を説明する。これら図 1 0 乃至図 1 5 は、本実施形態に係る半導体装置の製造工程を説明する断面図である。

【 0 0 4 3 】

まず、図 1 0 に示すように、上述した第 1 実施形態と同様に、n⁺形半導体層 1 0 a の上に、n⁻形半導体層 2 0 a を形成する。続いて、n⁻形半導体層 2 0 a の上に、フォトレジスト層 P R 1 を形成し、パターンニングする。そして、このパターンニングされたフォトレジスト層 P R 1 をマスクとして用いて、例えば R I E (Reactive Ion Etching) 法により、n⁻形半導体層 2 0 a と、n⁺形半導体層 1 0 a のエッチングを行う。これにより、トレンチ T R 1 を形成する。このトレンチ T R 1 は、n⁻形半導体層 2 0 a を貫通し、n⁺形半導体層 1 0 a に到達している。すなわち、トレンチ T R 1 の底部には、n⁺形半導体層 1 0 a が露出している。

40

【 0 0 4 4 】

次に、図 1 1 に示すように、トレンチ T R 1 の側壁に、p 形半導体層 2 0 0 を形成する。本実施形態においては、例えば、n⁻形半導体層 2 0 a に p 形イオンを打ち込んで、熱

50

処理をして活性化することにより、p形半導体層200を形成する。

【0045】

次に、図12に示すように、フォトレジスト層PR1を剥離して、例えば熱酸化により、側壁酸化膜30aを形成する。これにより、n⁻形半導体層20aの表面と、n⁺形半導体層10aにおけるトレンチTR1の底部で露出している表面と、p形半導体層200の表面に、側壁酸化膜30aが形成される。

【0046】

次に、図13に示すように、例えばRIE法により、側壁酸化膜30aをエッチバックして部分的に除去することにより、側壁酸化膜30bを形成する。すなわち、n⁻形半導体層20aの上面に形成された側壁酸化膜30aと、トレンチTR1の底部に形成された側壁酸化膜30aとを、エッチングにより除去する。これにより、トレンチTR1の底部から、再び、n⁺形半導体層10aが露出する。

10

【0047】

次に、図14に示すように、第1実施形態と同様の手法及び材料で、高抵抗の導電性膜40aを形成して、トレンチTR1に導電性膜40aを埋め込む。続いて、図15に示すように、第1実施形態と同様の手法及び材料で、p形半導体層50a、n⁺形半導体層60a、絶縁層70a、n⁺形半導体層80a、絶縁層90a、及び、金属層100aを形成する。

【0048】

図15と図9の対応関係は、次のようになる。すなわち、n⁺半導体層10aがドレイン領域Dとなり、n⁻形半導体層20aがピラーPLとなり、側壁酸化膜30bが絶縁膜IN1となり、導電性膜40bが導電性膜SINとなり、p形半導体層50aがベース領域Bとなり、n⁺形半導体層60aがソース領域S2となり、絶縁層70bがゲート絶縁膜GIとなり、n⁺形半導体層80aがゲート領域GTとなり、絶縁層90aが層間絶縁膜IN2となり、金属層100aがソース電極S1となり、半導体層200が半導体層P2となる。

20

【0049】

以上のように、本実施形態に係る半導体装置によれば、p形の半導体層P2とn形のピラーPLとの境界面に空乏層を形成し、MOSFETの耐圧を確保するようにした。その上で、上述した第1実施形態と同様に、電気接続部の導電性膜SINを流れる極微少の電流により、等電位分布をピラーPLに形成して、ピラーPLの空乏層をドレイン領域Dの方向に引っ張ることとした。このため、これら2つの空乏層により、MOSFETの耐圧を確保することができる。

30

【0050】

また、たとえ、ピラーPLのn形不純物濃度と、半導体層P2のp形不純物濃度とにはばらつきが生じてしまい、ピラーPLと半導体層P2のとの間の境界面に空乏層が十分に形成されない場合でも、電気接続部を構成する半導電性膜SINに微少な電流が流れることにより、半導電性膜SINに等電位分布を形成し、ピラーPLに形成される空乏層がドレイン領域Dの方向へ引っ張られるようにした。このため、このピラーPLの空乏層によっても、MOSFETの耐圧を確保することができる。

40

【0051】

なお、図16に示すように、本実施形態に係る半導体装置においては、p形の半導体層P2は、ドレイン領域Dにまで到達していなくてもよい。すなわち、半導体層P2のベース領域B側の端部は、ベース領域Bと接しているが、半導体層P2側の端部はドレイン領域Dと接していなくてもよい。

【0052】

以上、いくつかの実施形態を説明したが、これらの実施形態は、例としてのみ提示したものであり、発明の範囲を限定することを意図したものではない。本明細書で説明した新規な装置および方法は、その他の様々な形態で実施することができる。また、本明細書で説明した装置および方法の形態に対し、発明の要旨を逸脱しない範囲内で、種々の省略、

50

置換、変更を行うことができる。添付の特許請求の範囲およびこれに均等な範囲は、発明の範囲や要旨に含まれるこのような形態や変形例を含むように意図されている。

【0053】

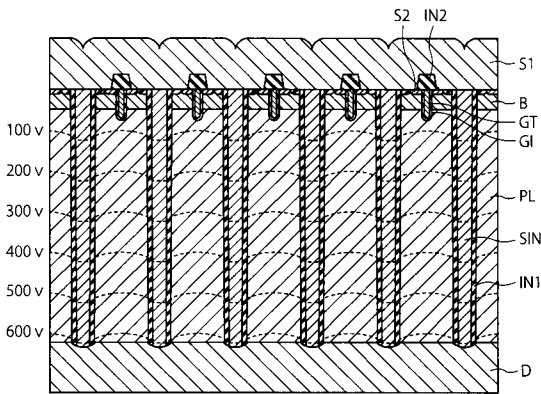
例えば、上述した第1実施形態及び第2実施形態では、複数のMOSFETを備える半導体装置を例に、本実施形態を説明したが、上述した技術を用いて、1つのMOSFETを有する半導体装置を構成することも可能である。

【符号の説明】

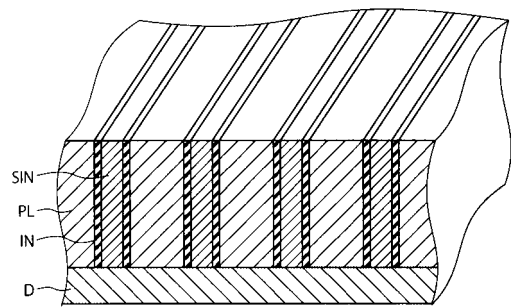
【0054】

S1：ソース電極、S2：ソース領域、GT：ゲート領域、GI：ゲート絶縁膜、B：ベース領域、PL：ピラーPL、IN1：絶縁膜、IN2：絶縁膜、SIN：導電性膜

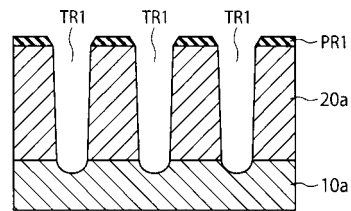
【図1】



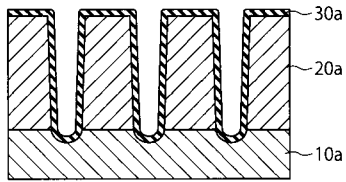
【図2】



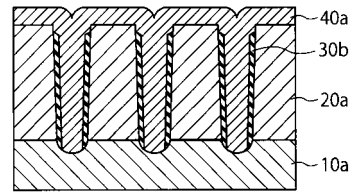
【図3】



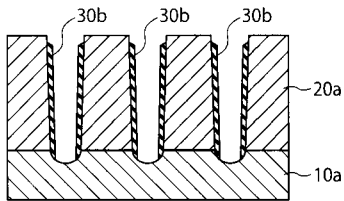
【 図 4 】



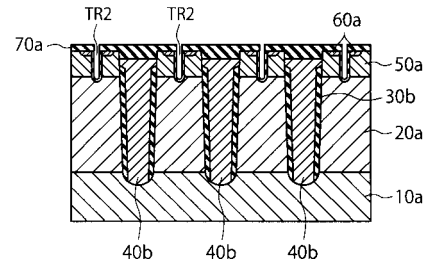
【 図 6 】



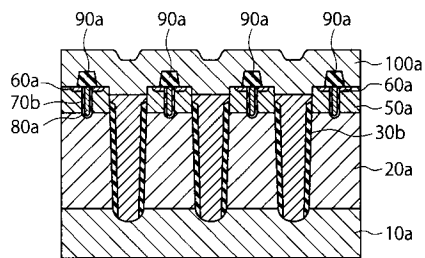
【 図 5 】



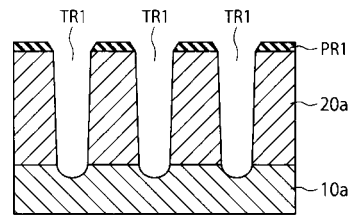
【 図 7 】



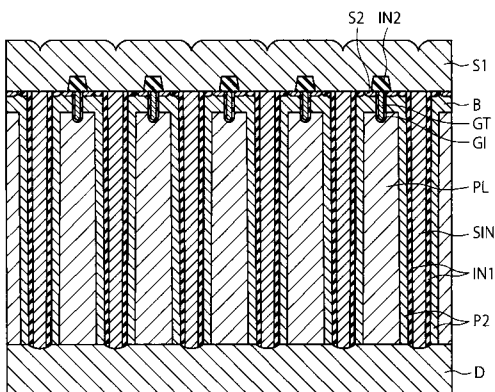
【 図 8 】



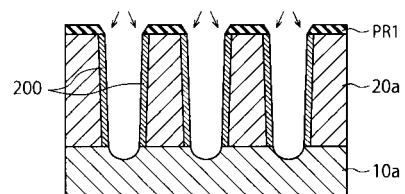
【 図 10 】



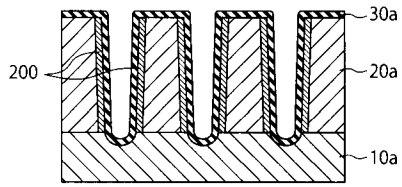
【 図 9 】



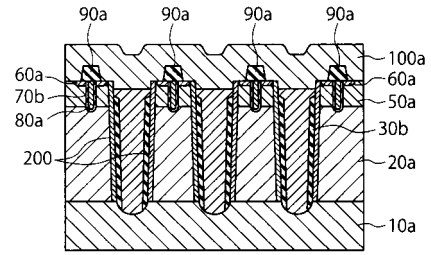
【 図 11 】



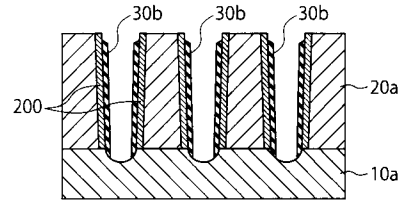
【 図 1 2 】



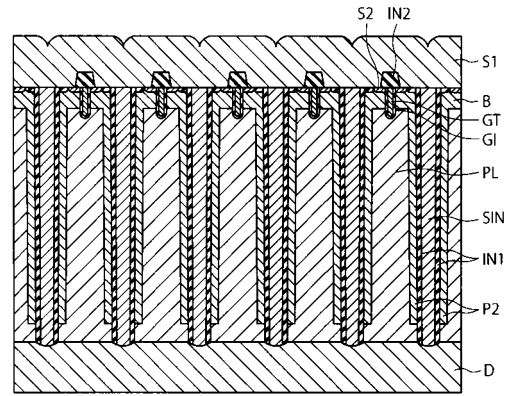
【 図 1 5 】



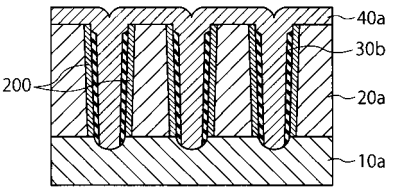
【 図 1 3 】



【 図 1 6 】



【 図 1 4 】



フロントページの続き

(51)Int.Cl.	F I	テーマコード(参考)
	H 0 1 L 21/28	3 0 1 A
	H 0 1 L 29/50	M
	H 0 1 L 29/06	3 0 1 S

(74)代理人 100107582
弁理士 関根 毅

(74)代理人 100118843
弁理士 赤岡 明

(72)発明者 奥村 秀樹
東京都港区芝浦一丁目1番1号 東芝デバイス&ストレージ株式会社内

Fターム(参考) 4M104 BB01 CC01 CC05 DD43 FF02 FF27