(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。Int. Cl. [7]
H01L 21/304

(11) 공개번호 특2002-0081663
(43) 공개일자 2002년10월30일

(21) 출원번호 10-2002-0011893
(22) 출원일자 2002년03월06일

(30) 우선권주장 JP-P-2001-00121642 2001년04월19일 일본(JP)

(71) 출원인 가부시키가이샤 히타치세이사쿠쇼
일본 도쿄토 치요다쿠 간다스루가다이 4쪼메 6반치

(72) 발명자 나까바야시신이찌
일본도꾜도지요다꾸마루노우찌1쪼메5-1신마루빌딩가부시키가이샤히타치세이사쿠쇼지적재산권본부내
아베히사히꼬
일본도꾜도지요다꾸마루노우찌1쪼메5-1신마루빌딩가부시키가이샤히타치세이사쿠쇼지적재산권본부내
쯔찌야마히로후미
일본도꾜도지요다꾸마루노우찌1쪼메5-1신마루빌딩가부시키가이샤히타치세이사쿠쇼지적재산권본부내
히야마마사끼
일본도꾜도지요다꾸마루노우찌1쪼메5-1신마루빌딩가부시키가이샤히타치세이사쿠쇼지적재산권본부내
니시구찌다까시
일본도꾜도지요다꾸마루노우찌1쪼메5-1신마루빌딩가부시키가이샤히타치세이사쿠쇼지적재산권본부내

(74) 대리인 장수길
구영창

심사청구 : 없음

(54) 반도체 집적 회로 장치의 제조 방법

요약

화학 기계 연마에 의한 미소 스크래치를 저감시킨다. 연마 패드(102)와 웨이퍼(1)의 피연마면 사이에 공급하기 직전의 연마 슬러리 S를 순수로 희석한다. 연마 슬러리 S를 순수로 희석하여 그 용적을 크게 함으로써, 연마 슬러리 S에 포함되는 응집 입자의 농도가 저하한다. 연마 슬러리 S와 순수의 혼합 비율은, 1(연마 슬러리):1 1.2(순수) 정도로 하

고, 희석 후의 연마 슬러리 S에 포함되는 실리카 농도를 3 9중량%, 바람직하게는 4 8중량%, 보다 바람직하게는 8 중량% 정도로 조정한다.

대표도

도 8

색인어

순수, 연마 슬러리, 연마 패드, 반도체 웨이퍼, 화학 기계 연마법, 소자 분리 홈

명세서

도면의 간단한 설명

도 1은 본 발명의 일 실시예인 반도체 집적 회로 장치의 제조 방법을 나타내는 실리콘 기판의 주요부 단면도.

도 2는 본 발명의 일 실시예인 반도체 집적 회로 장치의 제조 방법을 나타내는 실리콘 기판의 주요부 단면도.

도 3은 본 발명의 일 실시예인 반도체 집적 회로 장치의 제조 방법을 나타내는 실리콘 기판의 주요부 단면도.

도 4는 본 발명의 일 실시예인 반도체 집적 회로 장치의 제조 방법을 나타내는 실리콘 기판의 주요부 단면도.

도 5는 본 발명의 일 실시예인 반도체 집적 회로 장치의 제조 방법을 나타내는 실리콘 기판의 주요부 단면도.

도 6은 본 발명의 일 실시예인 반도체 집적 회로 장치의 제조 방법을 나타내는 실리콘 기판의 주요부 단면도.

도 7은 본 발명의 일 실시예인 반도체 집적 회로 장치의 제조 방법을 나타내는 실리콘 기판의 주요부 단면도.

도 8은 산화실리콘막의 화학 기계 연마에 이용하는 화학 기계 연마 장치의 처리부를 나타낸 개략도.

도 9는 도 8에 도시한 화학 기계 연마 장치의 슬러리 공급관을 나타낸 개략도.

도 10은 본 발명의 일 실시예인 반도체 집적 회로 장치의 제조 방법을 나타내는 실리콘 기판의 주요부 단면도.

도 11은 스크래치 결함 밀도와 연마 슬러리 농도와의 관계를 평가한 결과를 나타내는 그래프.

도 12a, 도 12b는 스크래치 결함 밀도와 연마 슬러리 농도와의 관계를 평가한 결과를 나타내는 그래프.

도 13은 본 발명의 일 실시예인 반도체 집적 회로 장치의 제조 방법을 나타내는 실리콘 기판의 주요부 단면도.

도 14는 본 발명의 일 실시예인 반도체 집적 회로 장치의 제조 방법을 나타내는 실리콘 기판의 주요부 단면도.

도 15는 본 발명의 일 실시예인 반도체 집적 회로 장치의 제조 방법을 나타내는 실리콘 기판의 주요부 단면도.

도 16은 본 발명의 일 실시예인 반도체 집적 회로 장치의 제조 방법을 나타내는 실리콘 기판의 주요부 단면도.

도 17은 본 발명의 일 실시예인 반도체 집적 회로 장치의 제조 방법을 나타내는 실리콘 기판의 주요부 단면도.

도 18은 본 발명의 일 실시예인 반도체 집적 회로 장치의 제조 방법을 나타내는 실리콘 기판의 주요부 단면도.

도 19는 본 발명의 일 실시예인 반도체 집적 회로 장치의 제조 방법을 나타내는 실리콘 기판의 주요부 단면도.

도 20은 본 발명의 일 실시예인 반도체 집적 회로 장치의 제조 방법을 나타내는 실리콘 기판의 주요부 단면도.

도 21은 본 발명의 일 실시예인 반도체 집적 회로 장치의 제조 방법을 나타내는 실리콘 기판의 주요부 단면도.

도 22는 본 발명의 일 실시예인 반도체 집적 회로 장치의 제조 방법을 나타내는 실리콘 기판의 주요부 단면도.

〈도면의 주요 부분에 대한 부호의 설명〉

1 : 실리콘 기판(웨이퍼)

2. 6, 7, 10, 17, 21, 24, 28 : 산화실리콘막

3, 13, 15, 27 : 질화실리콘막

4 : 포토레지스트막

5 : 소자 분리홈

5a, 29 : 홈

8 : 포토레지스트막

9 : p형 웰

11 : 게이트 산화막

12 : 게이트 전극

14 : n형 반도체 영역(소스, 드레인)

16 : 스핀 온 글래스막

18, 19 : 컨택트홀

20, 23, 26 : 플러그

22, 25 : 관통 홀

30 : 하부 전극

31 : 용량 절연막

32 : 상부 전극

100 : 화학 기계 연마 장치

101 : 정반

102 : 연마 패드

103 : 웨이퍼 캐리어

104 : 리테이너링

105 : 슬러리 공급관

105a, 105b : 배관

106 : 멤브레인

107 : 드레서

BL : 비트선

C : 정보 축적용 용량 소자

Qs : 메모리 셀 선택용 MISFET

S : 연마 슬러리

WL : 워드선

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은, 반도체 집적 회로 장치의 제조 기술에 관한 것으로, 특히, 반도체 웨이퍼의 표면에 형성된 박막을, 화학 기계 연마(Chemical Mechanical Polishing; CMP)법을 이용하여 연마하는 공정을 포함하는 반도체 집적 회로 장치의 제조에 적용하기에 유효한 기술에 관한 것이다.

반도체 집적 회로(LSI)의 고집적화, 고성능화에 따르는 미세 가공 기술의 하나로 화학 기계 연마법이 있으며, 예를 들면 SGI(Shallow Groove Isolation)라 불리우는 소자 분리홈의 형성, 다층 배선 형성 공정에서의 층간 절연막의 평탄화, 매립 메탈 배선의 형성 등에 이용되고 있다. 이 화학 기계 연마 기술에 대해서는, 예를 들면 미국 특허 No.4944836에 기재되어 있다.

상기 화학 기계 연마법은, 경질 수지를 포함하는 연마 패드를 접착한 정반(定盤) 상에 연마 슬러리를 공급하면서 웨이퍼의 표면을 연마하는 방법으로서, 연마 슬러리로서는, 일반적으로 실리카(산화 규소) 등의 연마제 미립자를 순수(純水) 내에 분산시키고, 이것에 pH 조정용의 알칼리를 첨가한 것 등이 사용된다.

그러나, 실리카를 포함한 연마 슬러리로 웨이퍼를 연마하면, 슬러리 중의 조대(粗大)한 응집 실리카 입자에 의해 웨이퍼의 표면에 미소한 상처(micro scratch)가 생겨, LSI의 제조 수율이나 신뢰성이 저하한다고 하는 문제가 지적되고 있다.

특개평10-321588호 공보 등에서는, 응집 입자에 의해 웨이퍼의 표면에 미소 스크래치가 생기는 것을 방지하는 하나의 방법을 개시하고 있다. 이 공보에 의하면, 일반적으로 화학 기계 연마 공정에서는, 연마 패드에 순수를 공급하여, 계

속적으로 젖은 상태를 유지시키고 있다. 연마 공정 진행 중에는, 순수로 적신 연마 패드에 연마 슬러리를 공급하면서 웨이퍼의 연마를 행한다. 그런데, 실리카를 포함한 연마 슬러리의 pH는 약 10 11이며, 순수의 pH는 7이다. 그 때문에, 순수로 적신 연마 패드에 연마 슬러리를 공급하면, 연마 슬러리와 순수와의 큰 pH차에 의해 연마 슬러리 중에 조대한 응집 실리카 입자가 발생하여, 이것이 웨이퍼의 표면에 미소 스크래치를 발생시킨다.

그래서, 상기 공보에서는, 사전에 연마 슬러리와 동일한 pH가 되도록 pH 조정된 순수 혼합액으로 연마 패드를 적시고, 그 후, 이 연마 패드에 연마 슬러리를 공급하는 방법을 제안하고 있다. 또, pH 조정된 순수 혼합액과 연마 슬러리를 소정의 비로 혼합한 혼합물을 제조하고, 이것을 연마 패드에 공급하는 방법도 제안하고 있다. 연마 슬러리로서 알칼리성 물질을 사용하는 경우에는, pH 조정용 시약으로서 알칼리성 시약을 사용하고, 연마 슬러리로서 산성 물질을 사용하는 경우에는, pH 조정용 시약으로서 산성 시약을 사용한다. 실리카를 포함한 알칼리성의 연마 슬러리를 사용하는 경우에는, pH 조정용 시약으로서 KOH 또는 NH_4OH가 바람직한 것으로 되어 있다.

발명이 이루고자 하는 기술적 과제

최근의 LSI는, 소자의 미세화 및 배선의 다층화를 추진하기 위해, 웨이퍼 프로세스의 여러 공정에서 화학 기계 연마 처리를 행하고 있다. 예를 들면, 웨이퍼의 주면에 소자 분리홈을 형성하는 공정에서는, 우선적으로 내 산화성 절연막을 마스크로 이용하여 웨이퍼의 주면을 드라이 에칭하여 소자 분리 영역에 홈을 형성하고, 계속해서 이 홈의 내부를 포함하는 웨이퍼의 주면 상에 상기 홈의 깊이보다도 두꺼운 막 두께를 갖는 산화실리콘막을 퇴적한 후, 상기 내 산화성 절연막을 연마의 스토퍼로 이용하여 산화실리콘막을 화학 기계 연마하고, 이 산화실리콘막을 홈의 내부에 선택적으로 남김으로써 소자 분리홈을 형성한다.

상기한 바와 같은 화학 기계 연마 공정에서는, 일반적으로는 실리카 입자를 물에 분산시킨 연마 슬러리가 사용된다. 실리카는, 그 표면에 친수성의 실라놀기(Si-OH)가 존재하기 때문에, 실리카 입자를 물에 분산시키면, 실라놀기의 입자간 수소 결합이나 반데르발스(van der Waals)력에 의해 입자(1차 입자)끼리의 응집이 발생하여, 단체 입자보다도 입경(입자의 직경)이 큰 응집 입자(2차 입자)가 형성된다. 따라서, 실리카 입자(분산질)를 물(분산매)로 분산시킨 연마 슬러리에 있어서는, 이 응집 입자가 지립(砥粒) 성분을 구성하고 있다.

상기 응집 입자는, 그 입경이 비교적 작은 경우에는 문제는 없다. 그런데, 실제의 연마 슬러리 중에는 1㎛ 이상의 입경을 갖는 조대한 응집 입자(본원에서는 1㎛ 이상의 입경을 갖는 응집 입자를 특별히「조대 응집 입자」라고 함)가 존재하기 때문에, 이것이 웨이퍼의 표면에 미소 스크래치라 불리는 미소한 손상을 입혀, 수율이나 신뢰성의 저하를 야기한다. 예를 들면 상술한 소자 분리홈의 형성 공정에서, 내 산화성 절연막을 연마의 스토퍼에 이용하여 산화실리콘막을 화학 기계 연마할 때, 내 산화성 절연막의 표면에 미소 스크래치가 생기면, 그 일부가 기초의 실리콘 기판에 도달하여, 그 표면에 손상을 제공한다.

연마 슬러리 중의 조대한 응집 입자를 제거하는 방법으로서, 연마 슬러리를 필터링하는 방법도 어느 정도 유효하지만, 응집 입자를 제거한 연마 슬러리를 방치하면 다시 응집이 시작되기 때문에, 근본적인 대책이라고는 할 수 없다.

그래서, 본 발명자 등은, 이미 응집 입자에 의해 웨이퍼의 표면에 미소 스크래치가 생기는 것을 방지하는 방법을 제안하였다(특원2000-145379호). 이러한 방법은, 웨이퍼의 피처리면에 연마 슬러리를 공급하여 화학 기계 연마 처리를 행하는 공정에 앞서서, 연마 슬러리를 일정 기간 정지(靜止) 상태로 방치함으로써, 연마 슬러리 중에 포함되는 입경 1㎛ 이상의 응집 실리카 입자의 농도를 20만개/0.5cc, 바람직하게는 5만개/0.5cc, 이하, 보다 바람직하게는 2만개/0.5cc 이하로 하는 것이다.

본 발명자 등이 제안한 상기한 방법은, 연마 슬러리 중에 포함되는 조대 응집 실리카 입자의 농도를 매우 유효하게 저감시킬 수 있다. 그러나, 연마 슬러리의 제조 로트의 변동 등에 따라서, 반드시 정지 방치 기간이 일정하게 된다고는 할 수 없기 때문에, 이 방법만으로는 조대 응집 실리카 입자의 농도를 충분히 저감시킬 수 없는 경우도 있다.

본 발명의 목적은, 화학 기계 연마 공정에서 사용하는 연마 슬러리 내의 응집 입자 밀도를 저감시킬 수 있는 기술을 제공하는 것이다.

본 발명의 다른 목적은, 미소 스크래치를 저감시킬 수 있는 화학 기계 연마 기술을 제공하는 것이다.

본 발명의 다른 목적은, 화학 기계 연마 공정에서의 미소 스크래치에 기인하는 집적 회로 장치의 수율 및 신뢰성의 저하를 억제할 수 있는 기술을 제공하는 것이다.

본 발명의 상기 및 그 밖의 목적과 신규 특징은, 본 명세서의 기술 및 첨부 도면에서 명백하게 될 것이다.

발명의 구성 및 작용

본원에서 개시되는 발명 중, 대표적이지만 개요를 간단히 설명하면, 다음과 같다.

본원의 일 발명인 반도체 집적 회로 장치의 제조 방법은, (a) 안정된 분산 상태를 갖는 연마 슬러리를 준비하는 공정, (b) 상기 연마 슬러리를, 순수를 주요한 성분으로 하는 수용액으로 희석하는 공정, (c) 양산 프로세스를 흐르는 웨이퍼의 피처리면에, 상기 수용액으로 희석한 직후의 연마 슬러리를 공급하여 화학 기계 연마 처리를 행하는 공정을 포함하고 있다.

또, 본원에서, 화학 기계 연마(CMP)란, 일반적으로 피연마면을 상대적으로 부드러운 천과 같은 시트 재료 등을 포함하는 연마 패드에 접촉시킨 상태에서, 연마 슬러리를 공급하면서 면 방향으로 상대 이동시켜 연마를 행하는 것을 말한다.

연마 슬러리란, 일반적으로 물 및 화학 에칭 약제(분산매)에 연마제 미립자(분산질)를 배합한 액체 콜로이드 상태의 현탁액(서스펜션)을 말한다. 또한, 연마제 미립자란, 일반적으로 실리카, 산화세륨, 지르코니아, 알루미나 등의 미립자를 말한다.

연마 평탄화 절연막 분리홈이란, 화학 기계 연마 처리에 의해 표면이 평탄화된 절연막을 홈의 내부에 선택적으로 남김으로써 형성되는 소자 분리홈을 말한다. 따라서, 단순히 홈의 내부에 절연막을 퇴적하는 것만으로 형성되는 소자 분리홈은, 여기서 말하는 연마 평탄화 절연막 분리홈에는 해당되지 않는다. 예를 들면, 일반적으로 SGI(Shallow Groove Isolation) 혹은 STI(Shallow Trench Isolation) 등이라 불리고 있는 소자 분리홈이, 여기서 말하는 연마 평탄화 절연막 분리홈에 해당된다.

순수(Deionized Water)란, 반도체 제조 공정에서「순수」로서 사용되고 있는 물 외에, 순수를 주요한 성분으로 하는 수용액, 약액 등을 포함하는 것으로 한다.

본원에서, 웨이퍼 라인에서의 양산 프로세스란, 해당 웨이퍼 라인에서 사용되는 특정한 화학 기계 연마 장치의 1일당 처리량이 8인치 웨이퍼 환산으로 적어도 25매 이상 내지는 50매 이상, 보다 일반적으로는 100매 이상인 경우를 말하는 것으로 한다. 또, 이 한계 웨이퍼 매수는, 웨이퍼의 면적에 반비례하는 것은 물론이다.

또한, 이하의 실시예에서는, 편의상 그 필요가 있을 때에는, 복수의 섹션 또는 실시예로 분할하여 설명하지만, 특별히 명시한 경우를 제외하면, 이들은 상호 무관계한 것이 아니라, 한쪽은 다른 쪽의 일부 또는 전부의 변형예, 상세, 보충 설명 등의 관계에 있다.

또한, 이하의 실시예에서, 요소의 수 등(개수, 수치, 양, 범위 등을 포함함)으로 언급하는 경우, 특별히 명시했을 때 및 원리적으로도 명백히 특정한 수에 한정될 때를 제외하면, 그 특정한 수에 한정되는 것이 아니라, 특정한 수 이상이어도 이하이어도 된다. 또한, 이하의 실시예에서, 그 구성 요소(요소 단계 등을 포함함)는, 특별히 명시한 경우 및 원리적으로 명백히 필수라고 생각되는 경우를 제외하면, 반드시 필수적인 것이 아닌 것은 물론이다.

마찬가지로, 이하의 실시예에서, 구성 요소 등의 형상, 위치 관계 등으로 언급할 때에는, 특별히 명시한 경우 및 원리적으로 명백히 그렇지 않다고 생각되는 경우를 제외하면, 실질적으로 그 형상 등에 근사 또는 유사하는 것 등을 포함하는 것으로 한다. 이것은, 상기 수치 및 범위에 대해서도 마찬가지이다.

또한, 본원에 있어서 반도체 집적 회로 장치라고 할 때에는, 특별히 단결정 실리콘 기판 상에 만들어지는 것뿐만 아니라, 특별히 그렇지 않다는 취지가 명시된 경우를 제외하면, SOI(Silicon On Insulator) 기판이나 TFT(Thin Film Transistor) 액정 제조용 기판 등의 다른 기판 상에 만들어지는 것을 포함하는 것으로 한다. 또한, 웨이퍼란 반도체 집적 회로 장치의 제조에 이용하는 단결정 실리콘 기판(일반적으로 대체로 원반형), SOI 기판, 유리 기판 그 밖의 절연, 반(半)절연 또는 반도체 기판 등이나 이들을 복합시킨 기판을 말한다.

이하, 본 발명의 실시예를 도면에 기초하여 상세히 설명한다. 또, 실시예를 설명하기 위한 전체 도면에서, 동일한 부재에는 동일한 부호를 붙여, 그 반복된 설명은 생략한다.

〈제1 실시예〉

본 발명의 일 실시예인 DRAM(Dynamic Random Access Memory)의 제조 방법을 도 1 내지 도 22를 참조하여 공정순으로 설명한다.

우선, 도 1에 도시한 바와 같이, 예를 들면 1 10Ωcm 정도의 비저항을 갖는 p형의 단결정 실리콘으로 이루어진 기판(웨이퍼: 1)을 약 850℃에서 열 산화하여 그 표면에 막 두께 10㎚ 정도의 얇은 산화실리콘막(2)을 형성한 후, 산화실리콘막(2)의 상부에 CVD법으로 막 두께 120㎚ 정도의 질화실리콘막(내 산화막: 3)을 퇴적한다.

상기 질화실리콘막(3)은, 소자 분리 영역의 기판(1)을 에칭하여 홈을 형성할 때의 마스크로서 사용된다. 또한, 질화실리콘막(3)은 산화되기 어려운 성질을 갖기 때문에, 그 하부 기판(1)의 표면이 산화되는 것을 방지하는 마스크로서 사용된다. 질화실리콘막(3)의 하부의 산화실리콘막(2)은, 기판(1)과 질화실리콘막(3)과의 계면에 생기는 스트레스를 완화하여, 이 스트레스에 기인하여 기판(1)의 표면에 전위(dislocation) 등의 결함이 발생하는 것을 방지하기 위해 형성된다.

다음에, 도 2에 도시한 바와 같이, 포토레지스트막(4)을 마스크로 한 드라이 에칭으로 소자 분리 영역의 질화실리콘막(3)과 그 하부의 산화실리콘막(2)을 선택적으로 제거한 후, 도 3에 도시한 바와 같이, 질화실리콘막(3)을 마스크로 한 드라이 에칭으로 소자 분리 영역의 기판(1)에 깊이 350㎚ 정도의 홈(5a)을 형성한다.

다음에, 포토레지스트막(4)을 제거한 후, 도 4에 도시한 바와 같이, 기판(1)을 약 800 1000℃에서 열 산화함으로써, 홈(5a)의 내벽에 막 두께 10㎚ 정도의, 얇은 산화실리콘막(6)을 형성한다. 이 산화실리콘막(6)은, 홈(5a)의 내벽에 생긴 드라이 에칭의 손상을 회복함과 함께, 후의 공정에서 홈(5a)의 내부에 매립되는 산화실리콘막(7)과 기판(1)과의 계면에 생기는 스트레스를 완화하기 위해 형성한다.

다음에, 도 5에 도시한 바와 같이, 홈(5a)의 내부를 포함하는 기판(1) 상에 CVD법으로 산화실리콘막(7)을 퇴적한다. 이 산화실리콘막(7)은, 홈(5a)의 깊이보다도 두꺼운 막 두께(예를 들면 500 내지 600㎚ 정도)로 퇴적하고, 홈(5a)의 내부를 산화실리콘막(7)으로 간극없이 매립하도록 한다. 산화실리콘막(7)은, 예를 들면 산소와 테트라에톡시실란($(C_2H_5)_4Si$)을 사용한 플라즈마 CVD법으로 성막되는 산화실리콘막(이하, p-TEOS막이라 함)과 같은 스텝 커버리지(단차 피복성)가 좋은 막으로 구성한다.

다음에, 기판(1)을 약 1000℃로 열 산화함으로써, 홈(5a)에 매립한 산화실리콘막(7)의 막질을 개선하기 위한 치밀화(소결) 처리를 행한 후, 도 6에 도시한 바와 같이, 홈(5a)의 상부에 형성한 포토레지스트막(8)을 마스크로 하여 질화실리콘막(3) 상부의 산화실리콘막(7)을 드라이 에칭한다. 이 드라이 에칭은, 산화실리콘막(7)의 표면의 높이를 홈(5a)의 상부와 질화실리콘막(3)의 상부에서 거의 동일하게 하기 위해 행한다.

다음에, 도 7에 도시한 바와 같이, 산화실리콘막(7) 상부의 포토레지스트막(8)을 제거한 후, 이하와 같은 방법으로 산화실리콘막(7)을 화학 기계 연마 처리한다.

도 8은, 산화실리콘막(7)의 연마에 이용하는 화학 기계 연마 장치(100)의 처리부를 나타낸 개략도이다. 도시한 바와 같이, 화학 기계 연마 장치(100)의 처리부에는, 웨이퍼(기판: 1)를 매엽(枚葉) 방식으로 연마 처리하는 정반(101)이 설치되어 있다.

정반(101)은, 도시하지 않은 구동 기구에 의해 수평면 내에서 회전 구동하도록 되어 있다. 또한, 정반(101)의 상면에는, 다수의 기공을 갖는 폴리우레탄 등의 합성 수지를 포함하는 연마 패드(102)가 접착되어 있다.

정반(101)의 상방에는, 도시하지 않은 구동 기구에 의해서 상하 이동 및 수평면 내에서 회전 구동하는 웨이퍼 캐리어(103)가 설치되어 있다. 웨이퍼(1)는, 이 웨이퍼 캐리어(103)의 하단부에 설치한 리테이너링(retaine ring: 104) 및 멤브레인(membrane: 106)에 의해서, 그 주면(피연마면)을 하향으로 하여 유지되고, 소정의 하중으로 연마 패드(102)에 압박된다. 연마 패드(102)의 표면과 웨이퍼(1)의 피연마면 사이에는, 슬러리 공급관(105)을 통해 연마 슬러리 S가 공급되고, 웨이퍼(1)의 피연마면이 화학적이면서도 기계적으로 연마된다.

또한, 정반(101)의 상방에는, 도시하지 않은 구동 기구에 의해 상하 이동 및 수평면 내에서 회전 구동하는 드레서(107)가 설치되어 있다. 드레서(107)의 하단부에는 다이아몬드 입자를 전착(電着)한 기재(backing material)가 부착되어 있고, 연마 패드(102)의 표면은, 연마 지립에 의한 막힘(clogging)을 방지하기 위해, 이 기재에 의해 정기적으로 절삭된다.

여기서 사용하는 연마 슬러리 S는, 연마 지립 성분인 퓸드 실리카(Fumed Silica)를 물에 분산시켜, 수산화암모늄(NH_4OH)을 첨가하여 pH를 조정한 것이다. 이 연마 슬러리 S는, 다음과 같은 방법으로 성분이 조정된 후, 연마 패드(102)의 표면과 웨이퍼(1)의 피연마면 사이에 공급된다.

우선, 물에 분산시킨 실리카가 가장 안정된 상태를 유지하도록 실리카 농도를 조정한 연마 슬러리 S를 준비한다. 구체적으로는, 11 15중량%, 바람직하게는 11 13중량%, 보다 바람직하게는 12중량%의 실리카를 포함하고, 수산화암모늄(NH_4OH)의 첨가에 의해 pH를 11 부근(10.5 11.5)으로 조정한 연마 슬러리 S를 준비한다.

시판의 연마 슬러리 S 중에는, 실리카 농도를 상기한 범위로 조정한 것이 있으므로, 그것을 사용하면 된다. 단, 시판의 연마 슬러리 S 중에는, 본 발명에서 문제가 되는 미소 스크래치를 야기하는 원인이 되는 입경 1㎛ 이상의 조대 응집 입자나 이물 등이 포함되어 있다. 따라서, 시판의 연마 슬러리 S를 화학 기계 연마 장치(100)에 공급할 때에는, 슬러리 메이커로부터 구입한 연마 슬러리 S를 보관하는 탱크와 화학 기계 연마 장치(100)를 접속하는 배관계에 필터를 설치하고, 연마 슬러리 S 중의 조대 응집 입자나 이물을 충분히 제거하는 것이 바람직하다.

또한, 화학 기계 연마 장치(100)에 공급하는 연마 슬러리 S는, 사전에 탱크 내에서 적어도 30일 이상, 바람직하게는 40일 이상, 보다 바람직하게는 45일 이상 정지 방치하고, 연마 슬러리 S 0.5cc 당 포함되는 입경 1㎛ 이상의 조대 응집 입자의 수가 20만개 이하, 바람직하게는 5만개 이하, 보다 바람직하게는 2만개 이하로 된 것을 확인하고 나서 사용함으로써, 미소 스크래치의 발생을 유효하게 억제할 수 있다. 또한, 상기한 기간 정지 방치한 연마 슬러리 S를 탱크로부터 추출하여 화학 기계 연마 장치(100)로 수송할 때에는, 탱크의 바닥부에 침전한 이물이나 조대 응집 입자의 혼입을

회피하기 위해, 탱크의 바닥부로부터 5㎝ 이상, 바람직하게는 10㎝ 이상의 상징액(上澄液, supernatant) 부분을 추출하도록 한다.

연마 슬러리 S의 정지 방치란, 연마 슬러리 S를 탱크에 충전하고, 진동, 교반, 가열(대류에 의한 물질 수송을 수반하는 것) 등의 조작을 가하지 않고, 정지 상태에서 방치하는 것을 말한다. 또, 여기서 설명한 연마 슬러리 S의 보관 방법에 대해서는, 본 발명자 등에 의한 특원2000-145379호에 상세하게 기재되어 있다.

다음에, 본 실시예에서는, 상기 연마 슬러리 S를 순수로 희석한다. 연마 슬러리 S와 순수의 혼합 비율은, 1(연마 슬러리):1 1.2(순수) 정도로 하고, 희석 후의 연마 슬러리 S에 포함되는 실리카 농도를 3 9중량%, 바람직하게는 4 8중량%, 보다 바람직하게는 8중량% 정도로 조정한다. 또, 시판의 연마 슬러리 S 중에는, 실리카를 고농도(예를 들면 25중량%)로 포함한 것도 있다. 이러한 고농도의 실리카를 포함한 연마 슬러리 S를 사용하는 경우에는, 순수의 혼합 비율을 크게 함으로써, 희석 후의 연마 슬러리 S에 포함되는 실리카 농도를 상기한 범위 내로 조정한다. 또, 순수의 경우에는, 순수를 주요한 성분으로 하는 수용액 또는 약액 등을 포함하지만, 여기서는「순수」라고 총칭한다.

이와 같이, 연마 슬러리 S를 순수로 희석하여 그 용적을 크게 함으로써, 연마 슬러리 S에 포함되는 응집 입자의 농도가 저하한다. 또, 연마 슬러리 S의 희석율을 크게 하면, 응집 입자의 농도도 보다 한층 저하하지만, 연마 슬러리 S의 지립 성분 농도가 저하하면 연마 레이트도 저하하기 때문에, 희석 후의 연마 슬러리 S 에 포함되는 실리카 농도는, 적어도 3중량% 이상으로 하는 것이 바람직하다.

또한, 연마 슬러리 S를 순수로 희석하면 응집 입자의 농도는 일시적으로 저하하지만, 이 연마 슬러리 S를 방치하면, 실리카 입자의 응집이 다시 시작된다. 따라서, 순수로 희석한 연마 슬러리 S는, 될 수 있는 한 빠르게 연마에 제공되어야 한다. 즉, 연마 슬러리 S의 희석 작업은, 연마 슬러리 S를 연마 패드(102)와 웨이퍼(1)의 피연마면 사이에 공급하기 직전에 행한다.

연마 슬러리 S를 순수로 희석하고 나서 연마에 제공하기까지의 시간은, 최대 2시간 정도이고, 이 시간을 초과하면 응집 입자의 농도가 희석 전의 레벨로 되돌아가기 때문에, 희석의 효과가 없다. 또한, 연마 슬러리 S 중에서의 실리카 입자의 재응집은 시간과 함께 진행하기 때문에, 연마 슬러리 S를 희석하고 나서 연마에 제공하기까지의 시간은, 짧으면 짧을수록 바람직하여, 통상적으로는 희석 후 10분 이내, 바람직하게는 10 15초 이내로 한다.

일례로서, 도 9에 도시한 바와 같이, 슬러리 공급관(105)의 내부에 연마 슬러리 공급용의 배관(105a)과 순수 공급용의 배관(105b)을 설치하고, 슬러리 공급관(105)의 선단부에서 연마 슬러리 S와 순수를 혼합함으로써, 순수로 희석된 연마 슬러리 S를 순간적으로 연마에 제공할 수 있다.

또한, 연마 패드(102) 상에 순수 공급관을 슬러리 공급관(105)과 별도로 설치하여, 순수 공급관으로부터 공급되는 순수와, 슬러리 공급관(105)으로부터 공급되는 연마 슬러리 S를 연마 패드(102)의 표면에서 혼합하여도 된다. 또한, 연마 슬러리 S를 연마 패드(102)의 표면에 공급한 후, 순수를 연마 패드(102)의 표면에 공급함으로써 양자를 혼합하여도 된다. 단, 연마 슬러리 S와 순수를 연마 패드(102)의 표면에서 혼합한 경우에는, 국소적으로 양자의 비율이 불균일하게 되어, 그 결과, 웨이퍼면 내에서의 연마량이 불균일하게 되는 경우가 있기 때문에, 주의를 요한다.

양산 프로세스를 흐르는 기판(웨이퍼: 1)은, 상기 화학 기계 연마 장치(100)의 처리부에 한매씩 반입되고, 웨이퍼 캐리어(103)의 하단부에 고정된 후, 그 표면에 퇴적한 상기 산화실리콘막(7)이 희석된 연마 슬러리 S에 의해 연마된다. 연마의 조건은, 일례로서 하중=250g/㎠, 웨이퍼 캐리어 회전 수=30rpm, 정반 회전 수=25rpm, 슬러리 유량=200cc/min이다.

도 10은, 화학 기계 연마 처리가 완료한 직후의 기판(웨이퍼: 1)의 단면을 나타내고 있다. 상기 산화실리콘막(7)의 연마는, 질화실리콘막(3)을 스토퍼로 하여 행하여, 질화실리콘막(3)의 막 두께가 60㎚가 된 시점을 그 종점으로 한다. 이에 따라, 기판(웨이퍼: 1)의 주면의 소자 분리 영역에는, 산화실리콘막(7)이 매립된 소자 분리홈(5)이 형성된다.

연마 처리가 종료한 기판(웨이퍼: 1)은, 웨이퍼 캐리어(103)로부터 제거(착탈)된 후, 화학 기계 연마 장치(100)의 후단에 접속된 세정 장치(도시하지 않음)에 한매씩 반송되어, 순수 스크럽 세정, 순수 초음파 세정, 순수 유수 세정 혹은 순수 스핀 세정 등의 방법에 의해, 연마 슬러리 S에 포함되는 실리카 지립이나 알칼리 금속 이온이 제거된다. 그리고, 스핀 건조 또는 IPA(이소프로필 알콜) 증기 건조 등에 의해 건조 처리된 후, 다음의 공정으로 반송된다. 한편, 화학 기계 연마 장치(100)에는, 상기 도 7에 도시한 공정이 완료된 새로운 기판(웨이퍼: 1)이 한매씩 반입되어, 상기한 화학 기계 연마 처리가 반복된다.

도 11은, 상기한 소자 분리홈(5)의 형성 공정에서 웨이퍼(1)의 표면에 발생한 스크래치 결함 밀도의 수를, 순수로 희석한 연마 슬러리(실리카 농도= 6중량%)를 사용한 경우와, 희석하지 않은 연마 슬러리(실리카 농도=12중량%)를 사용한 경우로 비교한 그래프이다. 종축은, 히타치 도쿄 엘렉트로닉스사제의 자동 웨이퍼 외관 검사 장치(WI-800)를 사용하여 측정한 스크래치 결함 밀도를 나타내며, 횡축은 검사일을 나타내고 있다. 도시한 바와 같이, 순수로 희석한 연마 슬러리를 사용한 날 이후에는, 그 이전에 비하여 스크래치 결함 밀도가 현저히 저감하였다.

도 12는, 경면 웨이퍼의 주면에 플라즈마 CVD법으로 산화실리콘막을 퇴적하고, 순수로 희석한 연마 슬러리(실리카 농도=6중량%)를 사용하여 연마를 행한 경우(도 12a)와, 희석하지 않은 연마 슬러리(실리카 농도=12중량%)를 사용하여 연마를 행한 경우(도 12b)에서 미소 스크래치의 수를 비교한 결과를 나타내는 그래프이다. 미소 스크래치의 수는, 히타치 DECO사 제조의 외관 검사 장치(LS-6510)를 사용하였다. 도시한 바와 같이, 순수로 희석한 연마 슬러리를 사용하여 연마를 행한 웨이퍼는, 희석하지 않은 연마 슬러리를 사용하여 연마를 행한 웨이퍼에 비해 미소 스크래치의 수가 현저히 저감하였다.

다음에, 소자 분리홈(5)의 형성 후의 공정을 간단히 설명한다. 우선, 도 13에 도시한 바와 같이, 열 인산을 이용하여 기판(1) 상의 질화실리콘막(3)을 제거하고, 계속해서 질화실리콘막(3)의 하부의 산화실리콘막(2)을 불산으로 제거한 후, 기판(1)을 약 800 1000℃에서 열 산화함으로써, 활성 영역의 표면에 막 두께 10㎚ 정도의 얇은 산화실리콘막(10)을 형성한다.

다음에, 도 14에 도시한 바와 같이, 산화실리콘막(10)을 통해 기판(1)에 붕소(B)를 이온 주입함으로써 p형 웰(9)을 형성하고, 계속해서 산화실리콘막(10)을 불산으로 제거한 후, 기판(1)을 약 800 850℃ 열 산화함으로써, 활성 영역의 표면에 막 두께 6㎚ 8㎚ 정도의 청정한 게이트 산화막(11)을 형성한다.

다음에, 도 15에 도시한 바와 같이, 게이트 산화막(11)의 상부에 게이트 전극(12)(워드선 WL)을 형성한다. 게이트 전극(12)(워드선 WL)은, 예를 들면 게이트 산화막(11) 상에 인(P)을 도핑한 막 두께 50㎚ 정도의 다결정 실리콘막을 CVD법으로 퇴적하고, 계속해서 그 상부에 스퍼터링법으로 막 두께 120㎚ 정도의 WSi_2(텅스텐 실리사이드)막을 퇴적하고, 또한 그 상부에 CVD법으로 막 두께 160㎚ 정도의 질화실리콘막(13)을 퇴적한 후, 포토레지스트막(도시하지 않음)을 마스크로 한 드라이 에칭으로 이들 막을 패터닝함으로써 형성한다.

다음에, 에칭 잔사를 제거하기 위해 게이트 산화막(11)의 표면을 불산으로 세정한 후, 도 16에 도시한 바와 같이, p형 웰(9)에 인(P) 또는 비소(As)를 이온 주입함으로써 n형 반도체 영역(14)(소스, 드레인)을 형성한다. 여기까지의 공정에 의해, DRAM의 메모리 셀 선택용 MISFETQs가 대략 완성된다.

다음에, 도 17에 도시한 바와 같이, 기판(1) 상에 CVD법으로 질화실리콘막(15)을 퇴적하고, 계속해서 질화실리콘막(15) 상에 스핀 온 글래스막(16)을 스핀 도포한 후, 스핀 온 글래스막(16)의 상부에 CVD법으로 산화실리콘막(17)을 퇴적한다.

다음에, 도 18에 도시한 바와 같이, 산화실리콘막(17)을 화학적 기계 연마법으로 연마하여 그 표면을 평탄화한다. 이 연마 공정에서 산화실리콘막(17)에 미소 스크래치가 발생하여, 그 일부가 하층의 스핀 온 글래스막(16)에 도달하면, 다음 공정에서 행하는 불산 세정에 의해, 스핀 온 글래스막(16)의 스크래치가 확대되기 때문에, 후의 공정에서 스핀 온 글래스막(16)에 형성하는 컨택트홀(18, 19)에 플러그(20)를 매립하였을 때, 스크래치를 통해 플러그(20)끼리 단락할 우려가 있다. 따라서, 이 화학적 기계 연마 공정에서는, 상술한 바와 같은 순수로 희석한 연마 슬러리를 사용하여 연마를 행한다.

다음에, 도 19에 도시한 바와 같이, 포토레지스트막(도시하지 않음)을 마스크로 하여 산화실리콘막(17), 스핀 온 글래스막(16) 및 질화실리콘막(15)을 드라이 에칭하여, n형 반도체 영역(14)(소스, 드레인)의 상부에 컨택트홀(18, 19)을 형성한다.

다음에, 컨택트홀(18, 19)의 내부를 불산으로 세정한 후, 컨택트홀(18, 19)의 내부에 플러그(20)를 형성한다. 플러그(20)를 형성하기 위해서는, 예를 들면 컨택트홀(18, 19)의 내부 및 산화실리콘막(17)의 상부에 인(P) 도핑한 저저항 다결정 실리콘막을 CVD법으로 퇴적한 후, 산화실리콘막(17) 상부의 불필요한 다결정 실리콘막을 드라이 에칭(또는 화학 기계 연마법)으로 제거한다.

다음에, 도 20에 도시한 바와 같이, 산화실리콘막(17)의 상부에 CVD법으로 산화실리콘막(21)을 퇴적하고, 계속해서 컨택트홀(18) 상부의 산화실리콘막(21)을 에칭하여 관통 홀(22)을 형성한 후, 관통 홀(22)의 내부에 플러그(23)를 형성한다. 플러그(23)는, 예를 들면 산화실리콘막(21)의 상부에 TiN(질화 티탄)막 및 W(텅스텐)막을 퇴적한 후, 산화실리콘막(21) 상부의 불필요한 W막 및 TiN막을 화학 기계 연마법으로 제거함으로써 형성한다. 계속해서, 산화실리콘막(21)의 상부에 스퍼터링법으로 퇴적한 W막을 패터닝함으로써, 플러그(23)의 상부에 비트선 BL을 형성한다.

다음에, 비트선 BL의 상부에 CVD법으로 산화실리콘막(24)을 퇴적하고, 계속해서 컨택트홀(19) 상부의 산화실리콘막(24)을 에칭하여 관통 홀(25)을 형성한 후, 관통 홀(25)의 내부에 플러그(26)를 형성한다. 플러그(26)를 형성하기 위해서는, 예를 들면 관통 홀(25)의 내부 및 산화실리콘막(24)의 상부에 인(P) 도핑한 저저항 다결정 실리콘막을 CVD법으로 퇴적한 후, 산화실리콘막(24) 상부의 불필요한 다결정 실리콘막을 드라이 에칭(또는 화학 기계 연마법)으로 제거한다.

다음에, 도 21에 도시한 바와 같이, 산화실리콘막(24)의 상부에 CVD법으로 질화실리콘막(27)을 퇴적하고, 계속해서 질화실리콘막(27)의 상부에 CVD법으로 산화실리콘막(28)을 퇴적한 후, 포토레지스트막(도시하지 않음)을 마스크로 하여 산화실리콘막(28) 및 그 하부의 질화실리콘막(27)을 드라이 에칭함으로써, 관통 홀(25)의 상부에 홈(29)을 형성한다. 후술하는 정보 축적용 용량 소자 C의 하부 전극(30)은, 이 홈(29)의 내벽을 따라 형성되기 때문에, 하부 전극(30)의 표면적을 크게 하여 축적 전하량을 늘리기 위해서는, 산화실리콘막(28)을 두꺼운 막 두께로 퇴적할 필요가 있다.

다음에, 도 22에 도시한 바와 같이, 홈(29)의 내부에 하부 전극(30), 용량 절연막(31) 및 상부 전극(32)으로 이루어지는 정보 축적용 용량 소자 C를 형성한다. 하부 전극(30)은, 예를 들면 인(P) 도핑한 저저항 다결정 실리콘막으로 구성하고, 용량 절연막(31)은, 예를 들면 산화 탄탈(Ta_2O_5)막으로 구성한다. 또한, 상부 전극(32)은, TiN막으로 구성한다. 여기까지의 공정에 의해, 메모리 셀 선택용 MISFETQs와 이것에 직렬로 접속된 정보 축적용 용량 소자 C로 구성된 메모리 셀이 완성된다.

이상, 본 발명자에 의해 이루어진 발명을 발명의 실시예에 기초하여 구체적으로 설명하였지만, 본 발명은 상기 실시예에 한정되는 것이 아니라, 그 요지를 일탈하지 않는 범위에서 여러가지로 변경 가능한 것은 물론이다.

발명의 효과

본원에서 개시되는 발명 중, 대표적인 것에 의해 얻어지는 효과를 간단히 설명하면 이하와 같다.

화학 기계 연마법을 이용하여 웨이퍼의 표면을 연마하기 직전에, 연마 슬러리를 순수로 희석하여 응집 입자의 농도를 저하시킴으로써, 미소 스크래치를 저감할 수 있기 때문에, 반도체 집적 회로 장치의 수율 및 신뢰성을 향상시킬 수 있다.

(57) 청구의 범위

청구항 1.

반도체 집적 회로 장치의 제조 방법에 있어서,

(a) 안정된 분산 상태를 갖는 연마 슬러리를 준비하는 공정과,

(b) 상기 연마 슬러리를, 주성분이 순수인 수용액으로 희석하는 공정과,

(c) 양산 프로세스를 따라 진행하는 웨이퍼의 피처리면에, 상기 수용액으로 희석한 직후의 연마 슬러리를 공급하여 화학 기계 연마 처리를 행하는 공정

을 포함하는 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 2.

제1항에 있어서,

상기 안정된 분산 상태를 갖는 연마 슬러리는, 11 15중량%의 실리카를 포함하는 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 3.

제2항에 있어서,

상기 안정된 분산 상태를 갖는 연마 슬러리는, 11 13중량%의 실리카를 포함하는 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 4.

제2항에 있어서,

상기 안정된 분산 상태를 갖는 연마 슬러리는, 12중량%의 실리카를 포함하는 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 5.

제1항에 있어서,

상기 연마 슬러리와 상기 수용액의 혼합 비율은, 1(연마 슬러리):1 1.2(수용액)인 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 6.

제1항에 있어서,

상기 연마 슬러리를 상기 수용액으로 희석한 후, 2시간 이내에 상기 웨이퍼의 피처리면에 공급하는 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 7.

제6항에 있어서,

상기 연마 슬러리를 상기 수용액으로 희석한 후, 10분 이내에 상기 웨이퍼의 피처리면에 공급하는 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 8.

제7항에 있어서,

상기 연마 슬러리를 상기 수용액으로 희석한 후, 10 15초 이내에 상기 웨이퍼의 피처리면에 공급하는 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 9.

제2항에 있어서,

상기 안정된 분산 상태를 갖는 연마 슬러리의 pH는 10.5 11.5인 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 10.

제1항에 있어서,

상기 안정된 분산 상태를 갖는 연마 슬러리는, 그 중에 포함되는 입경 1㎛ 이상의 응집 입자의 농도가 20만개/0.5cc 이하가 될 때까지 정지 방치한 것을 사용하는 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 11.

제10항에 있어서,

상기 안정된 분산 상태를 갖는 연마 슬러리는, 그 중에 포함되는 입경 1㎛ 이상의 응집 입자의 농도가 5만개/0.5cc 이하가 될 때까지 정지 방치한 것을 사용하는 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 12.

제11항에 있어서,

상기 안정된 분산 상태를 갖는 연마 슬러리는, 그 중에 포함되는 입경 1㎛ 이상의 응집 입자의 농도가 2만개/0.5cc 이하가 될 때까지 정지 방치한 것을 사용하는 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 13.

제1항에 있어서,

상기 안정된 분산 상태를 갖는 연마 슬러리는, 30일 이상 정지 방치한 것을 사용하는 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 14.

제13항에 있어서,

상기 안정된 분산 상태를 갖는 연마 슬러리는, 40일 이상 정지 방치한 것을 사용하는 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 15.

제14항에 있어서,

상기 안정된 분산 상태를 갖는 연마 슬러리는, 45일 이상 정지 방치한 것을 사용하는 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 16.

반도체 집적 회로 장치의 제조 방법에 있어서,

(a) 11 15중량%의 실리카를 포함하는 연마 슬러리를 준비하는 공정과,

(b) 상기 연마 슬러리를, 주성분이 순수인 수용액 또는 약액으로 희석하는 공정과,

(c) 양산 프로세스를 따라 진행하는 웨이퍼의 주면에, 상기 수용액 또는 약액으로 희석한 직후의 연마 슬러리를 공급하여 화학 기계 연마 처리를 행함으로써, 상기 웨이퍼의 주면에 연마 평탄화 절연막 분리홈을 형성하는 공정

을 포함하는 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 17.

제16항에 있어서,

상기 연마 슬러리와 상기 수용액 또는 약액의 혼합 비율은, 1(연마 슬러리):1 1.2(수용액 또는 약액)인 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 18.

제16항에 있어서,

상기 연마 슬러리를 상기 수용액 또는 약액으로 희석한 후, 2시간 이내에 상기 웨이퍼의 주면에 공급하는 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 19.

제18항에 있어서,

상기 연마 슬러리를 상기 수용액 또는 약액으로 희석한 후, 10분 이내에 상기 웨이퍼의 주면에 공급하는 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 20.

제19항에 있어서,

상기 연마 슬러리를 상기 수용액 또는 약액으로 희석한 후, 10 15초 이내에 상기 웨이퍼의 주면에 공급하는 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 21.

제16항에 있어서,

상기 (a) 공정의 연마 슬러리에 포함되는 입경 1㎛ 이상의 응집 실리카 입자의 농도는, 20만개/0.5cc 이하인 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 22.

제16항에 있어서,

상기 (a) 공정의 연마 슬러리를, 사전에 30일 이상 정지 방치하는 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 23.

제16항에 있어서,

상기 (a) 공정의 연마 슬러리는, 11 13중량%의 실리카를 포함하는 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 24.

제23항에 있어서,

상기 (a) 공정의 연마 슬러리는, 12중량%의 실리카를 포함하는 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 25.

반도체 집적 회로 장치의 제조 방법에 있어서,

(a) 웨이퍼의 주면 상에 형성한 내 산화성 절연막을 마스크에 이용하여 상기 웨이퍼의 주면의 소자 분리 영역을 에칭함으로써, 상기 웨이퍼의 주면의 상기 소자 분리 영역에 홈을 형성하는 공정과,

(b) 상기 홈의 내부를 포함하는 상기 웨이퍼의 주면 상에 산화실리콘계 절연막을 형성하는 공정과,

(c) 11 15중량%의 실리카를 포함하는 연마 슬러리를 순수로 희석하는 공정과,

(d) 상기 (b) 공정이 완료한 상기 웨이퍼의 주면 상에, 상기 순수로 희석한 직후의 연마 슬러리를 공급하고, 상기 내 산화성 절연막을 연마의 스토퍼로 이용하여 상기 산화실리콘계 절연막을 화학 기계 연마함으로써, 상기 산화실리콘계 절연막을 상기 홈의 내부에 선택적으로 남겨, 상기 소자 분리 영역에 연마 평탄화 절연막 분리홈을 형성하는 공정

을 포함하는 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 26.

제25항에 있어서,

상기 연마 슬러리를 상기 순수로 희석한 후, 2시간 이내에 상기 웨이퍼의 주면에 공급하는 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 27.

제26항에 있어서,

상기 연마 슬러리를 상기 순수로 희석한 후, 10분 이내에 상기 웨이퍼의 주면에 공급하는 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 28.

제27항에 있어서,

상기 연마 슬러리를 상기 순수로 희석한 후, 10 15초 이내에 상기 웨이퍼의 주면에 공급하는 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 29.

반도체 집적 회로 장치의 제조 방법에 있어서,

(a) 11 15중량%의 실리카를 포함하는 연마 슬러리를 준비하는 공정과,

(b) 양산 프로세스를 따라 진행하는 웨이퍼의 주면에, 상기 연마 슬러리와 순수를 주성분으로 하는 수용액을 공급하면서 화학 기계 연마 처리를 행하는 공정

을 포함하는 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 30.

제29항에 있어서,

상기 연마 슬러리와 상기 수용액의 공급 비율은, 1(연마 슬러리):1 1.2(수용액)인 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 31.

제29항에 있어서,

상기 연마 슬러리에 포함되는 입경 1㎛ 이상의 응집 실리카 입자의 농도는, 20만개/0.5cc 이하인 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 32.

제29항에 있어서,

상기 연마 슬러리를, 사전에 30일 이상 정지 방치하는 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 33.

제29항에 있어서,

상기 (b) 공정은, 상기 웨이퍼의 주면에 연마 평탄화 절연막 분리홈을 형성하는 공정인 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 34.

제29항에 있어서,

상기 (a) 공정의 연마 슬러리는, 11 13중량%의 실리카를 포함하는 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

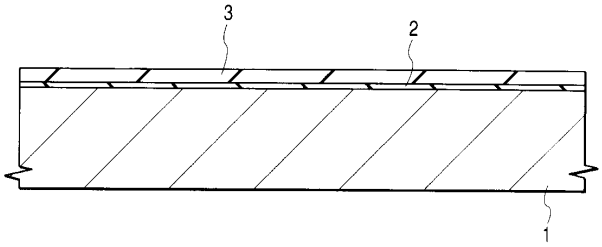
청구항 35.

제34항에 있어서,

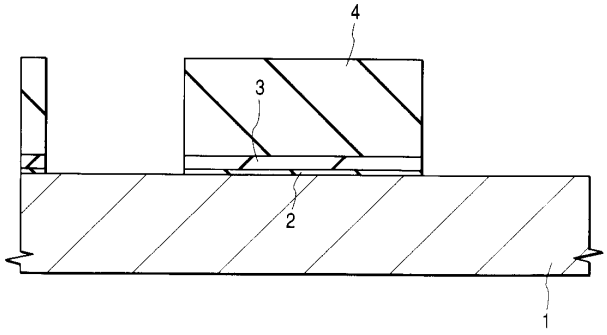
상기 (a) 공정의 연마 슬러리는, 12중량%의 실리카를 포함하는 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

도면

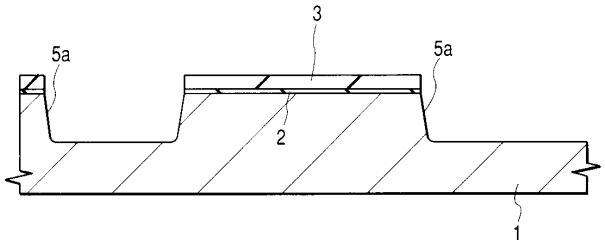
도면 1



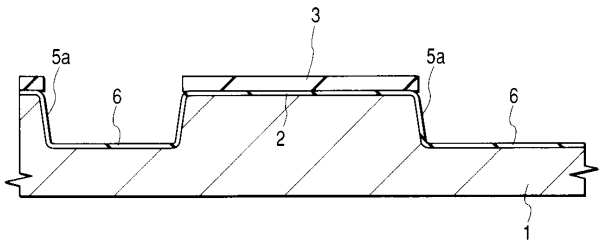
도면 2



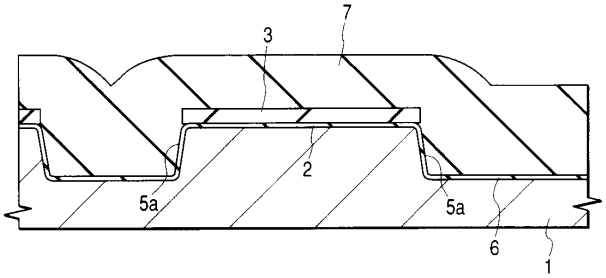
도면 3



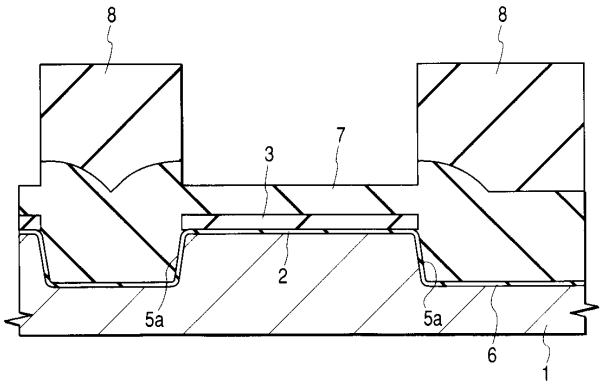
도면 4



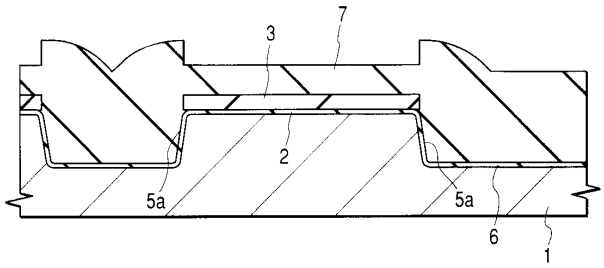
도면 5



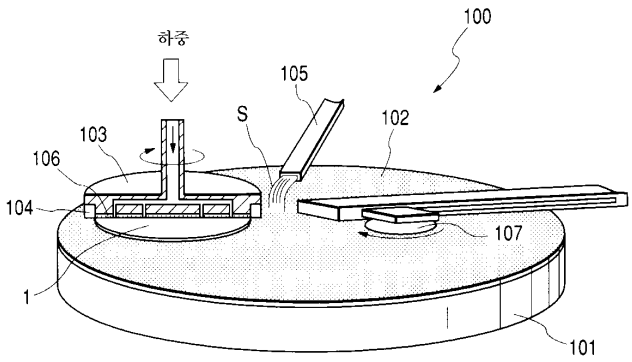
도면 6



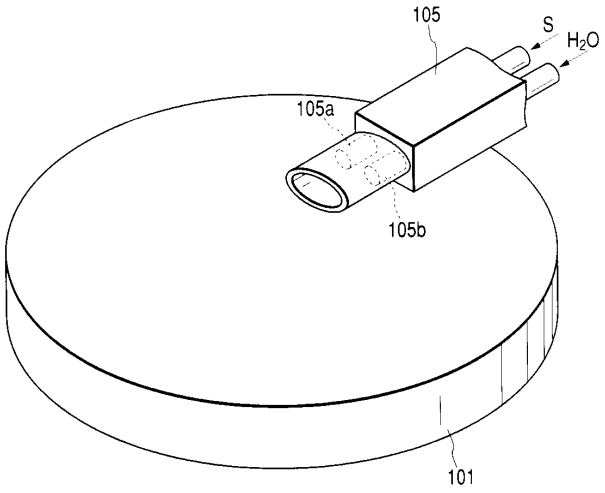
도면 7



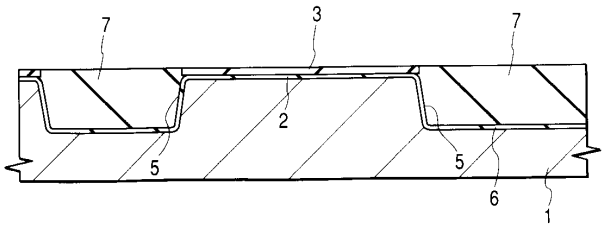
도면 8



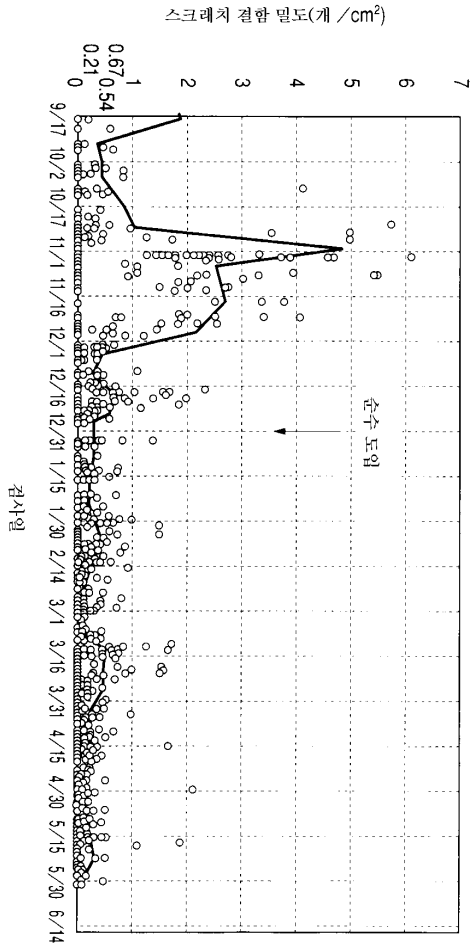
도면 9



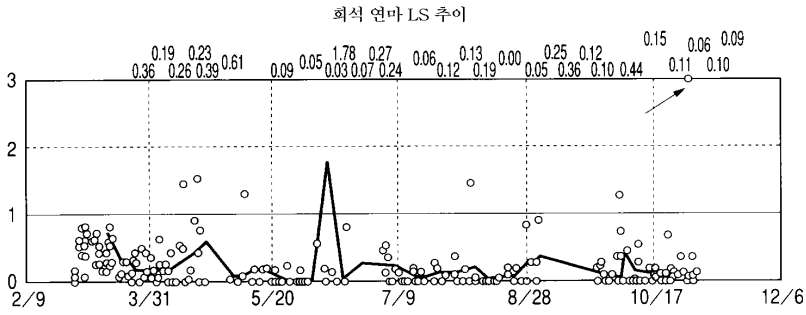
도면 10



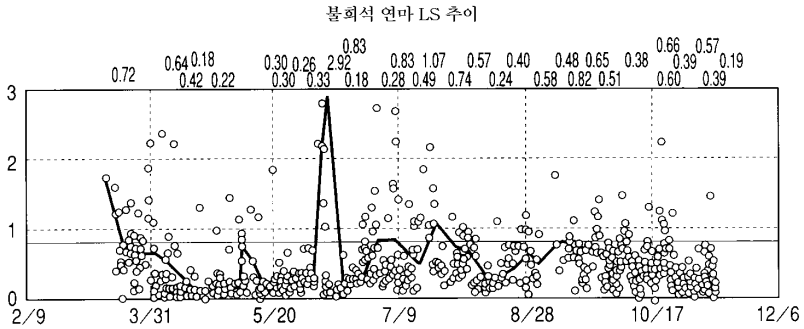
도면 11


스크레치 결함 밀도(개 /cm²)
0.21
0.67
0.54
0
1
2
3
4
5
6
7
9/17
10/2
10/17
11/1
11/16
12/1
12/16
12/31
1/15
1/30
2/14
3/1
3/16
3/31
4/15
4/30
5/15
5/30
6/14
검사일
순수 도입

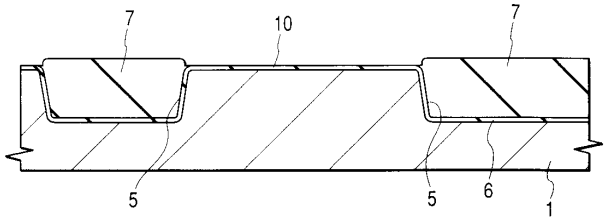
도면 12a


회석 연마 LS 추이
0.36 0.19 0.26 0.23 0.39 0.61
0.09 0.05 0.03 1.78 0.07 0.27 0.24
0.06 0.12 0.13 0.19 0.00
0.05 0.25 0.36 0.12 0.10 0.44
0.11 0.15 0.06 0.09 0.10
3
2
1
0
2/9
3/31
5/20
7/9
8/28
10/17
12/6

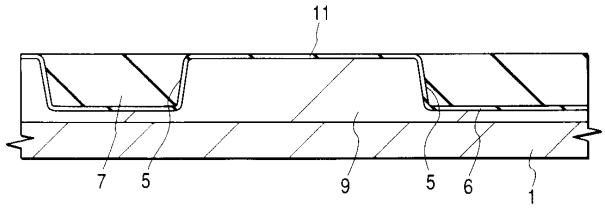
도면 12b



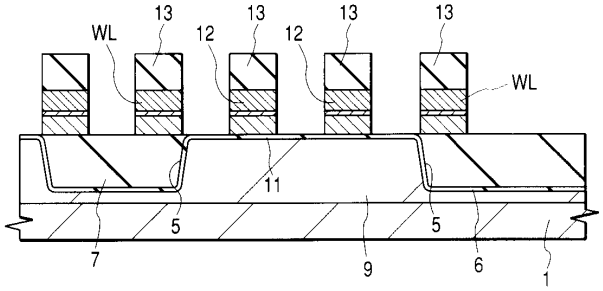
도면 13



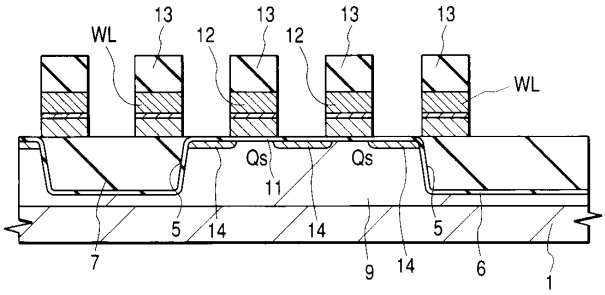
도면 14



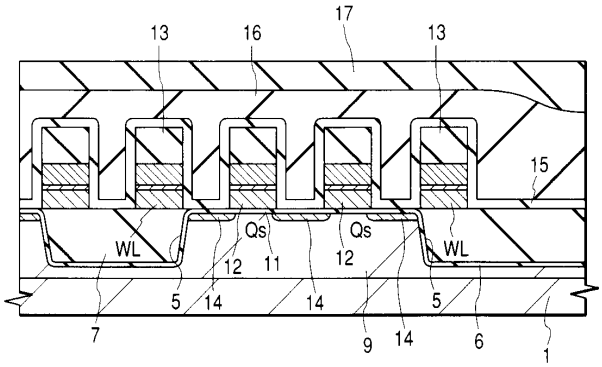
도면 15



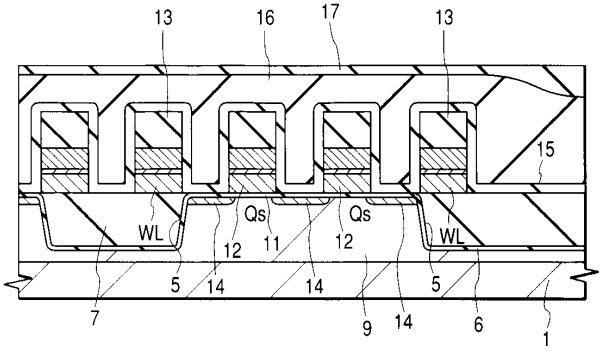
도면 16



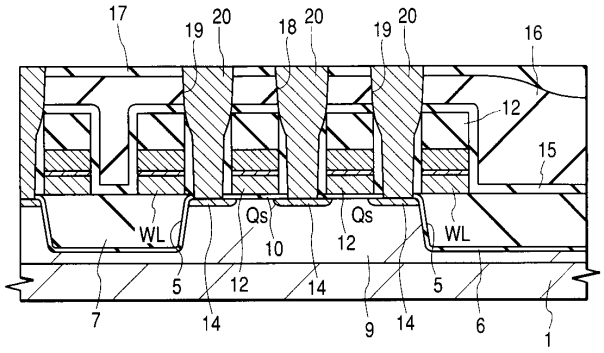
도면 17



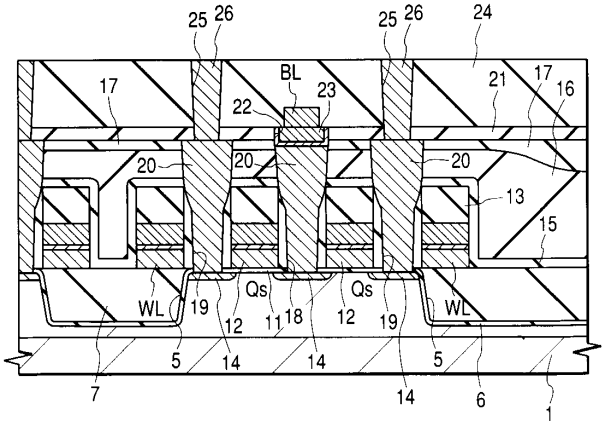
도면 18



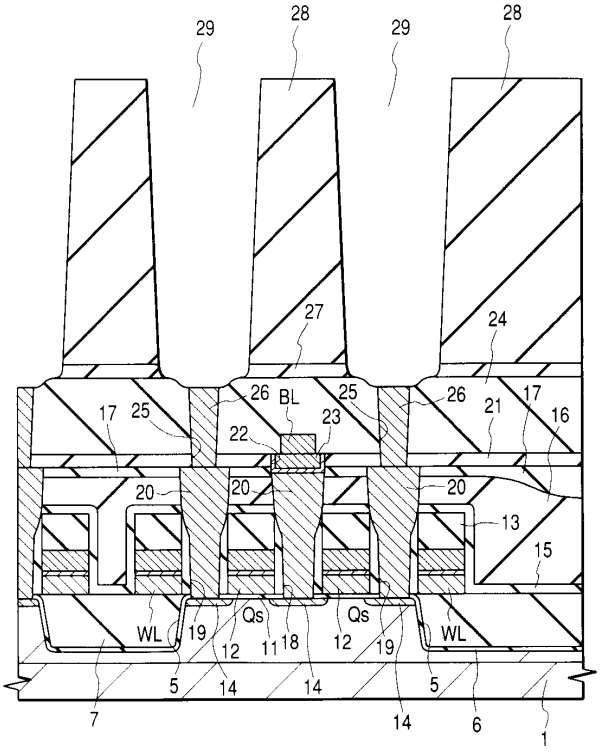
도면 19


17
19
20
18
20
19
20
16
12
15
WL
Qs
10
Qs
12
WL
5
12
14
5
7
14
9
14
6
1

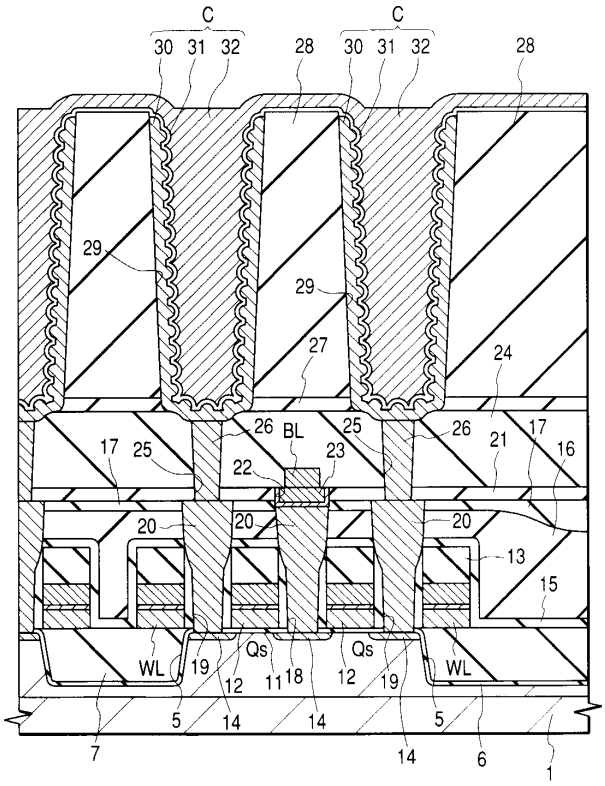
도면 20


25
26
25
26
24
17
BL
23
22
21
17
16
20
20
20
13
15
WL
19
Qs
12
11
18
12
Qs
19
WL
5
14
14
5
7
14
6
1

도면 21


29
28
29
28
27
24
17
25
26
BL
25
26
21
17
16
22
23
20
20
20
13
15
WL
19
Qs
12
11
18
12
Qs
19
WL
5
14
14
5
7
14
6
1

도면 22


C
C
30 31 32
28
30 31 32
28
29
29
27
24
26
BL
25
26
21
17
16
17 25
22
23
20
20
20
13
15
WL
19
Qs
12
11
18
Qs
12
19
WL
5
14
14
5
7
14
6
1