

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2007 年 2 月 1 日 (01.02.2007)

PCT

(10) 国際公開番号
WO 2007/013132 A1(51) 国際特許分類:
G11C 16/30 (2006.01)

(21) 国際出願番号: PCT/JP2005/013607

(22) 国際出願日: 2005 年 7 月 25 日 (25.07.2005)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(71) 出願人 (米国を除く全ての指定国について): スパ
ンション エルエルシー (SPANSION LLC) [US/US];
940883453 カリフォルニア州サニーベイルワンエイ
エムディ プレイス ピー・オー・ボックス 3453
California (US). Spansion Japan 株式会
社 (Spansion Japan Limited) [JP/JP]; 〒9650845 福島
県会津若松市門田町工業団地 6 番 Fukushima (JP).

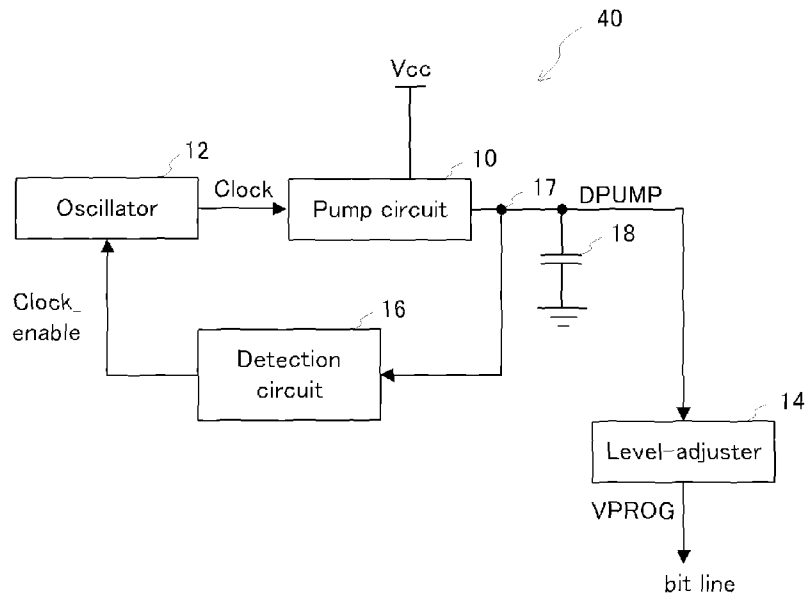
(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 岡田昌 (OKADA,
Akira) [JP/JP]; 〒1600023 東京都新宿区西新宿四丁
目 33 番 4 号 Spansion Japan 株式
会社内 Tokyo (JP). 矢野勝 (YANO, Masaru) [JP/JP];〒1600023 東京都新宿区西新宿四丁目 33 番 4 号
Spansion Japan 株式会社内 Tokyo
(JP). 黒崎一秀 (KUROSAKI, Kazuhide) [JP/JP]; 〒
1600023 東京都新宿区西新宿四丁目 33 番 4 号
Spansion Japan 株式会社内 Tokyo (JP).(74) 代理人: 片山修平 (KATAYAMA, Shuhei); 〒1040031
東京都中央区京橋 1-6-1 三井住友海上テプコビ
ル Tokyo (JP).(81) 指定国 (表示のない限り、全ての種類の国内保護
が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG,
BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK,
DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR,
HU, ID, IL, IN, IS, JP, KE, KG, KM, KP, KR, KZ, LC, LK,
LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX,
MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU,
SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT,
TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.(84) 指定国 (表示のない限り、全ての種類の広域保護が可
能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD,

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE AND CONTROL METHOD THEREOF

(54) 発明の名称: 半導体装置およびその制御方法



(57) Abstract: There is provided a semiconductor device including; a pump circuit (10) for boosting an output node connected to a memory cell array; an oscillator (12) for outputting clock to the pump circuit; and a detection circuit (16) for operating the oscillator if the voltage of an output node (17) of the pump circuit is lower than a first reference voltage and stopping the oscillator if the voltage of the output node is higher than a second reference voltage. A control method of the semiconductor device is also disclosed. The oscillator is stopped when the voltage of the output node of the pump circuit is equal to or greater than a target voltage. For this, the pump circuit is also stopped. Accordingly, there is no case that unnecessary charge flows to the ground. Thus, it is possible to reduce power consumption of the boosting circuit.

[続葉有]

WO 2007/013132 A1



SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(57) 要約: 本発明は、メモリセルアレイに接続された出力ノードを昇圧するポンプ回路(10)と、ポンプ回路にクロックを出力する発振器(12)と、ポンプ回路の出力ノード(17)の電圧が第1の参照電圧より低い場合、発振器を動作させ、出力ノードの電圧が第2の参照電圧より高い場合、発振器を停止させる動作信号を発振器に出力する検出回路(16)と、を具備する半導体装置およびその制御方法である。本発明によれば、ポンプ回路の出力ノードの電圧が目標の電圧以上のときは、発振器を停止する。そのため、ポンプ回路も停止する。よって、不要な電荷をグラウンドに流してしまうことがない。よって、昇圧回路の消費電力を削減することができる。

明 細 書

半導体装置およびその制御方法

技術分野

[0001] 本発明は半導体装置およびその制御方法に関し、特にメモリセルに接続されたラインを昇圧するポンプ回路を有する半導体装置およびその制御方法に関する。

背景技術

[0002] 半導体記憶装置においては、メモリセルに接続するライン(例えば、ビットラインやワードライン)を電源電圧より昇圧する場合があります、昇圧のためポンプ回路が使用される。例えば、代表的な不揮発性メモリであるフラッシュメモリを例に説明する。フラッシュメモリのメモリセルを構成するトランジスタは電荷蓄積層と呼ばれるフローティングゲートまたは絶縁膜を有している。そして、電荷蓄積層に電荷を蓄積させることにより、データを記憶する。電荷蓄積層への電荷の蓄積(書き込み)は、ソース・ドレイン間で高エネルギーとなったホットエレクトロンやホットホールを電荷蓄積層に注入することにより行う。そのため、ゲートに接続したワードラインに正電圧を印加し、ドレインに接続したビットラインに高い正電圧を印加する。例えば、電源電圧3Vに対し、ビットラインに4Vを印加する。

[0003] 従来のポンプ回路(従来例1)について、図1を用い説明する。図1は昇圧回路の回路構成図である。例えば、ビットラインに4Vを供給する際は以下のように動作する。発振器2がポンプ回路8にクロックを出力する。ポンプ回路8はクロックがハイレベルの際、電荷を貯め、電源電圧Vccである3Vに対しポンプ回路8の出力ノードの電圧DPUMPが約6Vとなるまで昇圧する。DPUMPが6Vを超えると、ポンプ回路8により昇圧された電荷はレギュレーション回路6よりグランドに流れ、ほぼ一定のレベルを維持する。ポンプ回路8の出力DPUMPはレベル調整回路4により、ビットラインに必要な4Vに調整される。

[0004] フラッシュメモリには、高記憶容量化のため窒化シリコン層からなるトラップ層に電荷を蓄積させるSONOS(Silicon Oxide Nitride Oxide Silicon)型フラッシュメモリがある。さらに、その中に、例えば、特許文献1に開示されたフレッシュメモリがある。このメ

メモリセルはソースとドレインを入れ替えて対称的に動作させる仮想接地型構造を有している。このようなフラッシュメモリにおいては、データ書き込みの際、ソースを接地し、ゲートとドレインに高電圧を印加する。これにより、ホットエレクトロンをトラップ層へ注入することによりデータの書き込みを行う。このとき、ドレインには電源電圧以上の電圧を印加する(例えば4V)。そのため、電源電圧から昇圧する(例えば3Vから4V)ポンプ回路が必要となる。特許文献2には、ポンプ回路の出力ノードにキャパシタを接続された回路(従来例2)が開示されている。

[0005] 特許文献1:特表2000-514946号公報

特許文献2:特開平6-20485号公報

発明の開示

発明が解決しようとする課題

[0006] しかしながら、従来例1によれば、例えば、前述のフラッシュメモリにおいて、共通のワードラインに接続された複数のコアセル(例えば128bit分)のプログラミングを連続して行う場合、ビットラインを複数本同時に昇圧する。この場合、ポンプ回路8はこの昇圧動作を連続的に行うため、昇圧回路の消費電力が大きくなる。本発明は、昇圧回路の消費電力を抑制することが可能な半導体装置およびその制御方法を提供することを目的とする。

課題を解決するための手段

[0007] 本発明は、メモリセルアレイに接続された出力ノードを昇圧するポンプ回路と、前記ポンプ回路にクロックを出力する発振器と、動作信号を前記発振器に出力する検出回路と、を具備し、前記動作信号は前記ポンプ回路の出力ノードの電圧が第1の参照電圧より低い場合、前記発振器を動作させ、前記出力ノードの電圧が第2の参照電圧より高い場合、前記発振器を停止させる信号である半導体装置である。本発明によれば、ポンプ回路の出力ノードの電圧が目標の電圧以上のときは、発振器を停止する。そのため、ポンプ回路も停止する。よって、不要な電荷をグラウンドに流すことがない。よって、昇圧回路の消費電力を削減することができる。

[0008] 本発明は、前記出力ノードに結合するキャパシタを具備する半導体装置とすることができる。本発明によれば、ポンプ回路の出力ノードの電圧の低下を小さくすることが

できる。

- [0009] 本発明は、前記キャパシタの容量値は、前記出力ノードに接続し同時に選択可能なラインの配線容量の和より大きい半導体装置とすることができる。本発明によれば、同時に昇圧することが求められるラインの昇圧するために必要な電荷をキャパシタに蓄積することができる。よって、ポンプ回路の出力ノードの電圧の低下を小さくすることができる。
- [0010] 本発明は、前記クロックの周波数は、前記ポンプ回路の効率が実質的に周波数に依存しなくなる周波数以下である半導体装置とすることができる。本発明によれば、ポンプ回路の効率を上げることができ、消費電力の低減することが可能となる。
- [0011] 本発明は、前記第1の参照電圧は前記第2の参照電圧より低く、前記動作信号は、出力ノードの電圧が前記第1の参照電圧より低くなると、出力ノードの電圧が前記第2の参照電圧より高くなるまで、前記ポンプ回路を動作させ、出力ノードの電圧が前記第2の参照電圧より高くなると、出力ノードの電圧が前記第1の参照電圧より低くなるまで、前記ポンプ回路を停止させる信号である半導体装置とすることができる。本発明によれば、ポンプ回路のオンオフの周期が長くなる。よって、ポンプ回路の効率が向上し、消費電力を低減できる。
- [0012] 本発明は、前記ポンプ回路は複数のサブポンプ回路を有し、前記発振器は各サブポンプ回路に各々位相をシフトしたクロックを出力する半導体装置とすることができる。本発明によれば、実質的に周期を短く回路ポンプの出力ノードを昇圧することができる。よって、回路ポンプの出力ノードの電圧が急激に低下した場合も、昇圧するタイミングを早くすることができる。
- [0013] 本発明は、前記発振器は、前記クロックの位相のシフトと同じ位相をシフトさせ、各クロックを停止させる半導体装置とすることができる。本発明によれば、サブポンプの停止するタイミングがシフトするため、サブポンプが同時に動作することはなく、回路ポンプの出力ノードの電圧が一時的に高くなることを抑制することができる。
- [0014] 本発明は、前記出力ノードに出力電圧を一定に保つように調整するレベル調整器を具備する半導体装置とすることができる。本発明によれば、レベル調整器により、ラインの電圧をより一定に保つことができる。

- [0015] 本発明は、前記メモリセルアレイはフラッシュメモリセルアレイである半導体装置とすることができる。本発明は、前記ポンプ回路は、前記フラッシュメモリセルアレイのプログラム時に前記出力ノードを昇圧する半導体装置とすることができる。本発明は、出力ノードは前記メモリセルアレイのビットラインに接続された半導体装置とすることができる。本発明によれば、これら昇圧回路の消費電力が大きくなる可能性が高い場合も、消費電力を抑制することができる。
- [0016] 本発明は、メモリセルアレイに接続された出力ノードを昇圧するポンプ回路と、前記ポンプ回路にクロックを出力する発振器と、を具備する半導体装置の制御方法において、前記ポンプ回路の出力ノードの電圧が第1の参照電圧より低い場合、前記発振器を動作させるステップと、前記出力ノードの電圧が第2の参照電圧より高い場合、前記発振器を停止させるステップと、を有する半導体装置の制御方法である。本発明によれば、ポンプ回路の出力ノードの電圧が目標の電圧以上のときは、発振器を停止する。そのため、ポンプ回路も停止する。よって、不要な電荷をグラウンドに流すことがない。よって、昇圧回路の消費電力を削減することができる。
- [0017] 本発明は、前記ステップは、前記出力ノードの電圧が前記第1の参照電圧より低くなると、前記出力ノードの電圧が前記第2の参照電圧より高くなるまで、前記ポンプ回路を動作させ、前記出力ノードの電圧が前記第2の参照電圧より高くなると、前記出力ノードの電圧が前記第1の参照電圧より低くなるまで、前記ポンプ回路を停止させるステップである半導体装置の制御方法とすることができる。本発明によれば、ポンプ回路のオンオフの周期が長くなる。よって、ポンプ回路の効率が向上する。

発明の効果

- [0018] 本発明によれば、ポンプ回路の消費電力を抑制することが可能な半導体装置およびその制御方法を提供することができる。

図面の簡単な説明

- [0019] [図1]図1は従来例1に係るフラッシュメモリの昇圧回路の構成を示す図である。
[図2]図2は実施例1に係るフラッシュメモリの昇圧回路の構成を示す図である。
[図3]図3は実施例1に係るフラッシュメモリのメモリセル周辺を示した図である。
[図4]図4は従来例1と実施例1におけるプログラミング時の各電圧の時間変化を示し

た図である。図4(a)は従来例1のDPUMPおよびビットラインの電圧(BL)の時間変化、図4(b)は実施例1のDPUMPおよびBLの時間変化、図4(c)は実施例1のClock_enable信号の電圧を示した図である。

[図5]図5は実施例1において、ポンプ回路の出力ノードにキャパシタが設けてある場合におけるプログラミング時の各電圧の時間変化を示した図である。図5(a)はキャパシタのない場合、図5(b)はキャパシタのある場合の図である。

[図6]図6はポンプ回路の周波数に対する効率を計算した結果を示す図である

[図7]図7(a)ないしは図7(c)は実施例1に係るフラッシュメモリの検出回路の一部の回路図(その1)である。

[図8]図8(a)および図8(b)は実施例1に係るフラッシュメモリの検出回路の一部の回路図(その2)である。

[図9]図9は実施例1に係るフラッシュメモリの検出回路の一部の回路図(その3)である。

[図10]図10(a)および図10(b)は実施例1に係るフラッシュメモリの検出回路の動作を説明するための図である。

[図11]図11は実施例1に係るフラッシュメモリのサブポンプの回路図である。

[図12]図12(a)および図12(b)は実施例1に係るフラッシュメモリのポンプ回路および発振器の一部の構成を示す図である。

[図13]図13(a)および図13(b)は実施例1に係るフラッシュメモリのポンプ回路の動作を説明するための図である。

[図14]図14は実施例1に係るフラッシュメモリのレベル調整回路の構成を示す図である。

発明を実施するための最良の形態

[0020] 以下、図面を用い本発明に係る実施例について説明する。

実施例 1

[0021] 実施例1に係るフラッシュメモリは、特許文献1に記載されているSONOS型フラッシュメモリであり、仮想接地型のアレー方式を採用している。また、NAND型と同じインターフェースで動作させるフラッシュメモリとして使用する。NAND型フラッシュメモ

リはフローティングゲートに電荷を蓄積させるメモリセルを用いすることが一般的である。そして、メモリセルへの書き込みは、フローティングゲート上のコントロールゲートと基板間に高電位を生成しFNTトンネン現象により行う。このため、ページ単位(例えば2 kByte)でデータを一括に書き込むことが可能である。一方、実施例1に係るフラッシュメモリにおいては、ホットエレクトロン現象を用いデータを書き込むため、書き込み時に必要な電流が大きく、同時に書き込めるデータに制限がある。しかし、実施例1に係るフラッシュメモリは、外部とのインターフェースはNAND型フラッシュメモリとして動作させる。そこで、連続してデータをプログラミングする数は、プログラミング速度向上のため可能な限り多くのデータをプログラミングする要請、および、データ書き込み時に多くの電流を必要とした場合、ビットラインの電圧を安定化する要請、を考慮して決められる。実施例1においては、例えば、128bit単位で連続してプログラミングが行われる。つまり、同一のワードラインに接続されたコアセル、128個連続でプログラミングされる。

[0022] 図2は実施例1に係るフラッシュメモリの昇圧回路40の構成図である。発振器12がクロックをポンプ回路10に出力する。ポンプ回路10はメモリセル22(コアセル)に接続されており、クロックにより、ポンプ回路10の出力ノード17を電源電圧Vcc(例えば3V)より高電圧に昇圧する。出力ノード17の電圧(DPUMP)は検出回路16により検出される。検出回路16は、DPUMPが参照電圧(例えば6V)より高ければ、動作信号Clock__enableをローレベルにし、DPUMPが参照電圧より低ければ、動作信号Clock__enableをハイレベルにする。発振器12は動作信号Clock__enableがハイレベルのときはポンプ回路10にクロックを出力するが、Clock__enableがローレベルのときはクロックを出力しない。

[0023] 出力ノード17にはキャパシタ18が結合しており、ポンプ回路10により運ばれた電荷を蓄積する。出力ノード17はレベル調整回路14に接続される。レベル調整回路14はビットラインに出力する電圧(4V)を一定になるように調整し、ビットラインに出力する。

[0024] 図3は実施例1に係るフラッシュメモリのメモリセルアレイ周辺の構成図である。メモリセルアレイ20にはコアセル22がマトリックス状に配置されている。コアセル22のゲー

トはワードライン26に接続され、ソース、ドレインは異なるビットライン24に接続されている。ワードライン26は図3の縦方向に、ビットライン24は横方向に複数配置されている。ビットライン24a、24b、24cはFET28a、28b、28cを介しライトアンプ30に接続される。FET28a、28b、28cはYデコーダに接続され、プログラミングを行うビットライン24をライトアンプ30に接続する。ライトアンプ30には昇圧回路40が接続される。

[0025] コアセル22にデータの書き込みを行う際は、まず、書き込みを行うワードライン26を選択し、正電圧が印加される。昇圧回路40より電源電圧(3V)以上に昇圧された電圧(4V)がライトアンプ30に供給される。ライトアンプ30は、YデコーダよりFET28aで選択されたビットライン24aを4Vとする。これによりコアセル22aのトランジスタのドレインが4Vとなる。コアセル22aのソースは図示していないFETに選択されグランドに接続される。以上により、コアセル22aにデータが書き込みされる。次にコアセル22bにデータを書き込む場合も、コアセル22aと同様に行う。同一のワードライン26に接続されたコアセル22を例えば128個単位で連続してプログラミングする場合、プログラミングする128個のコアセル22のうち、データを書き込むコアセル22はライトアンプ30により選択される。そして、選択されたコアセル22には上記のようにデータが書き込まれる。

[0026] このように、例えば128bit単位で連続してプログラミングを行う場合、昇圧回路40は最大で同時に128本のビットライン24を昇圧するため、大きい電荷をチャージできる昇圧回路40が求められる。これは、書き込みの初期には、メモリセルに大きな書き込み電流がグランドに流れてしまうためである。一方、プログラミングされる128bitのうち書き込みを行うコアセル22が比較的少ない場合もありうる。この場合、昇圧するビットライン24も比較的少なくなる。従来例1においては、このような場合、DPUMPの電圧が高くなると、必要でない電荷はレギュレーション回路6よりグランドに流してしまう。これでは、消費電力が大きくなってしまう。

[0027] 実施例1に係るフラッシュメモリの昇圧回路40は、ポンプ回路10の出力ノード17の電圧DPUMPが目標とする電圧(第1の参照電圧)より低い場合、発振器12を動作させ、出力ノード17電圧DPUMPが目標とする電圧(第2の参照電圧)より高い場合、発振器10を停止させる動作信号を発振器10に出力する検出回路16とを有している

。これにより、DPUMPが目標の電圧以上のときは、発振器12を停止する。そのため、ポンプ回路10も停止する。よって、従来例1のようにレギュレーション回路6により不要な電荷をグランドに流してしまうことがない。よって、消費電力を削減することができる。ここで、第1の参照電圧と第2の参照電圧とは同じでも良いが異なっても良い。

[0028] また、昇圧回路40は、出力ノード17に結合するキャパシタ18を有している。実施例1のように、128本のビットライン24を昇圧する場合、多くの電荷が必要になる。そこで、ポンプ回路10が昇圧した電荷をキャパシタ18に蓄積することにより、書き込み時の電圧の低下を小さくすることができる。

[0029] さらに、キャパシタ18の容量値は、その出力ノードに接続し同時に選択可能なビットライン(ライン)の配線容量の和より大きくすることもできる。これにより、多数同時に昇圧することが求められるビットライン24の昇圧をするために必要な電荷をキャパシタ18に蓄積することができる。実施例1においては、ビットライン24の配線容量は約5 pFである。そして、同時に選択可能なビットラインは、連続してプログラミングするため同時に昇圧されうる128bit分すなわち128本である。そこで、キャパシタ18の容量値は $5\text{pF} \times 128\text{本} = 640\text{pF}$ 以上とすることが好ましい。

[0030] さらに、昇圧回路40は、出力ノード17にビットライン24の電圧を一定に保つように調整するレベル調整器14を有することができる。レベル調整器14により、ビットライン24の電圧をより一定に保つことができる。

[0031] 図4は実施例1および従来例1に係るフラッシュメモリにおいて、128bitのプログラミングを連続的に4回行ったときの消費電流をシミュレーションした結果である。図4(a)は従来例1のDPUMPおよびビットラインの電圧(BL)の時間変化、図4(b)は実施例1のDPUMPおよびBLの時間変化を示している。図4(c)は実施例1のClock__enable信号の電圧を示している。図4(a)および図4(b)中、両矢印の範囲がプログラミングを4回繰り返したときを示している。

[0032] 図4(b)および図4(c)を参照に、プログラミング開始と共にDPUMPからBLに電荷が供給されるため、DPUMPの電圧が低下する。DPUMPが参照電圧以下となると検出回路16はClock__enableをハイレベルとする。Clock__enableを入力した発

振器12が動作し、ポンプ回路10が動作する。DPUMPからBLに電荷が供給され、BLの電圧は上昇する。BLの電圧が一定となり、DPUMPの電圧も回復し参照電圧より高くなると、検出回路16はClock__enableをローレベルとする。発振器12は動作を停止するため、ポンプ回路10も動作を停止する。次のプログラミングが開始されると、DPUMPからBLに電荷が供給されるため、DPUMPの電圧が低下する。以上を繰り返す。ここで、各電圧の波形が各プログラミングにより、若干異なるのは、プログラミングの際の書き込むビットパターンが異なるためである。

[0033] このようにプログラミングを4回繰り返したときの昇圧回路40の1回あたりの消費電流は、従来例では150mAに対し、実施例1では85mAであった。このように、実施例1によれば、検出回路16を設けたことにより消費電力を小さくすることができる。

[0034] 図5は実施例1に係るフラッシュメモリにおいて、キャパシタ18の有無によるDPUMP、BLの電圧をシミュレーションした結果である。図5(a)はキャパシタ18のない場合、図5(b)はキャパシタ18のある場合(実施例1)の結果を示している。プログラミングの方法や図の記載は図4と同様である。図5(a)を参照し、プログラミング初期のDPUMPの電圧が低く、回復が遅い。特に、1回目および3回目のプログラミングの後半では、ポンプ回路10が停止し、DPUMPが低下したところで、2回目および4回目のプログラミングを開始しているため、BLの上昇が遅い。一方、図5(b)を参照し、実施例1では、DPUMPの低下やBLの上昇の遅延は小さい。このように、キャパシタ18を設けることによりDPUMPの電圧低下を小さくし、BLの電圧上昇を早めることができる。

[0035] ポンプ回路10による昇圧を早めるためには発振器12から出力されるClockの周波数を高くする(周期を短くする)ことも考えられる。図6はポンプ回路10のclockの周波数に対する効率を計算した結果である。ここで、ポンプ回路10の出力電圧を V_p 、ポンプ回路10に印加する電源電圧を V_{cc} 、ポンプ回路10の出力を接地し強制的に電流を流した場合の電流を I_p 、電源からの消費電流を I_{vcc} とする。このとき効率である Eff は $Eff = (V_p \times I_p) / (V_{cc} \times I_{vcc}) \times 100(\%)$ とする。

[0036] 図6のように、Clockの周波数が低いとき効率は一定であるが、周波数が高くなると効率は低下する。これは、ポンプ回路10などのCMOSがスイッチングする機会が増えるため、CMOSにリーク電流が流れてしまうためである。図5(a)のようなDPUMP

の電圧低下を抑制するため、Clock周波数を高くすると消費電力が高くなってしまう。実施例1によれば、キャパシタ18を付加することにより、DPUMPの電圧低下を抑制する。これにより、Clockの周波数は、ポンプ回路10の効率が実質的に周波数に依存しなくなる(すなわち、ポンプ回路10の効率が消費電力に影響しない程度の)周波数以下とすることができる。これにより、ポンプ回路10の効率を上げることができ、より消費電力を低減することが可能となる。

[0037] 次に、実施例1の検出回路16の例について説明する。図7ないし図9は検出回路16の回路図である。図7(a)はポンプ回路10の出力DPUMPを抵抗分割し一定比率の電圧に低下させる回路60である。ポンプ回路10の出力ノード17とグランド間に抵抗R1、R2、R3、R4、R5、R6およびR7が直列に接続されている。抵抗R1とR2の間、R2とR3の間、R3とR4の間、R4とR5の間、R5とR6の間並びにR6とR7の間には、それぞれ端子LA、UA、LB、UB、LCおよびUCが接続されている。これらは、ビットラインを異なる電圧にチャージするモードA、BおよびC(例え読み出し、消去、書き込みする場合)に相当する端子である。それぞれのモードでポンプ回路10をオフする基準とオンする基準を有している。UCはCモードでオフする基準であり、LCはCモードでオンする基準である。UA、LA、UB、LBも同様である。

[0038] 図7(b)、図7(c)は各モードのオフする基準、オンする基準を選択する回路62a、62bである。図7(b)を参照に、オフする基準の選択回路60aは、各選択FET64a、66aおよび68aのソースにそれぞれUA、UBおよびUCが入力する。そして、FET64a、66aおよび68aの各ゲートに入力されているFET選択信号SelA、SelBおよびSelCにより、一つが選択されREFUとしてドレインより出力される。本例では書き込み(C)モードのアップリミットであるUCが選択される。図7(c)のローアリミットの選択回路62bも同様の構成機能であり、LCが選択されREFLとして出力される。

[0039] 図8(a)は、DPUMPが第2の参照電圧より高ければOU信号をハイレベルにし、低ければローレベルとする比較回路70aである。カレントミラー型差動増幅器72aが電源Vccとグランド間に接続されている。差動増幅器72aはP-FET76a、78a、N-FET80a、82a、84aを有している。FET84aはDEF__Cにより、差動増幅器72aに加わる電圧を調整する電流源である。差動増幅器72aの入力にREFUおよび参照電

圧VREFが入力する。VREFとREFUの差が増幅され、差動増幅器72aの出力に出力する。比較器74aが電源Vccとグランド間に接続され、P-FET86a、N-FET88aを有している。差動増幅器72aの出力がFET86aのゲートに入力し、DEF_CがFET88aに入力する。比較器74aの出力ノード94aは、REFUがVREFより高ければローレベル、低ければハイレベルとなる。P-FET71a、90aはポンプ駆動信号PUMP_ENBまたはPUMP_ENにより比較回路72aをオンオフするスイッチである。比較回路70aの出力OUは、出力ノード94aよりインバータ92を介し信号を反転し出力される。よって、REFUがVREFより高ければOUはハイレベル、低ければローレベルとなる。REFU(UC)はDPUMPを分圧された電圧であるから、REFUとVREFの比較は、DPUMPとVREFをこの分圧比で除した電圧との比較と等価となる。よって、VREFを分圧比で除した電圧が第2の参照電圧となる。

[0040] 図8(b)は、DPUMPが第1の参照電圧より低ければOL信号をハイレベルにし、高ければローレベルとする比較回路70bである。インバータ92の相当するインバータがないこと以外は比較回路70aと同じ構成機能である。よって、REFLがVREFより低ければOLはハイレベル、高ければローレベルとなる。また、VREFをREFL(LC)のDPUMPに対する分圧比で除した電圧が第1の参照電圧となる。

[0041] 図9は、DPUMPが第1の参照電圧より低くなると、DPUMPが第2の参照電圧より高くなるまで、Clock_enableをハイレベルとし、DPUMPが第2の参照電圧より高くなると、DPUMPが第1の参照電圧より低くなるまで、Clock_enableをローレベルとする回路100である。図9を参照に、電源Vccとグランドの間にP-FET104、106、108およびN-FET110、112、114が直列に接続されている。FET104および114のゲートにはOLが入力する。FET106および112のゲートにはインバータ102で反転したOUが入力する。FET108、110のゲートにはポンプ駆動信号PUMP_ENBおよびPUMP_ENが入力する。FET108と110の間のノード115にはインバータ116、118からなるフリップフロップ120の入力が接続される。フリップフロップ120の出力はインバータ112、124が接続されClock_enableとして出力する。ノード115はさらにFET126を介し接地される。FET126にはインバータ128を介しPUMP_ENが接続され、ポンプ駆動信号PUMP_ENによりオンオフされる。

- [0042] 回路100において、OUがハイレベルおよびOLがローレベルのときノード115はハイレベルとなる。よって、Clock__enableはローレベルとなる。一方、OUがローレベルおよびOLがハイレベルのとき、ノード115はローレベルとなり、Clock__enableはハイレベルとなる。OLおよびOUが共にローレベルまたはハイレベルのときはノード115は電源Vccにもグランドにも非接続となる。この場合、Clock__enableはフリップフロップ120に設定された前のレベルとなる。
- [0043] 図10は検出回路16の動作を説明するための図である。図10(a)は、実施例1の昇圧回路40の時間に対する出力ノード17の電圧DPUMPを模式的に描いた図である。DPUMPが第1の参照電圧より低い場合、OUはローレベルおよびOLはハイレベルであり、回路100はClock__enableとしてハイレベルを出力する。よって、ポンプ回路10は動作する。次に、DPUMPが第1の参照電圧より高く、第2の参照電圧より低くなる。このときOUおよびOLは共にローレベルとなる。回路100は前のClock__enableレベルであるハイレベルを出力する。よって、ポンプ回路10は動作したままである。次に、DPUMPが第2の参照電圧より高くなる。OUはハイレベルおよびOLはローレベルであり、回路100はClock__enableとしてローレベルを出力する。よって、ポンプ回路10は停止する。次に、DPUMPが第2の参照電圧より低く、第1の参照電圧より高くなる。このときOUおよびOLは共にローレベルとなる。回路100は前のClock__enableレベルであるローレベルを出力する。よって、ポンプ回路10は停止したままである。次に、DPUMPが第1の参照電圧より低くなり、Clock__enableはハイレベルとなり、ポンプ回路10は動作する。
- [0044] このように、Clock__enable(動作信号)は、DPUMP(ポンプ回路の出力ノードの電圧)が第1の参照電圧より低くなると、DPUMPが第2の参照電圧より高くなるまで、ポンプ回路10を動作させ、DPUMPが第2の参照電圧より高くなると、DPUMPが第1の参照電圧より低くなるまで、ポンプ回路10を停止させる信号とすることが好ましい。
- [0045] ポンプ回路10を実施例1のように動作させた場合の効果について説明する。図10(b)はDPUMPと1つの参照電圧のみでポンプ回路10を制御した場合の時間に対するDPUMPの模式図である。この場合、Clock__enableはDPUMPが参照電圧よ

り低いとハイレベル、高いとローレベルとなる。よって、ポンプ回路10は、DPUMPが参照電圧より低いと動作し、高いと停止する。このように、ポンプ回路10のオンオフ周期が短くなる。この場合、ポンプ回路10をスイッチングするとCMOSに電流が流れる。これより、図6において説明した発振器12の周波数が高い場合と同様に、ポンプ回路10の効率が低下する。

[0046] 一方、ポンプ回路10を実施例1のように動作させた場合、DPUMPが第2の参照電圧より高くなり、ポンプ回路が停止したのち、DPUMPが第1の参照電圧を下回るまでポンプは動作しない。DPUMPが第1の参照電圧より低くなり、ポンプ回路10が動作した場合、DPUMPが第2の参照電圧より高くなるまでポンプ回路10は停止しない。このように、ポンプ回路のオンオフの周期が長くなる。よって、図6において説明したように、発振器12の周波数が低い場合に対応し、ポンプ回路10の効率が向上する。

[0047] 次に、実施例1のポンプ回路10の例について説明する。図11ないし図13はポンプ回路10を説明するための図である。ポンプ回路10は複数のサブポンプ130を有している。図11の上の図はサブポンプ130の回路図である。サブポンプ130はFET134と複数の昇圧段 $132_1 \sim 132_n$ を有する。図11の下図は発振器12の一部136の構成図である。発振器12の一部136はClock_enableがハイレベルになると、互いに相補的なClockであるOSC0とOSC0Bを出力する。FET134は電源Vccと昇圧段 132_1 の間に設けられ、ゲートにポンプ動作信号PUMP_ENが入力する。ポンプ動作信号PUMP_ENによりサブポンプ130をオンするスイッチである。昇圧段 132_1 は電源VccからノードN10に順方向にダイオードD1が接続され、ノードN10とClockOSC0との間にキャパシタC11が接続されている。N10から次段昇圧段 132_2 のノードN10に順方向にダイオードD12が接続されている。次段昇圧段 132_2 はキャパシタC11にOSC0Bが接続されている以外は昇圧段 132_1 と同様に構成される。このようにして、n段の昇圧段が接続し、n段目の昇圧段 132_n からDPUMPに出力される。

[0048] 昇圧段 132_1 のノードN10はダイオードD1により、 $V_{cc} - V_{th}$ (ダイオードの順方向高圧電圧) にプリチャージされている。OSC0がハイレベルになるとキャパシタC11が昇圧される。このとき次段のC11に接続されたOSCB0はローレベルのため、C11に

チャージされていた電荷がダイオードD12を介し次段昇圧段132₂のキャパシタC11にチャージされる。同様にOSCB0がハイレベルになると、昇圧段132₂のキャパシタC11にチャージされていた電荷が次段昇圧段132₃のキャパシタC11にチャージされる。このときダイオードD12により、前段昇圧段132₁には流れない。このようにして、ノードN10の電圧は昇圧段を経るごとに昇圧され、n段の昇圧段を経て昇圧された電圧がDPUMPとなる。

[0049] 図12(a)はポンプ回路10の構成を示した図である。ポンプ回路10は図11で説明したサブポンプ130を複数有している。複数のサブポンプ151～158は並列に接続されている。それぞれのサブポンプ151～158にはClockとして、OSC0、OSC0B、OSC1、OSC1B、OSC2、OSC2B、OSC3およびOSC3Bが入力している。実際は、図11で説明したように、各サブポンプには、各Clockの相補的なClockも入力しているが、説明を簡単にするために、相補的なClockの入力は説明していない。

[0050] 図12(b)は発振器10の一部を示した構成図である。まず、発振Clock信号OSCとClock__enableがAND回路141に入力する。これにより、Clock__enableがハイレベルのとき発振Clock信号OSCがAND回路141を出力する。この出力をOSC0とする。OSC0は位相シフタ142を通過し位相をシフトしOSC1となる。さらに、OSC1は位相シフタ143を通過しOSC2となる。さらにOSC2は位相シフタ144を通過しOSC3となる。位相シフタ142～144はそれぞれ位相を45°シフトする位相シフタである。OSC0、OSC1、OSC2およびOSC3をそれぞれインバータ146、147、148および149を通過し相補的なOSC0B、OSC1B、OSC2BおよびOSC3Bを出力する。このようにして出力されたOSC0、OSC1、OSC2、OSC3、OSC0B、OSC1B、OSC2BおよびOSC3Bは位相が45°づつシフトしたClockとなる。

[0051] 以上のように、ポンプ回路10は複数のサブポンプ151～158を有し、発振器10は各サブポンプ151～158に各々位相をシフトしたクロックを出力する。これにより、周期を短くDPUMPを昇圧することができる。よって、DPUMPが急激に低下した場合も、昇圧するタイミングを早くすることができる。図12(a)および図12(b)においては、サブポンプ151～158が8個の場合を説明したが、8個に限られるものではない。サブポンプの個数を増やせば、昇圧する周期を短くできるが、回路サイズは大きくなる

。これらを考慮し、サブポンプの個数は決定される。

[0052] さらに、図12(a)の構成のポンプ回路10においては、発振器12はClock__enable信号によりClockを停止させる場合、Clockの位相のシフトと同じ位相をシフトさせ、Clockを停止させている。図13(a)および図13(b)は、この構成による効果を説明するための図である。図13(a)は、Clock__enable信号がローレベルになると、OSC0～OSC4がローレベルとなる場合のタイムチャートである。Clock__enable信号がローレベルになると、OSC0～OSC4はハイレベルの途中であるが残りのハイレベル(図中破線)を出力せずに、OSC0～OSC4が同時にローレベルとなる。このため、サブポンプ151～158は同時に動作する。よって、DPUMPは一時的に高くなる。

[0053] 一方、図13(b)は、図12(a)のポンプ回路10において、OSC0～OSC3を停止させる場合のタイムチャートである。Clock__enable信号がローレベルになると、OSC0はハイレベルの途中であるが、残り時間のハイレベル(図中破線)を出力せずにローレベルになる。OSC1はClockのOSC0からの位相シフトの分の時間 t_1 分OSC0より遅れている。そしてClock__enable信号がローレベルになると、OSC1はClock__enable信号より t_1 遅れてローレベルになる。同様に、OSC2、OSC3はそれぞれ、OSC0からの位相シフトの分の時間 t_2 、 t_3 遅れてローレベルになる。このように、ポンプ回路10を停止する際、サブポンプ151～158の停止時間をシフトして停止させている。

[0054] このように、各サブポンプ151～158の停止するタイミングがシフトするため、サブポンプ151～158が同時に動作することはなく、DPUMPが一時的に高くなることを抑制することができる。

[0055] 最後に、レベル調整回路14の構成を説明する。図14はレベル調整回路14の構成を示す図である。ビットラインに出力される電圧(VPROG)とグランド間をキャパシタ166と168を直列に接続し、VPROGをVCOMに分圧する。キャパシタ168は、ビットライン24を異なる電圧にチャージするモードA、BおよびC(例えば読み出し、消去、書き込み等に相当する)毎に、それぞれ、キャパシタ168a、168bおよび168cがそれぞれスイッチ169a、169bおよび169cによって選択される。これにより、VCOMPを各モードに対応する電圧に分圧している。本例では、書き込みのモードであるキャパ

シタ168cが選択される。VCOMPは差動増幅器162の正入力に、参照電圧VREFが差動増幅器162の負入力に入力する。差動増幅器162の電源はDPUMPに接続される。差動増幅器162の出力がP-FET164のゲートに入力し、P-FET164のソース、ドレインはそれぞれ、VPROG、DPUMPに接続される。以上により、VCOMPがVREFより低い場合、差動増幅器162の出力は低くなり、FET164を流れる電流が大きくなる。よって、VPROGの電圧は上昇する。一方、VCOMPがVREFより高い場合、FET164を流れる電流は小さくなる。このように、レベル調整器14は、VCOMPとVREFが等しくなるように制御する。VCOMPはVPROGを分圧した電圧である。これより、VCOMPとVREFの比較は、VPROGとVREFを分圧比で除した電圧との比較に相当する。

[0056] 以上のように、ポンプ回路10の出力ノード17に電圧を一定に保つように調整するレベル調整器14を設けることにより、ビットラインの電圧を一定に保つことができる。

[0057] 実施例1においては、フラッシュメモリのプログラムの際、ビットラインを昇圧する昇圧ポンプ40を例に説明した。本発明の適用はフラッシュメモリに限られるものではない。しかし、フラッシュメモリは電荷蓄積層に電荷を蓄積させる際、高電圧が求められる。そこで、本発明をメモリセルアレイ20がフラッシュメモリセルアレイである半導体装置に適用することにより、昇圧回路40の消費電力を、より抑制することができる。

[0058] また、本発明の適用はプログラミングに限られるものではなく、読み出しや消去にも提供することができる。しかし、プログラミングは読み出しに比べ大きな電圧が必要である。さらに、実施例1に示したSONOS型の仮想接地型アレー方式を有するフラッシュメモリを、NAND型インターフェースとして使用する場合は、同時にプログラミングするbit分のビットラインを昇圧することが求められる。このため、昇圧回路は大きい電荷を求められる。このような理由から、昇圧回路40は、フラッシュメモリセルアレイ20のプログラム時に出力ノード17を昇圧することにより、昇圧回路40の消費電力を、より抑制することができる。

[0059] さらに、本発明の適用はビットラインに限られるものではなく、例えばワードラインにも適用することができる。しかし、実施例1に示した、SONOS型の仮想接地型アレー方式を有するフラッシュメモリを、NAND型インターフェースとして使用する場合は、

同時にプログラミングするbit分のビットライン24を昇圧することが求められる。このため、出力ノード17はメモリセルアレイ20のビットライン24に接続された場合、昇圧回路40の消費電力を、より抑制することができる。

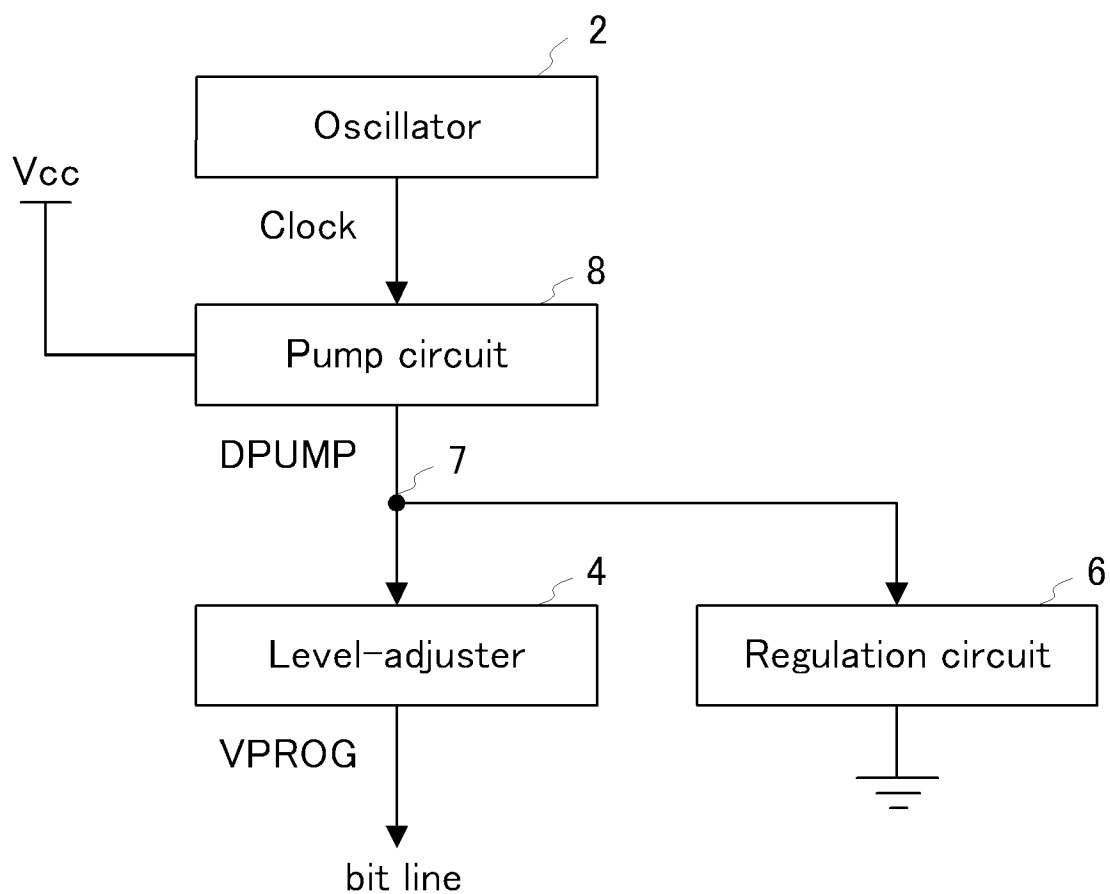
[0060] 以上、本発明の好ましい実施例について詳述したが、本発明は係る特定の実施例に限定されるものではなく、特許請求の範囲に記載された本発明の要旨の範囲内において、種々の変形・変更が可能である。

請求の範囲

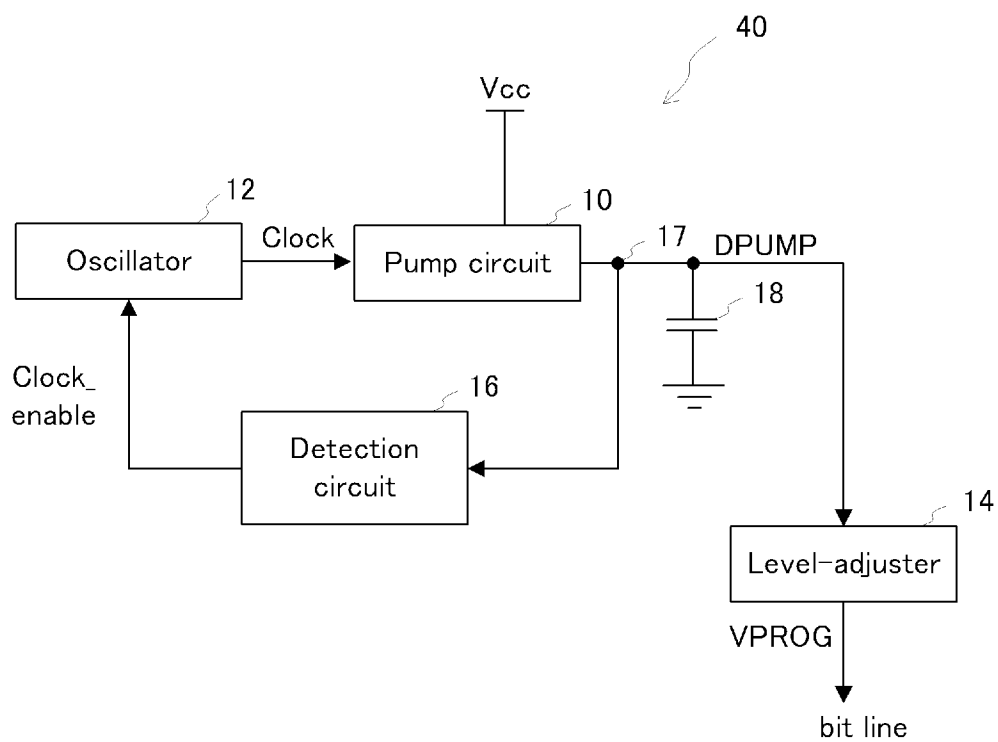
- [1] メモリセルアレイに接続された出力ノードを昇圧するポンプ回路と、
前記ポンプ回路にクロックを出力する発振器と、
動作信号を前記発振器に出力する検出回路と、を具備し、
前記動作信号は前記ポンプ回路の出力ノードの電圧が第1の参照電圧より低い場合、前記発振器を動作させ、前記出力ノードの電圧が第2の参照電圧より高い場合、前記発振器を停止させる信号である半導体装置。
- [2] 前記出力ノードに結合するキャパシタを具備する請求項1記載の半導体装置。
- [3] 前記キャパシタの容量値は、前記出力ノードに接続し同時に選択可能なラインの配線容量の和より大きい請求項2記載の半導体装置。
- [4] 前記クロックの周波数は、前記ポンプ回路の効率が実質的に周波数に依存しなくなる周波数以下である請求項1から3のいずれか一項記載の半導体装置。
- [5] 前記第1の参照電圧は前記第2の参照電圧より低く、
前記動作信号は、前記出力ノードの電圧が前記第1の参照電圧より低くなると、前記出力ノードの電圧が前記第2の参照電圧より高くなるまで、前記ポンプ回路を動作させ、
前記出力ノードの電圧が前記第2の参照電圧より高くなると、前記出力ノードの電圧が前記第1の参照電圧より低くなるまで、前記ポンプ回路を停止させる信号である請求項1から4のいずれか一項記載の半導体装置。
- [6] 前記ポンプ回路は複数のサブポンプ回路を有し、前記発振器は各サブポンプ回路に各々位相をシフトしたクロックを出力する請求項1から5のいずれか一項記載の半導体装置。
- [7] 前記発振器は、前記クロックの位相のシフトと同じ位相をシフトさせ、各クロックを停止させる請求項6記載の半導体装置。
- [8] 前記出力ノードに接続され、出力電圧を所定電圧を保つように調整するレベル調整器を具備する請求項1から7のいずれか一項記載の半導体装置。
- [9] 前記メモリセルアレイはフラッシュメモリセルアレイである請求項1から8のいずれか一項記載の半導体装置。

- [10] 前記ポンプ回路は、前記フラッシュメモリセルアレイのプログラム時に前記出力ノードを昇圧する請求項9記載の半導体装置。
- [11] 前記出力ノードは前記メモリセルアレイのビットラインに接続された請求項9または10記載の半導体装置。
- [12] メモリセルアレイに接続された出力ノードを昇圧するポンプ回路と、前記ポンプ回路にクロックを出力する発振器と、を具備する半導体装置の制御方法において、
前記ポンプ回路の出力ノードの電圧が第1の参照電圧より低い場合、前記発振器を動作させるステップと、
前記出力ノードの電圧が第2の参照電圧より高い場合、前記発振器を停止させるステップと、を有する半導体装置の制御方法。
- [13] 前記発振器を動作させるステップは、前記出力ノードの電圧が前記第1の参照電圧より低くなると、前記出力ノードの電圧が前記第2の参照電圧より高くなるまで、前記ポンプ回路を動作させるステップであり、
前記発振器を停止させるステップは、前記出力ノードの電圧が前記第2の参照電圧より高くなると、前記出力ノードの電圧が前記第1の参照電圧より低くなるまで、前記ポンプ回路を停止させるステップである請求項12記載の半導体装置の制御方法。

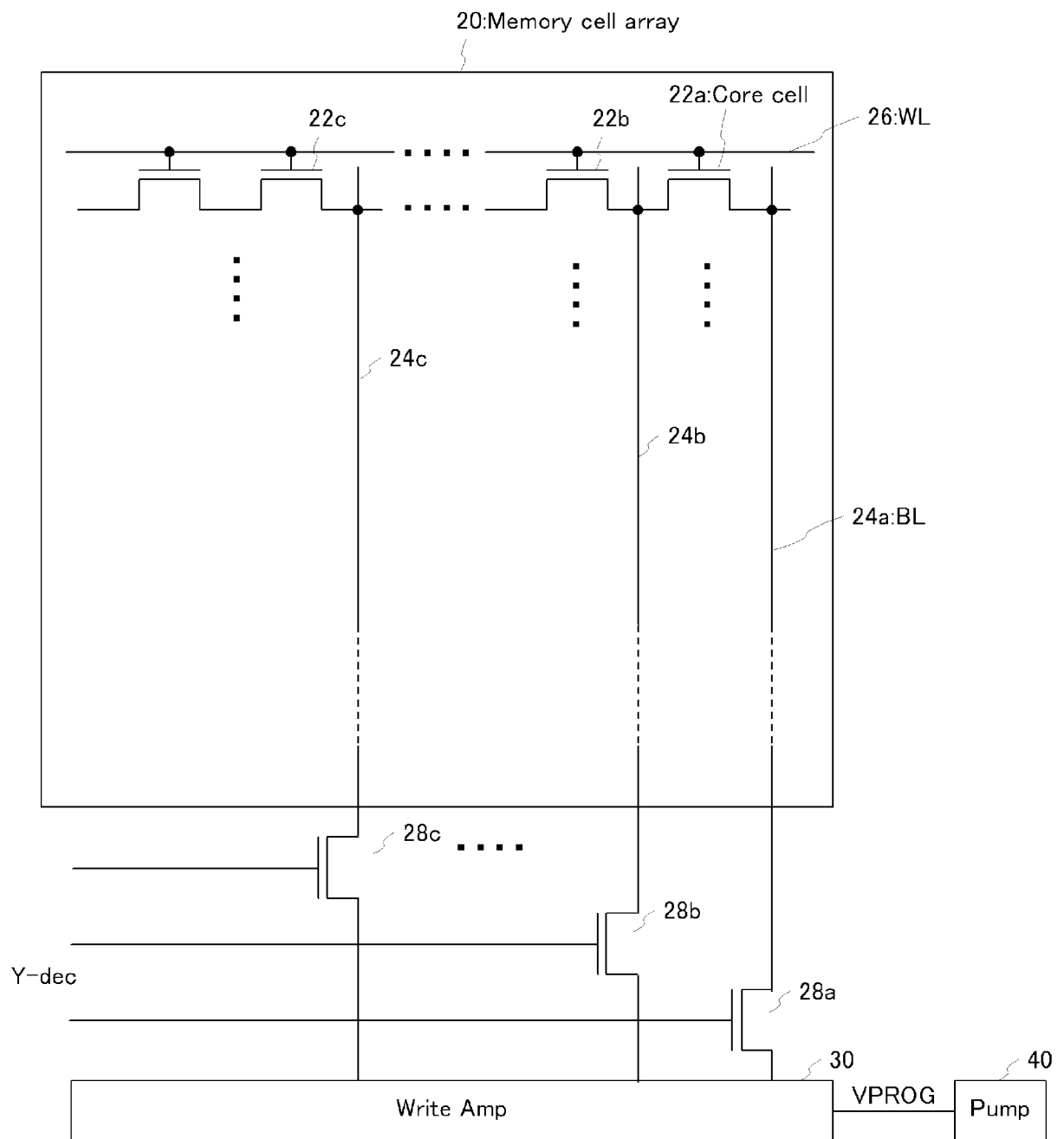
[図1]



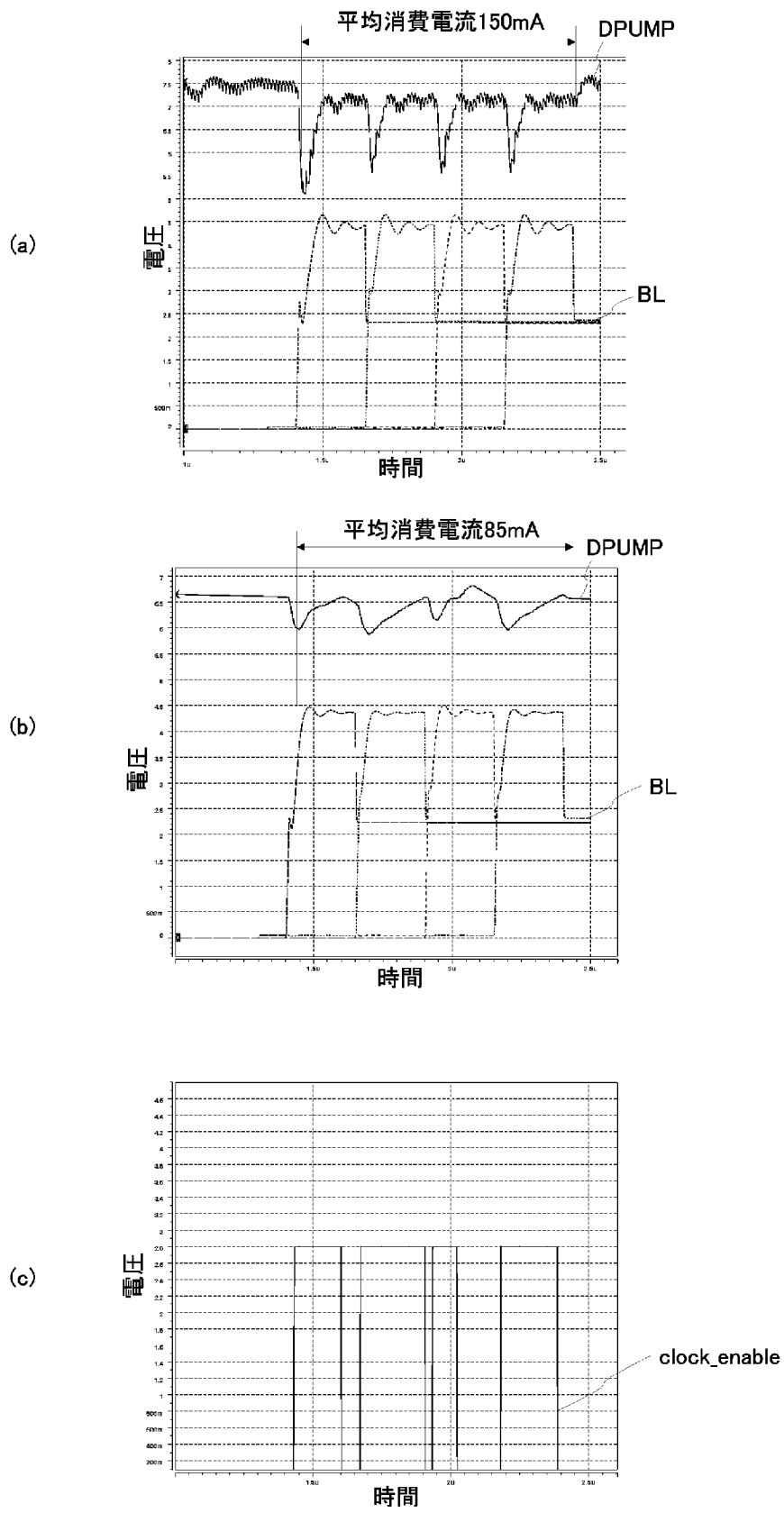
[図2]



[図3]

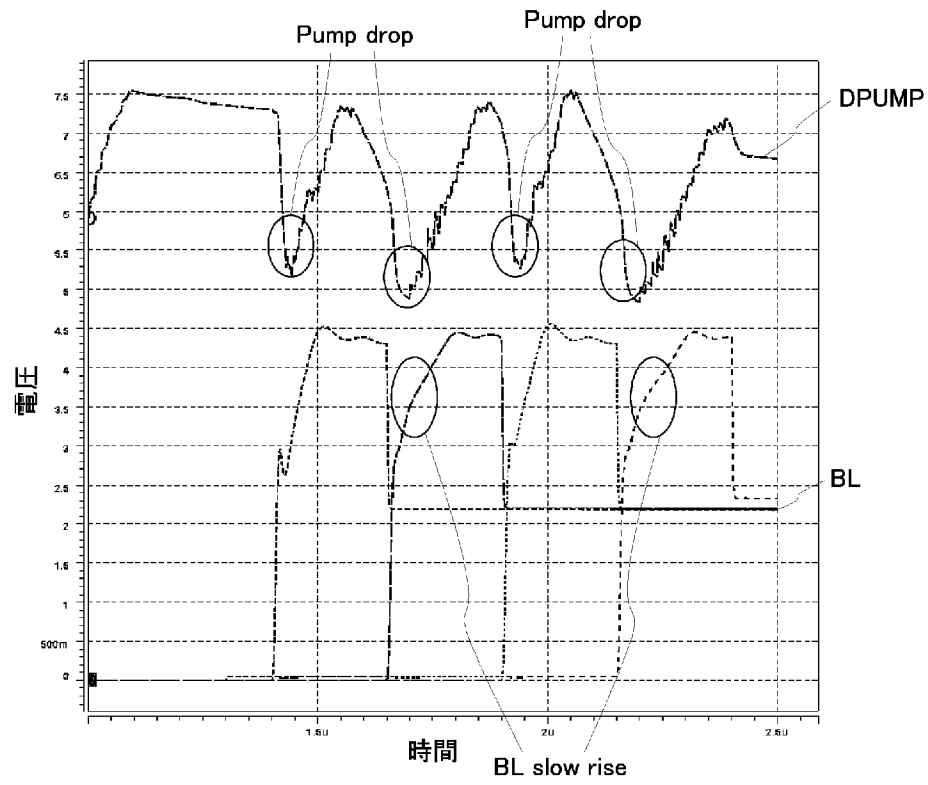


[図4]

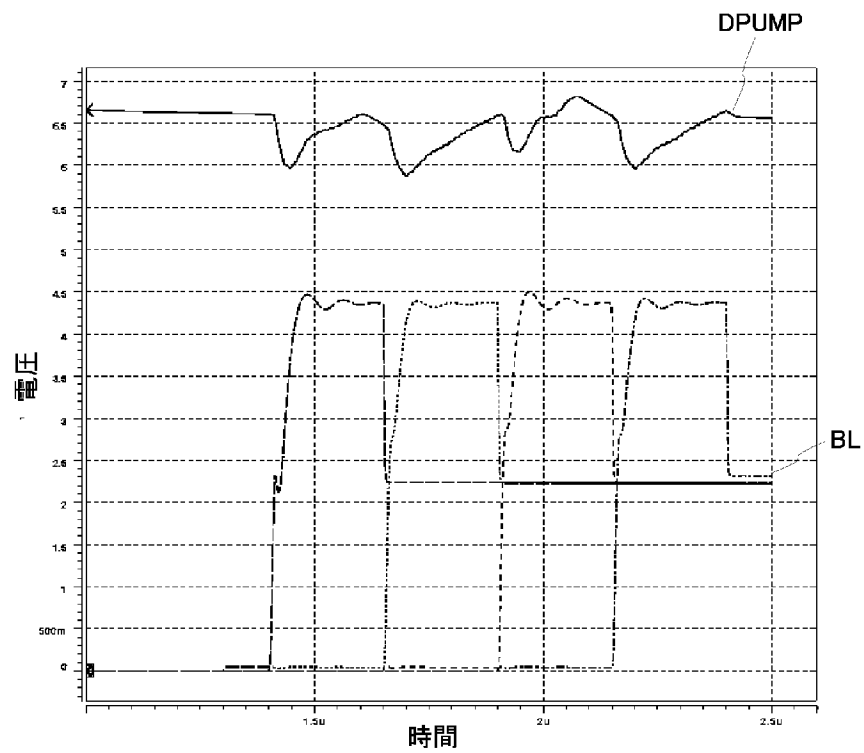


[図5]

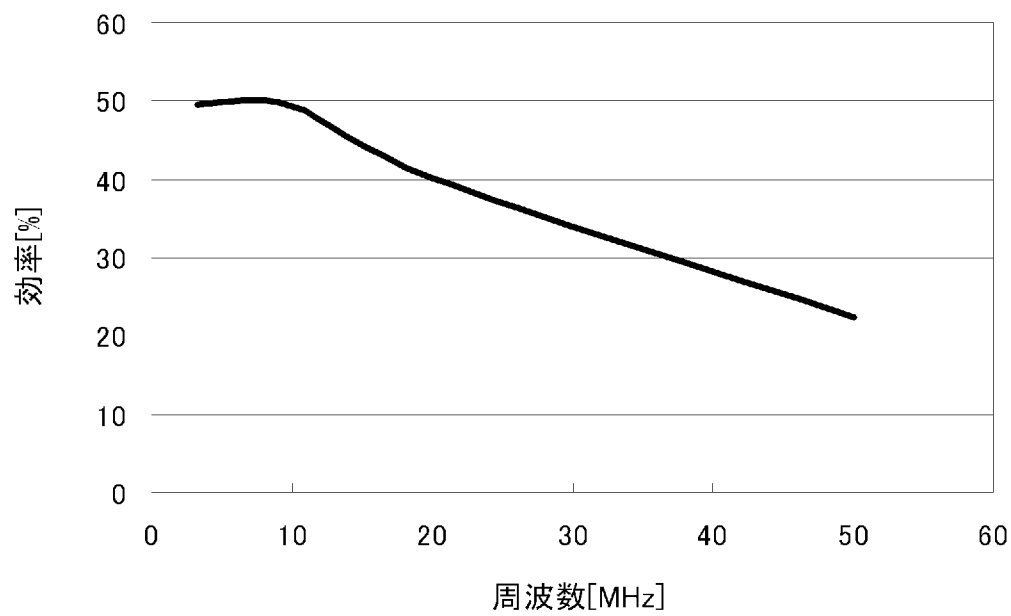
(a)



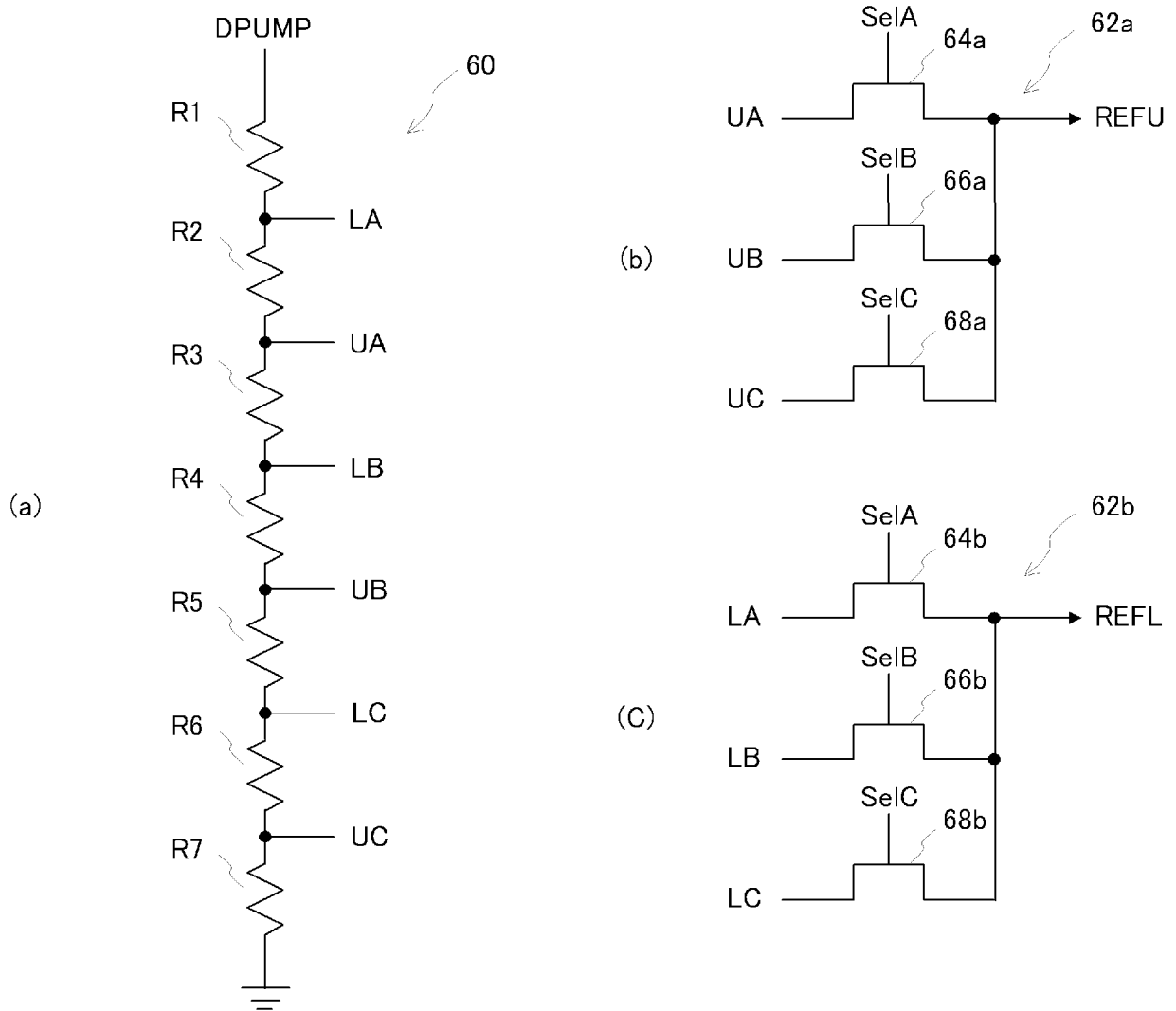
(b)



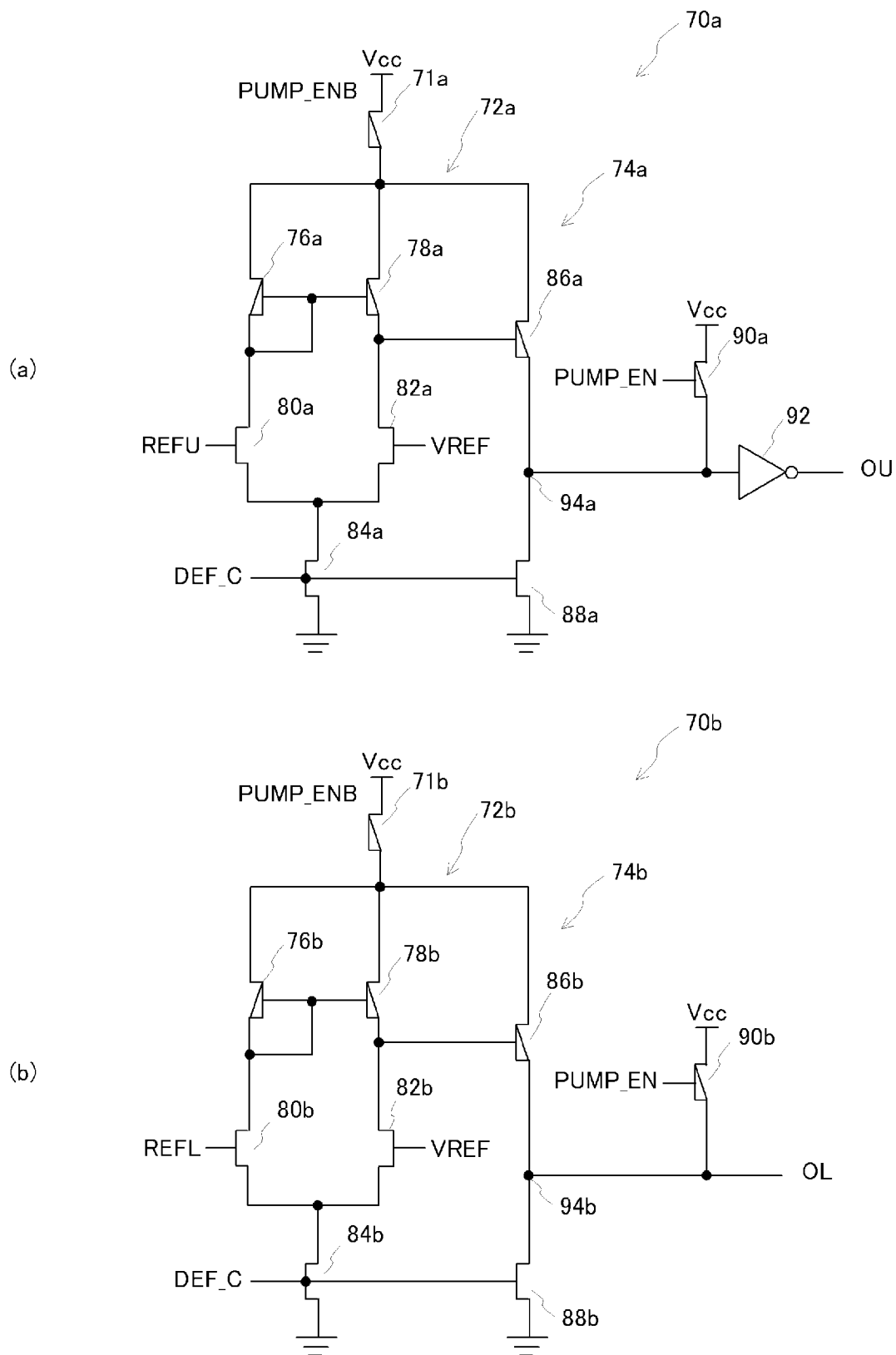
[図6]



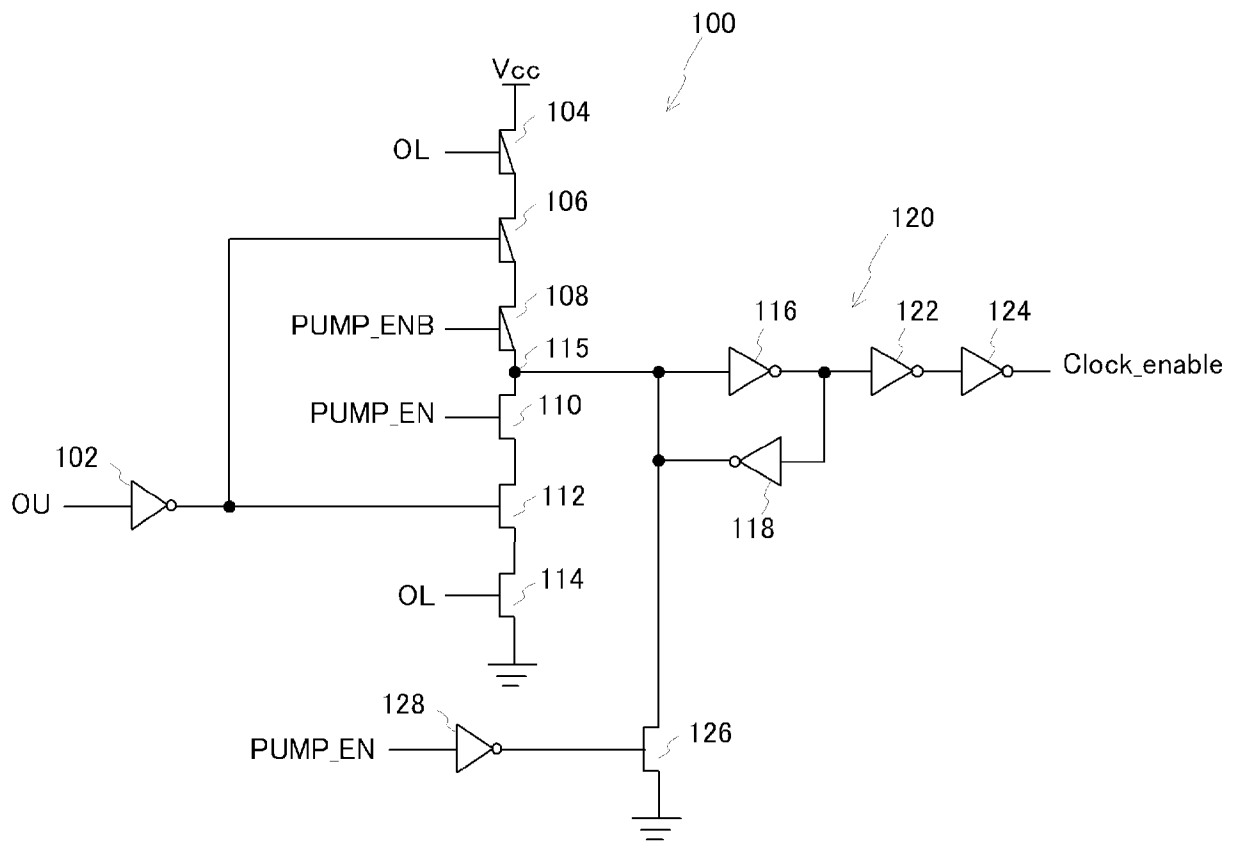
[図7]



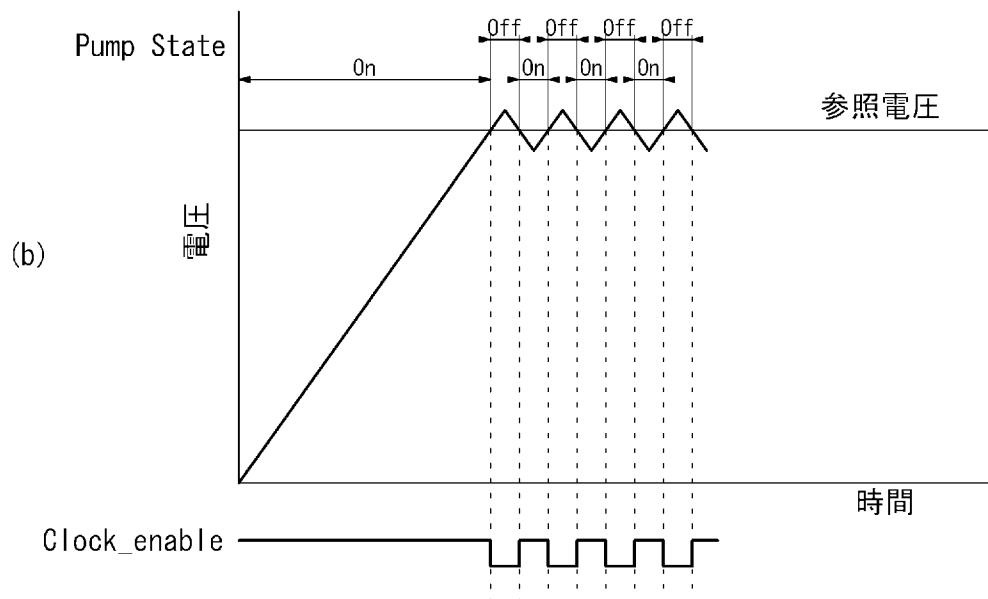
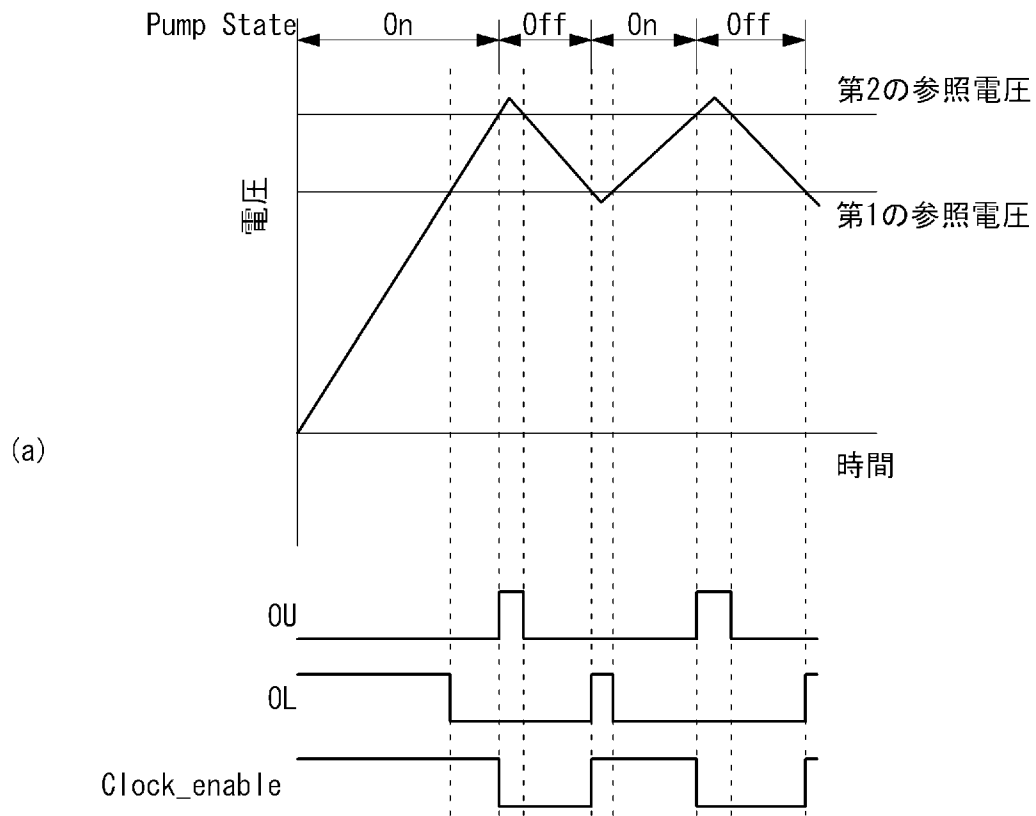
[図8]



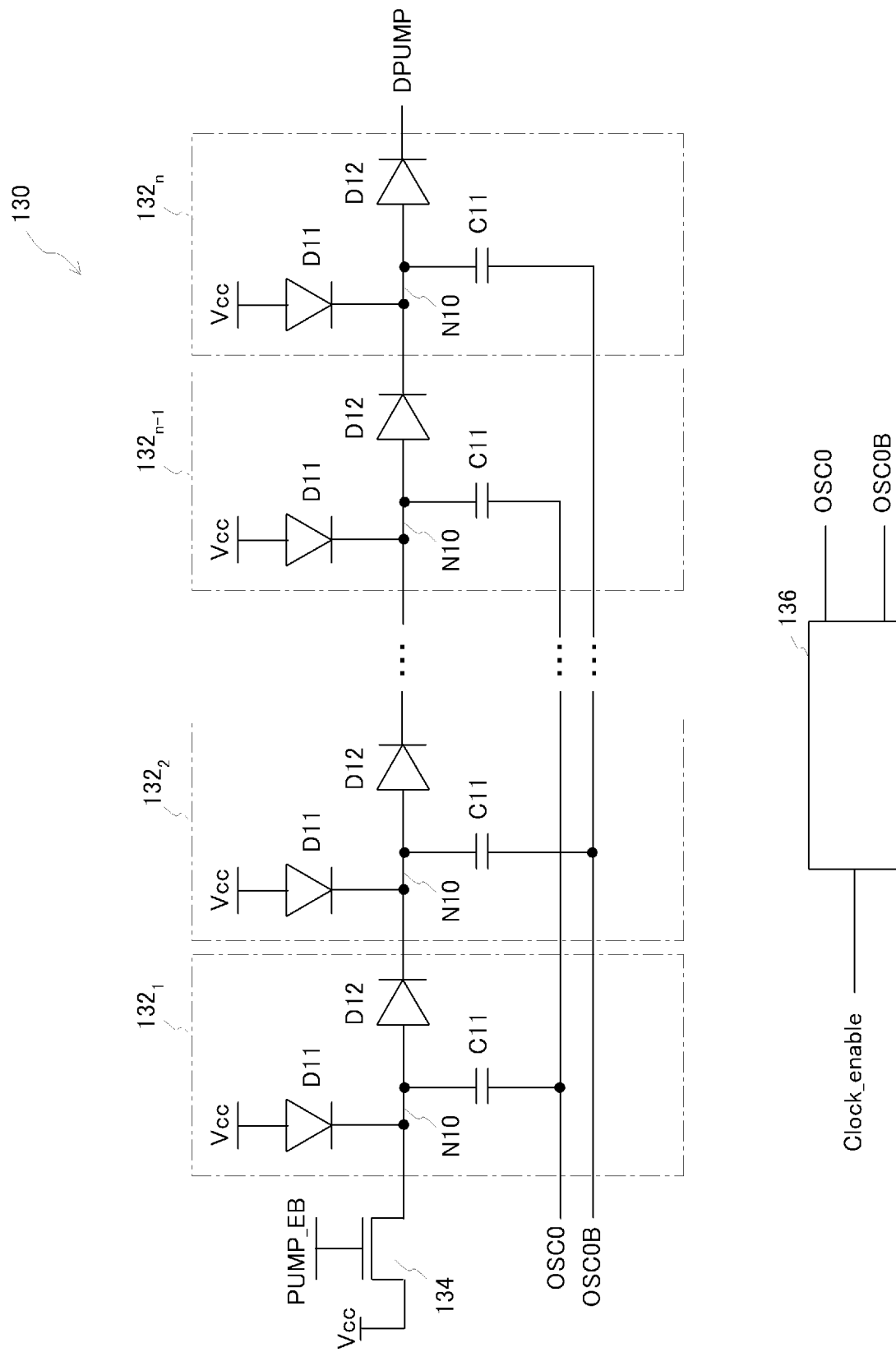
[図9]



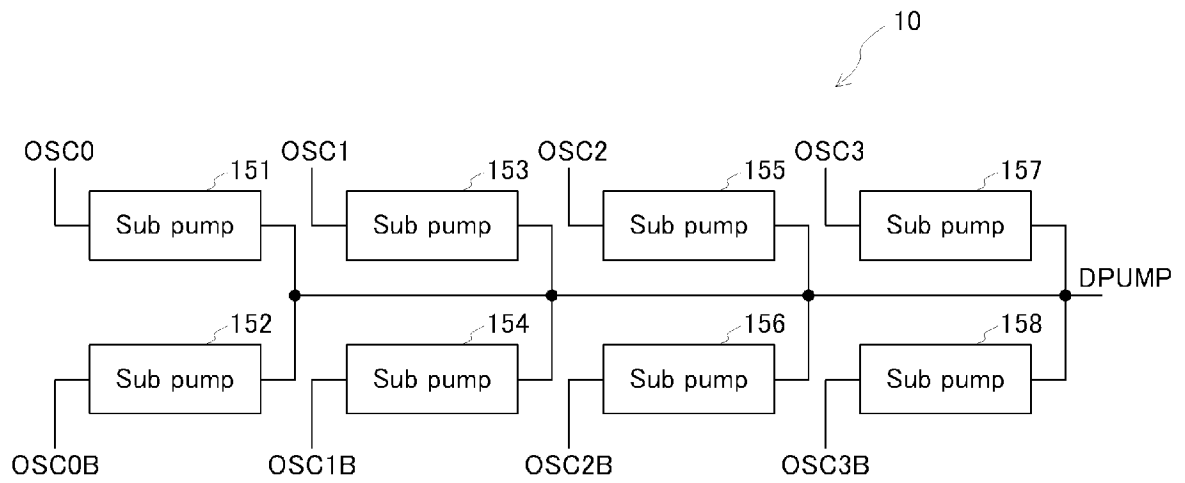
[図10]



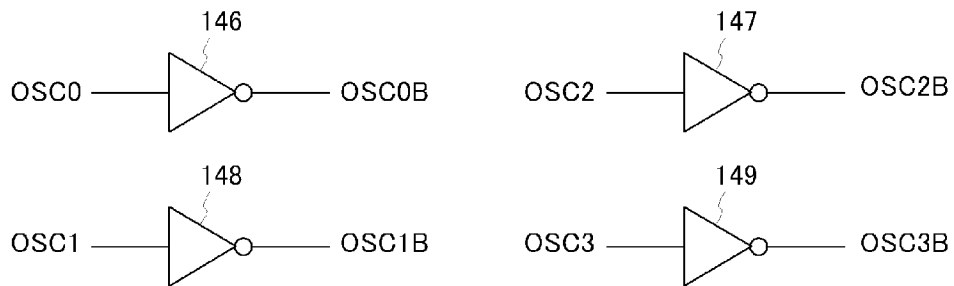
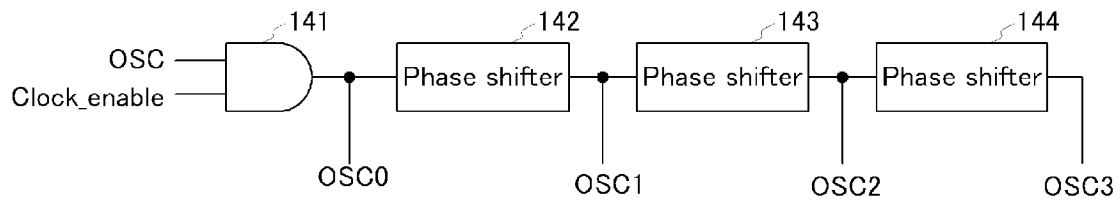
[図11]



[図12]

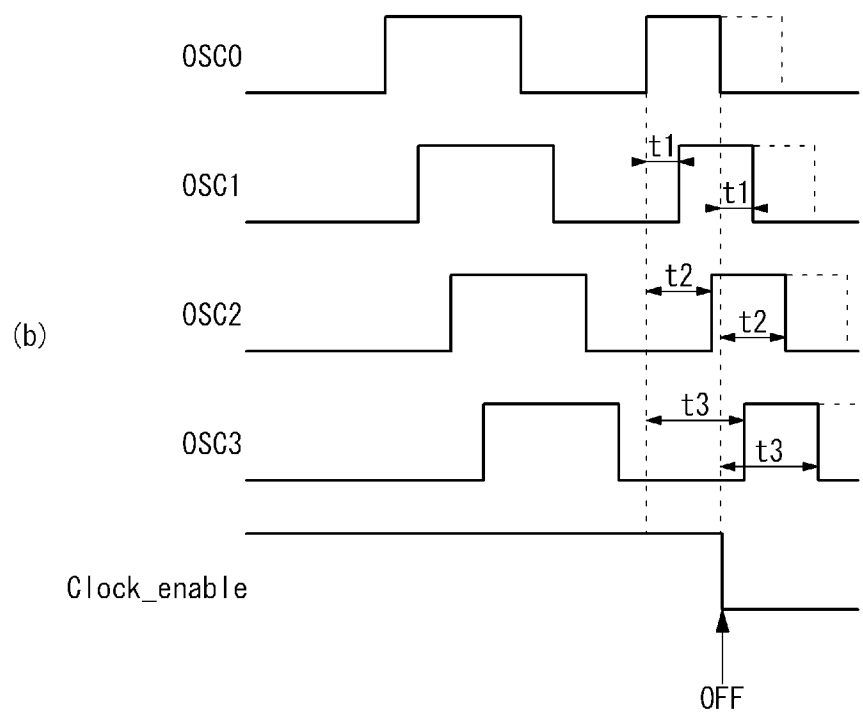
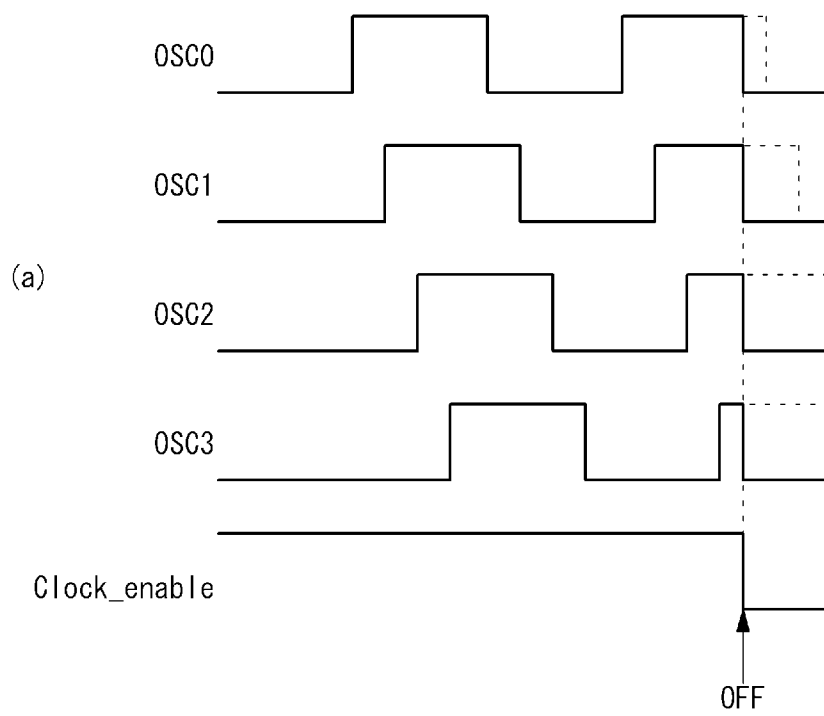


(a)

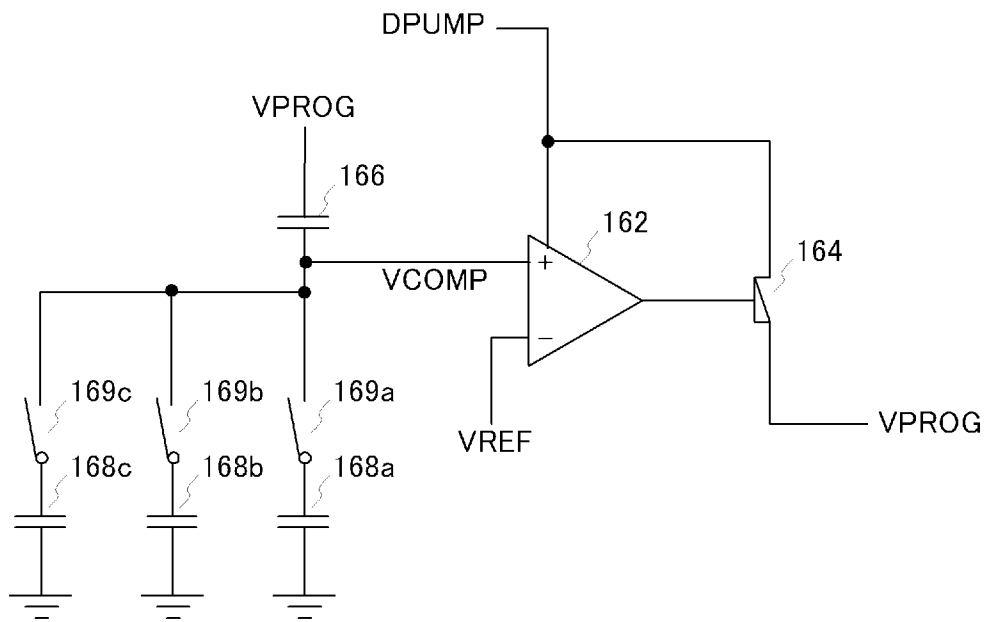


(b)

[図13]



[図14]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/013607

A. CLASSIFICATION OF SUBJECT MATTER

G11C16/30(2006.01)

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G11C16/00-16/34(2006.01), G11C11/40-11/4099(2006.01)

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2005
Kokai Jitsuyo Shinan Koho	1971-2005	Toroku Jitsuyo Shinan Koho	1994-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2000-075940 A (Hitachi, Ltd., Hitachi ULSI Systems Co., Ltd., Texas Instruments Inc.), 14 March, 2000 (14.03.00), Par. Nos. [0008] to [0011], [0014]; Figs. 1, 5, 6, 9 (Family: none)	1, 5, 12, 13 2-4, 6-11
Y	JP 06-020485 A (NEC Corp.), 28 January, 1994 (28.01.94), Par. Nos. [0015] to [0024]; Figs. 1, 2 (Family: none)	2-4, 9-11
Y	JP 2002-101644 A (Toshiba Corp.), 05 April, 2002 (05.04.02), Par. Nos. [0019] to [0033]; Figs. 11 to 15 & US 2002/0036924 A1	6, 7

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
18 October, 2005 (18.10.05)

Date of mailing of the international search report
01 November, 2005 (01.11.05)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/013607

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 06-259981 A (Advanced Micro Devices, Inc.), 16 September, 1994 (16.09.94), Par. Nos. [0013] to [0017]; Figs. 1, 2 & US 5263000 A & EP 0594295 A2	8
A	JP 2000-514946 A (Saifun Semiconductors Ltd.), 07 November, 2000 (07.11.00), Full text; all drawings & WO 1998/03977 A1 & US 5768192 A	1-13

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl.⁷ **G11C16/30** (2006.01)

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl.⁷ **G11C16/00-16/34** (2006.01), **G11C11/40-11/4099** (2006.01)

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2005年
日本国実用新案登録公報	1996-2005年
日本国登録実用新案公報	1994-2005年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	J P 2000-075940 A (株式会社日立製作所、株式会社日立超エル・エス・アイ・システムズ、テキサス インストルメンツ インコーポレイテッド) 2000.03.14, 第0008-0011, 0014段落, 第1, 5, 6, 9図 (ファミリー無し)	1, 5, 12, 13
Y	J P 06-020485 A (日本電気株式会社) 1994.01.28, 第0015-0024段落, 第1, 2図 (ファミリー無し)	2-4, 6-11
Y	J P 06-020485 A (日本電気株式会社) 1994.01.28, 第0015-0024段落, 第1, 2図 (ファミリー無し)	2-4, 9-11

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

18.10.2005

国際調査報告の発送日

01.11.2005

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

5N

3561

丹治 彰

電話番号 03-3581-1101 内線 3586

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 2002-101644 A (株式会社東芝) 2002. 04. 05, 第0019-0033段落, 第11-15図 & US 2002/0036924 A1	6, 7
Y	JP 06-259981 A (アドバンスト・マイクロ・ディバ イシズ・インコーポレイテッド) 1994. 09. 16, 第0 013-0017段落, 第1, 2図 & US 5263000 A & EP 0594295 A2	8
A	JP 2000-514946 A (サイフン・セミコンダクター ズ・リミテッド) 2000. 11. 07, 全文, 全図 & W O 1998/03977 A1 & US 5768192 A	1-13