(19)中华人民共和国国家知识产权局

(12)发明专利

(10)授权公告号 CN 105792447 B
(45)授权公告日 2017.07.14

(21)申请号 201610323946.0

(22)申请日 2016.05.16

(65)同一申请的已公布的文献号
申请公布号 CN 105792447 A

(43)申请公布日 2016.07.20

(73)专利权人 浙江工业职业技术学院
地址 312021 浙江省绍兴市越城区灵芝镇曲屯路151号

(72)发明人 董汉菁

(74)专利代理机构 常州佰业腾飞专利代理事务所(普通合伙) 32231
代理人 李杰

(51)Int.Cl.
H05B 33/08(2006.01)

(56)对比文件
CN 201114897 Y,2008.09.10,全文.
US 2013/0313989 A1,2013.11.28,全文.
CN 203933384 U,2014.11.05,全文.
CN 205611003 U,2016.09.28,权利要求1-3.
US 2015/0054417 A1,2015.02.26,全文.

审查员 陈刚

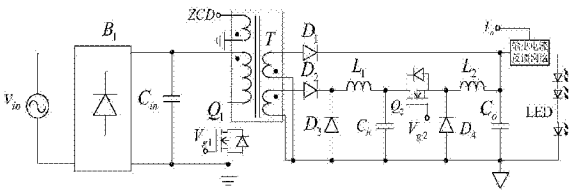
权利要求书2页 说明书8页 附图4页

(54)发明名称

无电解电容的LED驱动电路及其高功率因数校正装置

(57)摘要

本发明的目的在于公开了一种无电解电容的LED驱动电路及其高功率因数校正装置;包括无电解电容的LED驱动电路和相应的高功率因数校正控制装置。本发明无电解电容的高功率因数LED驱动电路,它主要包括一个正反激变换器和一个串联在正激输出端的降压(Buck)调理电路。反激绕组为LED负载提供主要能量;正激绕组及串联的降压(Buck)调理电路对输入输出功率的实现功率解耦,从而避免使用的大容量电解电容,有效延长LED照明设备的整体工作寿命。同时,本发明采用高功率因数校正装置可实现电网输出电流的正弦化,从而有效提高了LED驱动电路的功率因数,降低了输入电流谐波。



CN 105792447 B

1.无电解电容的LED驱动电路，其特征在于：包括整流桥B，输入电容C_{in}，正反激变压器T，原边主功率开关管Q_1，反激输出二极管D_1，正激输出二极管D_2，正激续流二极管D_3，正激输出电感L_1，功率解耦电容C_b，功率开关管Q_2，输出电感L_2，续流二极管D_4，以及输出电容C_o；

所述整流桥B的输入端接电网电压的输出端，所述整流桥B的输出端并联输入电容C_{in}，输入电容C_{in}的一端接正反激变压器T原边绕组的一端，另一端同时接原边主功率开关管Q_1的源极和输入侧的功率地；正反激变压器T原边绕组的另一端接原边主功率开关管Q_1的漏极；正反激变压器T的过零检测绕组的一端输出过零检测信号，另一端接输入侧的功率地；正反激变压器T的反激绕组的一端接反激输出二极管D_1的阳极，另一端接输出侧的功率地；反激输出二极管D_1的阴极接输出电容C_o的一端；正反激变压器T的正激绕组的一端接正激输出二极管D_2的阳极，另一端接输出侧的功率地；正激输出二极管D_2的阴极同时接正激续流二极管D_3的阴极和正激输出电感L_1的一端；正激续流二极管D_3的阳极接输出侧的功率地；正激输出电感L_1的另一端同时接功率解耦电容C_b的一端和功率开关管Q_2的漏极；功率解耦电容C_b的另一端接输出侧的功率地；功率开关管Q_2的源极同时接输出电感L_2和续流二极管D_4的阴极；续流二极管D_4的阳极接输出侧的功率地；输出电感L_2的另一端接输出电容C_o的一端；输出电容C_o的另一端接输出侧的功率地；

所述原边主功率开关管Q_1和所述功率开关管Q_2的栅极接功率因数校正装置；正反激变压器T的过零检测绕组输出的过零检测信号输入功率因数校正装置；

所述输入电容C_{in}、功率解耦电容C_b以及输出电容C_o为非电解电容。

2.根据权利要求1所述的无电解电容的LED驱动电路，其特征在于：还包括设置在输出电容C_o输出端的输出电流反馈网络，输出电流反馈网络输出的电流信号输入功率因数校正装置。

3.一种用于权利要求1或2所述的无电解电容的LED驱动电路的高功率因数校正装置，其特征在于：包括过零检测模块，第一锯齿波发生模块，第一比较器，第一驱动脉冲产生模块，第一驱动模块，电流环模块，直流偏置去除模块，减法器，第一纹波调理模块，第二纹波调理模块，第二锯齿波发生模块，第二比较器，定时器模块，第二驱动脉冲产生模块和第二驱动模块；

过零检测模块的输入端接正反激变压器的过零检测绕组的输出端，过零检测模块的输出端接第一驱动脉冲产生模块的一个输入端；电流环模块的输入端接输出电流反馈网络的输出端，和直流偏置去除模块的输入端，电流环模块的输出端接减法器的一个输入端；直流偏置去除模块的输出端分别接第一纹波调理模块和第二纹波调理模块；第一纹波调理模块的输出端接减法器的另一个输入端；减法器的输出端接第一比较器的一个输入端；第一锯齿波发生器的输入端接第一驱动脉冲产生模块的一个输出端，第一锯齿波发生器的输出端接第一比较器的另一个输入端；第一比较器的输出端接第一驱动脉冲产生模块的另一个输入端；第一驱动脉冲产生模块的另一个输出端接第一驱动模块的输入端；第一驱动模块的输出端接原边主功率开关管的栅极；第二纹波调理模块的输出端接第二比较器的一个输入端；第二锯齿波发生模块的输入端接第二驱动脉冲产生模块的一个输出端，第二锯齿波发生模块的输出端接第二比较器的另一个输入端；第二比较器的输出端接第二驱动脉冲产生模块的一个输入端；定时器模块的输出端接第二驱动脉冲产生模块的另一个输入端；第二驱动脉冲产生模块的另一个输出端接第二驱动模块的输入端；第二驱动模块的输出端接功

率开关管的栅极。

无电解电容的LED驱动电路及其高功率因数校正装置

技术领域

[0001] 本发明属于电力电子技术领域中的开关电源技术。涉及一种无电解电容的LED驱动电路及其高功率因数校正装置。

背景技术

[0002] 目前，发光二极管(Light Emitting Diode，以下简称LED)以其高亮度、长寿命、节能环保等优势被视为新型绿色环保光源，正被逐步推广应用于我们的日常生产和生活之中。但是，LED作为照明设备区别于传统的白炽灯等交流电源直接供电的照明设备，其工作条件必须采用直流电源供电。由于日常生活中可直接获取的电能一般为交流电，因而通常需采用专用的LED驱动电路实现交直流转换(AC-DC)，为LED负载提供稳定可靠的直流供电。

[0003] 同时，为了减少谐波干扰对周围其它用电设备的正常工作，用电设备一般须遵循相关谐波电流的限制标准。因而，LED驱动电路通常都具有功率因数校正(Power Factor Correction，简称PFC)的功能，使用电设备的输入电流波形应尽可能与输入电网电压同步，呈正弦变化。此时，对应的输入功率$p_{in}(\omega t)$随时间呈现周期性的变化，曲线如附图1实线所示。而LED驱动电路的输出端为LED负载提供的则是稳定的直流电能，故而输出功率P_o随时间保持恒定，曲线如附图1虚线所示。由图可见，在某一瞬时时刻，输入和输出功率存在差异，即输入功率和输出功率存在不平衡的现象。

[0004] 为了克服上述问题，常见的拓扑结构有两种：两级式和单级式(见附图2和附图3)。两级式拓扑结构前级电路实现AC-DC变换和功率因数校正，输出侧并联一个电解电容C_{bulk}平衡前后级功率变化，后级串联DC-DC变换器为LED负载提供电能。而单级式拓扑结构，直接将交流电能输出至直流侧为LED负载提供电能。单级式拓扑相较于两级式具有结构简单，效率高等优势，但由于无DC-DC变换器调节输出，因而输出端通常需并联大容量的电解电容。

[0005] 根据电解电容的特点，通常电解电容的工作寿命远小于长寿命的LED负载，从而导致LED照明设备过早出现故障，无法体现出LED负载长寿命的特点。同时，当LED驱动电路受工作环境和器件损耗导致温升严重时，则对电解电容的工作寿命影响更大。换言之，LED驱动电路上电解电容的工作寿命直接限制了LED照明设备整体的长寿命和高可靠性。因此，为了克服传统LED驱动电路中使用大容量电解电容对LED照明设备整体工作寿命造成限制的问题，并且保证输入电流的正弦化，是一项具有现实意义和挑战性的工作。

发明内容

[0006] 本发明的第一个目的是设计一种无电解电容的LED驱动电路，实现输入功率和输出功率的功率解耦，从而避免了对大容量电解电容的依赖，有效延长LED照明设备的整体工作寿命。

[0007] 本发明的另一个目的是采用高功率因数校正装置实现输入电流的正弦化。从而提高LED驱动电路的功率因数，减少输入电流谐波。

[0008] 本发明为了实现第一个目的所采用的技术方案是：

[0009] 本发明提供了一种无电解电容的LED驱动电路，整流桥B，输入电容C_{in}，正反激变压器T，原边主功率开关管Q_1，反激输出二极管D_1，正激输出二极管D_2，正激续流二极管D_3，正激输出电感L_1，功率解耦电容C_b，功率开关管Q_2，输出电感L_2，续流二极管D_4，以及输出电容C_o；

[0010] 所述整流桥B的输入端接电网电压的输出端，所述整流桥B的输出端并联输入电容C_{in}，输入电容C_{in}的一端接正反激变压器T原边绕组的一端，另一端同时接原边主功率开关管Q_1的源极和输入侧的功率地；正反激变压器T原边绕组的另一端接原边主功率开关管Q_1的漏极；正反激变压器T的过零检测绕组的一端输出过零检测信号，另一端接输入侧的功率地；正反激变压器T的反激绕组的一端接反激输出二极管D_1的阳极，另一端接输出侧的功率地；反激输出二极管D_1的阴极接输出电容C_o的一端；正反激变压器T的正激绕组的一端接正激输出二极管D_2的阳极，另一端接输出侧的功率地；正激输出二极管D_2的阴极同时接正激续流二极管D_3的阴极和正激输出电感L_1的一端；正激续流二极管D_3的阳极接输出侧的功率地；正激输出电感L_1的另一端同时接功率解耦电容C_b的一端和功率开关管Q_2的漏极；功率解耦电容C_b的另一端接输出侧的功率地；功率开关管Q_2的源极同时接输出电感L_2和续流二极管D_4的阴极；续流二极管D_4的阳极接输出侧的功率地；输出电感L_2的另一端接输出电容C_o的一端；输出电容C_o的另一端接输出侧的功率地；

[0011] 所述原边主功率开关管Q_1和所述功率开关管Q_2的栅极接功率因数校正装置；正反激变压器T的过零检测绕组输出的过零检测信号输入功率因数校正装置；

[0012] 所述输入电容C_{in}、功率解耦电容C_b以及输出电容C_o为非电解电容。

[0013] 而为了实现本发明的另一个目的，所采用的技术方案是提供一种高功率因数校正装置，从而实现上述LED驱动电路输入电流的正弦化，进而提高LED驱动电路的功率因数，减少输入电流谐波。

[0014] 本发明提供的高功率因数校正装置包括过零检测模块，第一锯齿波发生模块，第一比较器，第一驱动脉冲产生模块，第一驱动模块，电流环模块，直流偏置去除模块，减法器，第一纹波调理模块，第二纹波调理模块，第二锯齿波发生模块，第二比较器，定时器模块，第二驱动脉冲产生模块和第二驱动模块。过零检测模块的输入端接正反激变压器的过零检测绕组的输出端，过零检测模块的输出端接第一驱动脉冲产生模块的一个输入端；电流环模块的输入端接输出电流反馈网络的输出端，和直流偏置去除模块的输入端，电流环模块的输出端接减法器的一个输入端；直流偏置去除模块的输出端分别接第一纹波调理模块和第二纹波调理模块；第一纹波调理模块的输出端接减法器的另一个输入端；减法器的输出端接第一比较器的一个输入端；第一锯齿波发生器的输入端接第一驱动脉冲产生模块的一个输出端，第一锯齿波发生器的输出端接第一比较器的另一个输入端；第一比较器的输出端接第一驱动脉冲产生模块的另一个输入端；第一驱动脉冲产生模块的另一个输出端接第一驱动模块的输入端；第一驱动模块的输出端接原边主功率开关管的栅极；第二纹波调理模块的输出端接第二比较器的一个输入端；第二锯齿波发生模块的输入端接第二驱动脉冲产生模块的一个输出端，第二锯齿波发生模块的输出端接第二比较器的另一个输入端；第二比较器的输出端接第二驱动脉冲产生模块的一个输入端；定时器模块的输出端接第二驱动脉冲产生模块的另一个输入端；第二驱动脉冲产生模块的另一个输出端接第二驱动模块的输入端；第二驱动模块的输出端接功率开关管的栅极。

[0015] 本发明所提供的LED驱动电路与本发明提供的高功率因数校正装置配合使用，可

以实现无电解电容LED驱动电路的完整设计。同时，使得LED驱动电路具有较高的功率因数和较低的谐波含量。

[0016] 本发明的有益效果在于：本发明提出的无电解电容的LED驱动电路及其功率因数校正装置，采用反激绕组直接将交流侧的能量输出至变换器输出侧为LED负载提供能量；而正激绕组输出先将能量存储在解耦电容中，当反激绕组不足以提供输出所需的能量时，Buck调理电路将存储在解耦电容中的能量输出至变换器输出侧为LED负载提供能量。由此可见，相较于两级式的LED驱动电路具有更高的工作效率和更低的设计成本。同时，通过提高解耦电容上的工作电压和允许的纹波电压，从而避免了对大容量电解电容的使用，采用非电解电容提高LED驱动电路的工作寿命。同时，采用本发明提出的功率因数校正装置，使得LED驱动电路在输入电压90Vac～265Vac全范围的变化中都具有较高的功率因数和较低的谐波含量。此外，高功率因数校正装置可以集成为单芯片。

附图说明

[0017] 图1为LED驱动电路的输入功率和输出功率随时间周期性变化的关系曲线；

[0018] 图2为两级式LED驱动电路的拓扑结构示意图；

[0019] 图3为单级式LED驱动电路的拓扑结构示意图；

[0020] 图4为本发明无电解电容的LED驱动电路电路图；

[0021] 图5为本发明功率因数校正装置的原理框图；

[0022] 图6为本发明功率因数校正装置的具体实施例的电路原理图；

[0023] 图7为本发明无电解电容的LED驱动电路及其功率因数校正装置的具体实施例的主要波形图。

具体实施方式

[0024] 以下结合本发明电路原理框图以及具体实施例对本发明无电解电容的LED驱动电路及其高功率因数校正装置的基本原理做详细说明。

[0025] 参照附图4，无电解电容的LED驱动电路及其高功率因数校正装置主要包括功率电路和控制电路两部分。其中，无电解电容的LED驱动电路包括：整流桥B，输入电容C_{in}，正反激变压器T，原边主功率开关管Q_1，反激输出二极管D_1，正激输出二极管D_2，正激续流二极管D_3，正激输出电感L_1，功率解耦电容C_b，功率开关管Q_2，输出电感L_2，续流二极管D_4，以及输出电容C_o；

[0026] 所述整流桥B的输入端接电网电压的输出端，所述整流桥B的输出端并联输入电容C_{in}，输入电容C_{in}的一端接正反激变压器T原边绕组的一端，另一端同时接原边主功率开关管Q_1的源极和输入侧的功率地；正反激变压器T原边绕组的另一端接原边主功率开关管Q_1的漏极；正反激变压器T的过零检测绕组的一端输出过零检测信号，另一端接输入侧的功率地；正反激变压器T的反激绕组的一端接反激输出二极管D_1的阳极，另一端接输出侧的功率地；反激输出二极管D_1的阴极接输出电容C_o的一端；正反激变压器T的正激绕组的一端接正激输出二极管D_2的阳极，另一端接输出侧的功率地；正激输出二极管D_2的阴极同时接正激续流二极管D_3的阴极和正激输出电感L_1的一端；正激续流二极管D_3的阳极接输出侧的功率地；正激输出电感L_1的另一端同时接功率解耦电容C_b的一端和功率开关管Q_2的漏极；功率解耦

电容C_b的另一端接输出侧的功率地；功率开关管Q_2的源极同时接输出电感L_2和续流二极管D_4的阴极；续流二极管D_4的阳极接输出侧的功率地；输出电感L_2的另一端接输出电容C_o的一端；输出电容C_o的另一端接输出侧的功率地，输出电容C_o的两端并联LED负载；

[0027] 所述原边主功率开关管Q_1和所述功率开关管Q_2的栅极接功率因数校正装置；正反激变压器T的过零检测绕组输出的过零检测信号输入功率因数校正装置；

[0028] 所述输入电容C_{in}、功率解耦电容C_b以及输出电容C_o为非电解电容。

[0029] 此外，本发明所作的进一步的改进是：在无电解电容的LED驱动电路中增设一电流反馈网络，该电流反馈网络串联在输出电容C_o输出端与LED负载之间，用于检测驱动电路输出端的电流I_o，并将检测到的电流输出至功率因数校正装置，功率因素校正装置根据电流I_o的纹波变化，进而控制原边主功率开关管Q_1和功率开关管Q_2的导通时间。

[0030] 在此，参照附图5和附图6，本发明还提供了一款既适用于本发明所记载的LED驱动电路的功率因数校正装置，其包括过零检测模块，第一锯齿波发生模块，第一比较器，第一驱动脉冲产生模块，第一驱动模块，电流环模块，直流偏置去除模块，减法器，第一纹波调理模块，第二纹波调理模块，第二锯齿波发生模块，第二比较器，定时器模块，第二驱动脉冲产生模块和第二驱动模块。过零检测模块的输入端接正反激变压器的过零检测绕组的输出端(ZCD)，过零检测模块的输出端接第一驱动脉冲产生模块的一个输入端；电流环模块的输入端接输出电流反馈网络的输出端，和直流偏置去除模块的输入端，电流环模块的输出端接减法器的一个输入端；直流偏置去除模块的输出端分别接第一纹波调理模块和第二纹波调理模块；第一纹波调理模块的输出端接减法器的另一个输入端；减法器的输出端接第一比较器的一个输入端；第一锯齿波发生器的输入端接第一驱动脉冲产生模块的一个输出端，第一锯齿波发生器的输出端接第一比较器的另一个输入端；第一比较器的输出端接第一驱动脉冲产生模块的另一个输入端；第一驱动脉冲产生模块的另一个输出端接第一驱动模块的输入端；第一驱动模块的输出端接原边主功率开关管的驱动端V_{g1}(栅极)；第二纹波调理模块的输出端接第二比较器的一个输入端；第二锯齿波发生模块的输入端接第二驱动脉冲产生模块的一个输出端，第二锯齿波发生模块的输出端接第二比较器的另一个输入端；第二比较器的输出端接第二驱动脉冲产生模块的一个输入端；定时器模块的输出端接第二驱动脉冲产生模块的另一个输入端；第二驱动脉冲产生模块的另一个输出端接第二驱动模块的输入端；第二驱动模块的输出端接功率开关管的驱动端V_{g2}(栅极)；

[0031] 过零检测模块201一般由比较器U_{C3}构成，其中比较器U_{C3}的反相输入端接功率电路正反激变压器中过零检测绕组的输出端(ZCD)，比较器U_{C3}的正相输入端接地，比较器U_{C3}的输出端接第一驱动脉冲产生模块204的置位输入端。当比较器U_{C3}反相输入端的电压信号由高电压下降到零电压以下时，比较器U_{C3}的输出端产生高电平，输出置位信号。

[0032] 第一锯齿波发生器202由正电源V_{DD}，恒流源I_{dc1}，电容C_1和开关管S_1组成。恒流源I_{dc1}的一端接正电源V_{DD}，恒流源I_{dc1}的另一端接电容C_1和开关管S_1的一端，并将输出的锯齿波信号V_{saw1}输出至第一比较器203的正相输入端，电容C_1和开关管S_1的另一端接地；开关管S_1的控制端接第一驱动脉冲产生模块204的反相输出端，控制开关管S_1的通断。

[0033] 第一比较器203包括比较器U_{C1}，第一比较器U_{C1}的正相输入端接第一锯齿波发生器202输出端输出的锯齿波信号V_{saw1}；第一比较器U_{C1}的反相输入端接减法器208输出端输出的信号V_{comp2}。第一比较器U_{C1}的输出端接第一脉冲驱动产生模块204的复位信号输入端。结合

附图7中锯齿波信号V_{saw1}和补偿信号V_{comp2}的波形可知，通过比较上述两者波形，第一比较器U_{C1}输出原边主功率开关管Q_1的复位信号。

[0034] 第一驱动脉冲产生模块204一般由RS触发器构成，RS触发器的置位输入端接过零检测模块201的输出端，复位输入端接第一比较器203的输出端。RS触发器的同相输出端输出原边主功率开关管Q_1的驱动信号，并输入第二驱动模块205的输入端。而RS触发器的反相输出端接第一锯齿波发生器202开关管S_1的控制端。

[0035] 第一驱动模块205的输入端接第一驱动脉冲产生模块204的同相输出端，第一驱动模块205的输出端(V_{g1})接原边主功率开关管Q_1的栅极，产生的脉冲信号V_{g1}见附图7。

[0036] 电流环模块206由输入电阻R_{FB}、电流基准I_{ref}、补偿网络和误差放大器U_f组成；其中，输入电阻R_{FB}的一端接输出电流反馈网络的输出端(I_o)，输入电阻R_{FB}的另一端接误差放大器U_f的反相输入端，误差放大器U_f的正相输入端接电流基准I_{ref}。对于电压型的误差放大器，补偿网络跨接在误差放大器U_f的反相输入端和输出端之间。误差放大器U_f的输出端接减法器208的正输入端。输出电路反馈网络的输出电流I_o与电流基准I_{ref}进行比较，误差放大器U_f经补偿网络输出补偿电压V_{comp1}。

[0037] 直流偏置去除模块207，一般可由隔直电容C_f和电阻R_f组成。隔直电容C_f的一端接输出电流反馈网络的输出端(I_o)；隔直电容C_f的另一端接电阻R_f的一端，同时输出端接第一纹波调理模块209的输入端和第二纹波调理模块210的输入端；电阻R_f的另一端接地。输出负载电流反馈信号(I_o)经隔直电容C_f后，滤除了直流分量，输出电流的纹波信号(I_{o_ripple})，电流纹波波形见附图7中的I_{o_ripple}。

[0038] 减法器208的正端接误差放大器的输出端U_f，负端接第一纹波调理模块209的输出端。正端接补偿电压V_{comp1}，负端接第一纹波信号$I_{o_ripple1}$

[0039] 第一纹波调理模块209，可由同相放大器K_1和二极管D_{b1}组成。同相放大器K_1的输入端接直流偏置去除模块207的输出端，输出端接二极管D_{b1}的阴极和减法器208的负端；二极管D_{b1}的阳极接地。输出电流的纹波信号(I_{o_ripple})经同相放大器K_1将纹波信号放大K_1倍，并去除负向信号只输出正向信号，输出波形见附图7中的$I_{o_ripple1}$。

[0040] 第二纹波调理模块210，可由反相放大器K_2和二极管D_{b2}组成。反相放大器K_2的输入端接直流偏置去除模块207的输出端，输出端接二极管D_{b2}的阴极和第二比较器212的反向输入端；二极管D_{b2}的阳极接地。输出电流的纹波信号(I_{o_ripple})经反相放大器K_2将纹波信号放大$-K_2$倍，并去除负向信号只输出正向信号，输出波形见附图7中的$I_{o_ripple2}$

[0041] 第二锯齿波发生器211由正电源V_{DD}，恒流源I_{dc2}，电容C_2和开关管S_2组成。恒流源I_{dc2}的一端接正电源V_{DD}，恒流源I_{dc2}的另一端接电容C_2和开关管S_2的一端，并将输出的锯齿波信号V_{saw2}输出至第二比较器212的正相输入端，电容C_2和开关管S_2的另一端接地；开关管S_2的控制端接第二驱动脉冲产生模块214的反相输出端，控制开关管S_2的通断。

[0042] 第二比较器212包括比较器U_{C2}，第二比较器U_{C2}的正相输入端接第二锯齿波发生器211输出端输出的锯齿波信号V_{saw2}；第二比较器U_{C2}的反相输入端接第二纹波调理模块210输出端输出的信号$I_{o_ripple2}$。第二比较器U_{C2}的输出端接第二脉冲驱动产生模块214的复位信号输入端。结合附图7中锯齿波信号V_{saw2}和补偿信号$I_{o_ripple2}$的波形可知，通过比较上述两者变化的波形，第二比较器U_{C2}输出Buck功率开关管Q_2的复位信号。

[0043] 定时器模块213主要为定时器发生电路CLK，定时器发生电路CLK的一端接第二脉

冲驱动产生模块214的复位信号输入端，另一端接地端。定时器发生电路CLK输产生周期性恒定的脉冲输出Buck功率开关管Q_2的置位信号。

[0044] 第二驱动脉冲产生模块214一般由RS触发器构成，RS触发器的置位输入端接定时器模块213的输出端，复位输入端接第二比较器212的输出端。RS触发器的同相输出端输出Buck功率开关管Q_2的驱动信号，并输入第二驱动模块215的输入端。而RS触发器的反相输出端接第二锯齿波发生器211开关管S_2的控制端。

[0045] 第二驱动模块215的输入端接第二驱动脉冲产生模块214的同相输出端，第二驱动模块215的输出端(V_{g2})接Buck功率开关管Q_2的栅极，产生的脉冲信号V_{g2}见附图7。

[0046] 根据上述具体实施例，本发明LED驱动电路的工作原理如下：本发明采用正反激变换器，同时在正激绕组输出端串联一个Buck调理电路，采用上述结构可以实现LED驱动电路的无电解电容设计，同时通过合理控制可以使得变换器具有较高的功率因数和较低的谐波含量。

[0047] 根据正反激变换器的基本工作原理可知，当正激绕组二次侧工作时，需通过反激绕组实现对正反激变压器的磁复位。因而，在一个开关周期内，正激绕组和反激绕组的输出侧能同时对负载侧提供能量。基于上述拓扑工作特点，本发明所述的LED驱动电路，使得反激绕组提供的能量直接输出至负载侧，负责变换器的主要能量输出。正激绕组输出的能量则被先存储在解耦电容C_b中，当反激变换器输出能量不足以提供负载侧所需能量时，Buck调理电路开始工作释放解耦电容C_b上的能量输出至负载侧，从而实现输入和输出侧的功率解耦。同时，根据正激变换器的工作特点，当正激绕组输出侧的解耦电容C_b电压升高时，在下一个工作周期内解耦电容C_b存储的能量会随之减小；当解耦电容C_b电压下降时，在下一个工作周期内则解耦电容上存储的能量会随之增大。因而，解耦电容C_b上的电压具有自动调节的能力，不需要采用复杂的控制策略维持解耦电容上电压的稳定。根据输出侧所需补偿能量的不同，解耦电容上的电压C_b最终会稳定在一定的电压范围内，从而实现输入输出侧能量平衡，解耦电容上电压V_{bulk}的变化曲线见附图7。但是，由于正激绕组工作区域会随着解耦电容C_b上电压V_{bulk}的升高而减小。因而，输入电流波形i_{in}在正激绕组工作两端存在一定的电流死区，其具体波形变化见附图7中的电流i_{in}。通过对驱动电路和功率因数校正装置相关参数的合理设计，输入电流i_{in}具有较高的功率因数和较低的谐波含量。

[0048] 同时，为了满足LED驱动电路高功率因数的设计要求，通过优化参数设计，功率因数校正装置将使得反激绕组工作在电流临界导通模式(Boundary Conduction Mode，以下简称BCM)条件下，正激绕组工作在电流断续模式(Discontinuous Conduction Mode，以下简称DCM)条件下，以及Buck调理电路工作在DCM模式条件下。由于，所述的LED驱动电路主要由反激绕组提供输出负载所需的能量，因而，采用BCM模式具有较高的工作效率和功率密度。通过合理设计正反激变压的匝比关系，和正激输出电感的电感量，可以实现激绕组工作在DCM模式下。Buck调理电路工作在DCM模式下，具有控制方法简单的特点。附图7描述了主要电流波形的变化情况，包括正反激变压器的原边电流波形i_{pri_pk}，反激绕组输出电流波形i_{s1_pk}和正激绕组输出电流波形i_{s2_pk}，以及正激输出电感L_1上的电流波形i_{L1_pk}。

[0049] 结合附图4和附图5，本发明高功率因数校正装置的工作原理如下：主电路输出电流I_o经过电流环模块206输出补偿电压V_{compl}。同时，输出电流I_o经过直流偏置去除模块207，去除直流偏置输出电流纹波I_{o_ripple}。输出的纹波电流I_{o_ripple}一端接第一纹波调理模块

209，取纹波的正向波形并放大K_1倍数，输出调理信号$I_{o_ripple1}$，波形见附图7。补偿电压V_{comp1}和输出调理信号$I_{o_ripple1}$分别接减法器208的正输入端和负输入端，输出新的补偿信号V_{comp2}，即$V_{comp2}=V_{comp1}-I_{o_ripple1}$，$V_{comp2}$的波形见附图7。补偿信号$V_{comp2}$接第一比较器203的负输入端，第一锯齿波发生模块202输出锯齿波接第一比较器203的同相输入端，第一比较器输出端203输出主功率开关管Q_1的复位信号。正反激变压器103过零检测绕组输出的过零检测信号(ZCD)接过零检测模块201，输出主功率开关管Q_1的置位信号。第一驱动脉冲产生模块204的输入端接过零检测模块201的输出端和第一比较器203的输出端，通过控制置位和复位信号端产生驱动脉冲，并接第一驱动模块205，输出信号接主功率开关管Q_1的驱动端(V_{g1})。输出的纹波电流I_{o_ripple}的另一端接第二纹波调理模块210，取纹波的负向波形并反相放大K_2倍，输出纹波调理信号$I_{o_ripple2}$，波形见附图7。输出纹波调理信号$I_{o_ripple2}$接第二比较器212的反相输入端，第二锯齿波发生模块211输出锯齿波接第二比较器212的同相输入端，第二比较器212输出端输出Buck功率开关管Q_2的复位信号。第二驱动脉冲产生模块214的一端接定时器模块213输出端并输出置位信号，另一端接第二比较器212输出端并输出复位信号。通过控制置位和复位信号端，产生驱动脉冲接第二驱动模块215，输出信号Buck功率开关管Q_2的驱动端(V_{g2})。附图7描述了主功率开关管Q_1的驱动端(V_{g1})和Buck功率开关管Q_2的驱动端(V_{g2})的驱动脉冲。

[0050] 所述实施例中的电流环模块实现主电路的恒流输出，也可以采用电压环模块实现主电路的恒压输出。

[0051] 所述实施例中的电流环模块中的误差放大器采用电压型误差放大器，也可以采用电流型误差放大器，对应的补偿网络一端接误差放大器的输出，另一端接地。

[0052] 所述实施例中的开关周期检测模块中的锯齿波发生电路属于公知技术，恒流源的输出电流可以设为固定值，也可以通过外接参数进行调整。

[0053] 所述实施例中的驱动模块用来增强所述驱动脉冲产生模块的驱动能力，其实现方式可以是两个双极晶体管或金属氧化物半导体场效应管构成的推挽结构，属于公知技术。

[0054] 本发明的主电路反激绕组工作在电流临界连续模式(BCM)，正激绕组工作在电流断续模式(DCM)。因此，主电路参数设计要以反激绕组工作在电流临界连续模式(BCM)，同时正激绕组工作在电流断续模式(DCM)工作条件为前提。

[0055] 本发明包括的具体模块本领域技术人员可以在不违背其精神的前提下可以有多种实施方式，或通过各种不同的组合方式形成不同的具体实施例，这里不再详细描述。

[0056] 无论上文说明如何详细，还有可以有许多方式实施本发明，说明书中所述的只是本发明的一个具体实施例子。凡根据本发明精神实质所做的等效变换或修饰，都应涵盖在本发明的保护范围之内。

[0057] 本发明实施例的上述详细说明并不在穷举的或者用于将本发明限制在上述明确的形式上。在上述以示意性目的说明本发明的特定实施例和实施例的同时，本领域技术人员将认识到可以在本发明的范围内进行各种等同修改。

[0058] 在上述说明描述了本发明的特定实施例并且描述了预期最佳模式的同时，无论在上文中出现了如何详细的说明，也可以许多方式实施本发明。上述电路结构及其控制方式的细节在其实行细节中可以进行相当多的变化，然而其仍然包含在这里所公开的本发明中。

[0059] 如上述一样应当注意，在说明本发明的某些特征或者方案时所使用的特殊术语不应当用于表示在这里重新定义该术语以限制与该术语相关的本发明的某些特定特点、特征或者方案。总之，不应当将在随附的权利要求书中使用的术语解释为将本发明限定在说明书中公开的特定实施例，除非上述详细说明部分明确地限定了这些术语。因此，本发明的实际范围不仅包括所公开的实施例，还包括在权利要求书之下实施或者执行本发明的所有等效方案。

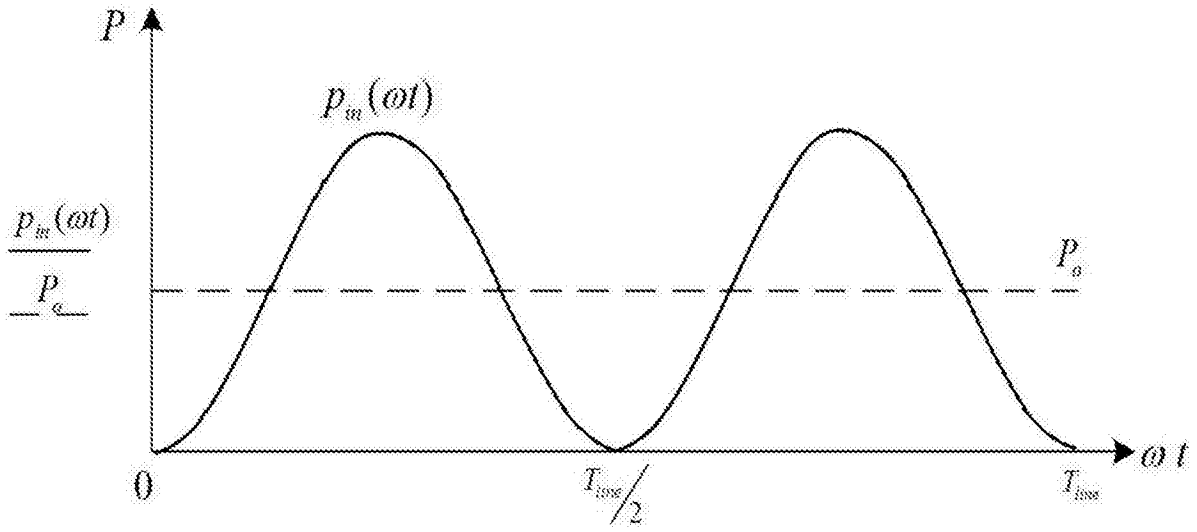

P
$p_{in}(\omega t)$
$\frac{p_{in}(\omega t)}{P_o}$
P_o
0
$T_{line}/2$
T_{line}
ωt

图1

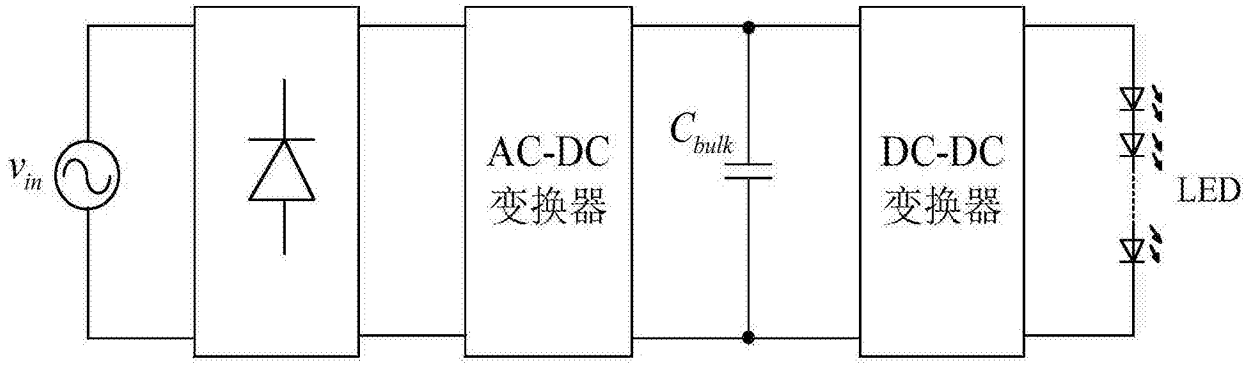

v_{in}
AC-DC
变换器
C_{bulk}
DC-DC
变换器
LED

图2

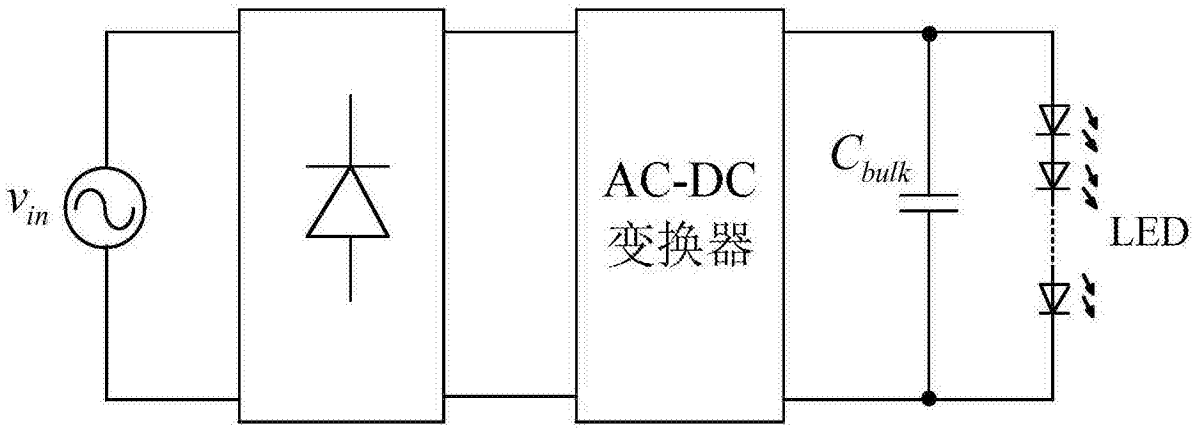

v_{in}
AC-DC
变换器
C_{bulk}
LED

图3

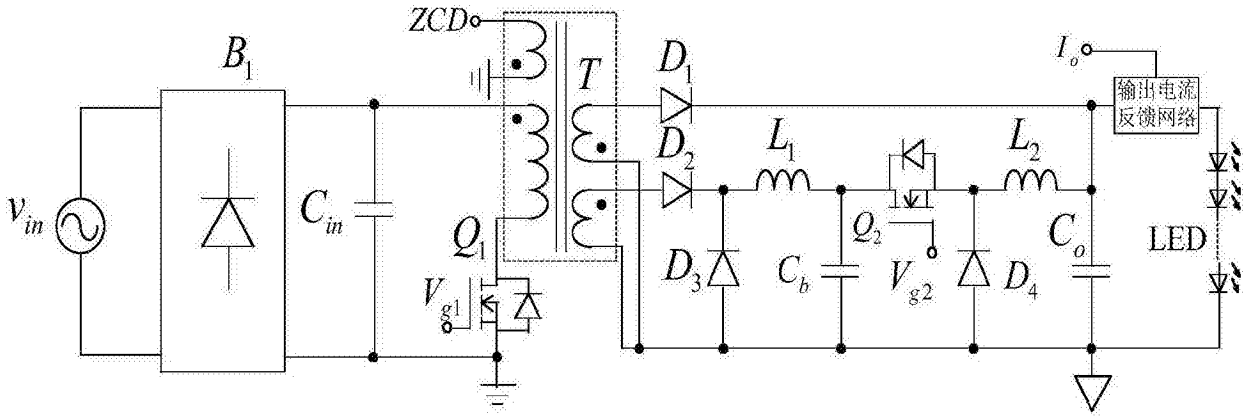

ZCD
B_1
T
D_1
D_2
L_1
L_2
I_o
输出电流反馈网络
v_{in}
C_{in}
Q_1
Q_2
C_o
LED
V_{g1}
D_3
C_b
V_{g2}
D_4

图4

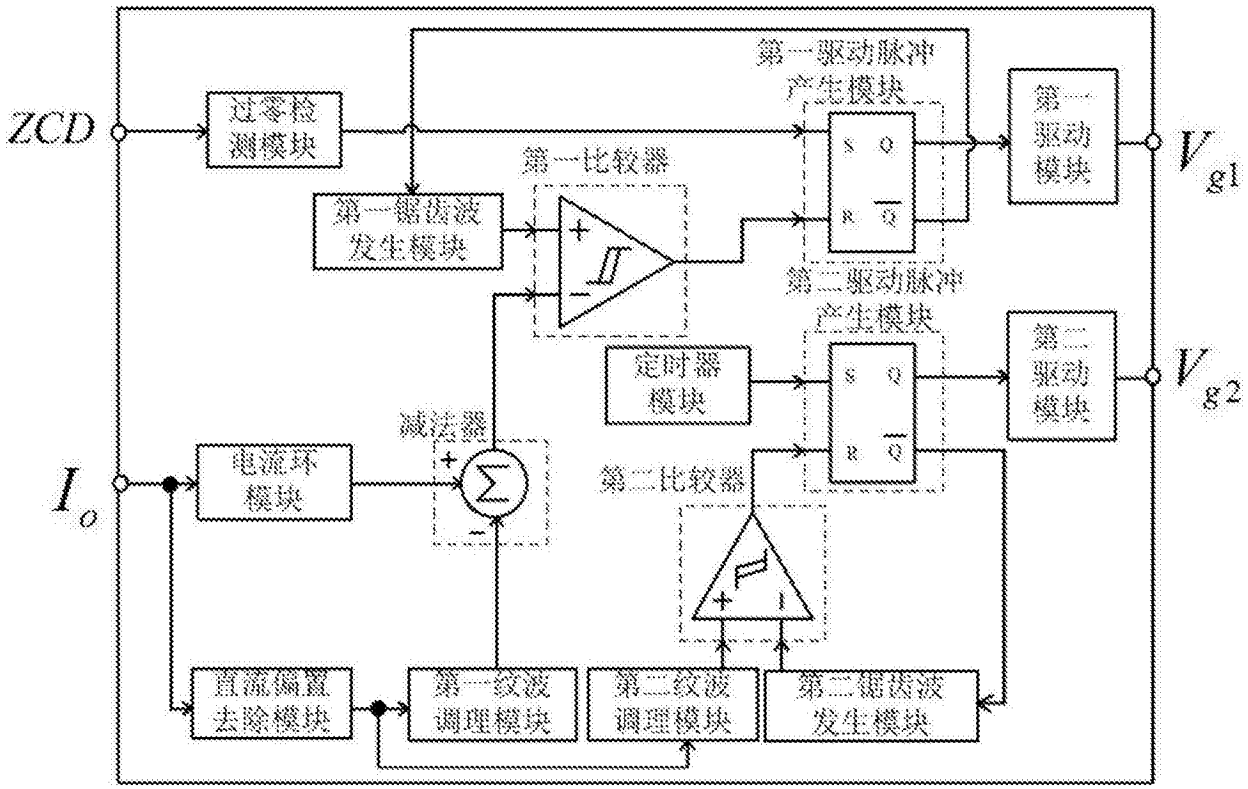

ZCD
过零检测模块
第一驱动脉冲产生模块
第一驱动模块
V_{g1}
第一比较器
第一锯齿波发生模块
第二驱动脉冲产生模块
定时器模块
第二驱动模块
V_{g2}
减法器
I_o
电流环模块
第二比较器
直流偏置去除模块
第一纹波调理模块
第二纹波调理模块
第二锯齿波发生模块

图5

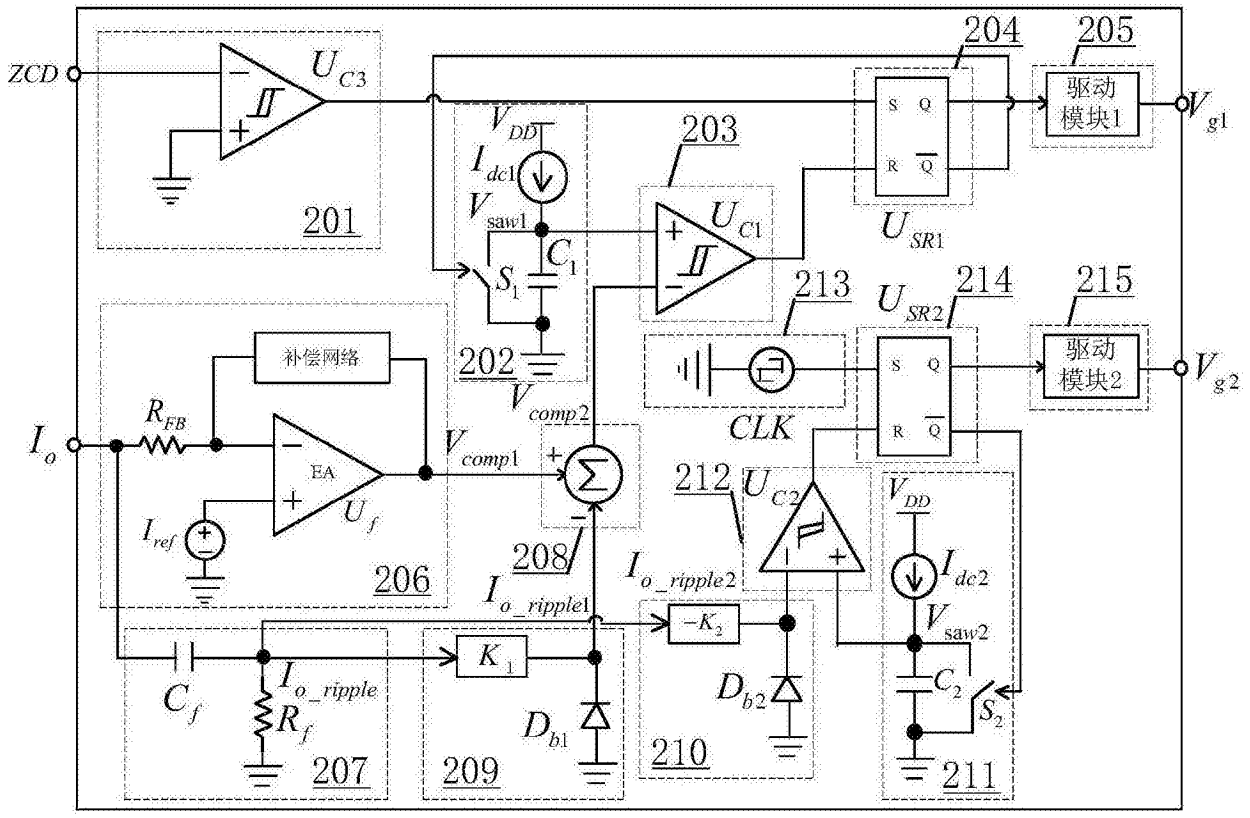

ZCD
U_{C3}
201
V_{DD}
I_{dc1}
V_{saw1}
C_1
S_1
202
V_{comp2}
203
U_{C1}
204
205
驱动模块1
V_{g1}
U_{SR1}
S Q
R Q
213
CLK
U_{SR2}
214
215
驱动模块2
V_{g2}
补偿网络
R_{FB}
I_o
EA
U_f
I_{ref}
206
V_{comp1}
208
$I_{o_ripple1}$
212
U_{C2}
$I_{o_ripple2}$
$-K_2$
D_{b2}
210
V_{DD}
I_{dc2}
V_{saw2}
C_2
S_2
211
C_f
I_{o_ripple}
R_f
207
K_1
D_{b1}
209

图6

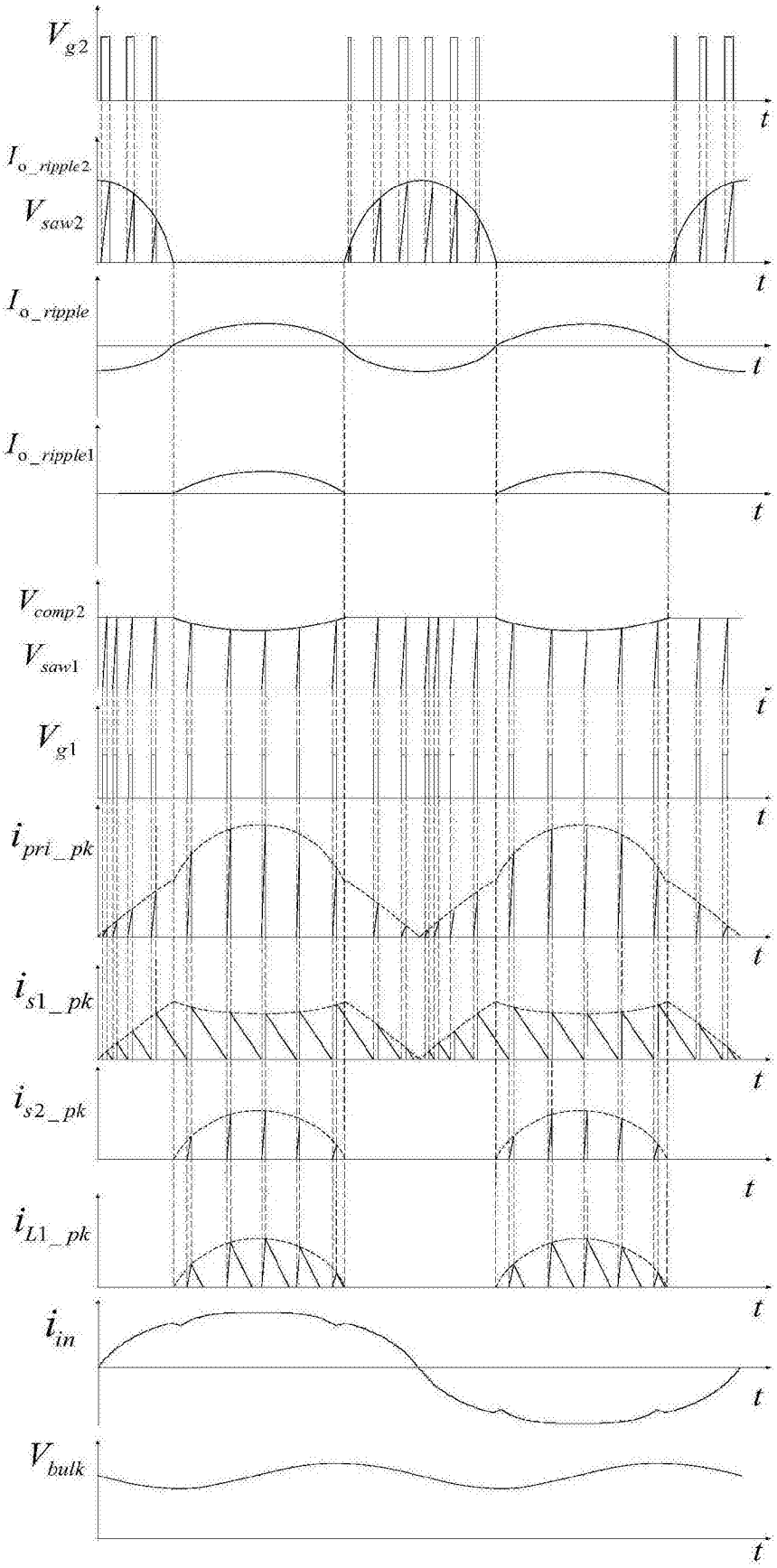

V_{g2}
t
$I_{o_ripple2}$
V_{saw2}
t
I_{o_ripple}
t
$I_{o_ripple1}$
t
V_{comp2}
V_{saw1}
t
V_{g1}
t
i_{pri_pk}
t
i_{s1_pk}
t
i_{s2_pk}
t
i_{L1_pk}
t
i_{in}
t
V_{bulk}
t

图7