

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成 16 年 7 月 29 日 (2004.7.29)

【公開番号】特開 2003-152116 (P2003-152116A)

【公開日】平成 15 年 5 月 23 日 (2003.5.23)

【出願番号】特願 2001-352020 (P2001-352020)

【国際特許分類第 7 版】

H 0 1 L 21/8247

H 0 1 L 27/10

H 0 1 L 27/115

H 0 1 L 29/788

H 0 1 L 29/792

【F I】

H 0 1 L 29/78 3 7 1

H 0 1 L 27/10 4 8 1

H 0 1 L 27/10 4 3 4

【手続補正書】

【提出日】平成 15 年 7 月 7 日 (2003.7.7)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

半導体基板上に形成され、第 1 積層ゲートを有する第 1 選択トランジスタと、
前記第 1 選択トランジスタの前記第 1 積層ゲートに隣接する前記半導体基板をエッチングすることにより、前記半導体基板表面に段差を形成するようにして設けられた第 1 段差領域と、

前記第 1 段差領域に形成された第 1 コンタクトプラグと
を具備することを特徴とする半導体記憶装置。

【請求項 2】

前記半導体基板上に形成され、第 2 積層ゲートを有する第 2 選択トランジスタと、
前記第 2 選択トランジスタの前記第 2 積層ゲートに隣接する前記半導体基板をエッチングすることにより、前記半導体基板表面に段差を形成するようにして設けられた第 2 段差領域と、

前記第 2 段差領域に形成された第 2 コンタクトプラグと
を更に備えることを特徴とする請求項 1 記載の半導体記憶装置。

【請求項 3】

前記第 1、第 2 選択トランジスタ間に形成され、それぞれが不純物拡散層を有する少なくとも 1 つのメモリセルを含むメモリセルユニットと、

それぞれの前記メモリセルに隣接する前記半導体基板をエッチングすることにより、前記半導体基板表面に段差を形成するようにして設けられた第 3 段差領域と、
を更に備えることを特徴とする請求項 2 記載の半導体記憶装置。

【請求項 4】

前記半導体基板上に形成され、ゲート電極及び不純物拡散層を有する周辺回路領域と、
前記周辺回路領域の前記ゲート電極に隣接する前記半導体基板をエッチングすることにより、前記不純物拡散層の少なくとも一部が形成された前記半導体基板表面に段差を形成

するようにして設けられた第 3 段差領域と、

前記第 3 段差領域に形成された第 3 コンタクトプラグと

を更に備えることを特徴とする請求項 1 乃至 3 いずれか 1 項記載の半導体記憶装置。

【請求項 5】

少なくとも 1 つのメモリセルトランジスタを含むメモリセルユニットと、

前記メモリセルユニットを選択する選択トランジスタと、

前記選択トランジスタに接続された第 1 コンタクトプラグと、

複数の前記メモリセルユニット及び選択トランジスタが形成されたメモリセルアレイとを具備し、前記メモリセルユニットは、第 1 導電型の第 1 半導体層の表面内に互いに離

隔して形成された、前記第 1 導電型と逆導電型の第 2 導電型の第 2、第 3 半導体層と、

前記第 2、第 3 半導体層間の前記第 1 半導体層上に第 1 ゲート絶縁膜を介在して設けられ、電荷蓄積層及び制御ゲートを含む積層ゲートと、

前記第 2、第 3 半導体層上に形成された第 1 絶縁膜とを備え、

前記選択トランジスタは、前記第 1 半導体層の表面内に形成され、前記第 2 半導体層に接続された第 2 導電型の第 4 半導体層と、

前記第 1 半導体層の表面内に、前記第 4 半導体層と離隔して形成された第 2 導電型の第 5 半導体層と、

前記第 4、第 5 半導体層間の前記第 1 半導体層上に第 2 ゲート絶縁膜を介在して形成された第 1 ゲート電極と、

前記第 4 半導体層上に形成され、前記第 4 半導体層との界面の少なくとも一部が、前記第 1 半導体層と前記第 2 ゲート絶縁膜との界面よりも第 1 段差を有するように低く位置する第 2 絶縁膜とを備え、

前記第 1 コンタクトプラグは、前記第 5 半導体層上に形成され、前記第 5 半導体層との界面の少なくとも一部が、前記第 1 半導体層と前記第 2 ゲート絶縁膜との界面よりも前記第 1 段差を有するように低く位置し、前記ビット線またはソース線に電氣的に接続されている

ことを特徴とする半導体記憶装置。

【請求項 6】

前記第 2、第 3 半導体層と、前記第 1 絶縁膜との界面の少なくとも一部は、前記第 1 半導体層と前記第 1 ゲート絶縁膜との界面よりも、前記第 1 段差を有するように低く位置することを特徴とする請求項 5 記載の半導体記憶装置。

【請求項 7】

前記選択トランジスタに形成された前記第 1 段差は、前記第 2 ゲート絶縁膜の膜厚よりも大きい

ことを特徴とする請求項 5 または 6 記載の半導体記憶装置。

【請求項 8】

前記メモリセルトランジスタに形成された前記第 1 段差は、前記第 1 ゲート絶縁膜の膜厚よりも大きい

ことを特徴とする請求項 6 記載の半導体記憶装置。

【請求項 9】

前記選択トランジスタに形成された前記第 1 段差は、前記第 1 ゲート電極のエッジよりも外側に位置する

ことを特徴とする請求項 5 乃至 8 いずれか 1 項記載の半導体記憶装置。

【請求項 10】

前記メモリセルトランジスタに形成された前記第 1 段差は、前記積層ゲートのエッジよりも外側に位置する

ことを特徴とする請求項 6 または 8 記載の半導体記憶装置。

【請求項 11】

前記第 1 半導体層の表面内に互いに離隔して形成された第 2 導電型の第 6、第 7 半導体層と、前記第 6、第 7 半導体層間の前記第 1 半導体層上に第 3 ゲート絶縁膜を介在して形成

された第2ゲート電極と、前記第6半導体層上に形成された第3絶縁膜とを有する周辺回路トランジスタと、

前記第7半導体層上に形成され、前記第7半導体層との界面の少なくとも一部が、前記第1半導体層と前記第3ゲート絶縁膜との界面よりも、前記第1段差と同等の高さの第2段差を有するように低く位置する第2コンタクトプラグと

を更に備えることを特徴とする請求項5乃至10いずれか1項記載の半導体記憶装置。

【請求項12】

前記第1半導体層内に形成された複数の帯状のトレンチと、該トレンチを埋め込み、前記第1半導体層表面よりも高い位置に上面を有する第4絶縁膜を含む素子分離領域を更に備え、

前記積層ゲートは、前記素子分離領域を挟んで隣接する前記第1半導体層間において前記制御ゲートが共通接続され、且つ電荷蓄積層が分離されるようにして、前記第1半導体層上及び前記素子分離領域上に設けられ、

前記積層ゲート及び前記第1ゲート電極直下に位置する前記第4絶縁膜の上面は、隣接する前記積層ゲート間及び前記第1ゲート電極間に位置する前記第4絶縁膜の上面よりも高い

ことを特徴とする請求項5乃至11いずれか1項記載の半導体記憶装置。

【請求項13】

第1導電型の第1半導体層の表面内に、互いに離隔して形成された第2導電型の第2、第3半導体層と、

前記第2、第3半導体層間の前記第1半導体層上に、第1ゲート絶縁膜を介在して設けられ、電荷蓄積層及び制御ゲートを含む積層ゲートと、

前記第2、第3半導体層表面の一部領域内に設けられ、該第2、第3半導体層表面から該第2、第3半導体層内に向かって、前記第1ゲート絶縁膜の膜厚よりも深く設けられた第1絶縁膜と

を具備することを特徴とする半導体記憶装置。

【請求項14】

前記第1絶縁膜は、前記積層ゲートのエッジから離隔して設けられている

ことを特徴とする請求項13記載の半導体記憶装置。

【請求項15】

前記積層ゲートと前記第2、第3半導体領域とを含んでなるメモリセルトランジスタを制御する周辺回路を更に備え、前記周辺回路は、

前記第1半導体層の表面内に、互いに離隔して形成された第2導電型の第4、第5半導体層と、

前記第4、第5半導体層間の前記第1半導体層上に、第2ゲート絶縁膜を介在して形成されたゲート電極と、

前記第4半導体層表面の一部領域内に設けられ、前記第4半導体層表面から該第4半導体層内に向かって、前記第1絶縁膜と同等の深さを有するようにして設けられた第2絶縁膜と

を備えることを特徴とする請求項13または14記載の半導体記憶装置。

【請求項16】

前記メモリセルユニットは、NAND型セルユニットである

ことを特徴とする請求項1乃至12いずれか1項記載の半導体記憶装置。

【請求項17】

前記メモリセルユニットは、NOR型セルユニットである ことを特徴とする請求項1乃至12いずれか1項記載の半導体記憶装置。

【請求項18】

前記電荷蓄積層は、前記第1ゲート絶縁膜を介して前記第1乃至第3半導体層との間で電子の授受を行うことにより、データの書き込みを行う

ことを特徴とする請求項5乃至15いずれか1項記載の半導体記憶装置。

【請求項 19】

半導体基板の表面内に形成された第1ソース領域及び第1ドレイン領域と、前記第1ソース、ドレイン領域間の前記半導体基板上に形成され、電荷蓄積層及び制御ゲートを備えるメモリセルトランジスタと、

前記半導体基板の表面内に形成され、一方が前記第1ソース、ドレイン領域のいずれかに接続された第2ソース領域及び第2ドレイン領域と、前記第2ソース、ドレイン領域間の前記半導体基板上に形成されたゲート電極とを備える選択トランジスタと

を具備し、前記第2ソース、ドレイン領域の他方の一部領域の表面は、前記選択トランジスタにおいてチャンネル領域が形成される前記半導体基板表面よりも低く位置する

ことを特徴とする半導体記憶装置。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0008

【補正方法】変更

【補正の内容】

【0008】

【課題を解決するための手段】

この発明の第1の態様に係る半導体記憶装置は、半導体基板上に形成され、第1積層ゲートを有する第1選択トランジスタと、前記第1選択トランジスタの前記第1積層ゲートに隣接する前記半導体基板をエッチングすることにより、前記半導体基板表面に段差を形成するようにして設けられた第1段差領域と、前記第1段差領域に形成された第1コンタクトプラグとを具備することを特徴としている。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0009

【補正方法】変更

【補正の内容】

【0009】

また、この発明の第2の態様に係る半導体記憶装置は、少なくとも1つのメモリセルトランジスタを含むメモリセルユニットと、前記メモリセルユニットを選択する選択トランジスタと、前記選択トランジスタに接続された第1コンタクトプラグと、複数の前記メモリセルユニット及び選択トランジスタが形成されたメモリセルアレイとを具備し、前記メモリセルユニットは、第1導電型の第1半導体層の表面内に互いに離隔して形成された、前記第1導電型と逆導電型の第2導電型の第2、第3半導体層と、前記第2、第3半導体層間の前記第1半導体層上に第1ゲート絶縁膜を介在して設けられ、電荷蓄積層及び制御ゲートを含む積層ゲートと、前記第2、第3半導体層上に形成された第1絶縁膜とを備え、前記選択トランジスタは、前記第1半導体層の表面内に形成され、前記第2半導体層に接続された第2導電型の第4半導体層と、前記第1半導体層の表面内に、前記第4半導体層と離隔して形成された第2導電型の第5半導体層と、前記第4、第5半導体層間の前記第1半導体層上に第2ゲート絶縁膜を介在して形成された第1ゲート電極と、前記第4半導体層上に形成され、前記第4半導体層との界面の少なくとも一部が、前記第1半導体層と前記第2ゲート絶縁膜との界面よりも第1段差を有するように低く位置する第2絶縁膜とを備え、前記第1コンタクトプラグは、前記第5半導体層上に形成され、前記第5半導体層との界面の少なくとも一部が、前記第1半導体層と前記第2ゲート絶縁膜との界面よりも前記第1段差を有するように低く位置し、前記ビット線またはソース線に電氣的に接続されていることを特徴としている。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0010

【補正方法】変更

【補正の内容】

【0010】

更に、この発明の第3の態様に係る半導体記憶装置は、第1導電型の第1半導体層の表面内に、互いに離隔して形成された第2導電型の第2、第3半導体層と、前記第2、第3半導体層間の前記第1半導体層上に、第1ゲート絶縁膜を介在して設けられ、電荷蓄積層及び制御ゲートを含む積層ゲートと、前記第2、第3半導体層表面の一部領域内に設けられ、該第2、第3半導体層表面から該第2、第3半導体層内に向かって、前記第1ゲート絶縁膜の膜厚よりも深く設けられた第1絶縁膜とを具備することを特徴としている。

更に、この発明の第4の態様に係る半導体記憶装置は、半導体基板の表面内に形成された第1ソース領域及び第1ドレイン領域と、前記第1ソース、ドレイン領域間の前記半導体基板上に形成され、電荷蓄積層及び制御ゲートを備えるメモリセルトランジスタと、前記半導体基板の表面内に形成され、一方が前記第1ソース、ドレイン領域のいずれかに接続された第2ソース領域及び第2ドレイン領域と、前記第2ソース、ドレイン領域間の前記半導体基板上に形成されたゲート電極とを備える選択トランジスタとを具備し、前記第2ソース、ドレイン領域の他方の一部領域の表面は、前記選択トランジスタにおいてチャネル領域が形成される前記半導体基板表面よりも低く位置することを特徴としている。