



(21) 申請案號：106100355

(22) 申請日：中華民國 106 (2017) 年 01 月 05 日

(51) Int. Cl. : *H01L45/00 (2006.01)*

(71) 申請人：旺宏電子股份有限公司 (中華民國) MACRONIX INTERNATIONAL CO., LTD.
(TW)

新竹縣科學工業園區力行路 16 號

(72) 發明人：曾柏皓 TSENG, PO-HAO (TW)；李峰旻 LEE, FENG-MIN (TW)

(74) 代理人：祁明輝；林素華

申請實體審查：有 申請專利範圍項數：10 項 圖式數：5 共 26 頁

(54) 名稱

具一記憶體結構之半導體元件

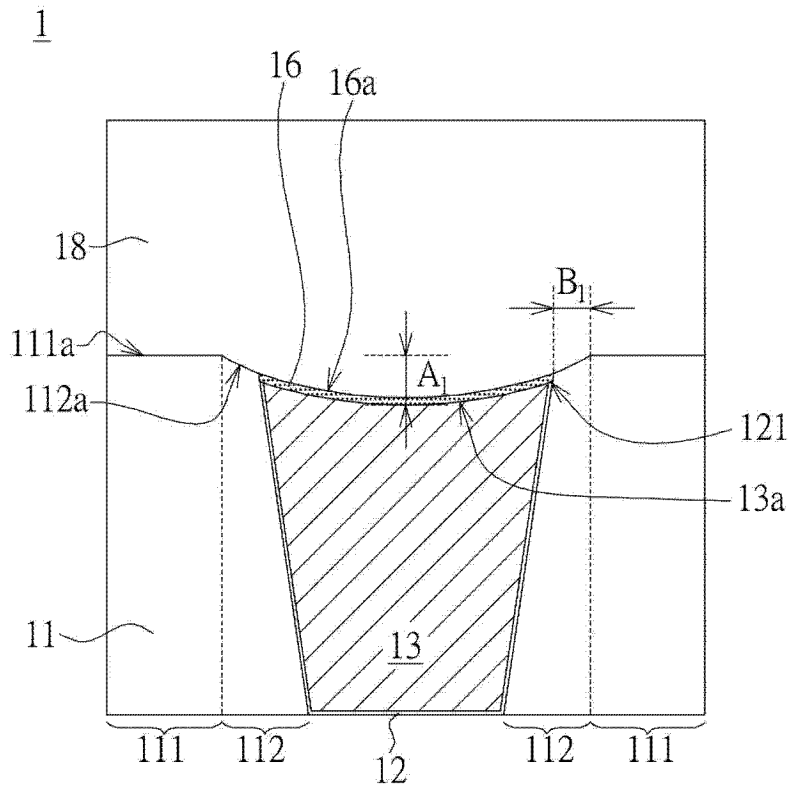
SEMICONDUCTOR DEVICE INCLUDING A MEMORY CELL STRUCTURE

(57) 摘要

一種具一記憶體結構之半導體元件，記憶體結構包括一絕緣層設置於一基板上方；一底電極埋置於絕緣層中；一電阻轉換層，設置於底電極上；和一頂電極，設置於電阻轉換層上並覆蓋電阻轉換層。其中，底電極具有一凹陷上表面低於絕緣層之一平坦上表面。

A semiconductor device including a memory cell structure is provided, and the memory cell structure includes an insulating layer disposed above a substrate, a bottom electrode embedded in the insulating layer, a resistance switching layer disposed on the bottom electrode, and a top electrode disposed on the resistance switching layer and covering the resistance switching layer. Also, the bottom electrode has a concave top surface lower than a flat upper surface of the insulating layer.

指定代表圖：



第 1 圖

符號簡單說明：

- 1 . . . 記憶體結構
- 11 . . . 絕緣層
- 111 . . . 第一部份
- 111a . . . 平坦上表面
- 112 . . . 第二部份
- 112a . . . 傾斜上表面
- 12 . . . 障壁層
- 121 . . . 介面的上邊緣
- 13 . . . 底電極
- 13a . . . 凹陷上表面
- 16 . . . 電阻轉換層
- 16a . . . 電阻轉換層之上表面
- 18 . . . 頂電極
- A₁ . . . 垂直距離
- B₁ . . . 最小水平距離

【發明說明書】

【中文發明名稱】具一記憶體結構之半導體元件

【英文發明名稱】SEMICONDUCTOR DEVICE INCLUDING A
MEMORY CELL STRUCTURE

【技術領域】

【0001】 本發明是有關於一種具記憶體結構之半導體元件，且特別是有關於一種具電阻轉換記憶體結構(resistance switching memory cell structure)之半導體元件。

【先前技術】

【0002】 電阻式隨機存取記憶體(Resistive random-access memory)(RRAM 或 ReRAM)是一種非揮發式記憶體結構。電阻式記憶體由於它簡單的金屬層-絕緣層-金屬層(MIM，Metal-Insulator-Metal)結構和規模可擴展性而深受相關業者的注目。目前根據使用的介電材料不同和記憶體層材料的不同，從鈣鈦礦(perovskites)到過渡金屬氧化物(transition metal oxides)到硫族(元素)化物(chalcogenides)，已有許多不同形態的 ReRAM 元件被提出。

【0003】 電阻轉換記憶體結構是過渡金屬氧化物記憶體的示例之一，其為一群雙穩態兩端記憶體元件(two-terminal bistable memory devices)藉由不同電阻態可儲存資料。例如一典型的 ReRAM 元件包括了鎢底電極、一氧化矽鎢($WSixOy$)記憶層和一氮化鈦(TiN)頂電極。記憶體結構的電阻轉換特性很容易地會受到

底電極的廓型與均勻度的影響，連帶對具有此記憶體結構之記憶體元件的穩定度和電子特性造成不可忽視的影響。因此，相關業者無不希望可以發展和實現一個具有優異的結構廓型與均勻度的記憶體結構以增進元件之穩定度和電子特性(例如資料儲存具有良好穩定度)。

【發明內容】

【0004】 本發明係有關於一種具記憶體結構之半導體元件，係提出記憶體結構具有凹陷上表面(**concave top surface**)之底電極，以及底電極上表面和包圍底電極之絕緣層的上表面可形成連續的表面輪廓，因而有效地增進記憶體結構的穩定度和電性表現。

【0005】 根據一實施例，係提出一種具記憶體結構之半導體元件，記憶體結構包括一絕緣層設置於一基板上方；一底電極埋置於絕緣層中；一電阻轉換層，設置於底電極上；和一頂電極，設置於電阻轉換層上並覆蓋電阻轉換層。其中，底電極具有一凹陷上表面低於絕緣層之一平坦上表面。

【0006】 根據一實施例，再提出一種具記憶體結構之半導體元件，包括一電晶體，設置於一基板上；一內連線結構(**interconnection structure**)，設置於基板上方；一保護層，設置於內連線結構上；和如上述之一記憶體結構，設置於保護層和電晶體之間。

【0007】 為了對本發明之上述及其他方面有更佳的瞭解，下

文特舉實施例，並配合所附圖式，作詳細說明如下。然而，本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【圖式簡單說明】

【0008】

第 1 圖係簡繪本揭露一實施例之一記憶體結構之示意圖。

第 2A 圖-第 2D 圖為根據本揭露一實施例之記憶體結構的製造方法。

第 3 圖係簡繪本揭露另一實施例之一記憶體結構之示意圖。

第 4 圖係簡繪根據本揭露之一應用中，一半導體元件包括實施例之記憶體結構與導電接觸(contact)相關之示意圖。

第 5 圖係簡繪根據本揭露之另一應用中，一半導體元件包括實施例之記憶體結構與導孔(via)相關之示意圖。

【實施方式】

【0009】 根據本揭露之實施例，係提出一種具記憶體結構之半導體元件。實施例之一記憶體結構係包括具有凹陷上表面(concave top surface)之底電極，且此凹陷上表面係低於絕緣層之一上表面(例如是一平坦上表面)。根據實施例，電阻轉換層之上表面與絕緣層之上表面係形成一連續的表面輪廓(continuous surface profile)。實施例之記憶體結構不僅可有效增進相關元件的性質(例如使製得的底電極相對於絕緣層並沒有產生暴露的邊緣

和尖銳的轉角)，更可有效改善相關元件的性質(例如使製得的底電極具有平滑上表面)，更可改善應用實施例記憶體結構之半導體元件的穩定度和電性表現。

【0010】 以下係參照所附圖式敘述本揭露提出之其中多個實施態樣，以描述相關構型與製造方法。相關的結構細節例如相關層別和空間配置等內容如下面實施例內容所述。然而，但本揭露並非僅限於所述態樣，本揭露並非顯示出所有可能的實施例。實施例中相同或類似的標號係用以標示相同或類似之部分。再者，未於本揭露提出的其他實施態樣也可能可以應用。相關領域者可在不脫離本揭露之精神和範圍內對實施例之結構加以變化與修飾，以符合實際應用所需。而圖式係已簡化以利清楚說明實施例之內容，圖式上的尺寸比例並非按照實際產品等比例繪製。因此，說明書和圖示內容僅作敘述實施例之用，而非作為限縮本揭露保護範圍之用。

【0011】 再者，說明書與請求項中所使用的序數例如”第一”、”第二”、”第三”等之用詞，以修飾請求項之元件，其本身並不意含及代表該請求元件有任何之前的序數，也不代表某一請求元件與另一請求元件的順序、或是製造方法上的順序，該些序數的使用僅用來使具有某命名的一請求元件得以和另一具有相同命名的請求元件能作出清楚區分。

【0012】 第 1 圖係簡繪本揭露一實施例之一記憶體結構之示意圖。實施例之一記憶體結構 1 包括一絕緣層 11(例如是層間介

電(inter-layer dielectric, ILD)層或是金屬間介電(inter-metal dielectric, IMD)層)、一底電極(bottom electrode)13 埋置於絕緣層 11 中、設置於底電極 13 上之一電阻轉換層(resistance switching layer)16, 和設置於電阻轉換層 16 上並覆蓋電阻轉換層 16 之一頂電極(top electrode)18。根據實施例, 底電極 13 具有一凹陷上表面(concave top surface)13a, 且此凹陷上表面 13a 係低於絕緣層 11 之一平坦上表面(flat upper surface)111a; 即, 底電極 13 具有一下凹廓型(concave profile)。

【0013】 再者, 實施例之記憶體結構更包括一障壁層(barrier layer)12 以隔開絕緣層 11 和底電極 13(ex: 鎢)。已知若沒有任何障壁層的存在而直接沈積底電極 13 於絕緣層 11 的孔洞內則可能會造成後續製程中的底電極 13 有裂痕或是剝落的情況產生。實施例之障壁層 12 可被視為絕緣層 11 和底電極 13 的介面(interface), 且底電極 13 之凹陷上表面 13a 係與絕緣層 11 和底電極 13 之介面(i.e. 障壁層 12)的一上邊緣(upper edge of an interface) 121 構成一連續的表面輪廓(continuous surface profile)。

【0014】 再者, 如第 1 圖所示, 絕緣層 11 可被視為第一部份(first portion)111 與連接第一部份 111 之第二部份 112(second portion)的組合。第一部份具有平坦上表面 111a (i.e. 與上方沈積有絕緣層 11 之一基板平行), 第二部份 112 具有一傾斜上表面(inclined upper surface)112a, 其中絕緣層 11 的第二部份 112 之傾斜上表面 112a 係朝向頂電極 13 和電阻轉換層 16 而向下地傾斜。

根據實施例，底電極 13 被絕緣層 11 的第二部份 112 包圍，且底電極 13 之凹陷上表面 13a 係低於絕緣層 11 之第一部份 111 的平坦上表面 111a。

【0015】 此外，電阻轉換層 16 之一上表面 16a 係連接絕緣層 11 之第二部份 112 的傾斜上表面 112a，且電阻轉換層 16 之上表面 16a 係與絕緣層 11 之第一部份 111 的平坦上表面 111a 相距隔開一距離(兩者例如是以第二部份 112 相隔開來)。根據實施例，電阻轉換層 16 之上表面 16a 與第二部份 112 的傾斜上表面 112a 形成一連續的表面輪廓(continuous surface profile)，如第 1 圖所示。

【0016】 根據實施例之記憶體結構，相較於底電極 13 的凹陷上表面 13a，絕緣層 11 的上表面(例如平坦上表面 111a)是位於更高的水平位置(horizontal level)。因此，如第 1 圖所繪示，一實施例之底電極 13 之凹陷上表面 13a 係低於絕緣層 11 之第二部份 112 的傾斜上表面 112a，而電阻轉換層 16 之上表面 16a 則低於絕緣層 11 之第一部份 111 的平坦上表面 111a。一實施例中，電阻轉換層 16 之上表面 16a 亦可能低於絕緣層 11 之第二部份 112 的傾斜上表面 112a。另外，第 1 圖(及文中其他圖式)僅繪製單層結構的電阻轉換層 16 以簡示本揭露之其中之一個可實施態樣，但本揭露並不限於此種態樣。根據實施例，電阻轉換層 16 可以是一單層結構或是一雙層結構(bilayer structure)，視應用時之需求而定，而且於實際應用時可以通過稍加變化的製法而達到所欲形

成的單層或雙層結構。

【0017】 第 2A 圖-第 2D 圖為根據本揭露一實施例之記憶體結構的製造方法。在此實施例中係以鎢(Tungsten, W)為底電極 13 之材料為例以利清楚說明本揭露。但本揭露之底電極並不僅限於材料鎢。

【0018】 首先，提供具有一孔洞 11h 之絕緣層 11，且設置一障壁層 12(例如氮化鈦(TiN)層)於孔洞 11h 處，之後沈積一底電極材料層(bottom electrode material layer)130(例如鎢)於絕緣層上並填滿孔洞 11h，如第 2A 圖所繪示。其中障壁層 12 隔離絕緣層 11 與底電極材料層 130。沒有障壁層 12 而是直接沈積底電極材料層 130 於絕緣層 11 的孔洞 11h 內，可能會造成底電極於後續製程中產生裂痕或是剝落情況。根據實施例，底電極材料層 130(底電極 13)與絕緣層 11 之間所設置的障壁層 12 是一薄膜，可減少後續設置電阻轉換層 16 之氧化製程中障壁層 12 被氧化所產生之氧化物量。一實施例中，障壁層 12 的厚度係在(但不限制於)1nm 到 2.5nm 的範圍之間。障壁層 12(例如 TiN 層)的厚度越薄，後續氧化製程中所產生的氮氧化物(例如 TiON_x)越少。另外，實施例之底電極材料層 130/底電極 13 的材料例如是包括(但不限制於)鎢(W)、(Cu)、(Fe)、(Ti)、(Ni)、(Hf)、(TiN)、(TaN)和其他可應用之材料。

【0019】 之後，對底電極材料層 130 的一部分以平坦化步驟例如化學機械研磨(CMP)進行移除，且更進行一氧化物拋磨(oxide buffing)(和研磨)以移除絕緣層 11 上的鎢殘餘物，致使底電極材

料層的剩餘部份 130' 突出於絕緣層 11 上，如第 2B 圖所繪示。至此，底電極材料層的剩餘部份 130' 在結構上係具有尖銳轉角 130C 和暴露邊緣 130E，此結構在操作記憶體時會對於電場均勻度有不可忽略的影響。

【0020】 接著，對底電極材料層的剩餘部份 130' 進行改形，以形成實施例之底電極。一實施例中，係使用氬氣電漿(argon plasma)對底電極材料層的剩餘部份 130' 進行離子轟擊(ion bombardment)以形成底電極 13，其中具有凹陷上表面 13a 的底電極係埋置於絕緣層 11 中(例如被絕緣層 11 的第二部份 112 包圍)，且凹陷上表面 13a 低於絕緣層 11 第一部份 111 的平坦上表面 111a，如第 2C 圖所繪示。一實施例中，氬氣電漿離子轟擊的參數例如是(但不限制是)：300B 偏壓(沿垂直於絕緣層 11 之平坦上表面 111a 的方向)，300W 功率和 12 秒的轟擊時間。在底電極材料層之剩餘部份 130' 塑形之後，原先結構上的尖銳轉角 130C 和暴露邊緣 130E 都消除了，而獲得一個具有平滑凹陷上表面 13a 的底電極 13。如第 2C 圖所示，底電極 13 的凹陷上表面 13a 和絕緣層 11 之第二部份 112 的傾斜上表面 112a 形成了一連續的表面輪廓，據此可有效增進記憶體操作時後階段之電場均勻度，因而使記憶體結構具有更良好的電性表現。

【0021】 再者，如第 2C 圖所示之一垂直距離 A_0 和一最小水平距離 B_0 可根據實際應用時之條件而定。於一實施例中，絕緣層 11 之第一部份 111 的平坦上表面 111a 到底電極 13 之凹陷上表面

13a 的最低點的垂直距離 A_0 ，係在 5nm 到 15nm 範圍之間(在設置電阻轉換層 16 之前)。於一實施例中，絕緣層 11 之第一部份 111 的平坦上表面 111a 之邊緣到底電極 13 之邊緣(或障壁層 12 之一邊緣)的最小水平距離 B_0 ，係在 30nm 到 50nm 範圍之間(在設置電阻轉換層 16 之前)。在製程中，若垂直距離 A_0 過大，會導致在設置電阻轉換層 16 步驟時氧化不均勻，生成不均勻的電阻轉換層 16 而造成尾位元(tails bits)，進而增加位元錯誤率(bit error rate，BER)和影響資料讀取的正確性。若最小水平距離 B_0 太長，在設置電阻轉換層 16 步驟時的氧化電漿將會難以聚集在底電極 13 處(i.e.在設置電阻轉換層時進行了強度不夠的氧化製程)，導致生成不均勻的電阻轉換層 16，而造成尾位元(tails bits)和影響資料讀取的正確性。若最小水平距離 B_0 太短，在設置電阻轉換層 16 步驟時的氧化電漿將會高度地集中在底電極 13 處而在設置電阻轉換層時進行了過強的氧化製程。過強的氧化製程將會影響電阻轉換層 16 的品質，且將需要更高的電壓來操作具有此電阻轉換層的記憶體結構之一形成階段(forming stage)。

【0022】 之後，進行電漿氧化步驟(plasma oxidation)以設置電阻轉換層 16，以及設置頂電極 18 於電阻轉換層 16 上並覆蓋電阻轉換層 16，如第 2D 圖所示。在沈積與定義頂電極之後，例如是進行後續之一互補性氧化金屬半導體(CMOS)後端製程。在進行電漿氧化步驟時，非常微量的障壁層 12 會被轉換成氧化物，以及後續可能有氧化物重新濺鍍(re-sputtering)和重新沈積的情況

發生。一實施例中，電阻轉換層 16 的厚度係在(但不限制於)2nm 到 20nm 的範圍之間。且於電漿氧化步驟時，部分的底電極 13 被氧化而形成電阻轉換層 16。在設置電阻轉換層 16 和頂電極 18 之後，電阻轉換層 16 之上表面 16a 連接絕緣層 11 之第二部份 112 的傾斜上表面 112a，其中電阻轉換層 16 之上表面 16a 與第二部份 112 的傾斜上表面 112a 係形成一連續的表面輪廓(continuous surface profile)。根據實施例之實驗結果，可清楚觀察到：電阻轉換層 16 之上表面 16a 與第二部份 112 的傾斜上表面 112a 之間並沒有明顯的高度落差。

【0023】 再者，於一實施例中，如第 2D 圖所示，在設置電阻轉換層 16 之後，絕緣層 11 之第一部份 111 的平坦上表面 111a 到底電極 13 之凹陷上表面 13a 的最低點的垂直距離 A_1 ，係在 7nm 到 35nm 範圍之間。於一實施例中，在設置電阻轉換層 16 之後，絕緣層 11 之第一部份 111 的平坦上表面 111a 之邊緣到底電極 13 之邊緣(或障壁層 12 之一邊緣)的最小水平距離 B_1 (可能等於最小水平距離 B_0)，係在 30nm 到 50nm 範圍之間。

【0024】 另外，電阻轉換層 16 的材料例如是包括，但不限制於，二氧化矽(SiO_2)、氧化鈦(HfO_2)、氧化鈦(TiO_x)、氮氧化鈦(TiON)、氧化鎢(WO_x)、氧化鉭(Ta_2O_5)、氧化鋁(Al_2O_3)和其他可應用之材料。而上述該些材料僅為舉例之用，而非用以限制本揭露。再者，上述列出之數值僅是其中部分示例，並非限制本揭露之用。相關領域之技藝者當知，實施例中所提出之相關組成物之

條件或是組成物之間的距離，例如障壁層 12 和電阻轉換層 16 的厚度、距離 A_0 、 B_0 、 A_1 、 B_1 等數值，皆可根據實際應用之需求而做適當變化和調整。

【0025】 第 3 圖係簡繪本揭露另一實施例之一記憶體結構之示意圖。請同時參照第 1 圖。第 3 圖和第 1 圖的結構相同，除了增加了一氧離子貯藏層(oxygen ion reservoir layer)19。第 3 圖和第 1 圖中相同和/或相似元件係沿用相同和/或相似標號，且相同元件/層的構型、製法與各層功能在此不再贅述。如第 3 圖所示，記憶體結構 1' 中，一氧離子貯藏層 19 可選擇性地設置於頂電極 18 和電阻轉換層 16 之間，以提供氧而可增進元件的電阻轉換功能。於一實施例中，氧離子貯藏層 19 的材料例如是，但不限制是，氧化鈦(TiO_x)、氮氧化鈦($TiON$)、氧化鈺(HfO_2)、氧化鋁(Al_2O_3)、氧化鉭(Ta_2O_5)和其他可應用之材料。

【0026】 有許多應用態樣可將實施例之記憶體結構設置於一半導體元件。以下其提出其中兩種應用態樣作說明，但本揭露之應用並不限於此。第 4 圖係簡繪根據本揭露之一應用中，一半導體元件包括實施例之記憶體結構與導電接觸(contact)相關之示意圖。第 5 圖係簡繪根據本揭露之另一應用中，一半導體元件包括實施例之記憶體結構與導孔(via)相關之示意圖。請參照第 1、4、5 圖。

【0027】 如第 4、5 圖所示之應用中，半導體元件包括一電晶體 T 設置於基板 10 上、一層間介電層 ILD 設置於基板 10 上並覆

蓋電晶體 T、一內連線結構(interconnection structure)20 設置於基板上方 10 例如是設置層間介電層 ILD 上、一保護層(passivation layer) PL 設置於內連線結構 20 上、以及實施例之一記憶體結構(如第 1 圖所示之記憶體結構 1 或第 3 圖所示之記憶體結構 1')。根據應用實施例記憶體結構的態樣，記憶體結構可設置於保護層 PL 和電晶體 T 之間。如第 4、5 圖所示，電晶體 T 包括一閘極 G、一源極區域 S 和一汲極區域 D。至少兩個導電接觸 42 (conductive contacts)形成於層間介電層 ILD 內並電性連接至電晶體 T 的源極區域 S 和汲極區域 D。再者，內連線結構 20 包括複數層內連線層(interconnect layers)分別形成於複數層金屬間介電層 IMD 中。舉例而言，內連線層包括數個導孔(vias)和數層金屬線(metal lines)，例如第一金屬線 ML1、第一導孔 V1、第二金屬線 ML2、第二導孔 V2 和第三金屬線 ML3。

【0028】 如第 4 圖所示，兩個導電接觸 42 其中之一係為實施例之記憶體結構的一部份，其中如前述內容中埋置記憶體結構的底電極 13 之絕緣層 11 係為層間介電層 ILD。

【0029】 於另一種應用態樣，如第 5 圖所示，其中一個導孔，例如是第一導孔 V1 或第二導孔 V2，係為實施例記憶體結構的一部份，其中如前述內容中埋置記憶體結構的底電極 13 之絕緣層 11 係為其中一層金屬間介電層 IMD。雖然圖式中的內連線結構 20 僅繪示兩層金屬間介電層 IMD(例如包括兩個導孔 V1-V2 和三層金屬線 ML1-ML3)，且圖式中(第 5 圖)繪示實施例之記憶體結

構係與第一導孔 V1 相關，但本揭露並不以此為限。金屬間介電層 IMD、導孔和金屬線層的數目，皆可根據實際應用情況而定，且實施例記憶體結構的位置亦可做適當變化和調整，以符合實際應用之需求(例如可以與其他如 V2, V3, V4,..等其他導孔相關)。

【0030】 一般而言，保護層 PL 會包括氫離子(hydrogen ions, H⁺)。氫離子(H⁺)(從保護層 PL 遷移出來)會引起電阻轉換層 16 內電阻絲的毀壞(filament rupture)而造成記憶體保存性損失(retention loss)。對第 4 圖所示之半導體元件而言，在保護層 PL 到實施例記憶體結構(ex: ReRAM)之間係有一較長的距離，如此可減少保護層 PL 之氫離子到達電阻轉換層 16 的機率。因此，如第 4 圖所示之記憶體結構設置於導電接觸 42 上可增進記憶體的保存特性。

【0031】 對第 5 圖所示之半導體元件而言，實施例記憶體結構(ex: ReRAM)設置於導孔上(例如設置在 V1 或 V2 或其他等導孔上)則可減少熱積存效應(thermal budget effect)對記憶體結構的影響，進而獲得一高品質的電阻轉換層 16 而增進記憶體的耐受特性(endurance characteristic)。

【0032】 綜合上述，實施例之記憶體結構中，係設置具有一凹陷上表面(concave top surface)13a 之底電極 13，且此凹陷上表面 13a 係低於絕緣層 11 之上表面(例如是第一部份 111 之平坦上表面 111a)。再者，根據實施例之設計，底電極 13 之凹陷上表面 13a 可與絕緣層 11 和底電極 13 之間介面的一上邊緣(upper edge

of an interface)121 構成一連續的表面輪廓(continuous surface profile)。實施例之記憶體結構可以有效增進其電子特性。再者，應用實施例記憶體結構之半導體元件的穩定度和電性表現亦可有效提升。

【0033】 其他實施例，例如元件的已知構件有不同的設置與排列等，亦可能可以應用，係視應用時之實際需求與條件而可作適當的調整或變化。因此，說明書與圖式中所示之結構僅作說明之用，並非用以限制本揭露欲保護之範圍。另外，相關技藝者當知，實施例中構成部件的形狀和位置亦並不限於圖示所繪之態樣，亦是根據實際應用時之需求和/或製造步驟在不悖離本揭露之精神的情況下而可作相應調整。

【0034】 綜上所述，雖然本發明已以實施例揭露如上，然其並非用以限定本發明。本發明所屬技術領域中具有通常知識者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾。因此，本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【符號說明】

【0035】

1、1'：記憶體結構

10：基板

11：絕緣層

11h：孔洞

- 111：第一部份
 - 111a：平坦上表面
- 112：第二部份
 - 112a：傾斜上表面
- 12：障壁層
 - 121：介面的上邊緣
- 13：底電極
 - 13a：凹陷上表面
 - 130：底電極材料層
 - 130'：底電極材料層的剩餘部份
 - 130C：尖銳轉角
 - 130E：暴露邊緣
- 16：電阻轉換層
 - 16a：電阻轉換層之上表面
- 18：頂電極
- 19：氧離子貯藏層
- A_0 、 A_1 ：垂直距離
- B_0 、 B_1 ：最小水平距離
- T：電晶體
 - G：閘極
 - S：源極區域
 - D：汲極區域

42：導電接觸

20：內連線結構

ILD：層間介電層

IMD：金屬間介電層

ML1：第一金屬線

ML2：第二金屬線

ML3：第三金屬線

V1：第一導孔

V2：第二導孔

PL：保護層



201826581

申請日: 106/01/05

IPC分類: *H01L 45/00* (2006.01)

【發明摘要】

【中文發明名稱】具一記憶體結構之半導體元件

【英文發明名稱】SEMICONDUCTOR DEVICE INCLUDING A

MEMORY CELL STRUCTURE

【中文】

一種具一記憶體結構之半導體元件，記憶體結構包括一絕緣層設置於一基板上方；一底電極埋置於絕緣層中；一電阻轉換層，設置於底電極上；和一頂電極，設置於電阻轉換層上並覆蓋電阻轉換層。其中，底電極具有一凹陷上表面低於絕緣層之一平坦上表面。

【英文】

A semiconductor device including a memory cell structure is provided, and the memory cell structure includes an insulating layer disposed above a substrate, a bottom electrode embedded in the insulating layer, a resistance switching layer disposed on the bottom electrode, and a top electrode disposed on the resistance switching layer and covering the resistance switching layer. Also, the bottom electrode has a concave top surface lower than a flat upper surface of the insulating layer.

【指定代表圖】：第（1）圖。

【代表圖之符號簡單說明】：

1：記憶體結構

11：絕緣層

111：第一部份

111a：平坦上表面

112：第二部份

112a：傾斜上表面

12：障壁層

121：介面的上邊緣

13：底電極

13a：凹陷上表面

16：電阻轉換層

16a：電阻轉換層之上表面

18：頂電極

A₁：垂直距離

B₁：最小水平距離

【特徵化學式】：無

【發明申請專利範圍】

【第1項】一種具一記憶體結構之半導體元件，該記憶體結構包括：

一絕緣層，設置於一基板上方；

一底電極(bottom electrode)，埋置於該絕緣層中，該底電極具有一凹陷上表面(concave top surface)低於該絕緣層之一平坦上表面(flat upper surface)；

一電阻轉換層(resistance switching layer)，設置於該底電極上；和

一頂電極(top electrode)，設置於該電阻轉換層上並覆蓋該電阻轉換層。

【第2項】如申請專利範圍第1項所述之半導體元件，其中該絕緣層包括：

一第一部份(first portion)，具有該平坦上表面平行於該基板；和

一第二部份(second portion)，連接該第一部份，且該第二部份具有一傾斜上表面(inclined upper surface)，

其中該絕緣層的該第二部份之該傾斜上表面係朝向該頂電極和該電阻轉換層而向下地傾斜，

其中該底電極被該絕緣層的該第二部份包圍，且該底電極之該凹陷上表面係低於該絕緣層之該第一部份的該平坦上表面。

【第3項】如申請專利範圍第2項所述之半導體元件，其中該電阻轉換層之一上表面係連接該絕緣層之該第二部份的該傾斜上表面，且該電阻轉換層之該上表面與該第二部份的該傾斜上表

面構成一連續的表面輪廓(continuous surface profile)。

【第4項】如申請專利範圍第2項所述之半導體元件，其中該電阻轉換層之一上表面係相距隔開於該絕緣層之該第一部份的該平坦上表面。

【第5項】如申請專利範圍第2項所述之半導體元件，其中該電阻轉換層之一上表面係低於該絕緣層之該第一部份的該平坦上表面。

【第6項】如申請專利範圍第2項所述之半導體元件，其中該底電極之該凹陷上表面係低於該絕緣層之該第二部份的該傾斜上表面。

【第7項】如申請專利範圍第2項所述之半導體元件，其中該絕緣層之該第一部份的該平坦上表面到該底電極之該凹陷上表面的最低點之一垂直距離，係在7nm 到35nm的範圍之間，其中該絕緣層之該第一部份的該平坦上表面之邊緣到該底電極之邊緣的一最小水平距離，係在30nm 到50nm的範圍之間。

【第8項】一種具記憶體結構之半導體元件，包括：

- 一電晶體，設置於一基板上；
- 一內連線結構(interconnection structure)，設置於該基板上
方；
- 一保護層(passivation layer)，設置於該內連線結構上；和
該記憶體結構，設置於該保護層和該電晶體之間，且該記憶
體結構包括：
 - 一底電極，埋置於一絕緣層中，該底電極具有一凹陷上
表面低於該絕緣層之一平坦上表面；

一電阻轉換層，設置於該底電極上；和

一頂電極，設置於該電阻轉換層上並覆蓋該電阻轉換層。

【第9項】如申請專利範圍第8項所述之半導體元件，更包括一層間介電層設置於該基板上並覆蓋該電晶體，且該內連線結構設置於該層間介電層上，其中至少兩個導電接觸(**conductive contacts**)設置於該層間介電層內並電性連接至該電晶體，該內連線結構包括內連線層(**interconnect layers**)分別埋置於金屬間介電層中，

其中前述至少兩個導電接觸其中之一係為該記憶體結構的一部份，而埋置該記憶體結構的該底電極之該絕緣層係為該層間介電層。

【第10項】如申請專利範圍第8項所述之半導體元件，更包括一層間介電層設置於該基板上並覆蓋該電晶體，且該內連線結構設置於該層間介電層上，其中至少兩個導電接觸設置於該層間介電層內並電性連接至該電晶體，該內連線結構包括內連線層分別埋置於金屬間介電(IMD)層中，且該些內連線層包括導孔(**vias**)和金屬線(**metal lines**)，其中該些導孔之一係為該記憶體結構的一部份，而埋置該記憶體結構的該底電極之該絕緣層係為該些金屬間介電層之一。

