(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年9月10日(10.09.2020)

WIPO | PCT

(10) 国際公開番号
WO 2020/179121 A1

(51) 国際特許分類:
H01L 25/07 (2006.01) *H01L 29/12* (2006.01)
H01L 25/18 (2006.01) *H01L 29/78* (2006.01)

(21) 国際出願番号： PCT/JP2019/040859

(22) 国際出願日： 2019年10月17日(17.10.2019)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(30) 優先権データ：
特願 2019-038144 2019年3月4日(04.03.2019) JP

(71) 出願人: 株式会社日立製作所(**HITACHI, LTD.**) [JP/JP]; 〒1008280 東京都千代田区丸の内一丁目６番６号 Tokyo (JP).

(72) 発明者: 手賀 直樹(**TEGA, Naoki**); 〒1008280 東京都千代田区丸の内一丁目６番６号 株式会社日立製作所内 Tokyo (JP). 久本 大(**HISAMOTO, Digh**); 〒1008280 東京都千代田区丸の内一丁目６番６号 株式会社日立製作所内 Tokyo (JP). 須藤 建瑠(**SUTO, Takeru**); 〒1008280 東京都千代田区丸の内一丁目６番６号 株式会社日立製作所内 Tokyo (JP).

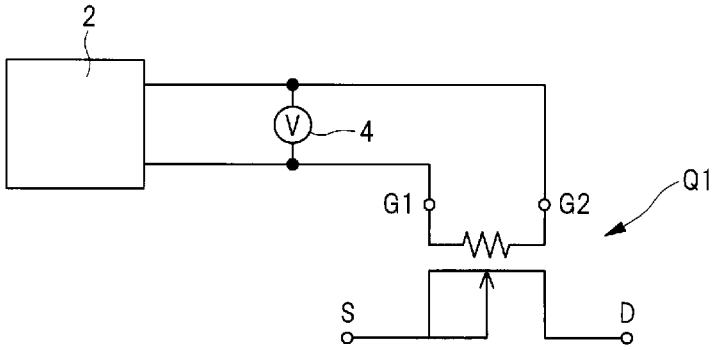
(74) 代理人: 特許業務法人筒井国際特許事務所(**TSUTSUI & ASSOCIATES**); 〒1600022 東京都新宿区新宿２丁目３番１０号 新宿御苑ビル３階 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH,

(54) **Title:** SEMICONDUCTOR DEVICE

(54) 発明の名称： 半導体装置

図 2



(57) **Abstract:** In order to improve reliability of this semiconductor device through detection of abnormal heat generation from a power MOSFET, in a power MOSFET having a drain electrode on the backside of a semiconductor substrate and a source pad on the main surface side of the semiconductor substrate, two gate pads electrically connected to a gate pad connected to a gate electrode of the power MOSFET are formed on the main surface side of the semiconductor substrate. Further, a voltmeter is provided so as to be connected in parallel with two current paths for connecting the two gate pads to a gate driver.

(57) 要約：パワーＭＯＳＦＥＴの異常発熱を検出し、半導体装置の信頼性を向上する。その手段として、半導体基板の裏面側のドレイン電極および半導体基板の主面側のソースパッドを有するパワーＭＯＳＦＥＴにおいて、パワーＭＯＳＦＥＴのゲート電極に接続されたゲートパッドに電気的に接続された２つのゲートパッドを、半導体基板の主面側に形成する。さらに、当該２つのゲートパッドとゲートドライバとを繋ぐ２つの電流経路それぞれに並列に接続された電圧計を設ける。

WO 2020/179121 A1

［続葉有］

CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一　国際調査報告（条約第21条(3)）

明　細　書

発明の名称 ： 半導体装置

技術分野

[0001] 本発明は半導体装置に関し、特に、ＭＯＳＦＥＴを備えた半導体装置に利用できるものである。

背景技術

[0002] 半導体パワー素子には高耐圧のほか、低オン抵抗、低スイッチング損失が要求されるが、現在の主流であるケイ素（Ｓｉ）パワー素子は理論的な性能限界に近づいている。炭化ケイ素（ＳｉＣ）はＳｉと比較して絶縁破壊電界強度が約１桁大きい。このため、Ｓｉパワー素子に比べて、耐圧を保持するドリフト層の厚さを約１／１０に薄くし、当該ドリフト層の不純物濃度を約１００倍高くすることで、素子抵抗を理論上３桁以上低減できる。また、ＳｉＣはＳｉに対してバンドギャップが約３倍大きいことから高温動作も可能である。このため、ＳｉＣ半導体素子は、Ｓｉ半導体素子を超える性能が期待されている。

[0003] 特許文献１（特開２０１６－０４６２７９号公報）には、半導体パワー素子の電極面に複数のゲートパッドを形成することが記載されている。

先行技術文献

特許文献

[0004] 特許文献1：特開２０１６－０４６２７９号公報

発明の概要

発明が解決しようとする課題

[0005] ＭＯＳＦＥＴ（Metal Oxide Semiconductor Field Effect Transistor、ＭＯＳ型電界効果トランジスタ）を有する半導体パワー素子では、内部のＭＯＳＦＥＴの特性ばらつきなどに起因して負荷が集中し、熱暴走による破壊が生じる虞がある。これに対し、ソース電流の値を監視する方法もあるが、温度変化による微少な電流変化をノイズと区別して検知することは困難である

。また、半導体チップの横にサーミスタを配置して温度変化を検知する方法もあるが、精度が低い問題がある。

[0006] その他の課題と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

課題を解決するための手段

[0007] 本願において開示される実施の形態のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

[0008] 代表的な実施の形態による半導体装置は、ＭＯＳＦＥＴを備え、主面側に第１ゲートパッドおよび第２ゲートパッドを備えた半導体チップと、半導体チップの外部に設けられ、第１ゲートパッドに電気的に接続された第１配線に並列に接続された第１電圧計と、半導体チップの外部に設けられ、第２ゲートパッドに電気的に接続された第２配線に並列に接続された第２電圧計とを有するものである。

発明の効果

[0009] 代表的な実施の形態によれば、半導体装置の信頼性を向上させることができる。特に、半導体装置が発熱により破壊されることを防ぐことができる。

図面の簡単な説明

[0010] [図1]本発明の実施の形態１である半導体装置の模式的な回路図である。

[図2]本発明の実施の形態１である半導体装置の回路図である。

[図3]本発明の実施の形態１の変形例１である半導体装置の回路図である。

[図4]本発明の実施の形態１の変形例２である半導体装置の回路図である。

[図5]本発明の実施の形態１の変形例３である半導体装置の模式的な回路図である。

[図6]本発明の実施の形態１の変形例３である半導体装置の回路図である。

[図7]本発明の実施の形態１の変形例４である半導体装置の模式的な回路図である。

[図8]本発明の実施の形態１の変形例５である半導体装置の模式的な回路図である。

[図9]本発明の実施の形態１の変形例６である半導体装置の模式的な回路図である。

[図10]本発明の実施の形態１の変形例７である半導体装置の模式的な回路図である。

[図11]本発明の実施の形態２である半導体装置の模式的な回路図である。

[図12]本発明の実施の形態２である半導体装置の回路図である。

[図13]本発明の実施の形態２である半導体装置の平面図である。

[図14]図１３のＡ－Ａにおける断面図である。

発明を実施するための形態

[0011] 以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の機能を有する部材には同一の符号を付し、その繰り返しの説明は省略する。また、実施の形態では、特に必要なときを除き、同一または同様な部分の説明を原則として繰り返さない。

[0012] また、符号「$^-$」および「$^+$」は、導電型がｎ型またはｐ型の不純物の相対的な濃度を表しており、例えばｎ型不純物の場合は、「ｎ$^-$」、「ｎ」、「ｎ$^+$」の順に不純物濃度が高くなる。

（実施の形態１）

＜半導体装置の構成＞

[0013] 以下、本実施の形態１の半導体装置の構造について、図１および図２を用いて説明する。図１は、本実施の形態の半導体装置の模式的な回路図である。図２は、本実施の形態の半導体装置の回路図である。図１では、本実施の形態の半導体装置を構成する半導体チップの平面図と、ゲートドライバとを示している。また、図１では、当該半導体チップを構成する部分として、ゲートパッドおよびゲート電極のみを示している。

[0014] 本実施の形態の半導体装置は、ＭＯＳＦＥＴ（パワーＭＯＳＦＥＴ）を搭載した半導体チップの主面に複数のゲートパッドを設け、半導体チップにおいて異常な発熱が生じた際に、それらのゲートパッドの相互間の電位差また

は信号波形から当該発熱を検知し、半導体チップの破壊を防ぐものである。

[0015] 図１に示す本実施の形態の半導体チップ１は、平面視における中心部にＭＯＳＦＥＴ（Metal Oxide Semiconductor Field Effect Transistor、ＭＯＳ型の電界効果トランジスタ）を備えている。ＭＯＳＦＥＴは、ＭＩＳＦＥＴ（Metal Insulator Semiconductor Field Effect Transistor）の一種である。当該ＭＯＳＦＥＴは、半導体基板の主面（上面）側に設けられたソース領域と、半導体基板の当該主面の反対の裏面（下面）側に設けられたドレイン領域と、半導体基板の当該主面上に設けられたゲート電極ＧＥ１とを有する縦型のＭＯＳＦＥＴである。ＭＯＳＦＥＴの具体的な構造については、後に実施の形態２において図１４を用いて説明する。当該半導体基板はＳｉＣ（炭化ケイ素）から成る。ここではＳｉＣ基板を用いた炭化ケイ素半導体装置を例として説明を行うが、半導体基板はＳｉ（シリコン）基板であってもよい。

[0016] 半導体チップ１の平面視での形状は矩形である。半導体基板上に形成されたポリシリコン膜から成るゲート電極ＧＥ１は、半導体チップ１の周縁部を除いて広く主面全体を覆うように形成されている。ただし、ゲート電極ＧＥ１は例えば平面視で千鳥状に設けられた複数の開口部を有している。それらの開口部内でゲート電極ＧＥ１から露出する半導体基板の主面にはソース領域が形成されており、パワーＭＯＳＦＥＴの動作時には、ソース領域から、ゲート電極ＧＥ１にゲート絶縁膜を介して近接する半導体基板内のチャネルを通って、ドレイン領域へ電子が流れ、これによりパワーＭＯＳＦＥＴに電流が流れる。つまり、千鳥状に設けられた上記複数の開口部内のソース領域のそれぞれの周囲に電流経路が存在している。すなわち、半導体チップ１は１つのＭＯＳＦＥＴとみなすことができるが、実際には、半導体チップ１は、それらの複数のソース領域のそれぞれが構成するＭＯＳＦＥＴ（ユニットセル）を複数並列に接続した構造を有している。本実施の形態のパワーＭＯＳＦＥＴは、比較的高い電圧で駆動し、高い耐圧を有するパワーＭＯＳＦＥＴ（半導体パワー素子）である。

[0017] ゲート電極ＧＥ１は、ゲート電極ＧＥ１を覆う層間絶縁膜（図示しない）上に形成され、互いに離間する２つのゲートパッドＧＰ１、ＧＰ２のそれぞれに電気的に接続されている。ゲートパッドＧＰ１、ＧＰ２のそれぞれは、ボンディングワイヤなどを接続（ボンディング）するための導電性接続部（電極パッド）であり、例えば主にＡＩ（アルミニウム）から成る。ボンディングワイヤは、半導体チップ１と半導体チップ１の外部の装置との電気的接続に用いられる配線である。ゲートパッドＧＰ１、ＧＰ２から露出する半導体チップ１の主面の大部分は、ゲートパッドＧＰ１、ＧＰ２と離間して並ぶソースパッドにより覆われているが（図１３参照）、図１ではソースパッドの図示を省略している。また、図示はしていないが、半導体基板の裏面は、ドレイン領域と電気的に接続されたドレイン電極により覆われている。

[0018] ゲートパッドＧＰ１、ＧＰ２のそれぞれは、半導体チップ１の外部の装置であるゲートドライバ２に電気的に接続されている。ゲートドライバ２は、容量性のゲートを駆動するゲート駆動部である。つまり、ゲートドライバ２は、ゲートドライバ２に接続された制御回路（指令制御部、図３参照）が生成するゲートパルス信号をもとに、信号の増幅処理などを行ってゲート電極ＧＥ１に対し電圧（電圧パルス）を印加し、これにより、パワーＭＯＳＦＥＴをオン、オフする役割を有している。言い換えれば、ゲートドライバ２は、パワーＭＯＳＦＥＴをオンさせる際にゲート電極ＧＥ１に電荷を注入し、パワーＭＯＳＦＥＴをオフさせる際にゲート電極ＧＥ１から電荷を引き抜く役割を有している。

[0019] 半導体チップ１全体を１つのＭＯＳＦＥＴとしてみなす場合、当該ＭＯＳＦＥＴは図２の回路図に示すトランジスタＱ１として表すことができる。図２に示すように、トランジスタＱ１は、ソースに接続されたノードＳ、ドレインに接続されたノードＤ、および、ゲートに接続されたノードＧ１、Ｇ２を有している。ここでは、例えば、ノードＳは上記ソースパッドに対応し、ノードＤは半導体チップの裏面側のドレイン電極に対応し、ノードＧ１はゲートパッドＧＰ１（図１参照）に対応し、ノードＧ２はゲートパッドＧＰ２

（図１参照）に対応している。

[0020] ゲートドライバ２は、ノードＧ１を介してゲート電極に電気的に接続され、さらに、ノードＧ２を介してゲート電極に電気的に接続されている。この構成において、ゲートドライバ２と、ゲートドライバ２からノードＧ１、Ｇ２のそれぞれに延びる配線とをまとめて実効的なゲートドライバとみなすことができる。すなわち、ここではゲートドライバ２と当該配線とを分けた回路ブロックで示しているが、それらは、必要に応じて集積して１つの半導体チップまたは１つの回路などとして形成できる。

[0021] ゲートドライバ２とノードＧ１との接続経路（電流経路、電圧印加経路、配線）には、ノードＧ１（ゲートパッドＧＰ１）の電位を測定するための電圧計（電位測定部）４の２つの端子のうち、一方が接続されている。同様に、ゲートドライバ２とノードＧ２との接続経路（電流経路、電圧印加経路、配線）には、ノードＧ２（ゲートパッドＧＰ２）の電位を測定するための電圧計（電位測定部）４の２つの端子のうち、他方が接続されている。つまり、電圧計４は、ゲートドライバ２とノードＧ１との接続経路の途中の１点（ノード）と、ゲートドライバ２とノードＧ２との接続経路の途中の１点（ノード）との相互間を繋ぐように接続されている。電圧計４は、ノードＧ１、Ｇ２の相互間の電位差、または、ノードＧ１、Ｇ２のそれぞれの電圧波形の遅延を検出するために用いられる。つまり、電圧計４は、電位差測定部または波形測定部である。ゲート電極は、不純物濃度が高いポリシリコン（導電体）から成るが抵抗を有している。

[0022] 本実施の形態の半導体装置の主な特徴の１つは、パワーＭＯＳＦＥＴのゲートに接続されたゲートパッドを半導体チップの主面側に２つ形成する点、および、それらのゲートパッドの電位または波形を測定するための測定部を有する点にある。

＜改善の余地の詳細＞

[0023] パワーＭＯＳＦＥＴを搭載した半導体チップは、例えばインバータを構成するモジュール内に複数搭載される。それらの複数の半導体チップ同士は製

造工程の精度などに起因して特性が揃っていない場合があり、また、当該半導体チップを構成する複数のＭＯＳＦＥＴのユニットセル同士の間でも、特性にばらつきが生じる場合がある。それらの場合、パワーＭＯＳＦＥＴを用いて大電流を駆動する際、モジュール内の半導体チップ同士の間で電流がばらくことで、一部の半導体チップに負荷が集中すると熱暴走が起き、半導体チップが破壊される虞がある。そのため、パワーＭＯＳＦＥＴを用いて、信頼性が高く高効率のモジュールを実現する観点で、パワーＭＯＳＦＥＴの動作状況を監視し、その結果を駆動回路にフィードバックすることが有効である。過電流の発生または異常な発熱を感知した際には、該当する半導体チップに対する駆動電圧を抑え、または当該半導体チップを動作させず、完全に回路から遮断することで、モジュールおよび当該モジュールを用いた車両などを保護できる。

[0024] パワーＭＯＳＦＥＴを監視する方法として、電力線を分割して電流を測定する方法、または、半導体チップのソース電位を分割して引き出し、駆動電流を検出（センシング）する方法が考えられる。しかし、これらの手法の課題として、電力線を流れる大電流に対して微少な変化を検知する必要がある。つまり、高耐圧なパワーＭＯＳＦＥＴにおいて、必要な信号がノイズに埋もれないよう、大きな信号を引き出す必要がある。これらの手法では、駆動電流の一部を監視に用いているため、駆動力が減少する問題および消費電力が増大する問題が生じる。また、半導体チップの温度変化を検知する装置として、半導体チップの外部にサーミスタを設置する方法もあるが、温度変化を高精度に検出することは困難である。

[0025] したがって、パワーＭＯＳＦＥＴにおいては、駆動力の減少を抑えつつ、精度よくパワーＭＯＳＦＥＴの熱暴走を防ぎ、これにより半導体装置を破壊から保護することで、半導体装置の信頼性の低下を防ぐ必要がある。このような観点から、パワーＭＯＳＦＥＴには改善の余地がある。

＜本実施の形態の効果＞

[0026] 図１に示すゲート電極ＧＥ１は電気的にチャネルと絶縁されており、高い

入力インピーダンスを持つため、デバイス動作として等価回路記号で表現する場合、ゲート電極の抵抗は無視されることが考えられる。これに対し、本実施の形態はゲート電極の抵抗に着目するものであり、物理的な抵抗を考慮すると、パワーＭＯＳＦＥＴの等価回路記号では、図２に示すようにゲートが抵抗を有する。本実施の形態の半導体装置は、当該抵抗の両端のノードＧ１、Ｇ２のそれぞれにゲート配線が繋がれた構造を有している。

[0027] ＭＯＳＦＥＴにおいて、ゲート電極を構成する材料の抵抗値は温度依存性を持つ。例えば、ゲート電極ＧＥ１の温度が上昇すると、ゲート電極ＧＥ１の抵抗値が低下する。したがって、２つのゲートパッドＧＰ１、ＧＰ２（図１参照）間の抵抗を測定することで、ゲート電極ＧＥ１の下のチャネルの温度を知ることができる。ゲート抵抗は、例えばゲートパッドＧＰ１、ＧＰ２同士の間に直流電流を流し、電圧計４を用いてゲートパッドＧＰ１、ＧＰ２の相互間の電位差を検出することで測定できる。

[0028] ただし、変形例３～７および実施の形態２で後述するように、ゲートパッドＧＰ１、ＧＰ２のそれぞれが同一チップ内の別々のゲート電極に接続されている場合には、ゲートパッドＧＰ１、ＧＰ２の相互間に電流は流れないが、ゲートパッドＧＰ１、ＧＰ２のそれぞれに電圧を印加することでパワーＭＯＳＦＥＴの温度変化を検出できる。

[0029] すなわち、ゲートパッドＧＰ１、ＧＰ２のそれぞれが接続されたゲート電極が互いに電気的に接続されているか否かに関わらず、ゲートパッドＧＰ１、ＧＰ２のそれぞれに電圧を印加した際、半導体チップの一部で大きな発熱が生じている場合、ゲートパッドＧＰ１、ＧＰ２の相互間に電位差が生じ、且つ、電圧波形の伝達速度に差が生じる。これは、半導体チップの一部のチャネルで発熱が起きた際、これにより加熱されたゲート電極は抵抗値が下がり、電荷の注入および引き抜きに要する時間が短くなるためである。

[0030] ゲートパッドＧＰ１、ＧＰ２のそれぞれが１つのゲート電極に接続されている場合であっても、実際には、当該ゲート電極は、主にゲートパッドＧＰ１から電位が供給される第１部分と、主にゲートパッドＧＰ２から電位が供

給される第２部分とに分かれる。つまり、図２に示すトランジスタＱ１は、ゲートパッドＧＰ１に接続されたゲート電極（第１部分）を含む第１トランジスタと、ゲートパッドＧＰ２に接続されたゲート電極（第２部分）を含む第２トランジスタとに分かれていると考えることができる。第１部分と第２部分とは互いに接して一体となっており、１つのゲート電極を構成している。

[0031] したがって、例えばゲート電極の当該第１部分が高温になると、当該第２部分に比べて電荷が溜まり易くなり、ゲートパッドＧＰ１はゲートパッドＧＰ２よりも早く電位が上昇する。これにより、例えばゲートパッドＧＰ２の電圧が１Ｖのとき、ゲートパッドＧＰ１の電位は１．５Ｖとなることが考えられる。これは、ゲートパッドＧＰ２の電圧波形（パワーＭＯＳＦＥＴを通過して出てくるパルス波形）が、ゲートパッドＧＰ１の電圧波形（パワーＭＯＳＦＥＴを通過して出てくるパルス波形）に比べて遅延することを意味する。

[0032] 言い換えれば、ゲートドライバ２の出力波形に対する、パワーＭＯＳＦＥＴを通過して出てくる波形の遅延量（時間差）は、ゲート電極の比較的高温の第１部分に接続されたゲートパッドＧＰ１の方が、ゲート電極の比較的低温の第２部分に接続されたゲートパッドＧＰ２より小さくなる。

[0033] このように、図２に示す電圧計４によりノードＧ１、Ｇ２のそれぞれの電圧を監視（モニタリング）すれば、ノードＧ１、Ｇ２の相互間の電位差の発生または電圧波形の遅延の発生を検出することで、ゲート電極における異常な発熱を検知できる。ゲート電極の抵抗値、ゲート電極の温度およびチャネルの温度のそれぞれについては、電位差、または、波形の時間差を、実験などにより得られた複数のデータ、つまりルックアップテーブルに当てはめることで判断できる。また、当該抵抗値から半導体チップの電流値を測定（算出）することもできる。

[0034] これにより半導体チップにおける異常な温度上昇または過電流などを検知した際には、該当する半導体チップに対する駆動電圧を抑え、または当該半

導体チップを回路から遮断することで、モジュールおよび当該モジュールを用いた車両などを、破壊および発火などから保護できる。よって、半導体装置の信頼性を向上できる。

[0035] なお、ここでは電圧計４を用いて電圧の差、または、電圧の波形を測定することについて説明したが、測定する波形は電流の波形であってもよい。つまり、図２に示す電圧計４の代わりに、ゲートドライバ２からノードＧ１、Ｇ２に延びる配線のそれぞれに直列に接続された電流計を設け、電流波形を監視することで温度上昇を検出することもできる。ここでは、ゲートドライバ２、電圧計４、および、ゲートドライバ２からノードＧ１、Ｇ２に延びる配線のそれぞれは、半導体チップ１（図１参照）が複数配置されたモジュールの外に設置される。

[0036] また、パワーＭＯＳＦＥＴにおいて、ゲート電極には駆動電流を流さないので、ゲートパッドに接続するボンディングワイヤの径は比較的小さくてよい。よって、ゲートパッドの面積はソースパッドに比べて小さい。このため、本実施の形態のように小さなゲートパッドＧＰ２を配置しても、半導体チップを大きくする必要はなく、ソースパッドの縮小により駆動電流を低下させる必要もない。つまり、センシング領域に要する面積を小さく抑えることができる。特に、ＳｉＣを用いたパワーＭＯＳＦＥＴは、Ｓｉを用いたＭＯＳＦＥＴに比べて結晶欠陥密度が高く、チップ面積を大きくすると製造歩留まりが低下する。本実施の形態では、半導体チップの面積を拡大することなく、モジュール内に半導体チップを並列に配置することにより、ＳｉＣの持つ優れた耐圧特性および低損失性を活かすことができる。

[0037] また、ゲート電極の電圧および電流は、いずれもソース電極の電圧および電流に比べ小振幅で動作するため、変動の検出、つまりセンシングが容易である。

＜変形例１＞

[0038] 本実施の形態の半導体装置は、半導体チップを複数有していてもよい。この場合、複数の半導体チップのそれぞれに設けられた２以上のゲートパッド

の電圧または波形を監視し、半導体チップ同士の比較により半導体チップの温度上昇を検出することができる。

[0039] 図３にゲートドライバを指令制御部による信号で制御する構成を示す。図３は、本実施の形態の変形例１である半導体装置を示す回路図である。図３では、２つのトランジスタＱ１、Ｑ２（２つの半導体チップ）に対し、２つのゲートドライバ２を設けた構成を例示している。２つのゲートドライバ２のそれぞれは、１つの指令制御部３に接続されている。トランジスタＱ１、Ｑ２のそれぞれのソースは、ゲートドライバ２に接続されている。ソース（ソース領域）とゲートドライバ２とを電気的に接続する配線には、電圧計（電位測定部）６が並列に接続されている。電圧計６を用いて、ソース電位を測定することができる。図示は省略しているが、ゲートドライバ２と各トランジスタＱ１、Ｑ２のノードＧ１、Ｇ２とを繋ぐ配線の相互間には、図２に示す構成と同様に電圧計４が接続されている。

[0040] ここでは、指令制御部３および複数のゲートドライバ２を含めて実効的なゲートドライバとみなすことができる。指令制御部３からのスタート信号により、ゲートドライバ２はトランジスタＱ１、Ｑ２のゲート電圧を印加する。ゲート電位はソース電圧に対して動作するため、必要な電位に達した状態で、ゲートドライバ２は動作の完了を指令制御部３にフィードバック信号として返す。ノードＧ１およびノードＧ２のそれぞれの信号に対するソース電位の追随遅延時間から、チップ内温度を把握することができる。なお、電圧計６を用いず、図１および図２を用いて説明したように、電圧計４のみを用いてチップ内温度を検出してもよい。

[0041] 本変形例では、２つのパワーＭＯＳＦＥＴのそれぞれの波形の遅延時間の変化を比較することで、チップ間の温度ばらつきの推移を検出することができ、いずれかの半導体チップにおける劣化の発生を発見できる。

＜変形例２＞

[0042] 図４に示すように、半導体チップ（トランジスタ）の数は３つ以上であってもよい。図４は、本実施の形態の変形例２である半導体装置を示す回路図

である。

[0043] ここでは、例えば４つのトランジスタＱ１～Ｑ４を並列して動作させる。つまり、トランジスタＱ１～Ｑ４のそれぞれのソースは互いに電気的に接続され、トランジスタＱ１～Ｑ４のそれぞれのドレインは互いに電気的に接続されている。トランジスタＱ１～Ｑ４のそれぞれのゲートに接続されたノードＧ１、Ｇ２は、いずれも１つのゲートドライバ２に接続されている。このように、複数の半導体チップが１つのゲートドライバ２に接続されていてもよい。図示はしていないが、ゲートドライバ２と各トランジスタＱ１～Ｑ４のそれぞれのノードＧ１、Ｇ２とを繋ぐ配線の相互間には、図２に示す構成と同様に電圧計４が並列に接続されている。また、ゲートドライバ２は指令制御部３に接続されている。

[0044] 発熱の強い半導体チップは負荷が集中しているため、温度上昇を把握できれば、駆動電圧を下げて、負荷を均一化するなどの動作を行うことができる。また、異常発熱が検知された場合は、駆動を中断し、パワーＭＯＳＦＥＴを動作から切り離すこともできる。このように、複数個の半導体チップを並列に動作させる際、本変形例では、高い信頼性を有するシステムを提供することができる。ここでは、前記変形例１と同様に、ノードＧ１、Ｇ２の電圧または波形を半導体チップ同士の間で比較することで、異常発熱の生じている半導体チップを検知することができる。

＜変形例３＞

[0045] 図１および図２を用い、１つの半導体チップに設けられた２つのゲートパッドを１つのゲート電極に接続することについて上述したが、当該２つのゲートパッドを、半導体チップ内で分割された２つのゲート電極に別々に接続してもよい。

[0046] つまり、図５に示すように、２つのゲートパッドＧＰ１、ＧＰ２のうち、ゲートパッドＧＰ１が接続されたゲート電極ＧＥ２と、ゲートパッドＧＰ２が接続されたゲート電極ＧＥ３とが、互いに離間していてもよい。図５は、本実施の形態の変形例３である半導体装置を示す模式的な回路図である。半

導体チップ１１が有するゲート電極ＧＥ２、ＧＥ３は、互いに絶縁されており、別々のＭＯＳＦＥＴのユニットセルを駆動させるために用いられる。

[0047] 図６に、本変形例の半導体装置のうち、トランジスタの回路図を示す。図６に示すように、図２に示すトランジスタＱ１とは違い、トランジスタＱ５を構成するゲート電極は２つに分割されている。

[0048] 図５に示すように、ここでは、ゲートパッドＧＰ１、ＧＰ２のそれぞれは別々のゲートドライバ２に接続されているが、図１に示す構成と同様に、ゲートパッドＧＰ１、ＧＰ２のそれぞれは１つのゲートドライバ２に接続されていてもよい。また、本変形例以外の実施の形態においても、本変形例のように、ゲートパッドＧＰ１、ＧＰ２のそれぞれが別々のゲートドライバ２に接続されていてもよい。ゲートドライバ２は、指令制御部３に接続されている。図示はしていないが、ゲートドライバ２とゲートパッドＧＰ１、ＧＰ２とを繋ぐ配線の相互間には、図２に示す構成と同様に電圧計４が並列に接続されている。

[0049] ここでは、半導体チップ１１内において、ゲート電極ＧＥ２を含むＭＯＳＦＥＴ、または、ゲート電極ＧＥ３を含むＭＯＳＦＥＴにおいて発熱が生じた場合、同一の半導体チップ１１内で電圧または波形の比較を行う。このため、同一の半導体チップ１１内のＭＯＳＦＥＴは特性のばらつきが少なく、殆どデバイスのパラメータが同じであるため、高い精度で発熱を検出することができる。

＜変形例４＞

[0050] 図７に示すように、ゲートパッドＧＰ１、ＧＰ２のそれぞれに接続されたゲート電極ＧＥ２、ＧＥ３は、櫛状の平面形状を有し、ゲート電極ＧＥ２、ＧＥ３のそれぞれの櫛歯部分同士は、互いに噛み合うように配置されていてもよい。つまり、ゲート電極ＧＥ２、ＧＥ３のそれぞれは、矩形の半導体チップ１２の１辺に沿って延びる延在部分を複数有し、当該延在部分は、当該延在部分の短手方向に複数並べてられている。当該短手方向において、ゲート電極ＧＥ２、ＧＥ３のそれぞれの当該延在部分は交互に配置されている。

図７は、本実施の形態の変形例４である半導体装置を示す模式的な回路図である。図７では、図を分かり易くするため、ゲート電極ＧＥ３にハッチングを付している。

[0051] このように、延在部分（ゲート配線）を隔本ごとに、ゲート電極ＧＥ２とゲート電極ＧＥ３との領域に分割することにより、温度変化の監視を行うと共に、半導体チップ１２内で隣り合うＭＯＳＦＥＴのそれぞれに対する入力信号を別々に制御することができる。例えば、入力パルスを少しずらすことで、実効的なソフトスイッチングを実現することができる。ソフトスイッチングとは、パルス波形の立ち上がりおよび立ち下がりの動作が急峻となることを防ぎ、これにより、例えばノイズの発生を防ぐことをいう。

＜変形例５＞

[0052] 図８に示すように、ゲートパッドＧＰ１、ＧＰ２のそれぞれに接続されたゲート電極ＧＥ２、ＧＥ３が互いに離間している場合に、ゲート電極ＧＥ２、ＧＥ３を抵抗７を介して相互に接続してもよい。図８は、本実施の形態の変形例５である半導体装置を示す模式的な回路図である。半導体チップ１３に設けられた抵抗７は、例えばゲート電極ＧＥ２、ＧＥ３と一体となっているポリシリコン膜などであり、ゲート電極ＧＥ２、ＧＥ３に比べて細い幅を有している。

[0053] このように、分割したゲート電極ＧＥ２、ＧＥ３を高抵抗で接続しても、ゲートパッドＧＰ１、ＧＰ２のそれぞれの電圧および波形などには影響せず、定常状態においては全てのゲート電極ＧＥ２、ＧＥ３に等しい電位を印加できるため、安定した動作を行うことができる。

＜変形例６＞

[0054] 図９に示すように、ゲートパッドＧＰ１、ＧＰ２のそれぞれに接続されたゲート電極ＧＥ２、ＧＥ３が互いに離間している場合に、半導体チップ１４の中心部にゲート電極ＧＥ２を配置し、ゲート電極ＧＥ２の外周を囲むように環状のゲート電極ＧＥ３を形成してもよい。図９は、本実施の形態の変形例６である半導体装置を示す模式的な回路図である。なお、ここではゲート

パッドＧＰ１とゲート電極ＧＥ２が離間しているが、それらを相互に繋ぐ配線（図示しない）は半導体チップ１４内に設けられている。

[0055] 縦型のパワーＭＯＳＦＥＴにおいて、半導体チップ１４の外周の所謂ターミネーション部は、半導体チップ１４の中央部とは異なる電界状況になるため、劣化などが生じ易い。このため、半導体チップ１４の外周部と中央部とを比較することで、有効なチップオペレーションをすることができる。

＜変形例７＞

[0056] 図１０に示すように、ゲートパッドＧＰ１、ＧＰ２のそれぞれに接続されたゲート電極ＧＥ２、ＧＥ３が互いに離間している場合に、ゲートパッドＧＰ１、ＧＰ２を互いに近い位置で隣り合うように配置してもよい。図１０は、本実施の形態の変形例７である半導体装置を示す模式的な回路図である。

[0057] すなわち、矩形の半導体チップ１５の１辺に沿う方向にゲート電極ＧＥ２、ＧＥ３が並んでいる場合に、半導体チップ１５の当該１辺の近傍にゲートパッドＧＰ１、ＧＰ２を配置する。これにより、ゲートドライバからゲートパッドＧＰ１までの配線、および、ゲートドライバからゲートパッドＧＰ２までの配線のそれぞれの引き回し距離を揃えることができ、効果的な差動特性を得ることができる。

[0058] つまり、モジュール内で複数の半導体チップ１５を並べて配置する場合、各半導体チップ１５のゲート電極ＧＥ２、ＧＥ３に給電する配線は、半導体チップ１５の所定の１辺に沿って配置される。このため、当該配線とゲートパッドＧＰ１、ＧＰ２とを接続するボンディングワイヤの長さを揃える観点から、本変形例のようにゲートパッドＧＰ１、ＧＰ２を半導体チップ１５の１辺に寄せて配置することが有効である。

（実施の形態２）

[0059] 本実施の形態２では、パワーＭＯＳＦＥＴとソースセンス素子とを混載した半導体チップにおいて、パワーＭＯＳＦＥＴのゲート電極に接続されたゲートパッドと、ソースセンス素子のゲート電極に接続されたゲートパッドとを形成することについて、図１１～図１４を用いて説明する。図１１は、本

実施の形態の半導体装置の模式的な回路図である。図１２は、本実施の形態の半導体装置の回路図である。図１３は、本実施の形態の半導体装置の平面図である。図１４は、本実施の形態の半導体装置の断面図である。図１４は、図１３のＡ－Ａにおける断面図である。

[0060] 図１１に示すように、本実施の形態の半導体装置を構成する半導体チップ１６には、ソースセンス素子が形成されている。すなわち、半導体チップ１６には、ゲート電極ＧＥ４を備えパワーＭＯＳＦＥＴとして動作する本体部分の素子と、ゲート電極ＧＥ５を備え過電流の検出に用いられるソースセンス素子とを有している。ゲート電極ＧＥ４は半導体チップ１６の主面の大部分を覆い、ゲート電極ＧＥ５は半導体チップ１６の主面の隅の比較的小さい領域を覆っている。ソースセンス素子はゲート電極ＧＥ５と平面視で重なる領域に形成されている。このため、多数のユニットセルから成るパワーＭＯＳＦＥＴの本体部分の素子に流れる電流に比べて、比較的少数のユニットセルから成るソースセンス素子に流れる電流は小さい。具体的には、通常の動作時においてソースセンス素子に流れる電流の大きさは、通常の動作時において本体部分の素子に流れる電流の大きさの１／１０００～１／１００００程度である。つまり、ソースセンス素子の駆動電流は、本体部分の素子の駆動電流より小さい。

[0061] 半導体チップ１６の主面側には、互いに離間するゲートパッドＧＰ１、ＧＰ２が形成されている。ゲートパッドＧＰ１はゲート電極ＧＥ４に電気的に接続され、ゲートパッドＧＰ２はゲート電極ＧＥ５に電気的に接続されている。ゲートパッドＧＰ１、ＧＰ２のそれぞれは、ゲートドライバ２に接続されている。このような構成の回路図を図１２に示す。

[0062] 図１２に示すように、本体部分の素子およびソースセンス素子を含むトランジスタＱ６は、ソースに接続されたノードＳおよびドレインに接続されたノードＤを有している。また、トランジスタＱ６は、本体部分の素子を構成するゲート（図１１に示すゲート電極ＧＥ４）に接続されたノードＧ１と、ソースセンス素子を構成するゲート（図１１に示すゲート電極ＧＥ５）に接

続されたＧ２を有している。

[0063] ゲートドライバ２とノードＧ１との接続経路には、ノードＧ１（ゲートパッドＧＰ１）の電位を測定するための電圧計（電位測定部）４の２つの端子のうち、一方が接続されている。同様に、ゲートドライバ２とノードＧ２との接続経路には、ノードＧ２（ゲートパッドＧＰ２）の電位を測定するための電圧計（電位測定部）４の２つの端子のうち、他方が接続されている。

[0064] このように、ゲートパッドを半導体チップの主面側に２つ形成する点、および、それらのゲートパッドの電位または波形を測定するための測定部を有する点は、前記実施の形態１と同様である。

[0065] トランジスタＱ６のソースは、ソース電位の供給部（ノードＳ）の他に、ノードＳＳを介してセンス電流測定部（センス電流モニタ）８に接続されている。つまり、トランジスタＱ６のソースに対し、電流測定部８が直列に接続されている。具体的には、ソースセンス素子であるＭＯＳＦＥＴを構成するソース領域に対し、ソースパッドＳＰ２（図１３参照）を介して、電流測定部８が直列に接続されている。センス電流測定部８は、ゲートドライバ２に接続されている。センス電流測定部８は、ソースセンス素子のソース・ドレイン間に流れる電流値を測定する装置であり、半導体チップ１６（図１１参照）の外部の装置である。

[0066] 図１３に示すように、半導体チップ１６の主面上には、平面視で互いに離間するソースパッドＳＰ１、ＳＰ２、ゲートパッドＧＰ１およびＧＰ２が形成されている。ソースパッドＳＰ１は、パワーＭＯＳＦＥＴの本体部分の素子を構成するソースに電気的に接続され、ソースパッドＳＰ２は、ソースセンス素子を構成するソースに電気的に接続されている。図１２に示すノードＳはソースパッドＳＰ１に対応し、図１２に示すノードＳＳはソースパッドＳＰ２に対応する。ソースセンス素子に流れる電流は本体部分の素子に流れる電流より小さいため、ソースパッドＳＰ２に接続するボンディングワイヤの径は、ソースパッドＳＰ１に接続するボンディングワイヤの径より細い。このため、ソースパッドＳＰ１の面積に比べて、ソースパッドＳＰ１の面積

は小さい。

[0067] 図１４に示すように、パワーＭＯＳＦＥＴの本体部分の素子とソースセンス素子とは、ドレイン領域およびドレイン電極を共有している。図１４では、ソースセンス素子を破線で囲んで示している。すなわち、本実施の形態の半導体チップ１６（図１１参照）は、ｎ$^+$型の半導体基板であるＳｉＣ基板１７を有しており、ＳｉＣ基板１７上には、ＳｉＣ基板１７よりも不純物濃度が低いＳｉＣから成るｎ$^-$型のドリフト層を含むエピタキシャル層（半導体層）１８が形成されている。エピタキシャル層１８は、ＳｉＣ基板１７の上面（主面）に接して形成されている。ＳｉＣ基板１基板１７およびエピタキシャル層１８から成る積層半導体基板は、パワーＭＯＳＦＥＴの本体部分の素子が形成されたセル領域１Ａと、ソースセンス素子が形成されたソースセンス領域１Ｂとを有している。セル領域１Ａおよびソースセンス領域１Ｂにおいて、エピタキシャル層１８の上面には、複数のｎチャネル型のＭＯＳＦＥＴのセル構造が形成されている。当該積層半導体基板は、ｎ型不純物（例えば窒素（Ｎ）またはリン（Ｐ））を含んでいる。

[0068] 半導体チップ１６（図１１参照）の主面の反対側の裏面側には、ドレイン電極２８が形成されている。具体的には、ＳｉＣ基板１７の裏面（下面）には、ｎ$^+$型の半導体領域であるドレイン領域が形成されており、ドレイン領域の底面に接してドレイン電極２８が形成されている。

[0069] セル領域１Ａおよびソースセンス領域１Ｂでは、エピタキシャル層１８の上面から所定の深さで、ｐ型半導体領域（ｐウェル領域、ｐ型ボディ領域）１９が複数形成されている。すなわち、エピタキシャル層１８の上面を含むエピタキシャル層１８内には、複数のｐ型半導体領域１９が所定の間隔で並んで形成されている。ｐ型半導体領域１９は、ｐ型不純物（例えばアルミニウム（Ａｌ）またはホウ素（Ｂ））が導入された領域である。各ｐ型半導体領域１９内には、エピタキシャル層１８の上面から所定の深さで、ｎ$^+$型の半導体領域であるソース領域２０が形成されている。ソース領域２０は、ｎ型不純物（例えば窒素（Ｎ）またはリン（Ｐ））が導入された半導体領域であ

る。

[0070] また、各ｐ型半導体領域１９内には、エピタキシャル層１８の上面から所定の深さで、ｐ+型の半導体領域である電位固定層２１が形成されている。電位固定層２１はｐ型半導体領域１９の電位を固定するために設けられた領域であり、ソース領域２０とほぼ同様の深さを有している。各電位固定層２１は、電位固定層２１の周囲に形成されたｐ型半導体領域１９と接している。電位固定層２１は、ｐ型不純物（例えばアルミニウム（ＡＩ）またはホウ素（Ｂ））が導入された半導体領域である。電位固定層２１の不純物濃度は、ｐ型半導体領域１９の不純物濃度より高い。電位固定層２１およびソース領域２０は、ｐ型半導体領域１９よりも浅く形成されている。

[0071] セル領域１Ａのエピタキシャル層１８の上面には、ｐ型半導体領域１９、ソース領域２０および電位固定層２１から成るユニットセル２９が複数形成されており、ソースセンス領域１Ｂのエピタキシャル層１８の上面には、ｐ型半導体領域１９、ソース領域２０および電位固定層２１から成るユニットセル３０が複数形成されている。複数のユニットセル２９、３０のそれぞれは互いに離間している。隣り合うユニットセル２９同士の間のエピタキシャル層１８上には、ゲート絶縁膜を介してゲート電極２２Ａが形成されている。隣り合うユニットセル３０同士の間のエピタキシャル層１８上には、ゲート絶縁膜を介してゲート電極２２Ｂが形成されている。チャネルが形成される領域であるｐ型半導体領域１９の上面は、ゲート電極２２Ａまたは２２Ｂにより覆われている。

[0072] ゲート絶縁膜の端部の上面、ゲート電極２２Ａ、２２Ｂのそれぞれの側面および上面は、層間絶縁膜２３により覆われている。図１４では、ゲート絶縁膜と層間絶縁膜２３とを一体となった絶縁膜として示している。ゲート電極２２Ａは図１１に示すゲート電極ＧＥ４に相当し、ゲート電極２２Ｂは図１１に示すゲート電極ＧＥ５に相当する。

[0073] ゲート絶縁膜、ゲート電極２２Ａ、２２Ｂおよび層間絶縁膜２３から成る積層膜は、ユニットセル２９、３０のそれぞれの上面に達する開口部（貫通

孔）を有しており、当該開口部の底部では、電位固定層２１およびソース領域２０が当該積層膜から露出している。

[0074] セル領域１Ａの層間絶縁膜２３の開口部、つまりコンタクトホール内の底部で上記積層膜から露出するソース領域２０の一部および電位固定層２１のそれぞれには、当該開口部内を埋め込むコンタクトプラグ（導電性接続部）が、シリサイド層（図示しない）を介して電気的に接続されている。同様に、ソースセンス領域１Ｂの層間絶縁膜２３の開口部、つまりコンタクトホール内の底部で上記積層膜から露出するソース領域２０の一部および電位固定層２１のそれぞれには、当該開口部内を埋め込むコンタクトプラグ（導電性接続部）が、シリサイド層（図示しない）を介して電気的に接続されている。

[0075] セル領域１Ａにおいて複数の開口部に埋め込まれた複数のコンタクトプラグのそれぞれは、層間絶縁膜２３上に形成されたソース電極（金属電極）２４と一体となっている。ソースセンス領域１Ｂの複数の開口部に埋め込まれた複数のコンタクトプラグのそれぞれは、層間絶縁膜２３上に形成されたソース電極（金属電極）２５と一体となっている。ソース電極２４の上面は、例えばソースパッドＳＰ１（図１３参照）を構成し、ソース電極２５の上面は、例えばソースパッドＳＰ２（図１３参照）を構成している。

[0076] ゲート電極２２Ｂ上の層間絶縁膜２３には開口部が形成されており、当該開口部内には、ソースセンス領域１Ｂの層間絶縁膜２３上に形成されたゲート用金属電極２６と一体となっているコンタクトプラグが埋め込まれている。当該コンタクトプラグを介して、ゲート電極２２Ｂとゲート用金属電極２６とは電気的に接続されている。ゲート用金属電極２６の上面は、例えば図１３に示すゲートパッドＧＰ２を構成している。同様に、セル領域１Ａの図示していない領域では、ゲート電極２２Ａに電気的に接続されたゲート用金属電極が層間絶縁膜２３上に形成されており、当該ゲート用金属電極の上面は、例えば図１３に示すゲートパッドＧＰ１を構成している。ソース電極２４、２５およびゲート用金属電極２６のそれぞれは、層間絶縁膜２３上に形

成されたパッシベーション膜２７により絶縁されている。

[0077] 本実施の形態の半導体チップのセル領域１Ａに形成されたＭＯＳＦＥＴ（ＭＯＳ型電界効果トランジスタ）は、少なくともゲート電極２２Ａと、ソース領域２０と、ＳｉＣ基板１７内のドレイン領域とを有している。また、本実施の形態の半導体チップのソースセンス領域１Ｂに形成されたソースセンス素子であるＭＯＳＦＥＴは、少なくともゲート電極２２Ｂと、ソース領域２０と、ＳｉＣ基板１７内のドレイン領域とを有している。すなわち、セル領域１Ａおよびソースセンス領域１Ｂのそれぞれには、同じ構造のＭＯＳＦＥＴのユニットセルが複数形成されている。ただし、セル領域１Ａで並列に接続されるＭＯＳＦＥＴのユニットセルの数は、ソースセンス領域１Ｂで並列に接続されるＭＯＳＦＥＴのユニットセルの数より大きい。

[0078] ＭＯＳＦＥＴを動作させる際には、ゲート電極２２Ａ、２２Ｂに所定の電圧を印加してＭＯＳＦＥＴをオンさせることで、電位の高いドレインから電位の低いソースに電流を流す。当該ＭＯＳＦＥＴのチャネル領域は、ｐ型半導体領域１９内の上部に形成される。つまり、ＭＯＳＦＥＴを駆動させる際の電流は、ドレイン電極２８から流れて、エピタキシャル層１８内を通り、ｐ型半導体領域１９内であってゲート電極２２Ａおよび２２Ｂのそれぞれの直下の領域を通って、各ソース領域２０へ流れる。正常な状態であれば、セル領域１ＡのＭＯＳＦＥＴには５０Ａ程度の電流が流れ、ソースセンス素子であるＭＯＳＦＥＴには１μＡまたは１ｍＡ程度の電流が流れる。

[0079] ソースセンス素子は、図１２に示すトランジスタＱ６における過電流の発生を検知するための素子である。すなわち、短絡などにより、例えばトランジスタＱ６のドレインに高電圧（例えば４００Ｖ）の電圧が印加され、パワーＭＯＳＦＥＴのソース・ドレイン間に過電流（例えば２０００Ａ）が流れた際、ソースセンス素子に流れる微小電流も増大する。このとき、２０００Ａ程度の過電流を直接検出しようとすると、過電流により検出用の装置が破壊される。そこで、ソースセンス素子の当該微少電流の増大をセンス電流測定部８で検知することで、トランジスタＱ６の本体部分の素子における過電

流の発生を検知（予想）することができ、トランジスタＱ６を回路から遮断するなどの措置をとることができる。これにより、半導体チップ、当該半導体チップを備えたモジュール、および、当該モジュールを用いた車両などを、破壊および発火などから保護できる。

[0080] しかし、半導体チップが異常に発熱している場合に半導体チップに過電流が流れると、半導体チップの発熱が小さい場合に比べ、パワーＭＯＳＦＥＴの本体部分の素子に電流が流れ易くなる。このとき、自己発熱による温度上昇が大きい本体部分の素子と比較して、ソースセンス素子は本体部分の素子と分離されているため、自己発熱による温度上昇は小さい。その結果、発熱している半導体チップには過電流が流れていても、ソースセンス素子における微小電流の増加量が小さく、過電流の発生を正確に検知できない問題が生じる。このような問題は、例えば、半導体チップにゲートパッドが１つのみ形成され、当該ゲートパッドから本体部分の素子およびソースセンス素子のそれぞれのゲート電極に電圧が供給されている場合に生じる。

[0081] そこで、本実施の形態では、図１１に示すように、本体部分の素子のゲート電極に接続されたゲートパッドＧＰ１と、ソースセンス素子のゲート電極に接続されたゲートパッドＧＰ２と、図１２に示す電圧計４とを設けている。よって、電圧計４により得られた電圧または波形により、本体部分の素子の温度とソースセンス素子の温度とを監視することができる。

[0082] 本体部分の素子およびソースセンス素子のそれぞれの温度の関係に対する、本体部分の素子およびソースセンス素子のそれぞれの電流の変化量の関係は、実験などにより得られた複数のデータ（ルックアップテーブル）にから判断することできる。したがって、本体部分の素子の温度またはソースセンス素子の温度が異常高いことを検知した際には、それらの温度をルックアップテーブルに当てはめて、ソースセンス素子の電流増加量から本体部分の素子における過電流の発生の有無を判断することができる。このように、電圧計４により得られた電圧または波形により半導体チップの温度を予想し、さらに、ソースセンス素子に温度補正フィードバックを行うことで、半導体チ

ップにおける過電流を精度よく検出できる。つまり、ソースセンス素子による過電流の検出精度を高められる。よって、半導体装置の信頼性を向上できる。

[0083] また、本実施の形態の半導体チップは、例えば三層モータを構成する三層インバータに用いられる。この場合、三層インバータにはＰＷＭ（Pulse Width Modulation）制御部が接続される。ＰＷＭ制御部は、三層インバータを構成する例えば６つのパワーＭＯＳＦＥＴ（半導体チップ）のそれぞれのゲートにゲート信号（パルス信号）を送信し、三層インバータの動作を制御する装置である。また、三層インバータはモータ（負荷）に接続されており、各半導体チップからモータに電流を送る経路の途中には、電流検知用のホール素子が備えられていることが考えられる。ホール素子は、モータに過電流が流れ、モータが異常な動作をすることを防ぐための高精度電流検知素子である。ホール素子が異常な電流を検知したときには、ＰＷＭ制御部にフィードバックを行い、モータの回転を制御する。

[0084] この場合には、ソースセンス素子とホール素子とを用いて、二重に過電流の検出を行う。しかし、ホール素子は比較的高価な素子であり、これを省略することで、三層モータのコストを大きく下げ、三層モータの大きさを縮小することも可能である。

[0085] 本実施の形態では、ソースセンス素子の電流検出精度を高めることができるため、ソースセンス素子を用いて三層モータの過電流による異常な動作を防ぐことが可能である。したがって、ホール素子を省略し、三層モータのコストの低化および三層モータの縮小を実現できる。

[0086] 以上、本発明者らによってなされた発明をその実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能である。

[0087] 例えば、前記実施の形態１、２半導体チップの主面側にゲートパッドを２つ形成することについて説明したが、ゲートパッドの数は３以上であってもよい。例えば、前記実施の形態２の場合、ソースセンス素子に接続されたゲ

ートパッドと、本体部分の素子に接続された２つのゲートパッドが形成されていてもよい。

産業上の利用可能性

[0088] 本発明は、ＭＯＳＦＥＴを備えた半導体装置に幅広く利用することができる。

符号の説明

[0089] ２ ゲートドライバ

４ 電圧計

Ｄ、Ｇ１、Ｇ２、Ｓ ノード

ＧＥ１～ＧＥ５ ゲート電極

ＧＰ１、ＧＰ２ ゲートパッド

Ｑ１～Ｑ６ トランジスタ

ＳＰ１、ＳＰ２ ソースパッド

請求の範囲

[請求項1] 主面に第１ゲートパッドおよび第２ゲートパッドを備えた半導体チップと、

前記半導体チップの外部に設けられ、前記第１ゲートパッドに電気的に接続された第１配線と、

前記半導体チップの外部に設けられ、前記第２ゲートパッドに電気的に接続された第２配線と、

前記第１配線と前記第２配線との間に接続された第１電圧計と、

を有し、

前記半導体チップは、

第１導電型の基板と、

前記基板の上面に形成された、前記第１導電型とは異なる第２導電型のソース領域と、

前記基板の下面に形成された、前記第２導電型のドレイン領域と、

前記基板上に形成され、前記第１ゲートパッドに電気的に接続された第１ゲート電極と、

前記基板上に形成され、前記第２ゲートパッドに電気的に接続された第２ゲート電極と、

を有し、

前記第１ゲート電極、前記ソース領域および前記ドレイン領域は、第１電界効果トランジスタを構成し、

前記第２ゲート電極、前記ソース領域および前記ドレイン領域は、第２電界効果トランジスタを構成している、半導体装置。

[請求項2] 請求項１記載の半導体装置において、

前記第２電界効果トランジスタを構成する前記ソース領域に対し、電流測定部が直列に接続されている、半導体装置。

[請求項3] 請求項２記載の半導体装置において、

前記半導体チップの前記主面には、前記第１ゲートパッド、前記第

２ゲートパッド、第１ソースパッドおよび第２ソースパッドが形成されており、

前記第１ソースパッドは、前記第１電界効果トランジスタの前記ソース領域に電気的に接続され、

前記第２ソースパッドは、前記第２電界効果トランジスタの前記ソース領域に電気的に接続され、

前記第１ソースパッドの面積は、前記第２ソースパッドの面積より大きい、半導体装置。

[請求項4] 請求項２記載の半導体装置において、

前記第２電界効果トランジスタの駆動電流は、前記第１電界効果トランジスタの駆動電流より小さく、

前記第２電界効果トランジスタは、ソースセンス素子を構成している、半導体装置。

[請求項5] 請求項１記載の半導体装置において、

前記第１ゲート電極と前記第２ゲート電極とは、互いに電気的に接続されている、半導体装置。

[請求項6] 請求項５記載の半導体装置において、

前記第１ゲート電極と前記第２ゲート電極とは、抵抗素子を介して互いに電気的に接続されている、半導体装置。

[請求項7] 請求項５記載の半導体装置において、

前記第１ゲート電極と前記第２ゲート電極とは互いに一体となっている、半導体装置。

[請求項8] 請求項１記載の半導体装置において、

ゲート駆動部をさらに有し、

前記ゲート駆動部は、前記第１配線を介して前記第１ゲートパッドに電気的に接続され、

前記ゲート駆動部は、前記第２配線を介して前記第２ゲートパッドに電気的に接続されている、半導体装置。

[請求項9] 請求項８記載の半導体装置において、

前記ゲート駆動部を制御する指令制御部をさらに有し、

前記指令制御部には、前記ゲート駆動部を介して複数の前記半導体チップが電気的に接続されている、半導体装置。

[請求項10] 請求項８記載の半導体装置において、

前記ゲート駆動部と前記ソース領域とを電気的に接続する配線には、第２電圧計が並列に接続されている、半導体装置。

[請求項11] 請求項１記載の半導体装置において、

前記第１ゲート電極および前記第２ゲート電極のそれぞれの平面形状は、櫛状であり、

前記第１ゲート電極と前記第２ゲート電極とは、互いの櫛歯部分が噛み合うように配置されている、半導体装置。

[請求項12] 請求項１記載の半導体装置において、

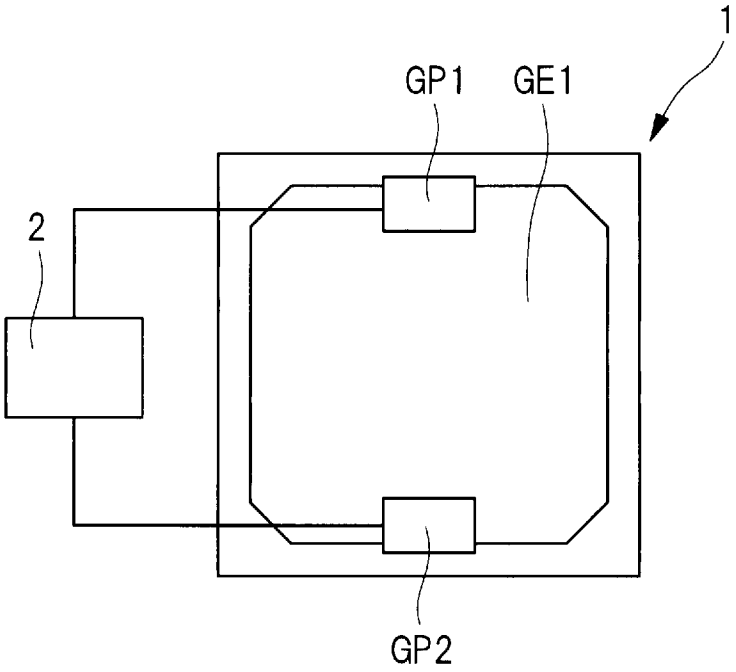
前記第２ゲート電極は、前記第１ゲート電極の外周を囲んで環状に形成されている、半導体装置。

[請求項13] 請求項１記載の半導体装置において、

前記基板は、炭化ケイ素を含む、半導体装置。

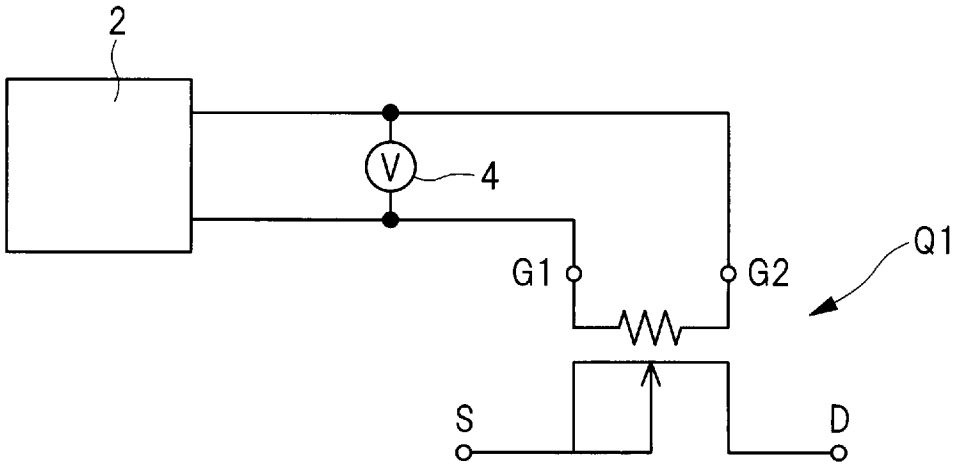
[図1]

図 1



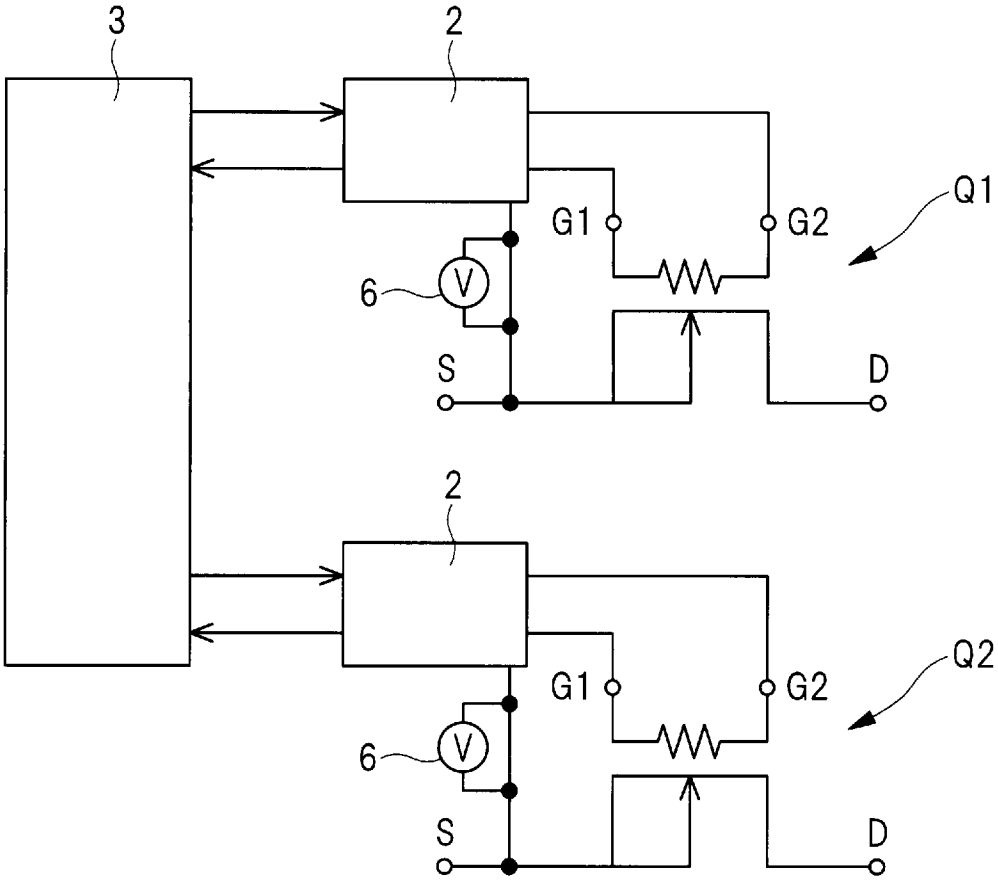
[図2]

図 2



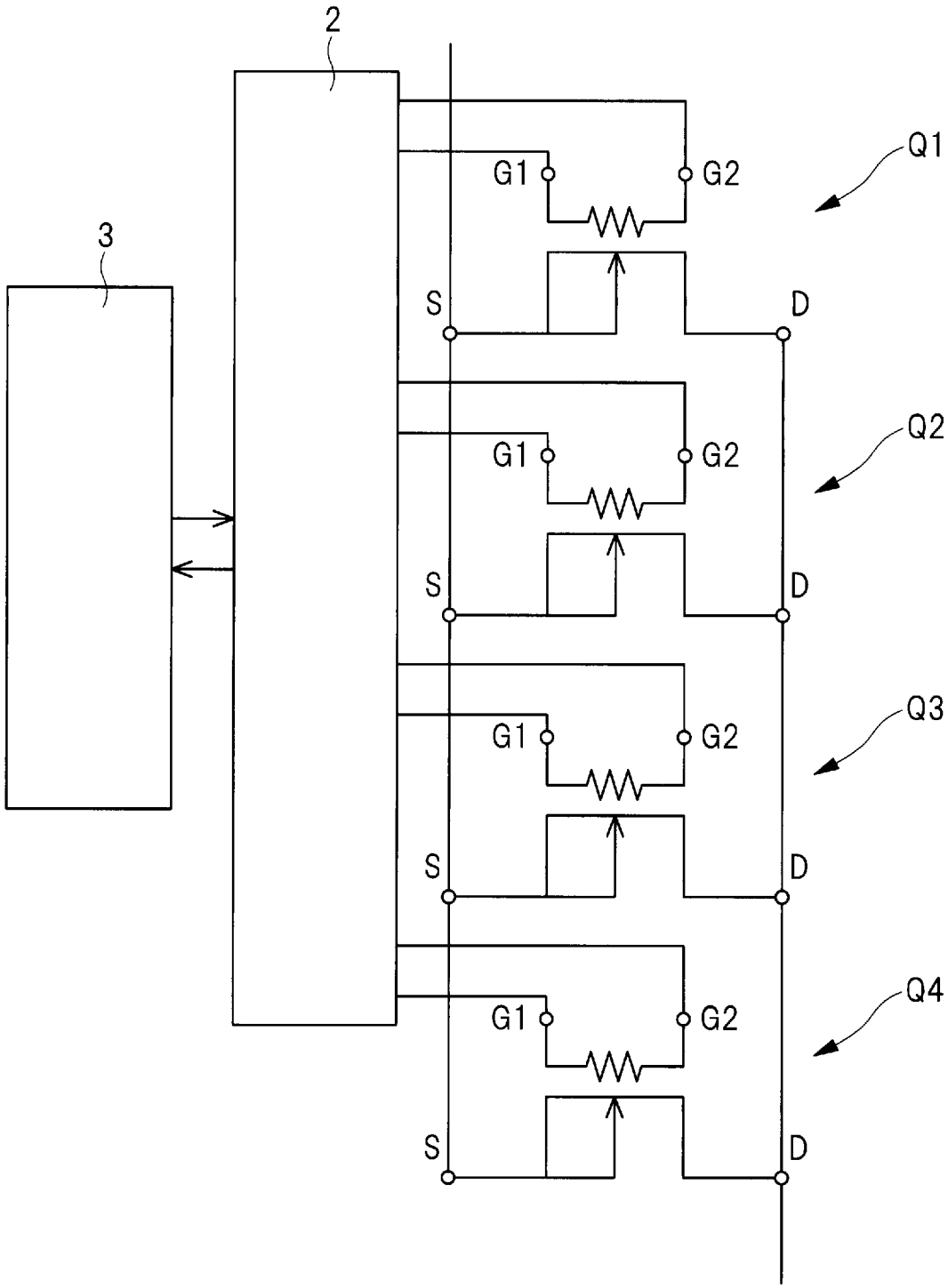
[図3]

図 3



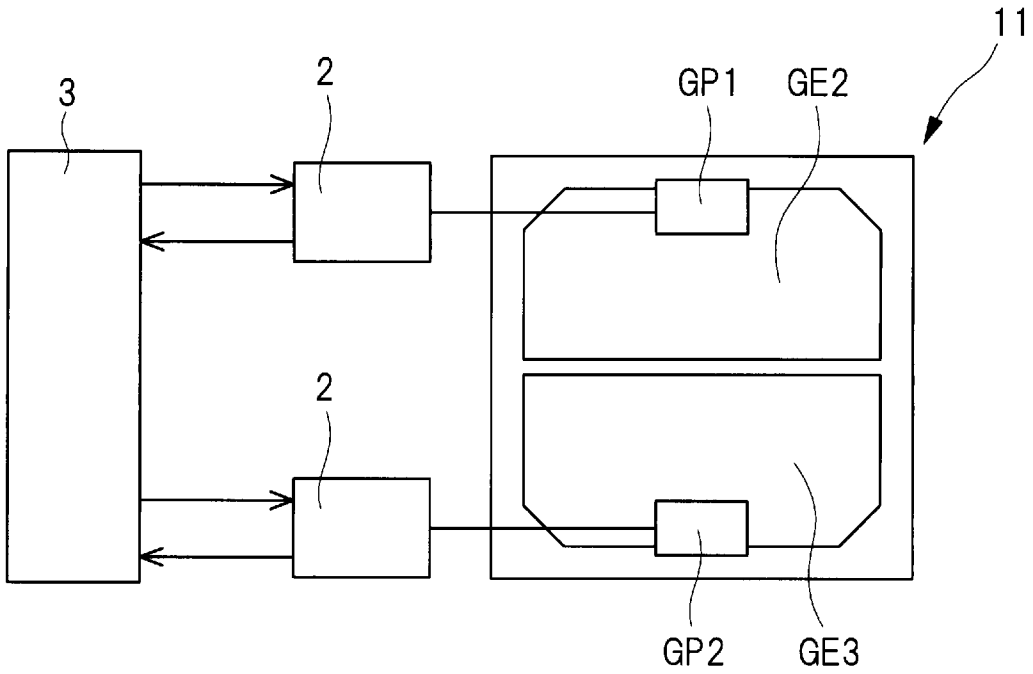
[図4]

図 4



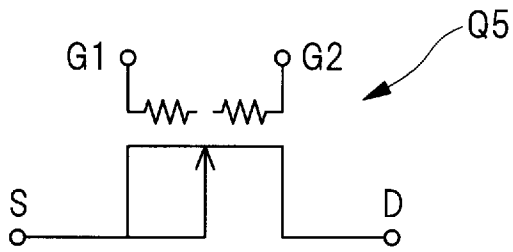
[図5]

図 5



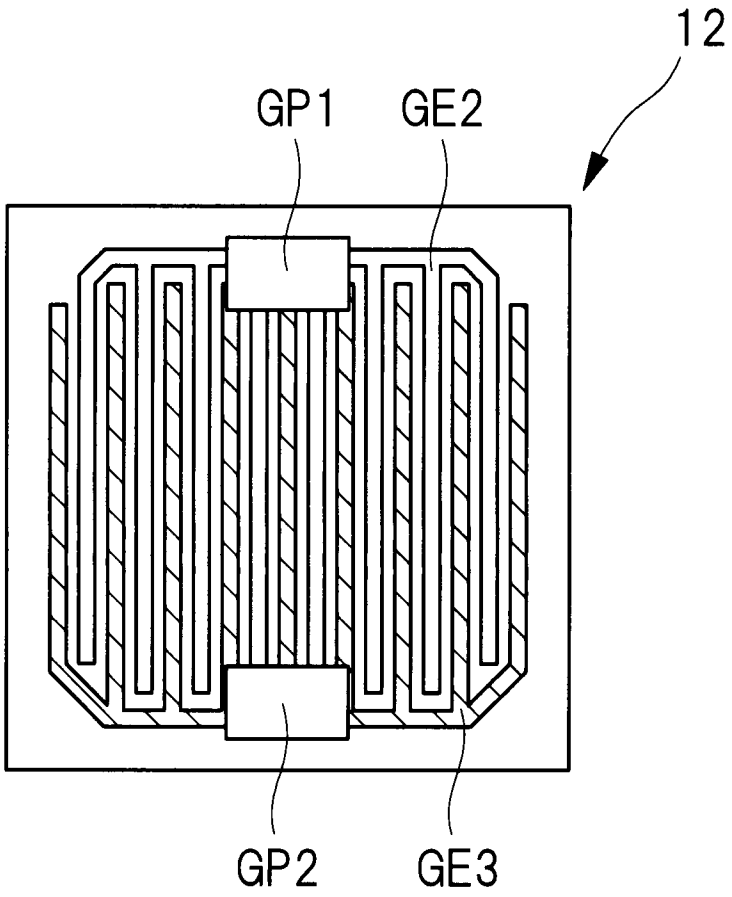
[図6]

図 6



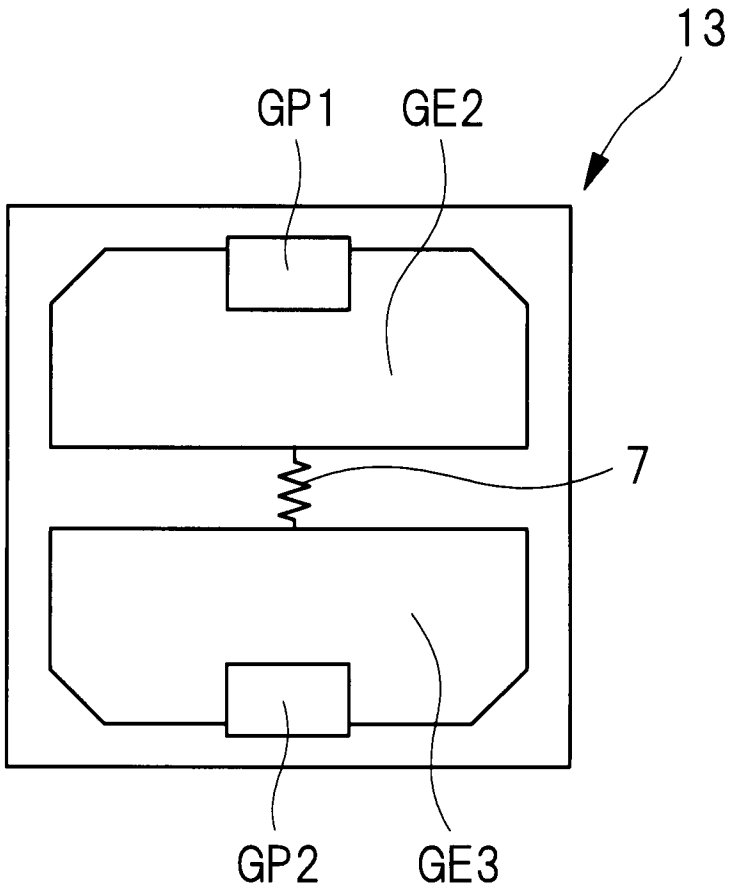
[図7]

図 7



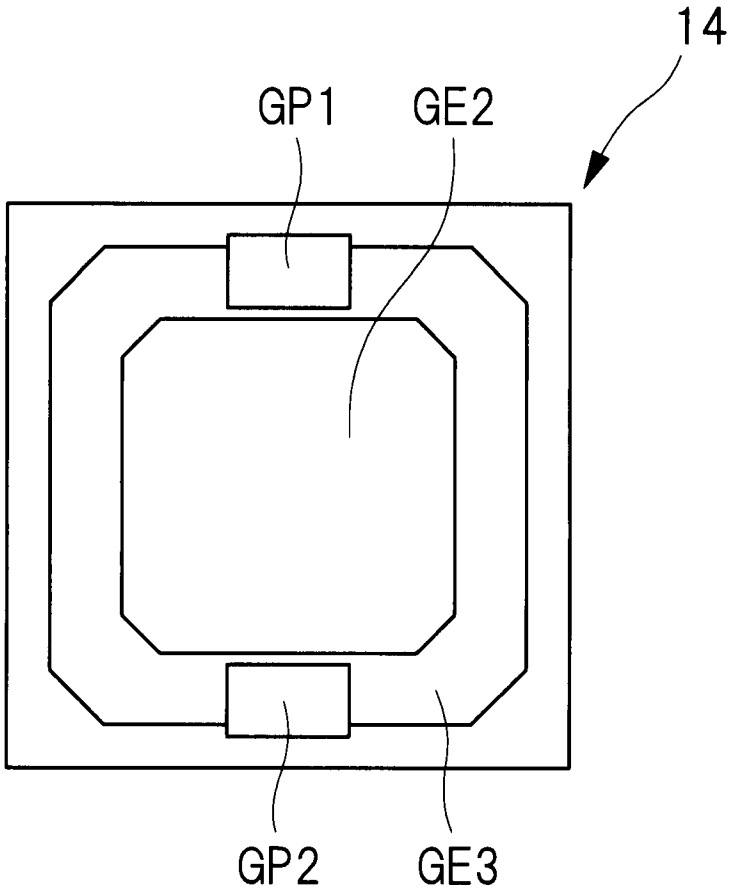
[図8]

図 8



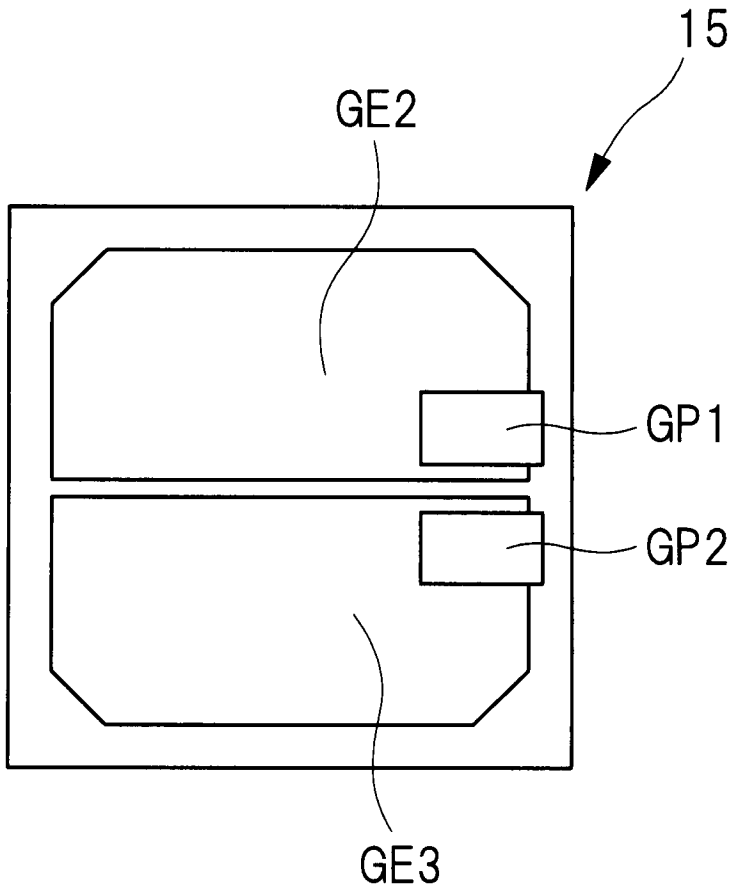
[図9]

図 9



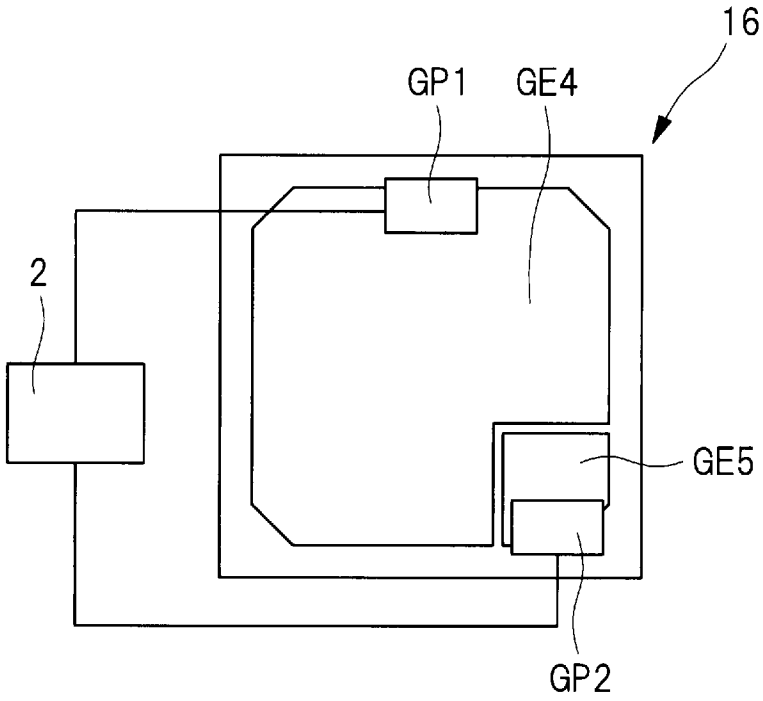
[図10]

図 10



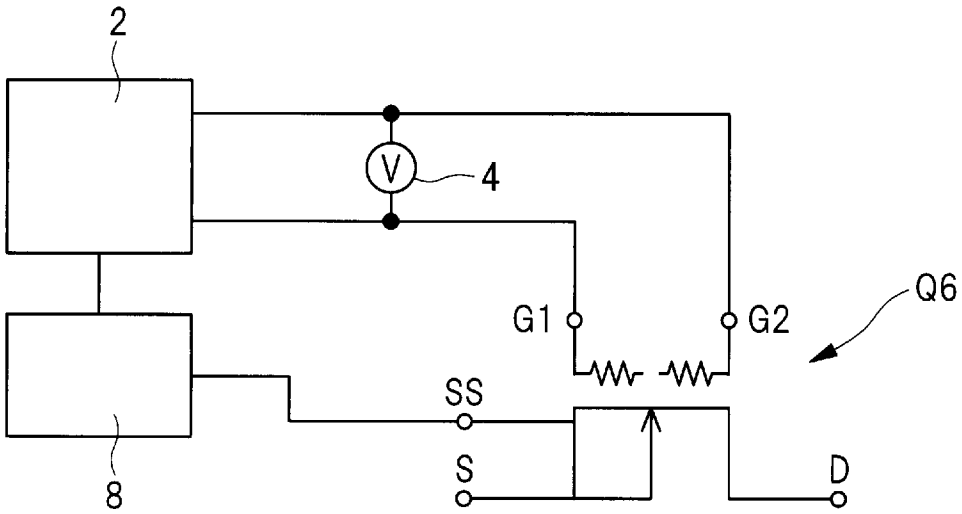
[図11]

図 11



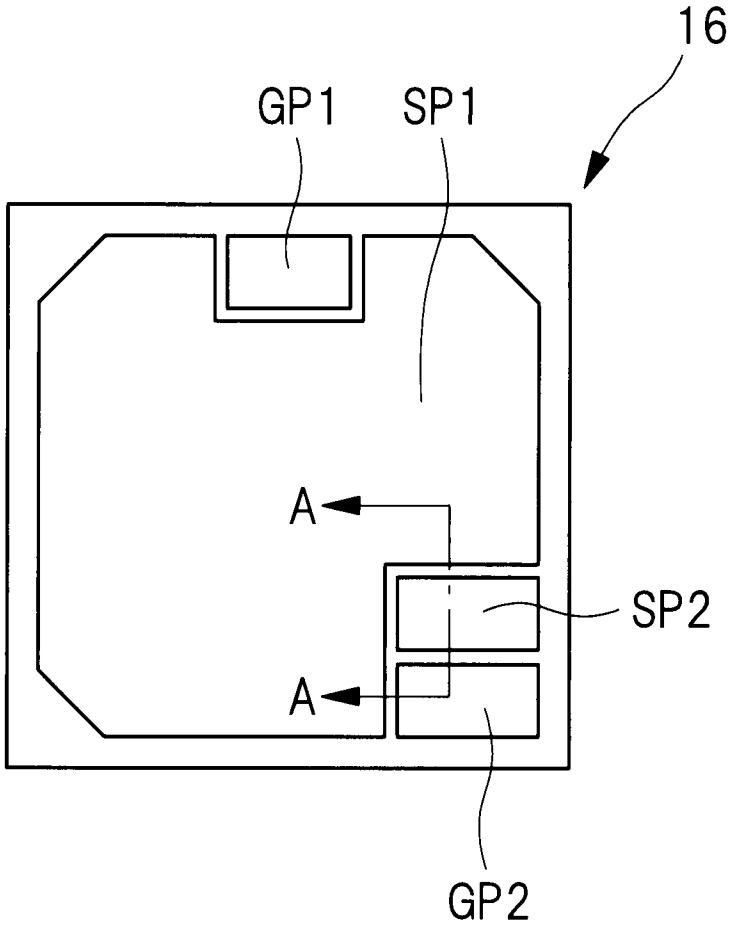
[図12]

図 12



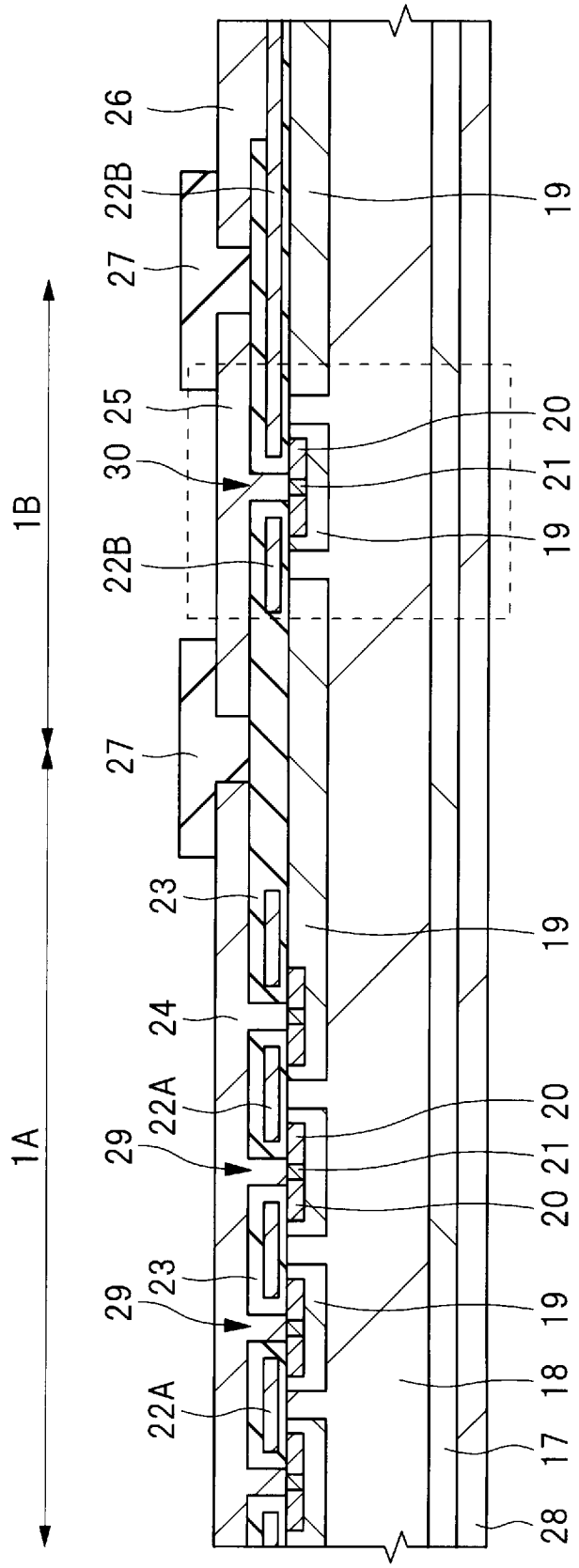
[図13]

図 13



[図14]

図 14


1B
1A
26
22B
27
25
30
22B
27
23
24
22A
29
29
23
22A
19
20
21
19
19
20
21
20
19
18
17
28

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2019/040859

A. CLASSIFICATION OF SUBJECT MATTER
Int. Cl. H01L25/07(2006.01)i, H01L25/18(2006.01)i, H01L29/12(2006.01)i, H01L29/78(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int. Cl. H01L25/07, H01L25/18, H01L29/12, H01L29/78

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2019
Registered utility model specifications of Japan 1996-2019
Published registered utility model applications of Japan 1994-2019

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 2016-12670 A (DENSO CORP.) 21 January 2016, paragraphs [0019]-[0046], [0061]-[0081], fig. 1, 2, 4, 8-12 (Family: none)	1, 5-8, 11 2, 9, 10, 12, 13 3, 4
Y	JP 2016-136819 A (DENSO CORP.) 28 July 2016, paragraphs [0031]-[0035], [0083], [0084], [0128], fig. 2 & WO 2016/117329 A1	2, 13
Y	JP 2015-115523 A (HITACHI, LTD.) 22 June 2015, paragraphs [0012]-[0025], fig. 1-4 & US 2015/0250074 A1, paragraphs [0067]-[0083], fig. 1-4 & EP 2887787 A2	9

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
19.12.2019	07.01.2020
Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2019/040859

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2016-145774 A (TOYOTA MOTOR CORP.) 12 August 2016, paragraphs [0009]-[0011], fig. 1 (Family: none)	10
Y	JP 2013-247309 A (RENESAS ELECTRONICS CORP.) 09 December 2013, paragraphs [0052]-[0061], fig. 5, 6, 10-20 & US 2013/0320454 A1, paragraphs [0073]-[0082], fig. 5, 6, 10-20 & US 2016/0064777 A1 & US 2017/0207210 A1 & KR 10-2013-0133689 A & CN 103456690 A & CN 203481223 U & TW 201413918 A & CN 108461447 A	12
A	JP 2012-80062 A (RENESAS ELECTRONICS CORP.) 19 April 2012, entire text, all drawings & US 2012/0061722 A1, entire text, all drawings	1-13
A	WO 2015/004891 A1 (PANASONIC INTELLECTUAL PROPERTY MANAGEMENT CO., LTD.) 15 January 2015, entire text, all drawings & US 2015/0280611 A1, entire text, all drawings & CN 104781923 A	1-13
A	US 4945445 A (SCHMERDA et al.) 31 July 1990, entire text, all drawings (Family: none)	1-13

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１９／０４０８５９

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H01L25/07(2006.01)i, H01L25/18(2006.01)i, H01L29/12(2006.01)i, H01L29/78(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H01L25/07, H01L25/18, H01L29/12, H01L29/78

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１９年
日本国実用新案登録公報	１９９６－２０１９年
日本国登録実用新案公報	１９９４－２０１９年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
X Y	JP 2016-12670 A (株式会社デンソー) 2016.01.21, 段落【００１９】-【００４６】、【００６１】-【００８１】、図１、２、４、８-１２（ファミリーなし）	1,5-8,11 2,9,10,12,13
A		3,4
Y	JP 2016-136819 A (株式会社デンソー) 2016.07.28, 段落【００３１】-【００３５】、【００８３】、【００８４】、【０１２８】、図２ &WO 2016/117329 A1	2,13

☑　Ｃ欄の続きにも文献が列挙されている。　　☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
１９．１２．２０１９	０７．０１．２０２０

国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　５Ｆ　９２７６
正山　旭

電話番号　０３－３５８１－１１０１　内線　３５１６

Ｃ（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y	JP 2015-115523 A (株式会社日立製作所) 2015.06.22, 段落【００１２】-【００２５】、図１-４ & US 2015/0250074 A1, 段落[0067]-[0083]、図１-４ & EP 2887787 A2	9
Y	JP 2016-145774 A (トヨタ自動車株式会社) 2016.08.12, 段落【０００９】-【００１１】、図１ (ファミリーなし)	10
Y	JP 2013-247309 A (ルネサスエレクトロニクス株式会社) 2013.12.09, 段落【００５２】-【００６１】、図５、６、１０-２０ & US 2013/0320454 A1, 段落[0073]-[0082]、図５、６、１０-２０ & US 2016/0064777 A1 & US 2017/0207210 A1 & KR 10-2013-0133689 A & CN 103456690 A & CN 203481223 U & TW 201413918 A & CN 108461447 A	12
A	JP 2012-80062 A (ルネサスエレクトロニクス株式会社) 2012.04.19, 全文、全図 & US 2012/0061722 A1, 全文、全図	1-13
A	WO 2015/004891 A1 (パナソニックＩＰマネジメント株式会社) 2015.01.15, 全文、全図 & US 2015/0280611 A1, 全文、全図 & CN 104781923 A	1-13
A	US 4945445 A (SCHMERDA et al.) 1990.07.31, 全文、全図 (ファミリーなし)	1-13