

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4298219号
(P4298219)

(45) 発行日 平成21年7月15日(2009.7.15)

(24) 登録日 平成21年4月24日(2009.4.24)

(51) Int. Cl.	F I		
HO4N 5/232 (2006.01)	HO4N 5/232	H	
GO2B 7/28 (2006.01)	GO2B 7/11	N	
GO2B 7/36 (2006.01)	GO2B 7/11	D	
GO3B 13/36 (2006.01)	GO3B 3/00	A	
HO4N 5/225 (2006.01)	HO4N 5/225	B	
請求項の数 10 (全 10 頁) 最終頁に続く			

(21) 出願番号	特願2002-136009 (P2002-136009)	(73) 特許権者	000001007 キヤノン株式会社 東京都大田区下丸子3丁目30番2号
(22) 出願日	平成14年5月10日(2002.5.10)	(74) 代理人	100090273 弁理士 園分 孝悦
(65) 公開番号	特開2003-333410 (P2003-333410A)	(72) 発明者	蓮覚寺 秀行 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
(43) 公開日	平成15年11月21日(2003.11.21)	(72) 発明者	栄木 裕二 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
審査請求日	平成17年5月10日(2005.5.10)	(72) 発明者	本間 義浩 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
最終頁に続く			

(54) 【発明の名称】 撮像装置及び撮像方法

(57) 【特許請求の範囲】

【請求項1】

信号の高周波成分を評価しAF評価値を算出するAF評価値算出手段と、輝度信号と式差信号に変換する映像信号処理手段とを有する撮像装置であって、

前記映像信号処理手段へは撮像素子から入力される第1の信号に対して、間引き処理を施した第2の信号を供給するようにし、前記AF評価値算出手段へは前記間引き処理を施す前の撮像素子から出力される前記第1の信号を供給するようにしたことを特徴とする撮像装置。

【請求項2】

撮像素子と、

前記撮像素子から出力される信号をA/D変換するA/D変換手段と、

前記撮像素子から出力される信号に基づいて合焦状態を評価するAF評価値算出手段と、

前記撮像素子から出力される信号に基づいて画像を表示装置に表示させるための信号処理を施す映像信号処理手段と、

前記A/D変換手段の出力を間引く画素信号間引き手段とを備え、

前記映像信号処理手段へは前記A/D変換手段でデジタル化した第1の信号を前記画素信号間引き手段で間引いて第2の信号としてから供給するようにし、前記AF評価値算出手段へは前記A/D変換手段の出力を前記画素信号間引き手段で間引く前の第1の信号を供給するようにしたことを特徴とする撮像装置。

【請求項 3】

第 1 のクロック発生手段と第 2 のクロック発生手段とを備え、

前記第 1 のクロック発生手段によって発生するクロック信号によって前記撮像素子、A / D 変換手段及び A F 評価値算出手段を駆動し、前記第 2 のクロック発生手段によって前記映像信号処理手段を駆動するようにしたことを特徴とする請求項 2 に記載の撮像装置。

【請求項 4】

前記第 1 のクロック発生手段によって発生するクロック信号より、前記第 2 のクロック発生手段によって発生するクロック信号の周波数が遅いことを特徴とする請求項 3 に記載の撮像装置。

【請求項 5】

前記第 1 のクロック発生手段によって発生するクロック信号より、前記映像信号処理手段へ入力される画素信号のレートが低いことを特徴とする請求項 3 または 4 に記載の撮像装置。

【請求項 6】

信号の高周波成分を評価し A F 評価値を算出する A F 評価値算出工程と、輝度信号と式差信号に変換する映像信号処理工程とを有する撮像方法であって、

前記映像信号処理工程へは撮像素子から入力される第 1 の信号に対して、間引き処理を施した第 2 の信号を供給するようにし、前記 A F 評価値算出工程へは前記間引き処理を施す前の撮像素子から出力される前記第 1 の信号を供給するようにしたことを特徴とする撮像方法。

【請求項 7】

撮像素子から出力される信号を A / D 変換する A / D 変換工程と、

前記撮像素子から出力される信号に基づいて合焦状態を評価する A F 評価値算出工程と、

前記撮像素子から出力される信号に基づいて画像を表示装置に表示させるための信号処理を施す映像信号処理工程と、

前記 A / D 変換工程の出力を間引く画素信号間引き工程とを備え、

前記映像信号処理工程へは前記 A / D 変換工程でデジタル化した第 1 の信号を前記画素信号間引き工程で間引いて第 2 の信号としてから供給するようにし、前記 A F 評価値算出工程へは前記 A / D 変換工程の出力を前記画素信号間引き工程で間引く前の第 1 の信号を供給するようにしたことを特徴とする撮像方法。

【請求項 8】

第 1 のクロック発生工程と第 2 のクロック発生工程とを備え、

前記第 1 のクロック発生工程によって発生するクロック信号によって前記撮像素子、A / D 変換工程及び A F 評価値算出工程を駆動し、前記第 2 のクロック発生工程によって前記映像信号処理工程を駆動するようにしたことを特徴とする請求項 7 に記載の撮像方法。

【請求項 9】

前記第 1 のクロック発生工程によって発生するクロック信号より、前記第 2 のクロック発生工程によって発生するクロック信号の周波数が遅いことを特徴とする請求項 8 に記載の撮像方法。

【請求項 10】

前記第 1 のクロック発生工程によって発生するクロック信号より、前記映像信号処理工程へ入力される画素信号のレートが低いことを特徴とする請求項 8 または 9 に記載の撮像方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は撮像装置及び撮像方法に関し、特に、撮像素子を介して得られる画素信号を表示する表示装置を有する電子スチルカメラに用いて好適なものである。

【0002】

10

20

30

40

50

【従来の技術】

従来、電子スチルカメラとして、表示装置をファインダとして使用するものが知られている。前記表示装置は、例えば液晶表示素子であり、液晶表示素子には、撮像素子を介して得られる動画がリアルタイムに表示される。これにより、撮影者は、液晶表示素子の画面を観察することにより、シャッターレリーズのタイミングを決定し、所望の静止画を記録媒体に記録することができる。

【0003】

特開平9-93470号に記載されているように、このファインダ表示用の画像データを撮像素子から出力される映像信号を間引いてから信号処理することにより、ファインダ動作時の消費電力を削減することができる。

10

【0004】**【発明が解決しようとする課題】**

ところで、撮像素子から出力される映像信号を間引くと映像信号の帯域が狭くなってしまう。このため、特開平5-14796号に記載されているように、撮像素子から出力される映像信号からコントラストを検出して合焦位置を決定するようにした場合に、映像信号の間引き率によってコントラストの評価値が変化してしまい、良好な合焦精度を得ることができない問題点があった。

【0005】

本発明は上述の問題点にかんがみてなされたもので、良好な合焦精度を得ること、及びファインダ動作時の消費電力を削減することの両方を実現できるようにすることを目的とする。

20

【0006】**【課題を解決するための手段】**

本発明の撮像装置は、信号の高周波成分を評価しAF評価値を算出するAF評価値算出手段と、輝度信号と式差信号に変換する映像信号処理手段とを有する撮像装置であって、前記映像信号処理手段へは撮像素子から入力される第1の信号に対して、間引き処理を施した第2の信号を供給するようにし、前記AF評価値算出手段へは前記間引き処理を施す前の撮像素子から出力される前記第1の信号を供給するようにしたことを特徴とする。

また、本発明の撮像装置の他の特徴とするところは、前記撮像素子から出力される信号をA/D変換するA/D変換手段と、前記撮像素子から出力される信号に基づいて合焦状態を評価するAF評価値算出手段と、前記撮像素子から出力される信号に基づいて画像を表示装置に表示させるための信号処理を施す映像信号処理手段と、前記A/D変換手段の出力を間引く画素信号間引き手段とを備え、前記映像信号処理手段へは前記A/D変換手段でデジタル化した第1の信号を前記画素信号間引き手段で間引いて第2の信号としてから供給するようにし、前記AF評価値算出手段へは前記A/D変換手段の出力を前記画素信号間引き手段で間引く前の第1の信号を供給するようにしたことを特徴とする。

30

また、本発明の撮像装置のその他の特徴とするところは、第1のクロック発生手段と第2のクロック発生手段とを備え、前記第1のクロック発生手段によって発生するクロック信号によって前記撮像素子、A/D変換手段及びAF評価値算出手段を駆動し、前記第2のクロック発生手段によって前記映像信号処理手段を駆動するようにしたことを特徴とする。

40

また、本発明の撮像装置のその他の特徴とするところは、前記第1のクロック発生手段によって発生するクロック信号より、前記第2のクロック発生手段によって発生するクロック信号の周波数が遅いことを特徴とする。

また、本発明の撮像装置のその他の特徴とするところは、前記第1のクロック発生手段によって発生するクロック信号より、前記映像信号処理手段へ入力される画素信号のレートが低いことを特徴とする。

【0007】

本発明の撮像方法は、信号の高周波成分を評価しAF評価値を算出するAF評価値算出工程と、輝度信号と式差信号に変換する映像信号処理工程とを有する撮像方法であって、

50

前記映像信号処理工程へは撮像素子から入力される第1の信号に対して、間引き処理を施した第2の信号を供給するようにし、前記AF評価値算出工程へは前記間引き処理を施す前の撮像素子から出力される前記第1の信号を供給するようにしたことを特徴とする。

また、本発明の撮像方法他の特徴とするところは、撮像素子から出力される信号をA/D変換するA/D変換工程と、前記撮像素子から出力される信号に基づいて合焦状態を評価するAF評価値算出工程と、前記撮像素子から出力される信号に基づいて画像を表示装置に表示させるための信号処理を施す映像信号処理工程と、前記A/D変換工程の出力を間引く画素信号間引き工程とを備え、前記映像信号処理工程へは前記A/D変換工程でデジタル化した第1の信号を前記画素信号間引き工程で間引いて第2の信号としてから供給するようにし、前記AF評価値算出工程へは前記A/D変換工程の出力を前記画素信号間引き工程で間引く前の第1の信号を供給するようにしたことを特徴とする。

10

また、本発明の撮像方法のその他の特徴とするところは、第1のクロック発生工程と第2のクロック発生工程とを備え、前記第1のクロック発生工程によって発生するクロック信号によって前記撮像素子、A/D変換工程及びAF評価値算出工程を駆動し、前記第2のクロック発生工程によって前記映像信号処理工程を駆動するようにしたことを特徴とする。

また、本発明の撮像方法のその他の特徴とするところは、前記第1のクロック発生工程によって発生するクロック信号より、前記第2のクロック発生工程によって発生するクロック信号の周波数が遅いことを特徴とする。

また、本発明の撮像方法のその他の特徴とするところは、前記第1のクロック発生工程によって発生するクロック信号より、前記映像信号処理工程へ入力される画素信号のレートが低いことを特徴とする。

20

【0008】

【発明の実施の形態】

次に、添付図面を参照しながら本発明の撮像装置及び撮像方法の実施の形態について説明する。

【0009】

図1は、本発明による焦点検出回路とLCD表示回路とを備えた電子スチルカメラのブロック図である。

図1に示したように、撮影レンズ等から成る光学ブロック101を通った光線は、CCD(固体撮像素子)102の受光面に導かれる。これにより、CCD102の受光面を構成するフォトダイオードには被写体像に対応した画像信号が発生する。

30

【0010】

CCD102は、CCDドライバ122によって駆動される。CCDドライバ122は、第1のクロック発生回路123から一定の周期で出力されるCCDクロック信号に基づいて作動する。すなわち、第1のクロック発生回路123から出力されるCCDクロック信号に同期して、CCD102から画像信号が出力され、CDS(相関二重サンプリング・ホールド)回路103に入力される。そして、前記画像信号はCDS回路103において、リセット雑音の除去等の所定の信号処理を施され、またサンプルホールドされてA/D変換器104に出力される。

40

【0011】

A/D変換器104は、第1のクロック発生器123から出力されるA/Dクロック信号に応じてA/D変換を行う。A/Dクロック信号は、前記CCDクロック信号と同一の周波数で所定の位相関係がある。

【0012】

A/D変換器104においてデジタル信号に変換された画素信号は、ローパス・フィルタ105に入力され所定のフィルタ処理が行われる。ローパス・フィルタ105は、フィルタ係数を変更可能である。

【0013】

また、フィルタ処理は同色画素信号毎に行われる。フィルタ係数が(0.25, 0.5, 0.25)と

50

設定した場合は、図 2 に示す回路で、

$$(\text{出力}) = 0.25 \times X_0 + 0.5 \times X_2 + 0.25 \times X_4$$

と演算を行い、同色画素信号に対してローパス・フィルタが掛けられる。

【 0 0 1 4 】

ローパス・フィルタ 1 0 5 の出力は、間引き回路 1 0 7 において間引かれる。間引き回路 1 0 7 では、図 3 に示すように連続して異なる色の画素信号を出力し、かつ出力有効フラグを Hi にし、出力データが有効であることを示す。

【 0 0 1 5 】

その後、予め設定された出力禁止期間 T 1 の期間データを出力せず、かつ出力有効フラグを Low にして、出力データが無効であることを示す。出力禁止期間 T 1 を 0 にすると、間引き回路 1 0 7 に入力され画像データは、出力有効フラグの Hi とともに全て出力される。

10

【 0 0 1 6 】

間引き回路 1 0 7 から出力されるデータにおいて、出力有効フラグが Hi のデータは信号処理回路 1 0 8 に入力され、色変換、ホワイトバランス、ガンマ補正等の処理を施されて Yc rCb の輝度と色差信号に変換される。

【 0 0 1 7 】

信号処理回路 1 0 8 における信号処理は、第 2 のクロック発生器 1 2 4 から出力されるクロック信号によって駆動され、間引き回路 1 0 7 から出力される出力有効フラグに応じて実行される。

【 0 0 1 8 】

20

信号処理回路 1 0 8 の出力信号は、メモリ・コントローラ 1 1 6 を介して DRAM 等の揮発性メモリであるメモリ 1 1 7 に書き込まれる。信号処理回路 1 0 8 の出力信号は、LCD I / F 1 1 8 を介して、例えば NTSC 方式のアナログ信号に変換され、LCD 1 1 9 で表示される。

【 0 0 1 9 】

また、信号処理回路 1 0 8 から出力されメモリ 1 1 7 に書き込まれた輝度、色差信号はメモリ・コントローラ 1 1 6 を介して信号処理回路 1 0 8 を通り、LCD I / F 1 1 8 を介して、例えば NTSC 方式のアナログ信号に変換され、LCD 1 1 9 に表示される。

【 0 0 2 0 】

合焦点検出動作時には、A / D 変換器 1 0 4 から出力される画素信号は、LPF 1 0 5 と同時に Y 信号作成回路 1 0 9 へも入力される。Y 信号作成回路 1 0 9 は、例えば、図 4 に示すような構成になっており、同図において 6 0 は、CCD のオブチカルブラック (OB) レベルを減算する減算器、6 2 は、CCD の各色の OB レベルを設定する OB レベルレジスタであり、ここでは、ベイヤ - 配列の場合の 4 色のレッド : R、グリーン 1 : G 1、グリーン 2 : G 2、ブルー : B の設定レジスタの場合を示している。

30

【 0 0 2 1 】

このグリーンに G 1 と G 2 とがあるのは、ベイヤ - の 4 色の内の対角 G で、別々の設定を行える事を意味する。6 4 は、OB レベルレジスタ 6 2 を色毎に切り替えるセレクターで、切り替え信号は水平カウンタの最下位ビットと垂直カウンタの最下位ビットの 2 ビットで生成して、4 色を切り替える。6 6 は、ホワイトバランス (WB) の係数を乗算する乗算器、6 8 はベイヤ - 配列の CCD の各色の WB 係数レジスタ、7 0 はセレクター 6 4 と同様のセレクターで、WB 係数レジスタ 6 8 を色毎に切り替えるセレクターである。

40

【 0 0 2 2 】

7 2 から 7 4 は撮像データの暗部のノイズを除去するベースクリップ回路を構成している。7 2 は画像データから所定値を減算する減算器、7 4 は減算器で発生する負の値をクリップするリミッタ、7 6 はベースクリップ値を設定するレジスタである。7 8 はベースクリップ 7 6 からのデータをクロックで叩き直す FF である。

【 0 0 2 3 】

このように、AF 用輝度信号生成回路 4 0 には、垂直のディレイラインが無く、CCD の画素数が増えても、この回路のゲート規模が増えることなく、回路規模は比較的小さく構

50

成できる。AFは水平方向にバンドパス・フィルタを通して、その高周波成分を評価して、その値がピークになるようにフォーカスを合わせる。

【0024】

したがって、垂直方向にフィルタ処理を施さなくても、比較的良好なAF評価値を得られる。また、AFは無色の被写体と色のある被写体で、AFの評価を一致させるために、WBを合わせる必要がある事から、WB乗算器を備えている。同様の理由からOB減算回路も必要であり、備えている。更に、ノイズ除去のためのベースクリップ回路を持ち、OB減算60、WB乗算66、ベースクリップ72の3回路でAFを行うための最低限の回路で小さい規模のAF用輝度信号生成回路を構成している。

【0025】

バンドパス・フィルタ(BPF)110には、Y信号作成回路109から出力される輝度信号が入力され、ここで水平方向のDC成分と撮像素子の色キャリア成分をカットする。BPF110の出力は、積分回路111とピーク・ホールド回路112に入力される。

【0026】

ゲート回路125はAF評価を行う評価枠を発生する回路であり、例えば、1画面上に1枠のみ発生する事もできるが、水平・垂直に各3個ずつの計9個の枠を一画面上に発生させることもできる。

【0027】

積分回路111は、ゲート回路125のゲート制御信号で示される評価枠内におけるBPF110の出力を積分していく。この積分回路111は、第1のクロック発生器123から出力されるA/Dクロック信号によって駆動される。

【0028】

ピーク・ホールド回路112は、積分回路111と同時に同じ評価枠内におけるBPF110の出力を入力して、信号レベルのピーク値を検出し保持する。このピーク・ホールド回路112は、第1のクロック発生器123から出力されるA/Dクロック信号によって駆動される。

【0029】

AF評価回路113は積分回路111、ピーク・ホールド回路112からそれぞれ積分結果、ピーク値の評価値を読みだし、その特性を判断してモータ制御回路120にモータ制御信号を出力する。

【0030】

図5に、フォーカスレンズ位置とAF評価値との変化の関係グラフを示す。同図a)は、中・高域の輝度信号からAF用評価値を取得した場合を示し、同図b)は、LPF105においてLPFフィルタを掛けその後間引き回路107を通して水平画素を間引いた場合の低域の輝度信号からAF用評価値を取得した場合を示す。

【0031】

この図から解るように、LPF105にてLPFフィルタを掛けその後間引き回路107を通して水平画素を間引いた場合の低域輝度信号では、合焦位置をサーチするためのデータ精度が悪くなり、同時に合焦の精度も悪化する。しかしながら、本実施の形態では、水平画素を間引かずに低域の輝度信号からAF用評価値を取得するので、合焦位置をサーチするためのデータの精度も良好で、良好な合焦の精度を維持できる。

【0032】

積分回路111及びピーク・ホールド回路112から出力される評価値は、CCDの数H期間、もしくは1V期間毎に更新される。したがって、AF評価回路113をA/Dクロックより遅いクロックで駆動している際にもデータの欠損無く評価値を取得できる。モータ制御回路120は、入力されるモータ制御信号に応じてモータ121を駆動する。モータ121は、光学ブロック101に含まれるフォーカス・レンズを移動させる。

【0033】

静止画の記録を行う際には、LPF105におけるフィルタ係数を図6に示すように設定することによりスルー動作を行い、また間引き回路107で水平間引きを行わずにCCD10

10

20

30

40

50

2からのデータを取り込み信号処理回路108でYcrCb信号に変換し、かつ記録フォーマット、例えばJPEG圧縮フォーマット、に変換したのちI/F回路114を通じて記録媒体115に記録を行う。

【0034】

CCD112が例えばインタライン型のようにデータを取り込みながら信号処理が行えない場合には、間引き回路107の出力を一旦MEMROY CONTROLLER116経由でメモリ117に書き込み、その後、メモリ117からMEMORY CONTROLLER116経由で読み出し信号処理回路108でYcrCb信号に変換し、かつ記録フォーマット、例えばJPEG圧縮フォーマット、に変換したのちI/F回路114を通じて記録媒体115に記録を行う。

【0035】

【発明の効果】

以上説明してきたように、撮像素子からの出力に基づいて画像表示を行う際においても、AF評価値は間引き前の信号に基づいて演算されるため、AF評価値を早いタイミングで取得することが可能であり、かつ精度の高いAF評価値を取得することができる。

【図面の簡単な説明】

【図1】本発明の実施の形態の構成を示し、電子スチルカメラの構成例を説明するブロック図である。

【図2】実施の形態のローパス・フィルタでの演算回路の構成を示すブロック図である。

【図3】間引き回路の動作を示すタイミングを示す図である。

【図4】Y信号作成回路の一例を示すブロック図である。

【図5】フォーカスレンズ位置とAF評価値との変化の関係グラフを示す特性図である。

【図6】フィルタ係数の他の設定例を示す演算回路の構成を示すブロック図である。

【符号の説明】

- 101 光学ブロック
- 102 CCD
- 103 CDS回路
- 104 A/D変換器
- 105 ローパス・フィルタ
- 107 間引き回路
- 108 信号処理回路
- 109 Y信号作成回路
- 110 ハイパス・フィルタ(HPF)
- 111 積分回路
- 112 ピーク・ホールド回路
- 113 AF評価回路
- 114 インターフェイス(I/F)回路
- 115 記録媒体
- 120 モータ制御回路
- 121 モータ
- 123 第1のクロック発生器
- 124 第2のクロック発生器
- 125 ゲート回路

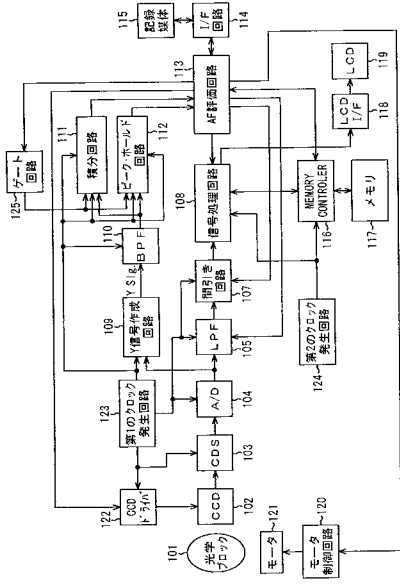
10

20

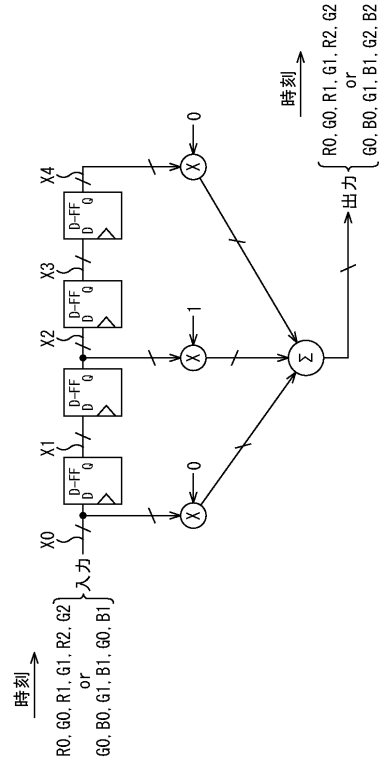
30

40

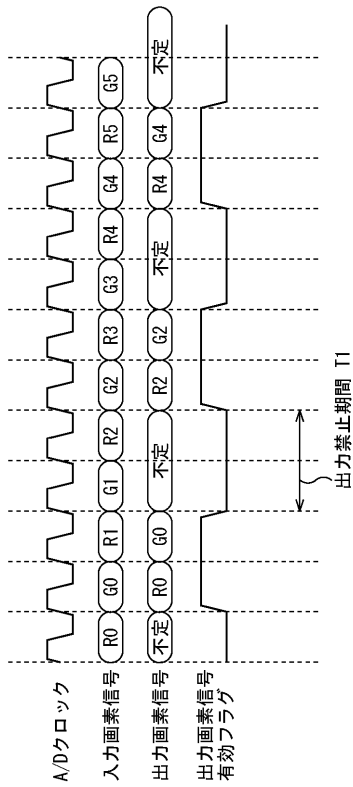
【図1】



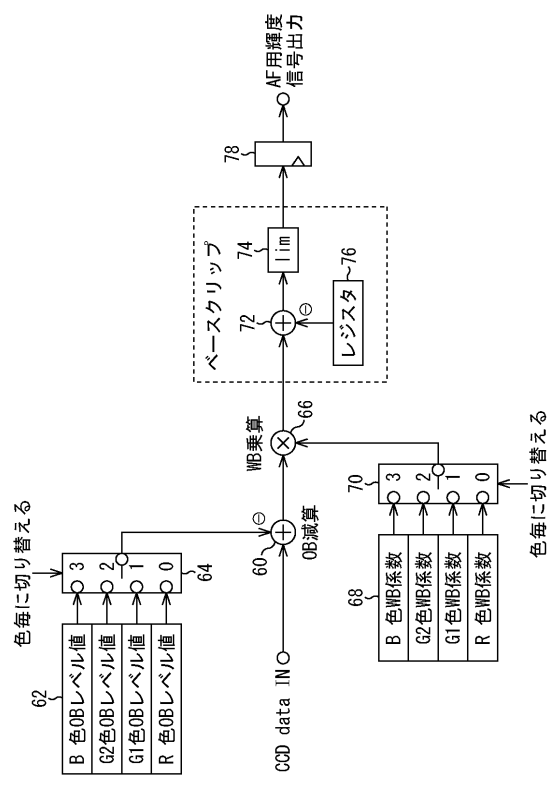
【図2】



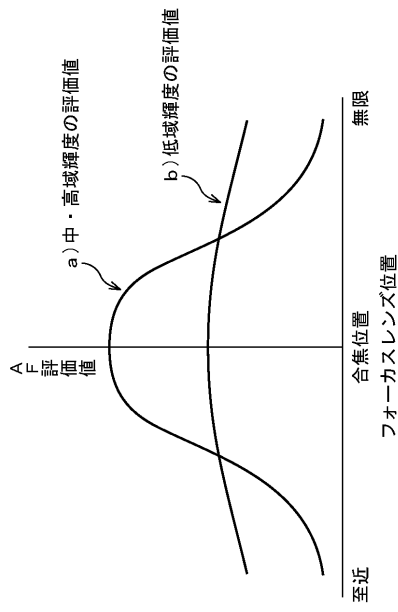
【図3】



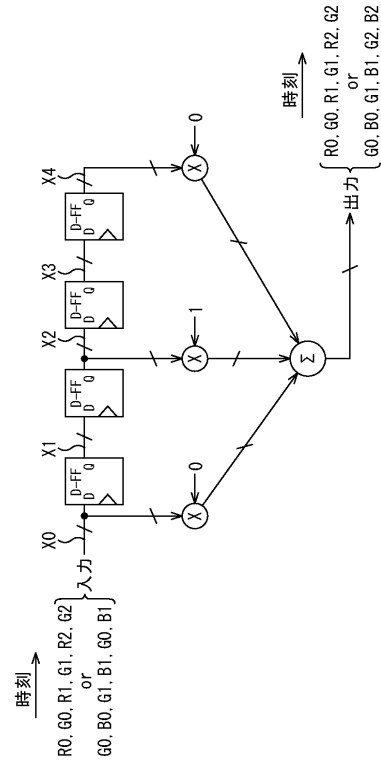
【図4】



【 図 5 】



【 図 6 】



フロントページの続き

(51)Int.Cl. F I
H 0 4 N 5/335 (2006.01) H 0 4 N 5/335 Z
H 0 4 N 101/00 (2006.01) H 0 4 N 101:00

審査官 菅原 道晴

(56)参考文献 特開2000-224604(JP,A)
特開2001-211408(JP,A)
特開平11-341331(JP,A)
特開2000-134525(JP,A)
特開2001-333162(JP,A)
特開2000-307931(JP,A)
特開2000-101880(JP,A)
特開2000-059656(JP,A)
特開平09-093470(JP,A)
特開平03-175784(JP,A)
特開2002-057937(JP,A)
特開2000-069418(JP,A)

(58)調査した分野(Int.Cl., DB名)

H04N 5/222-5/257
G02B 7/28
G02B 7/36
G03B 13/36
H04N 5/335
H04N 101/00