

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5111196号
(P5111196)

(45) 発行日 平成24年12月26日(2012.12.26)

(24) 登録日 平成24年10月19日(2012.10.19)

(51) Int.Cl.	F 1
HO1L 29/786 (2006.01)	HO1L 29/78 618C
G09F 9/30 (2006.01)	HO1L 29/78 612C
HO1L 27/32 (2006.01)	GO9F 9/30 338
HO5B 33/08 (2006.01)	GO9F 9/30 365Z
HO1L 51/50 (2006.01)	HO5B 33/08

請求項の数 10 (全 28 頁) 最終頁に続く

(21) 出願番号	特願2008-87530 (P2008-87530)	(73) 特許権者 000153878 株式会社半導体エネルギー研究所 神奈川県厚木市長谷398番地
(22) 出願日	平成20年3月28日 (2008.3.28)	
(62) 分割の表示	特願2002-10766 (P2002-10766) の分割	(72) 発明者 宇田川 誠 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内
原出願日	平成14年1月18日 (2002.1.18)	(72) 発明者 早川 昌彦 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内
(65) 公開番号	特開2008-235912 (P2008-235912A)	(72) 発明者 小山 潤 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内
(43) 公開日	平成20年10月2日 (2008.10.2)	(72) 発明者 納 光明 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内
審査請求日	平成20年4月24日 (2008.4.24)	
(31) 優先権主張番号	特願2001-344671 (P2001-344671)	
(32) 優先日	平成13年11月9日 (2001.11.9)	
(33) 優先権主張国	日本国 (JP)	

最終頁に続く

(54) 【発明の名称】半導体装置

(57) 【特許請求の範囲】

【請求項 1】

画素電極に電気的に接続される TFT と、
ソース配線と、前記ソース配線に直交するゲート配線と、前記ソース配線と平行で、前記 TFT と電気的に接続される電源供給線とを有する半導体装置であって、

前記 TFT は、チャネル形成領域を有する半導体層を有し、

前記ソース配線と隣合うソース配線との間には、前記画素電極と前記電源供給線とを有し、

前記チャネル形成領域は、前記電源供給線と、前記隣合うソース配線とに重なり、かつ前記電源供給線と、前記隣合うソース配線とは重ならないように配置され、

前記 TFT のチャネル長 L に対するチャネル幅 W の比が 0.1 ~ 0.01 であることを特徴とする半導体装置。

【請求項 2】

画素電極に電気的に接続される TFT と、
ソース配線と、前記ソース配線に直交するゲート配線と、前記ソース配線と平行で、前記 TFT と電気的に接続される電源供給線とを有する半導体装置であって、

前記 TFT は、チャネル形成領域を有する半導体層を有し、

前記ソース配線と隣合うソース配線との間には、前記画素電極と前記電源供給線とを有し、

前記チャネル形成領域は、前記電源供給線と、前記隣合うソース配線とに重なり、かつ

10

20

前記電源供給線と、前記隣合うソース配線とは重ならないように配置され、

前記TFTのチャネル長Lが $100\mu\text{m}$ 以上であることを特徴とする半導体装置。

【請求項3】

画素電極に電気的に接続されるTFTと、

ソース配線と、前記ソース配線に直交するゲート配線と、前記ソース配線と平行で、前記TFTと電気的に接続される電源供給線とを有する半導体装置であって、

前記TFTは、チャネル形成領域を有する半導体層を有し、

前記ソース配線と隣合うソース配線との間には、前記画素電極と前記電源供給線とを有し、

前記チャネル形成領域は、前記電源供給線と、前記隣合うソース配線とに重なり、かつ前記電源供給線と、前記隣合うソース配線とは重ならないように配置され、

前記TFTは飽和領域で動作することができる特徴とする半導体装置。

【請求項4】

請求項1乃至3のいずれか一において、前記TFTは、ソースドレイン間電圧 V_d としきい値電圧 V_{th} との和がゲート電圧 V_g より大きい範囲でチャネルコンダクタンス g_d が $0 \sim 1 \times 10^{-8}\text{S}$ であることを特徴とする半導体装置。

【請求項5】

請求項1乃至3のいずれか一において、前記TFTは、ソースドレイン間電圧 V_d としきい値電圧 V_{th} との和がゲート電圧 V_g より大きい範囲でチャネルコンダクタンス g_d が $0 \sim 5 \times 10^{-9}\text{S}$ であることを特徴とする半導体装置。

【請求項6】

請求項1乃至3のいずれか一において、前記TFTは、ソースドレイン間電圧 V_d としきい値電圧 V_{th} との和がゲート電圧 V_g より大きい範囲でチャネルコンダクタンス g_d が $0 \sim 2 \times 10^{-9}\text{S}$ であることを特徴とする半導体装置。

【請求項7】

請求項1乃至6のいずれか一において、前記TFTは、pチャネル型TFTまたはnチャネル型TFTであることを特徴とする半導体装置。

【請求項8】

請求項1乃至7のいずれか一において、前記TFTのチャネル形成領域は、前記ゲート配線方向に蛇行させた形状であることを特徴とする半導体装置。

【請求項9】

請求項1乃至7のいずれか一において、前記TFTのチャネル形成領域は、前記ソース配線方向に蛇行させた形状であることを特徴とする半導体装置。

【請求項10】

請求項1乃至7のいずれか一において、前記TFTのチャネル形成領域は、矩形形状であることを特徴とする半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

半導体装置に関し、特に、絶縁表面を有する基板上に形成された有機発光素子(OLED:Organic Light Emitting Device)を有する発光装置に関する。また、該OLEDパネルにコントローラを含むIC等を実装した、OLEDモジュールに関する。なお本明細書において、OLEDパネル及びOLEDモジュールを共に発光装置と総称する。本発明はさらに、該発光装置を用いた電子機器に関する。

【0002】

なお、本明細書において半導体装置とは、半導体特性を利用して機能しうる装置全般を指し、発光装置、電気光学装置、半導体回路および電子機器は全て半導体装置である。

【背景技術】

【0003】

10

20

30

40

50

近年、基板上にTFT（薄膜トランジスタ）を形成する技術が大幅に進歩し、アクティブマトリクス型表示装置への応用開発が進められている。特に、ポリシリコン膜を用いたTFTは、従来のアモルファスシリコン膜を用いたTFTよりも電界効果移動度（モビリティともいう）が高いので、高速動作が可能である。

そのため、ポリシリコン膜を用いたTFTからなる駆動回路を画素と同一の基板上に設け、各画素の制御を行うための開発が盛んに行われている。同一基板上に画素と駆動回路とを組み込んだアクティブマトリクス型表示装置は、製造コストの低減、表示装置の小型化、歩留まりの上昇、スループットの低減など、様々な利点が得られると予想される。

【0004】

また、自発光型素子としてOLEDを有したアクティブマトリクス型発光装置（以下、単に発光装置と呼ぶ）の研究が活発化している。発光装置は有機発光装置（OLED：Organic EL Display）又は有機ライトエミッティングダイオード（OLED：Organic Light Emitting Diode）とも呼ばれている。

【0005】

OLEDは自ら発光するため視認性が高く、液晶表示装置（LCD）で必要なバックライトが要らず薄型化に最適であると共に、視野角にも制限が無い。そのため、OLEDを用いた発光装置は、CRTやLCDに代わる表示装置として注目されている。

【発明の開示】

【発明が解決しようとする課題】

【0006】

OLEDを用いた発光装置の一つの形態として、各画素毎に複数のTFTを設け、ビデオ信号を順次書き込むことにより画像を表示するアクティブマトリクス駆動方式が知られている。TFTはアクティブマトリクス駆動方式を実現する上で、必須の素子となっている。

【0007】

加えて、アクティブマトリクス駆動方式を実現する上で、OLEDを用いた発光装置においては、TFTでOLEDに流す電流を制御するため、電界効果移動度の低い非晶質シリコンを用いたTFTでは実現が困難であり、結晶構造を有する半導体膜、代表的にはポリシリコンを用いたTFTをOLEDに接続するTFTとして採用することが望ましい。

【0008】

結晶構造を有する半導体膜、代表的にはポリシリコン膜でTFTを形成し、同一基板上に画素と駆動回路とを組み込むことで、接続端子の数は激減し、額縁領域（画素部の周辺部分の領域）の面積も縮小させることもできる。

【0009】

しかし、ポリシリコンを用いてTFTを形成しても、その電気的特性は所詮、単結晶シリコン基板に形成されるMOSトランジスタの特性に匹敵するものではない。例えば、従来のTFTの電界効果移動度は単結晶シリコンの1/10以下である。また、ポリシリコンを用いたTFTは、結晶粒界に形成される欠陥に起因して、その特性にばらつきが生じやすいといった問題点を有している。

【0010】

一般的に発光装置は、少なくとも、スイッチング素子として機能するTFTと、OLEDに電流を供給するTFTとが、各画素に設けられている。スイッチング素子として機能するTFTには低いオフ電流（ I_{off} ）が求められている一方、OLEDに電流を供給するTFTには、高い駆動能力（オン電流、 I_{on} ）及びホットキャリア効果による劣化を防ぎ信頼性を向上させることが求められている。

また、データ線側駆動回路のTFTも、高い駆動能力（オン電流、 I_{on} ）及びホットキャリア効果による劣化を防ぎ信頼性を向上させることが求められている。

【0011】

また、画面表示の駆動方法、例えば、点順次駆動方法や線順次駆動方法や面順次駆動方法などの駆動方法によらず、OLEDと電気的に接続され、且つ、OLEDに電流を供給す

10

20

30

40

50

る TFT のオン電流 (I_{on}) で画素の輝度が決定されるため、全面白表示とした場合、オン電流が一定でなければ輝度にバラツキが生じてしまうという問題がある。例えば、発光時間によって輝度を調節する場合、64階調の表示を行った場合、OLEDと電気的に接続され、且つ、OLEDに電流を供給する TFT のオン電流がある基準値から 1.56% (= 1/64) ばらつくと 1 階調ずれることになってしまう。

【0012】

また、OLEDを形成した場合において、EL層のパターニングのずれやEL層の膜厚の不均一によって基板内バラツキが生じる場合があり、僅かながらも輝度のバラツキが生じている。

【0013】

本発明は、上記問題点を鑑みてなされたものであり、各 TFT の特性バラツキを低減し、輝度のバラツキを低減することを課題としている。また、TFT の特性バラツキに関係しないOLEDのバラツキをも低減し、輝度のバラツキを低減することも課題としている。

【0014】

また、従来のアクティブマトリクス型の発光装置において、解像度を向上させようとすると画素部における保持容量のための電極及び保持容量用の配線、TFT、及び各種配線等の配置により開口率が制限されるという問題が生じていた。

本発明は、画素部における開口率を向上させる画素構成を提供することも課題としている。

【課題を解決するための手段】

【0015】

TFT の特性において、代表的な指標として V-I 特性グラフが知られている。この V-I 特性グラフにおける立ちあがりが急峻なところ（立ちあがり点とも言う）でもっとも電流値が変化する。従って、OLED に供給する電流を TFT で制御する場合、立ちあがり点がばらついてしまうと、OLED に電流を供給する TFT の電流値が大きく変化してしまっていた。

【0016】

なお、立ちあがり点での電圧値は、しきい値 (V_{th}) と呼ばれ、TFT がオン状態に切り替わる電圧値である。また、一般的には V_{th} はゼロに近ければ近いほどよいとされており、 V_{th} の値が大きいと駆動電圧の増加、消費電力の増加を招くとされている。

【0017】

TFT の電流値におけるバラツキには 2 種類あり、具体的には、電流値の単純なバラツキ 3 と、ある個数の TFT の集合における電流値の中央値（平均値）に対するバラツキ（本明細書中ではこのバラツキを規格化したバラツキとも呼ぶ）とがある。

【0018】

本発明者は、後者のバラツキが、ゲート電圧値 (V_g) に強く依存する傾向があることを見出した。図 3 に様々なチャネル長 (5 μm, 10 μm, 20 μm, 50 μm, 100 μm, 200 μm, 400 μm) の p チャネル型 TFT (チャネル幅 $W = 8 \mu m$) における V_g と規格化したバラツキとの関係を示す。また、図 4 に様々なチャネル長の n チャネル型 TFT (チャネル幅 $W = 8 \mu m$) における V_g と規格化したバラツキとの関係を示す。

【0019】

以下に、TFT の実測値データを用いて本発明を詳細に説明する。

【0020】

OLED に電流を供給する TFT のチャネル長が長くなると、電流値が小さくなり単純なバラツキ 3 は減少する。図 11 は、 V_d を -7 V、 V_g を -3.25 V とし、チャネル幅を 8 μm に固定して、チャネル長をそれぞれ 50 μm, 100 μm, 200 μm, 400 μm とした TFT を作製し、それぞれの TFT について、オン電流のバラツキと、規格化したバラツキを測定したグラフである。

10

20

30

40

50

しかし、図11に示すように、チャネル長を長くするだけでは電流値が減少するだけで、ある個数のTFTの集合における電流値の中央値に対するバラツキ（規格化したバラツキ）は変化しない。

【0021】

そこで、本発明は、従来よりもチャネル長を十倍以上もしくは数百倍とし、格段に高いゲート電圧値でオン状態となるようにTFTを設計し、さらに外部から入力するゲート電圧を設定し、駆動させることでバラツキを低下させるものである。

【0022】

ここで、 V_d を-7Vとし、チャネル幅を8 μm に固定して、チャネル長を50 μm としたTFTは、 V_g を-3Vとしてオン電流のバラツキと、規格化したバラツキをそれぞれ測定した。以降、同様にして、チャネル長を100 μm としたTFTは、 V_g を-3.75Vとして測定し、チャネル長を200 μm としたTFTは、 V_g を-3.75Vとして測定し、チャネル長を400 μm としたTFTは、 V_g を-5.75Vとして測定した。これらの測定結果を示したのが図2である。

10

【0023】

図2に示したように、格段にチャネル長の長いTFTとしてゲート電圧値(V_g)を大きくすればするほど、単純なオン電流のバラツキだけでなく、規格化したバラツキをも減少させることができる。ここでは、 V_g を大きくするためにチャネル長の長いTFTとしたが、特に限定されず、例えば、 V_g を大きくするために設計の許容範囲内でチャネル幅Wを短くしてもよいし、TFTのソース領域またはドレイン領域を高抵抗化させてもよいし、コンタクト抵抗を高抵抗化させてもよい。

20

【0024】

また、本発明は、従来のものに比べて格段にチャネル長の長いTFT、具体的には従来よりも数十倍～数百倍長いチャネル長とし、従来よりも格段に高いゲート電圧値でオン状態として駆動させ、チャネルコンダクタンス g_d の低いTFTを提供する。図1は、図2と対応するデータであり、図2のデータと同じ条件(V_g 、チャネル幅、チャネル長など)における各TFTのチャネルコンダクタンス g_d を示すグラフである。

【0025】

本発明は、OLEDに電流を供給するTFTをソースドレイン間電圧 V_d としきい値電圧 V_{th} との和がゲート電圧 V_g より大きい範囲、即ち $V_g < (V_d + V_{th})$ の範囲におけるチャネルコンダクタンス g_d が $0 \sim 1 \times 10^{-8} S$ 、好ましくは $5 \times 10^{-9} S$ 以下、さらに好ましくは $2 \times 10^{-9} S$ 以下であるTFTとすることによって、該TFTに流れる電流値のバラツキを低減し、OLEDにある一定の電流値を流すことを特徴とするものである。

30

【0026】

加えて、チャネルコンダクタンス g_d を小さくすることによって、パターニングや熱処理によるEL層の面積収縮などが原因となっているOLED自体のバラツキも低減することができる。また、チャネルコンダクタンス g_d を小さくすることによって、何らかの原因でOLEDが劣化してもOLEDに流れる電流を一定に保つことができ、一定の輝度を保持することができる。図12に $I_d - V_d$ 曲線とOLEDの負荷曲線とを示した。チャネルコンダクタンス g_d は、 $I_d - V_d$ 曲線の傾きを示しており、チャネルコンダクタンス g_d を小さくすればするほど、 $I_d - V_d$ 曲線の傾きが小さくなつて電流値がほぼ一定となる。図12において、OLEDの負荷曲線は、 $V_g = -3.3 V$ とし、OLEDと接続するpチャネル型TFTを飽和領域で駆動させた時、OLEDに印加される電流値と V_d との関係を示す曲線である。例えば、- V_d が-17Vであった時、カソード側の電圧が-17VであるのでOLEDに印加される電圧は、0Vである。従つて、OLEDに印加される電流値もゼロとなる。また、 $I_d - V_d$ 曲線とOLEDの負荷曲線との交点での電流値が輝度に相当する。図12において、 g_d が小さい場合、- V_d が-7Vであった時に交点があり、その時にOLEDに印加される電流値は $1 \times 10^{-6} [A]$ であり、この電流値に応じた輝度の発光が得られる。 g_d が小さい場合、OLEDの負荷曲線が左側また

40

50

は右側にシフトしても、電流値はほとんど変化しないため、均一な輝度が得られる。また、個々のOLED自体がばらついていれば、OLEDの負荷曲線は右側または左側にシフトする。

また、OLEDが劣化すると、OLEDの負荷曲線は左側にシフトする。g d が大きい場合、劣化によりOLEDの負荷曲線が左側にシフトして点線で示した曲線となると、OLEDの負荷曲線との交点が変化して劣化前後で電流値が異なってしまう。一方、g d が小さい場合、劣化によりOLEDの負荷曲線が左側にシフトしても、電流値はほとんど変化しないため、輝度のバラツキが低減され、均一な輝度が得られる。

【0027】

ここでは、チャネルコンダクタンス g d を低下させるために、チャネル長を長くし、従来よりも格段に高いゲート電圧値でオン状態として駆動させているが、他の手段によってさらにチャネルコンダクタンス g d を低下させてもよい。例えば、チャネルコンダクタンス g d を低下させる他の手段は、TFTをLDD構造としてもよいし、チャネル形成領域を分割して複数に分けてもよい。

【0028】

従来、液晶パネルに使用されている画素のnチャネル型TFTサイズは、チャネル長 L × チャネル幅 W = 12 μm × 4 μm や、L × W = 12 μm × 6 μm などが使用されていた。一般的に開口率を向上させるために画素のTFTが占める面積、即ち占有面積は小さければ小さいほどよいとされていた。従って、チャネル長を 100 μm 以上にすることは想到しえないものであった。また、図4に示すようにチャネル長が 5 μm や 10 μm である場合、Vg が 8 V ~ 10 V において最もバラツキが少なくなっている、10 V 以上になるとバラツキが増加する傾向が見られる。従って、チャネル長を 100 μm 以上とした場合、Vg が大きくなればなるほどバラツキが低減することは想到しえないものであった。

【0029】

また、チャネル長を 100 μm 以上とする場合、半導体層の形状としては様々な形状が考えられるが、その代表例として、図6に示したように半導体層 102 を X 方向に蛇行させた形状（本明細書では A タイプ[®] と呼ぶ）や、図13（A）に示したように半導体層 1102 を Y 方向に蛇行させた形状（本明細書では B タイプ[®] と呼ぶ）や、図13（B）に示したような矩形形状（半導体層 1202 ）を示した。

【0030】

また、チャネル長を長くすることにより、TFTを形成する工程の一つとしてレーザー光の照射処理を行う場合、そのレーザー光のバラツキも低減することができる。それぞれ TFT サイズ及び半導体層形状を L × W = 87 μm × 7 μm (矩形形状) 、 L × W = 165 μm × 7 μm (矩形形状) 、 L × W = 88 μm × 4 μm (矩形形状) 、 L × W = 165 μm × 4 μm (矩形形状) 、 L × W = 500 μm × 4 μm (A タイプ[®]) 、 L × W = 500 μm × 4 μm (B タイプ[®]) とし、さらにレーザー光の走査速度を 1 mm / sec 、 0.5 mm / sec とした条件でそれぞれ TFT を作製し、TFT サイズ及び半導体層形状と、TFT のオン電流のバラツキ (3) との関係を求める実験を行った。ここでは、レーザー光を照射してポリシリコンの結晶性を高めている。図18にゲート電圧 Vg = -5 V 、 Vd = -6 V とした時の実験結果を示し、図19にゲート電圧 Vg = -10 V 、 Vd = -6 V とした時の実験結果を示す。なお、図18および図19中にオン電流値の中央値 (μA) も示した。さらに、TFT サイズ及び半導体層形状と、TFT のしきい値 (Vth) のバラツキ (3) との関係を求め、図20に示した。

【0031】

図18及び図19から、チャネル長 L が長ければ長いほど、オン電流のバラツキが低減する傾向にあることが読み取れる。レーザーの走査速度は、1 mm / sec よりも 0.5 mm / sec としたほうが、レーザー光のバラツキが低減しており、チャネル長 L を長くすればするほど、異なるレーザーの走査速度でのバラツキの差が低減されている。即ち、チャネル長 L を長くすればするほど、レーザー光のバラツキが低減されると言える。また、最もバラツキが低減しているものが L × W = 500 μm × 4 μm であり、さらに、B タイプ

10

20

30

40

50

° よりも A タイプ° のほうがオン電流のバラツキが少ないことが読み取れる。

【0032】

以上のことから、図18及び図19より、OLEDに電流を供給するTFTを飽和領域に達するまでの電圧範囲で動作させる駆動方法とした発光装置の輝度のバラツキを低減することができると言える。

【0033】

また、TFTに流れる電流値を一定として比較した場合、チャネル幅Wは小さいほうが好ましい。図21に電流値を一定 ($I_d = 0.5 \mu A$)とした場合のバラツキを示すグラフを示す。図21より、OLEDに電流を供給するTFTを飽和領域で動作させる駆動方法とした発光装置の輝度のバラツキを低減することができると言える。また、同様に、最もバラツキが低減しているものが $L \times W = 500 \mu m \times 4 \mu m$ であり、さらに、Bタイプ° よりも A タイプ° のほうがオン電流のバラツキが少ないことが読み取れる。

【0034】

また、図20においても、チャネル長Lが長ければ長いほど、TFTのしきい値 (V_{th}) のバラツキが低減する傾向にあることが読み取れる。

【0035】

また、チャネル長Lが長ければ長いほど、しきい値及びオン電流の両方のバラツキ、即ちTFTの電気特性が低減していることから、レーザー光のバラツキ低減だけでなくそれ以外のプロセス上のバラツキをも低減していると言える。

【0036】

また、OLEDを有する発光装置においても、画素に配置するTFTの占有面積が小さければ小さいほどよいとされていた。従来のTFTサイズは小さいため、個々のTFT特性におけるバラツキが大きく、表示装置において表示ムラの主な原因となっていた。

【0037】

OLEDに流れる電流をTFTで制御する場合、大きく分けて2通りの方法がある。具体的には、飽和領域と呼ばれる電圧範囲で電流を制御する方法と、飽和領域に達するまでの電圧範囲で電流を制御する方法がある。TFTは、図9に示すように、ある一定のゲート電圧 V_g を印加し、ソースドレイン間の電圧 V_d を除々に上げて流れる電流値を測定し、 $V_d - I_d$ 曲線を求める V_d がある値以上で電流値がほぼ一定となるグラフが得られる。本明細書では、 $V_d - I_d$ 曲線において、電流値がほぼ一定となる V_d の範囲を飽和領域と呼んでいる。

【0038】

本発明は、OLEDに電流を供給するTFTを飽和領域に達するまでの電圧範囲で動作させる場合においても有効であるが、特にOLEDに電流を供給するTFTを飽和領域で動作させ、OLEDに流れる電流を一定に保つ駆動方法であればバラツキを低減する効果が顕著に見られる。

【0039】

また、図3、図4に示したようにnチャネル型TFTよりもバラツキが低減されているpチャネル型TFTにOLEDに電流を供給するTFT用いることが好ましいが、本発明は、OLEDに電流を供給するTFTがnチャネル型TFTであってもpチャネル型TFTであってもよい。例えば、OLEDに電流を供給するTFTをpチャネル型TFTとする場合、図10(A)に示すような接続を行えばよい。また、例えば、OLEDに電流を供給するTFTをnチャネル型TFTとする場合、図10(B)に示すような接続を行えばよい。なお、図10(A)及び図10(B)では、OLEDに電流を供給するTFTのみを示したが、該TFTのゲート電極の先には複数のTFTなどからなる様々な回路を設けてもよく、特に限定されることは言うまでもない。

【0040】

本明細書で開示する発明の構成は、陰極と、該陰極に接する有機化合物層と、該有機化合物層に接する陽極とを有する発光素子を有する発光装置であって、前記発光素子に接続されるTFTのチャネル長Lが $100 \mu m$ 以上、好ましくは $100 \mu m \sim 500 \mu m$ である

10

20

30

40

50

ことを特徴とする発光装置である。

【0041】

上記構成において、前記TFTのチャネル長Lに対するチャネル幅Wの比が0.1~0.01であることを特徴としている。

【0042】

また、本明細書で開示する他の発明の構成は、陰極と、該陰極に接する有機化合物層と、該有機化合物層に接する陽極とを有する発光素子を有する発光装置であって、前記発光素子に接続されるTFTのチャネル長Lに対するチャネル幅Wの比が0.1~0.01であることを特徴とする発光装置である。

【0043】

また、上記各構成において、前記発光素子に接続されるTFTは、ソースドレイン間電圧Vdとしきい値電圧Vthとの和がゲート電圧Vgより大きい範囲でチャネルコンダクタンスgdが0~1×10⁻⁸S、好ましくは0~5×10⁻⁹S、さらに好ましくは0~2×10⁻⁹Sであることを特徴としている。

【0044】

また、本明細書で開示する他の発明の構成は、陰極と、該陰極に接する有機化合物層と、該有機化合物層に接する陽極とを有する発光素子を有する発光装置であって、前記発光素子に接続されるTFTは、ソースドレイン間電圧Vdとしきい値電圧Vthとの和がゲート電圧Vgより大きい範囲でチャネルコンダクタンスgdが0~2×10⁻⁹Sであることを特徴とする発光装置である。

10

【0045】

また、上記各構成において、前記発光素子に接続されるTFTは、pチャネル型TFTまたはnチャネル型TFTであることを特徴としている。

【0046】

なお、本明細書中でチャネル形成領域と呼んでいる領域は、キャリア（電子・ホール）が流れる部分（チャネルとも呼ばれる）を含む領域を指しており、キャリアが流れる方向におけるチャネル形成領域の長さをチャネル長と呼び、幅をチャネル幅と呼んでいる。

20

【0047】

また、本明細書では、チャネルコンダクタンスgdは、チャネルの導電性を指しており、以下に示す式で表すことができる。

30

【0048】

ここで、Lはチャネル長、Wはチャネル幅、Vgはゲート電圧、Vthはしきい値電圧、 μ_n は移動度、 C_{ox} は酸化膜容量を指している。TFTにおいて、VgがVth以上になるとチャネルのコンダクタンスが生じ始める。

【0049】

加えて、チャネル長Lを長くした場合、酸化膜容量 C_{ox} が大きくなるため、その容量の一部をOLEDの保持容量として利用することができる。従来、1画素毎に保持容量を形成するために保持容量を形成するスペースが必要となり、容量線や容量電極などを設けていたが、本発明の画素構成とすることで容量線や容量電極を省略することができる。また、酸化膜容量 C_{ox} で保持容量を形成する場合、保持容量は、ゲート絶縁膜を誘電体としてゲート電極と、ゲート絶縁膜を介してゲート電極と重なる半導体（チャネル形成領域）とで形成される。従って、TFTのチャネル長を長くしても、図5に示すようにTFTの半導体層102をゲート電極の上層に配置される電源供給線106やソース配線の下方に配置すれば、開口率を下げるこなく画素設計することができる。即ち、本発明の画素構成とすることで、容量電極や容量配線を形成するスペースを省略しても十分な保持容量を備えることができ、さらに開口率を上げることができる。

40

【0050】

なお、図18~図19のTFTサイズおよび半導体層形状において、酸化膜容量 C_{ox} は、それぞれL×W=87μm×7μm（矩形形状）の場合において192（fF）、L×W=165μm×7μm（矩形形状）の場合において364.5（fF）、L×W=88

50

$\mu\text{m} \times 4 \mu\text{m}$ (矩形形状) の場合において 111.1 (fF) 、 $L \times W = 165 \mu\text{m} \times 4 \mu\text{m}$ (矩形形状) の場合において 208.3 (fF) 、 $L \times W = 500 \mu\text{m} \times 4 \mu\text{m}$ (A タイプ[°]) の場合において 631.3 (fF)

、 $L \times W = 500 \mu\text{m} \times 4 \mu\text{m}$ (B タイプ[°]) の場合において 631.3 (fF) である。また、酸化膜容量 C_{ox} を求める際の他の値としては、ゲート絶縁膜 (酸化膜) の膜厚 $T_{\text{ox}} = 115 \text{ nm}$ 、 $\epsilon_0 = 8.8542 \times 10^{-12} (\text{F/m}^2)$ 、 $\epsilon_{\text{ox}} = 4.1$ とした。

【0051】

また、上記各構成において、前記発光素子に接続される TFT の容量 C_{ox} は、 100 fF 以上、好ましくは、 100 fF ~ 700 fF であることを特徴としている。

【0052】

また、上記各構成において、前記発光素子に接続される TFT のゲート電極と、その上の配線とで保持容量を形成することを特徴としている。具体的には、図 5 に示すように、ゲート電極 100 上に設けられた層間絶縁膜 (有機絶縁膜または無機絶縁膜) を誘電体として、ゲート電極 100 と、該ゲート電極と重なる電源供給線 106 とで容量を形成する。図 5 において、ゲート電極 100 と、該ゲート電極と重なる電源供給線 106 と重なる面積 ($12 \mu\text{m} \times 127 \mu\text{m} = \text{約 } 1524 \mu\text{m}^2$) は大きく、層間絶縁膜の膜厚及び誘電率にもよるが保持容量が形成される。このゲート電極 100 と電源供給線 106 との間で形成される容量は、全て E-L 素子の保持容量として機能させることができる。従って、望ましくは、前記発光素子に接続される TFT の容量 C_{ox} と、該 TFT のゲート電極と電流供給線との間で形成される容量との合計が数百 fF となるように適宜設計すればよい。

【0053】

なお、本明細書では、OLED の陽極と陰極の間に形成された全ての層を有機発光層と定義する。有機発光層には具体的に、発光層、正孔注入層、電子注入層、正孔輸送層、電子輸送層等が含まれる。基本的に OLED は、陽極 / 発光層 / 陰極が順に積層された構造を有しており、この構造に加えて、陽極 / 正孔注入層 / 発光層 / 陰極や、陽極 / 正孔注入層 / 発光層 / 電子輸送層 / 陰極等の順に積層した構造を有していることもある。

【0054】

OLED は、電場を加えることで発生するルミネッセンス (Electroluminescence) が得られる有機化合物 (有機発光材料) を含む層 (以下、有機発光層と記す) と、陽極と、陰極とを有している。有機化合物におけるルミネッセンスには、一重項励起状態から基底状態に戻る際の発光 (蛍光) と三重項励起状態から基底状態に戻る際の発光 (リン光) とがあるが、本発明の発光装置は、上述した発光のうちの、いずれか一方の発光を用いていても良いし、または両方の発光を用いていても良い。

【0055】

また、ここではトップゲート型 TFT を例として説明したが、TFT 構造に関係なく本発明を適用することが可能であり、例えばボトムゲート型 (逆スタガ型) TFT や順スタガ型 TFT に適用することが可能である。

【0056】

また、本発明の発光装置において、画面表示の駆動方法は特に限定されず、例えば、点順次駆動方法や線順次駆動方法や面順次駆動方法などを用いればよい。

代表的には、線順次駆動方法とし、時分割階調駆動方法や面積階調駆動方法を適宜用いればよい。また、発光装置のソース線に入力する映像信号は、アナログ信号であってもよいし、デジタル信号であってもよく、適宜、映像信号に合わせて駆動回路などを設計すればよい。

【発明の効果】

【0057】

本発明により、複数の TFT が配置される画素部において、OLED に電流を供給する TFT において、単純なオン電流のバラツキだけでなく、規格化したバラツキをも減少させることができ、OLED を有する表示装置において輝度のバラツキを格段に低減することができる。

10

20

30

40

50

【0058】

また、本発明により、レーザー光の照射条件などのTFT製造プロセスのバラツキが生じても、各TFT間の電気特性のバラツキを低減することができる。

【0059】

また、本発明により、各TFT間のバラツキ低減以外にも、パターニングや熱処理によるEL層の面積収縮などが原因となっているOLED自体のバラツキも低減することができる。

【0060】

また、本発明により、各TFT間のバラツキ低減以外にも、何らかの原因でOLEDが劣化してもOLEDに流れる電流を一定に保つことができ、一定の輝度を保持することができる。

10

【0061】

また、本発明により、TFTの容量C_{ox}の一部を保持容量として意図的に利用することができ、画素構造の簡略化および開口率の向上を図ることができる。

【発明を実施するための最良の形態】

【0062】

本発明の実施形態について、以下に説明する。

【0063】

図5は、OLEDを有する発光装置の画素部の一部を拡大した上面図である。

なお、図5では、簡略化のため、EL層は図示しておらず、OLEDの一方の電極（画素電極107）しか図示していない。

20

【0064】

図5において、半導体層101は、スイッチング用TFTの活性層となる層であり、ゲート配線105と重なる領域がチャネル形成領域、ソース配線104と接続する領域がソース領域（またはドレイン領域）、接続電極103と接続する領域がドレイン領域（またはソース領域）である。なお、スイッチング用TFTは、2つのチャネル形成領域を有するダブルゲート構造である。

【0065】

また、半導体層102は、OLEDに電流を供給するTFTの活性層となる層であり、ゲート電極100と重なる領域がチャネル形成領域である。OLEDに電流を供給するTFTのゲート電極100は、接続電極103と接続している。

30

また、OLEDに電流を供給するTFTのソース領域（またはドレイン領域）と電源供給線106とが接続され、OLEDに電流を供給するTFTのドレイン領域（またはソース領域）と接続電極108とが接続され、該接続電極108と接して画素電極107が形成されている。また、ゲート電極100の上方には、電源供給線106と、隣合う画素のソース配線とが一部重なるように配置されている。なお、半導体層102のうち、ゲート電極100とゲート絶縁膜を介して重なるチャネル形成領域の上方には、電源供給線106と、隣合う画素のソース配線とが一部重なるように配置されている。このゲート電極100と電源供給線106との間で形成される容量は、全てEL素子の保持容量として利用することができる。従って、このゲート電極100と電源供給線106との間で形成される容量で必要とされる保持容量をある程度確保することができる。

40

【0066】

また、図6は、図5に対応する上面図であり、半導体層101、102とゲート配線105、ゲート電極100を形成した段階での図である。半導体層102がゲート電極100とゲート絶縁膜（図示しない）を介して重なる領域、即ちチャネル形成領域を図6中の点線で示している。

【0067】

本発明は、OLEDに電流を供給するTFTのチャネル形成領域の長さ（チャネル長L）が格段に長いTFT（L = 100 μm ~ 500 μm、ここでは500 μm）とし、従来よりも格段に高いゲート電圧値でオン状態として駆動させ、チャネルコンダクタンスg_d

50

の低いTFT ($g_d = 0 \sim 1 \times 10^{-8} S$ 、好ましくは $5 \times 10^{-9} S$ 以下、ここでは $2 \times 10^{-9} S$ 以下) を提供することを特徴としている。

【0068】

上記構成とすることによって、図2に示すように、複数のTFTが配置される画素部において、OLEDに電流を供給するTFTにおいて、単純なオン電流のバラツキだけでなく、規格化したバラツキをも減少させることができ、OLEDを有する表示装置において輝度のバラツキを格段に低減することができる。

【0069】

また、本発明は、OLEDを駆動する方法として、飽和領域と呼ばれる電圧範囲でOLEDに流れる電流を制御する方法を採用した場合、極めて顕著な効果を有する。上記構成とすることによって、図12に示すように、各TFT間のバラツキ低減以外にも、OLED作製の際に生じるバラツキ(パターニングや熱処理によるEL層の面積収縮などが原因となっているOLED自体のバラツキ)も低減することができる。また、上記構成とすることによって、図12に示すように、各TFT間のバラツキ低減以外にも、何らかの原因でOLEDが劣化してもOLEDに流れる電流を一定に保つことができ、一定の輝度を保持することができる。

【0070】

また、本発明は、OLEDを駆動する方法として、飽和領域に達するまでの電圧範囲でOLEDに流れる電流を制御する方法でも有用である。

【0071】

なお、図5及び図6の上面図に限定されることは言うまでもない。図5及び図6では、TFTが形成されている基板を通過させて発光する発光装置(代表的には図14に示した発光装置)の一例を示したため、開口部は、画素電極107のうち、接続電極108が形成されていない領域となっており、開口部を広くするため、チャネル長Lの長いTFTは、電源供給線106やソース配線の下方に配置している。このチャネル長Lの長いTFTのゲート電極100と電源供給線106との間で形成される容量は、全てEL素子の保持容量として利用することもできる。また、図5及び図6とは逆方向に発光する発光装置(代表的には図15に示した発光装置)とする場合、開口部は、画素電極と同一領域となり、チャネル長Lの長いTFTを画素電極の下方に配置してもよく、 $500 \mu m$ 以上のさらに長いチャネル長Lを有するTFTを形成することができる。

【0072】

また、図5及び図6に示した画素構造とすれば、保持容量を形成するための容量部を形成しなくとも酸化膜容量Coxの一部を保持容量とすることができますが、1つの画素に保持容量やメモリ(SRAM、DRAMなど)を形成してもよい。

さらに1つの画素に複数(2個、または3個以上)のTFTや様々な回路(カレントミラーアンプなど)を組み込んだ構造としてもよい。

【0073】

また、ここではトップゲート型TFTを例として説明したが、TFT構造に関係なく本発明を適用することが可能であり、例えばボトムゲート型(逆スタガ型)TFTや順スタガ型TFTに適用することが可能である。

【0074】

以上の構成でなる本発明について、以下に示す実施例でもってさらに詳細な説明を行うこととする。

【実施例1】

【0075】

ここでは、同一基板上に画素部(n チャネル型TFT及び p チャネル型TFT)と、画素部の周辺に設ける駆動回路のTFT(n チャネル型TFT及び p チャネル型TFT)を同時に作製し、OLEDを有する発光装置を作製する作製方法について詳細に説明する。

【0076】

まず、厚さ0.7mmの耐熱性ガラス基板(第1の基板300)上にプラズマCVD法

10

20

30

40

50

により下地絶縁膜の下層 301 として、プラズマ CVD 法で成膜温度 400 、原料ガス SiH₄、NH₃、N₂O から作製される酸化窒化シリコン膜（組成比 Si = 32%、O = 27%、N = 24%、H = 17%）を 50 nm（好ましくは 10 ~ 200 nm）形成する。次いで、表面をオゾン水で洗浄した後、表面の酸化膜を希フッ酸（1 / 100 希釈）で除去する。次いで、下地絶縁膜の上層 302 として、プラズマ CVD 法で成膜温度 400 、原料ガス SiH₄、N₂O から作製される酸化窒化シリコン膜（組成比 Si = 32%、O = 59%、N = 7%、H = 2%）を 100 nm（好ましくは 50 ~ 200 nm）の厚さに積層形成し、さらに大気解放せずにプラズマ CVD 法で成膜温度 300 、成膜ガス SiH₄ で非晶質構造を有する半導体膜（ここではアモルファスシリコン膜）を 54 nm の厚さ（好ましくは 25 ~ 80 nm）で形成した。

10

【0077】

本実施例では下地絶縁膜 104 を 2 層構造として示したが、珪素を主成分とする絶縁膜の単層膜または 2 層以上積層させた構造として形成しても良い。また、半導体膜の材料に限定はないが、好ましくはシリコンまたはシリコンゲルマニウム（Si_xGe_{1-x} (X = 0.0001 ~ 0.02)）合金などを用い、公知の手段（スパッタ法、LPCVD 法、または plasma CVD 法等）により形成すればよい。また、プラズマ CVD 装置は、枚葉式の装置でもよいし、バッチ式の装置でもよい。また、同一の成膜室で大気に触れることなく下地絶縁膜と半導体膜とを連続成膜してもよい。

【0078】

次いで、非晶質構造を有する半導体膜の表面を洗浄した後、オゾン水で表面に約 2 nm の極薄い酸化膜を形成する。次いで、TFT のしきい値を制御するために微量な不純物元素（ボロンまたはリン）のドーピングを行う。ここでは、ジボラン（B₂H₆）を質量分離しないで plasma 励起したイオンドープ法を用い、ドーピング条件を加速電圧 15 kV、ジボランを水素で 1% に希釈したガスを流量 30 sccm とし、ドーズ量 2 × 10¹² / cm² で非晶質シリコン膜にボロンを添加した。

20

【0079】

次いで、重量換算で 10 ppm のニッケルを含む酢酸ニッケル塩溶液をスピナーで塗布した。塗布に代えてスパッタ法でニッケル元素を全面に散布する方法を用いてもよい。

【0080】

次いで、加熱処理を行い結晶化させて結晶構造を有する半導体膜を形成する。この加熱処理は、電気炉の熱処理または強光の照射を用いればよい。電気炉の熱処理で行う場合は、500 ~ 650 で 4 ~ 24 時間で行えばよい。ここでは脱水素化のための熱処理（500 、1 時間）の後、結晶化のための熱処理（550 、4 時間）を行って結晶構造を有するシリコン膜を得た。なお、ここでは炉を用いた熱処理を用いて結晶化を行ったが、短時間での結晶化が可能なランプアニール装置で結晶化を行ってもよい。なお、ここではシリコンの結晶化を助長する金属元素としてニッケルを用いた結晶化技術を用いたが、他の公知の結晶化技術、例えば固相成長法やレーザー結晶化法を用いてもよい。

30

【0081】

次いで、結晶構造を有するシリコン膜表面の酸化膜を希フッ酸等で除去した後、結晶化率を高め、結晶粒内に残される欠陥を補修するためのレーザー光（XeCl：波長 308 nm）の照射を大気中、または酸素雰囲気中で行う。レーザー光には波長 400 nm 以下のエキシマレーザ光や、YAG レーザの第 2 高調波、第 3 高調波を用いる。ここでは、繰り返し周波数 10 ~ 1000 Hz 程度のパルスレーザー光を用い、当該レーザー光を光学系にて 100 ~ 500 mJ/cm² に集光し、90 ~ 95% のオーバーラップ率をもって照射し、シリコン膜表面を走査させればよい。ここでは、繰り返し周波数 30 Hz 、エネルギー密度 470 mJ/cm² でレーザー光の照射を大気中で行なった。なお、大気中、または酸素雰囲気中で行うため、レーザー光の照射により表面に酸化膜が形成される。なお、ここではパルスレーザーを用いた例を示したが、連続発振のレーザーを用いてもよく、非晶質半導体膜の結晶化に際し、大粒径に結晶を得るためにには、連続発振が可能な固体レーザーを用い、基本波の第 2 高調波 ~ 第 4 高調波を適用するのが好ましい。代表的には、Nd:YVO₄ レーザ

40

50

-(基本波 1064 nm) の第 2 高調波 (532 nm) や第 3 高調波 (355 nm) を適用すればよい。連続発振のレーザーを用いる場合には、出力 10 W の連続発振の YVO₄ レーザーから射出されたレーザー光を非線形光学素子により高調波に変換する。また、共振器の中に YVO₄ 結晶と非線形光学素子を入れて、高調波を射出する方法もある。そして、好ましくは光学系により照射面にて矩形状または橍円形状のレーザー光に成形して、被処理体に照射する。このときのエネルギー密度は 0.01 ~ 100 MW / cm² 程度 (好ましくは 0.1 ~ 10 MW / cm²) が必要である。そして、10 ~ 2000 cm / s 程度の速度でレーザー光に対して相対的に半導体膜を移動させて照射すればよい。

【0082】

なお、ここではシリコンの結晶化を助長する金属元素としてニッケルを用いた熱結晶化を行った後にレーザー光を照射する技術を用いたが、ニッケルを添加することなく、連続発振のレーザー (YVO₄ レーザーの第 2 高調波) でアモルファスシリコン膜を結晶化させてもよい。

【0083】

次いで、レーザー光の照射により形成された酸化膜を希フッ酸で除去した後、オゾン水で表面を 120 秒処理して合計 1 ~ 5 nm の酸化膜からなるバリア層を形成する。ここではオゾン水を用いてバリア層を形成したが、酸素雰囲気下の紫外線の照射で結晶構造を有する半導体膜の表面を酸化する方法や酸素プラズマ処理により結晶構造を有する半導体膜の表面を酸化する方法やプラズマ CVD 法やスパッタ法や蒸着法などで 1 ~ 10 nm 程度の酸化膜を堆積してバリア層を形成してもよい。本明細書中、バリア層とは、ゲッタリング工程において金属元素が通過可能な膜質または膜厚を有し、且つ、ゲッタリングサイトとなる層の除去工程においてエッチングストッパーとなる層を指している。

【0084】

次いで、バリア層上にスパッタ法にてゲッタリングサイトとなるアルゴン元素を含む非晶質シリコン膜を 50 nm ~ 400 nm、ここでは膜厚 150 nm で形成する。ここでの成膜条件は、成膜圧力を 0.3 Pa とし、ガス (Ar) 流量を 50 (sccm) とし、成膜パワーを 3 kW とし、基板温度を 150 とした。なお、上記条件での非晶質シリコン膜に含まれるアルゴン元素の原子濃度は、 $3 \times 10^{20} / \text{cm}^3$ ~ $6 \times 10^{20} / \text{cm}^3$ 、酸素の原子濃度は $1 \times 10^{19} / \text{cm}^3$ ~ $3 \times 10^{19} / \text{cm}^3$ である。その後、電気炉を用いて 550 30 、4 時間の熱処理を行いゲッタリングして、結晶構造を有する半導体膜中のニッケル濃度を低減した。

電気炉に代えてランプアニール装置を用いてもよい。

【0085】

次いで、バリア層をエッチングストッパーとして、ゲッタリングサイトであるアルゴン元素を含む非晶質シリコン膜を選択的に除去した後、バリア層を希フッ酸で選択的に除去する。なお、ゲッタリングの際、ニッケルは酸素濃度の高い領域に移動しやすい傾向があるため、酸化膜からなるバリア層をゲッタリング後に除去することが望ましい。

【0086】

次いで、得られた結晶構造を有するシリコン膜 (ポリシリコン膜とも呼ばれる) の表面にオゾン水で薄い酸化膜を形成した後、レジストからなるマスクを形成し、所望の形状にエッチング処理して島状に分離された半導体層を形成する。半導体層を形成した後、レジストからなるマスクを除去する。

【0087】

次いで、フッ酸を含むエッチャントで酸化膜を除去すると同時にシリコン膜の表面を洗浄した後、ゲート絶縁膜 303 となる珪素を主成分とする絶縁膜を形成する。ここでは、プラズマ CVD 法により 115 nm の厚さで酸化窒化シリコン膜 (組成比 Si = 32%、O = 59%、N = 7%、H = 2%) で形成した。

【0088】

次いで、ゲート絶縁膜上に膜厚 20 ~ 100 nm の第 1 の導電膜と、膜厚 100 ~ 400 nm の第 2 の導電膜とを積層形成する。本実施例では、ゲート絶縁膜 303 上に膜厚 50

0 nmの窒化タンタル膜、膜厚370 nmのタングステン膜を順次積層し、以下に示す手順でパターニングを行って各ゲート電極及び各配線を形成する。

【0089】

第1の導電膜及び第2の導電膜を形成する導電性材料としてはTa、W、Ti、Mo、Al、Cuから選ばれた元素、または前記元素を主成分とする合金材料もしくは化合物材料で形成する。また、第1の導電膜及び第2の導電膜としてリン等の不純物元素をドーピングした多結晶シリコン膜に代表される半導体膜や、AgPdCu合金を用いてもよい。また、2層構造に限定されず、例えば、膜厚50 nmのタングステン膜、膜厚500 nmのアルミニウムとシリコンの合金(Al-Si)膜、膜厚30 nmの窒化チタン膜を順次積層した3層構造としてもよい。また、3層構造とする場合、第1の導電膜のタングステンに代えて窒化タングステンを用いてもよいし、第2の導電膜のアルミニウムとシリコンの合金(Al-Si)膜に代えてアルミニウムとチタンの合金膜(Al-Ti)を用いてもよいし、第3の導電膜の窒化チタン膜に代えてチタン膜を用いてもよい。また、単層構造であってもよい。

10

【0090】

上記第1の導電膜及び第2の導電膜のエッチャング(第1のエッチャング処理および第2のエッチャング処理)にはICP(Inductively Coupled Plasma: 誘導結合型プラズマ)エッチャング法を用いると良い。ICPエッチャング法を用い、エッチャング条件(コイル型の電極に印加される電力量、基板側の電極に印加される電力量、基板側の電極温度等)を適宜調節することによって所望のテーパー形状に膜をエッチャングすることができる。ここでは、レジストからなるマスクを形成した後、第1のエッチャング条件として1Paの圧力でコイル型の電極に700WのRF(13.56MHz)電力を投入し、エッチャング用ガスにCF₄とCl₂とO₂とを用い、それぞれのガス流量比を25/25/10(sccm)とし、基板側(試料ステージ)にも150WのRF(13.56MHz)電力を投入し、実質的に負の自己バイアス電圧を印加する。なお、基板側の電極面積サイズは、12.5cm×12.5cmであり、コイル型の電極面積サイズ(ここではコイルの設けられた石英円板)は、直径25cmの円板である。この第1のエッチャング条件によりW膜をエッチャングして端部をテーパー形状とする。この後、レジストからなるマスクを除去せずに第2のエッチャング条件に変え、エッチャング用ガスにCF₄とCl₂とを用い、それぞれのガス流量比を30/30(sccm)とし、1Paの圧力でコイル型の電極に500WのRF(13.56MHz)電力を投入してプラズマを生成して約30秒程度のエッチャングを行った。基板側(試料ステージ)にも20WのRF(13.56MHz)電力を投入し、実質的に負の自己バイアス電圧を印加する。CF₄とCl₂を混合した第2のエッチャング条件ではW膜及びTaN膜とも同程度にエッチャングされる。なお、ここでは、第1のエッチャング条件及び第2のエッチャング条件を第1のエッチャング処理と呼ぶこととする。

20

【0091】

次いで、レジストからなるマスクを除去せずに第2のエッチャング処理を行う。ここでは、第3のエッチャング条件としてエッチャング用ガスにCF₄とCl₂とを用い、それぞれのガス流量比を30/30(sccm)とし、1Paの圧力でコイル型の電極に500WのRF(13.56MHz)電力を投入してプラズマを生成してエッチャングを60秒行った。基板側(試料ステージ)にも20WのRF(13.56MHz)

30

電力を投入し、実質的に負の自己バイアス電圧を印加する。この後、レジストからなるマスクを除去せずに第4のエッチャング条件に変え、エッチャング用ガスにCF₄とCl₂とO₂とを用い、それぞれのガス流量比を20/20/20(sccm)とし、1Paの圧力でコイル型の電極に500WのRF(13.56MHz)電力を投入してプラズマを生成して約20秒程度のエッチャングを行った。基板側(試料ステージ)にも20WのRF(13.56MHz)電力を投入し、実質的に負の自己バイアス電圧を印加する。なお、ここでは、第3のエッチャング条件及び第4のエッチャング条件を第2のエッチャング処理と呼ぶこととする。この段階で第1の導電層304aを下層とし、第2の導電層304bを上層とするゲート電極304および各電極305～307が形成される。この段階で、画素の上面構造を、例えば、図

40

50

6 に示したものとすればよい。

【 0 0 9 2 】

次いで、レジストからなるマスクを除去した後、ゲート電極 304 ~ 307 をマスクとして全面にドーピングする第 1 のドーピング処理を行う。第 1 のドーピング処理はイオンドープ法、もしくはイオン注入法で行えば良い。イオンドープ法の条件はドーザ量を $1.5 \times 10^{14} \text{ atoms/cm}^2$ とし、加速電圧を 60 ~ 100 keV として行う。n 型を付与する不純物元素として、典型的にはリン (P) または砒素 (As) を用いる。自己整合的に第 1 の不純物領域 (n⁻ 領域) 322 ~ 325 が形成される。

【 0 0 9 3 】

次いで、新たにレジストからなるマスクを形成するが、この際、スイッチング TFT 403 のオフ電流値を下げるため、マスクは、画素部 401 のスイッチング TFT 403 を形成する半導体層のチャネル形成領域及びその一部を覆って形成する。また、マスクは駆動回路の p チャネル型 TFT 406 を形成する半導体層のチャネル形成領域及びその周辺の領域を保護するためにも設けられる。加えて、マスクは、画素部 401 の電流制御用 TFT 404 を形成する半導体層のチャネル形成領域及びその周辺の領域を覆って形成される。

【 0 0 9 4 】

次いで、上記レジストからなるマスクを用い、選択的に第 2 のドーピング処理を行って、ゲート電極の一部と重なる不純物領域 (n⁻ 領域) を形成する。第 2 のドーピング処理はイオンドープ法、もしくはイオン注入法で行えば良い。ここでは、イオンドープ法を用い、フォスフィン (PH₃) を水素で 5 % に希釈したガスを流量 30 sccm とし、ドーザ量を $1.5 \times 10^{14} \text{ atoms/cm}^2$ とし、加速電圧を 90 keV として行う。この場合、レジストからなるマスクと第 2 の導電層とが n 型を付与する不純物元素に対するマスクとなり、第 2 の不純物領域 311、312 が形成される。第 2 の不純物領域には $1 \times 10^{16} \sim 1 \times 10^{17} / \text{cm}^3$ の濃度範囲で n 型を付与する不純物元素を添加される。ここでは、第 2 の不純物領域と同じ濃度範囲の領域を n⁻ 領域とも呼ぶ。

【 0 0 9 5 】

次いで、レジストからなるマスクを除去せずに第 3 のドーピング処理を行う。第 3 のドーピング処理はイオンドープ法、もしくはイオン注入法で行えば良い。n 型を付与する不純物元素として、典型的にはリン (P) または砒素 (As) を用いる。ここでは、イオンドープ法を用い、フォスフィン (PH₃) を水素で 5 % に希釈したガスを流量 40 sccm とし、ドーザ量を $2 \times 10^{15} \text{ atoms/cm}^2$ とし、加速電圧を 80 keV として行う。この場合、レジストからなるマスクと第 1 の導電層及び第 2 の導電層が n 型を付与する不純物元素に対するマスクとなり、第 3 の不純物領域 313、314、326 ~ 328 が形成される。第 3 の不純物領域には $1 \times 10^{20} \sim 1 \times 10^{21} / \text{cm}^3$ の濃度範囲で n 型を付与する不純物元素を添加される。ここでは、第 3 の不純物領域と同じ濃度範囲の領域を n⁺ 領域とも呼ぶ。

【 0 0 9 6 】

次いで、レジストからなるマスクを除去した後、新たにレジストからなるマスクを形成して第 4 のドーピング処理を行う。第 4 のドーピング処理により、p チャネル型 TFT を形成する半導体層を形成する半導体層に p 型の導電型を付与する不純物元素が添加された第 4 の不純物領域 318、319、332、333 及び第 5 の不純物領域 316、317、330、331 を形成する。

【 0 0 9 7 】

また、第 4 の不純物領域 318、319、332、333 には $1 \times 10^{20} \sim 1 \times 10^{21} / \text{cm}^3$ の濃度範囲で p 型を付与する不純物元素が添加されるようとする。尚、第 4 の不純物領域 318、319、332、333 には先の工程でリン (P) が添加された領域 (n⁻ 領域) であるが、p 型を付与する不純物元素の濃度がその 1.5 ~ 3 倍添加されていて導電型は p 型となっている。ここでは、第 4 の不純物領域と同じ濃度範囲の領域を p⁺ 領域とも呼ぶ。

10

20

30

40

50

【0098】

また、第5の不純物領域316、317、330、331は第2の導電層のテープ部と重なる領域に形成されるものであり、 $1 \times 10^{18} \sim 1 \times 10^{20}/\text{cm}^3$ の濃度範囲でp型を付与する不純物元素が添加されるようにする。ここでは、第5の不純物領域と同じ濃度範囲の領域をp-領域とも呼ぶ。

【0099】

以上までの工程でそれぞれの半導体層にn型またはp型の導電型を有する不純物領域が形成される。導電層304～307はTFTのゲート電極となる。

【0100】

次いで、ほぼ全面を覆う絶縁膜(図示しない)を形成する。本実施例では、プラズマCVD法により膜厚50nmの酸化シリコン膜を形成した。勿論、この絶縁膜は酸化シリコン膜に限定されるものではなく、他のシリコンを含む絶縁膜を単層または積層構造として用いても良い。10

【0101】

次いで、それぞれの半導体層に添加された不純物元素を活性化処理する工程を行う。この活性化工程は、ランプ光源を用いたラピッドサーマルアニール法(RTA法)、或いはYAGレーザーまたはエキシマレーザーを裏面から照射する方法、或いは炉を用いた熱処理、或いはこれらの方のうち、いずれかと組み合わせた方法によって行う。

【0102】

また、本実施例では、上記活性化の前に絶縁膜を形成した例を示したが、上記活性化を行った後、絶縁膜を形成する工程としてもよい。20

【0103】

次いで、窒化シリコン膜からなる第1の層間絶縁膜308を形成して熱処理(300～550で1～12時間の熱処理)を行い、半導体層を水素化する工程を行う。この工程は第1の層間絶縁膜308に含まれる水素により半導体層のダングリングボンドを終端する工程である。酸化シリコン膜からなる絶縁膜(図示しない)の存在に關係なく半導体層を水素化することができる。水素化の他の手段として、プラズマ水素化(プラズマにより励起された水素を用いる)を行っても良い。

【0104】

次いで、第1の層間絶縁膜308上に有機絶縁物材料から成る第2の層間絶縁膜309を形成する。本実施例では塗布法により膜厚1.6μmのアクリル樹脂膜309aを形成し、さらに、スパッタ法により200nmの窒化シリコン膜309bを積層する。なお、ここでは、1.6μmのアクリル樹脂に窒化シリコン膜を積層した例を示したが、層間絶縁膜の材料または膜厚は、特に限定されず、ゲート電極とその上に形成する電源供給線との間で容量を形成する場合には、適宜、有機絶縁膜または無機絶縁膜の膜厚を0.5μm～2.0μmとすればよい。30

【0105】

次いで、pチャネル型TFTからなる電流制御用TFT404のドレイン領域に接して後で形成される接続電極に接して重なるよう画素電極334を形成する。本実施例では、画素電極はOLEDの陽極として機能させ、OLEDの発光を画素電極に通過させるため、透明導電膜とする。40

【0106】

次いで、ゲート電極またはゲート配線となる導電層に達するコンタクトホールと、各不純物領域に達するコンタクトホールを形成する。本実施例では複数のエッチング処理を順次行う。本実施例では第2の層間絶縁膜をエッチングストッパーとして第3の層間絶縁膜をエッチングした後、第1の層間絶縁膜をエッチングストッパーとして第2の層間絶縁膜をエッチングしてから第1の層間絶縁膜をエッチングした。

【0107】

その後、Al、Ti、Mo、Wなどを用いて電極335～341、具体的にはソース配線、電源供給線、引き出し電極及び接続電極などを形成する。ここでは、これらの電極及び50

配線の材料は、Ti膜（膜厚100nm）とシリコンを含むAl膜（膜厚350nm）とTi膜（膜厚50nm）との積層膜を用い、パターニングを行った。こうして、ソース電極及びソース配線、接続電極、引き出し電極、電源供給線などが適宜、形成される。なお、層間絶縁膜に覆われたゲート配線とコンタクトを取るための引き出し電極は、ゲート配線の端部に設けられ、他の各配線の端部にも、外部回路や外部電源と接続するための電極が複数設けられた入出力端子部を形成する。また、先に形成された画素電極334と接して重なるよう設けられた接続電極341は、電流制御用TFT404のドレイン領域に接している。

【0108】

以上の様にして、nチャネル型TFT405、pチャネル型TFT406、およびこれらを相補的に組み合わせたCMOS回路を有する駆動回路402と、1つの画素内にnチャネル型TFT403またはpチャネル型TFT404を複数備えた画素部401を形成することができる。

【0109】

本実施例では、OLED400に接続するpチャネル型TFT404のチャネル形成領域329の長さを格段に長いものとする。例えば、上面構造を図5に示したものとすればよい。図5ではチャネル長Lの長さを500μmとした。なお、チャネル幅Wは4μmとした。

【0110】

各電極のパターニングが終了したら、レジストを除去して熱処理を行い、次いで、画素電極334の端部を覆うように両端にバンクとよばれる絶縁物342a、342bを形成する。バンク342a、342bは珪素を含む絶縁膜もしくは樹脂膜で形成すれば良い。ここでは、有機樹脂膜からなる絶縁膜をパターニングしてバンク342aを形成した後、スパッタ法で窒化シリコン膜を成膜し、パターニングしてバンク342bを形成する。

【0111】

次いで、両端がバンクで覆われている画素電極334上にEL層343およびOLEDの陰極344を形成する。

【0112】

EL層343としては、発光層、電荷輸送層または電荷注入層を自由に組み合わせてEL層（発光及びそのためのキャリアの移動を行わせるための層）を形成すれば良い。例えば、低分子系有機EL材料や高分子系有機EL材料を用いればよい。また、EL層として一重項励起により発光（蛍光）する発光材料（シングレット化合物）からなる薄膜、または三重項励起により発光（リン光）する発光材料（トリプレット化合物）からなる薄膜を用いることができる。また、電荷輸送層や電荷注入層として炭化珪素等の無機材料を用いることも可能である。これらの有機EL材料や無機材料は公知の材料を用いることができる。

【0113】

また、陰極344に用いる材料としては仕事関数の小さい金属（代表的には周期表の1族もしくは2族に属する金属元素）や、これらを含む合金を用いることが好ましいとされている。仕事関数が小さければ小さいほど発光効率が向上するため、中でも、陰極に用いる材料としては、アルカリ金属の一つであるLi（リチウム）を含む合金材料が望ましい。なお、陰極は全画素に共通の配線としても機能し、接続配線を経由して入力端子部に端子電極を有している。

【0114】

ここまで工程が終了した段階が図7である。

【0115】

次いで、陰極と、有機化合物層と、陽極とを少なくとも有するOLEDを有機樹脂、保護膜、封止基板、或いは封止缶で封入することにより、OLEDを外部から完全に遮断し、外部から水分や酸素等のEL層の酸化による劣化を促す物質が侵入することを防ぐことが好ましい。ただし、後でFPCと接続する必要のある入出力端子部には保護膜などは設

10

20

30

40

50

けなくともよい。

【0116】

次いで、異方性導電材で入出力端子部の各電極にFPC（フレキシブルプリントサーキット）を貼りつける。異方性導電材は、樹脂と、表面にAuなどがメッキされた数十～数百 μm 径の導電性粒子とから成り、導電性粒子により入出力端子部の各電極とFPCに形成された配線とが電気的に接続する。

【0117】

また、必要があれば、偏光板と位相差板とで構成される円偏光板等の光学フィルムを設けてもよいし、ICチップなどを実装させてもよい。

【0118】

以上の工程でFPCが接続されたモジュール型の発光装置が完成する。

10

【0119】

また、フルカラー表示する場合、本実施例の画素部における等価回路図を図8に示す。図8中の701が図7のスイッチングTFT403に対応しており、702が電流制御用TFT404に対応している。赤色を表示する画素は、電流制御用TFT404のドレイン領域に赤色を発光するOLED703Rが接続され、ソース領域にはアノード側電源線(R)706Rが設けられている。また、OLED703Rには、カソード側電源線700が設けられている。また、緑色を表示する画素は、電流制御用TFTのドレイン領域に緑色を発光するOLED703Gが接続され、ソース領域にはアノード側電源線(G)706Gが設けられている。また、青色を表示する画素は、電流制御用TFTのドレイン領域に青色を発光するOLED703Bが接続され、ソース領域にはアノード側電源線(B)706Bが設けられている。それぞれ色の異なる画素にはEL材料に応じて異なる電圧をそれぞれ印加する。本実施例では、チャネルコンダクタンスg_dを低下させるために、チャネル長を長くし、従来よりも格段に高いゲート電圧値でオン状態として駆動させる。

20

【0120】

また、ここでは、表示の駆動方法として、線順次駆動方法の1種である時分割階調駆動方法を用いる。また、ソース線に入力する映像信号は、アナログ信号であってもよいし、デジタル信号であってもよく、適宜、映像信号に合わせて駆動回路などを設計すればよい。

【実施例2】

30

【0121】

本実施例では、実施例1の画素部の一部を拡大した上面図（図5、図6）と一部異なる上面図を図13(A)及び図13(B)に示す。

【0122】

図13(A)は、図6と対応する上面図であり、同一の箇所は同一の符号を用いている。図13(A)は、図6における半導体層102に代えて、パターニング形状の異なる半導体層1102とした例である。ここでは、半導体層1102を蛇行させている。なお、図13(A)においてチャネル長L×チャネル幅Wは、図6と同一であり、500 μm ×4 μm とする。図13(A)は、パターニング形状の異なる半導体層1102以外は実施例1と同一であるので、他の部分の説明は実施例1を参照すればよい。

40

【0123】

また、図13(B)は、他の異なる上面図を示す。図6と対応する同一の箇所は同一の符号を用いている。図13(B)は、図6における半導体層102に代えてパターニング形状の異なる半導体層1202とし、電極100に代えてパターニング形状の異なる電極1200とした例である。図13(B)においてチャネル長は、165 μm とする。図13(B)は、パターニング形状の異なる半導体層1202、電極1200以外は実施例1と同一であるので、他の部分の説明は実施例1を参照すればよい。

【0124】

また、本実施例は、実施の形態または実施例1と自由に組み合わせることができる。

【実施例3】

50

【0125】

実施例1または実施例2により得られるモジュール型の発光装置（ELモジュールとも呼ぶ）の上面図及び断面図を示す。

【0126】

図6（A）は、ELモジュールを示す上面図、図14（B）は図14（A）をA-A'で切断した断面図である。図14（A）において、基板500（例えば、耐熱性ガラス等）に、下地絶縁膜501が設けられ、その上に画素部502、ソース側駆動回路504、及びゲート側駆動回路503を形成されている。これらの画素部や駆動回路は、上記実施例1や実施例2に従えば得ることができる。

【0127】

また、518は有機樹脂、519は保護膜であり、画素部および駆動回路部は有機樹脂518で覆われ、その有機樹脂は保護膜519で覆われている。さらに、接着剤を用いてカバー材で封止してもよい。カバー材は、支持体として剥離前に接着してもよい。

【0128】

なお、508はソース側駆動回路504及びゲート側駆動回路503に入力される信号を伝送するための配線であり、外部入力端子となるFPC（フレキシブルプリントサーキット）509からビデオ信号やクロック信号を受け取る。なお、ここではFPCしか図示されていないが、このFPCにはプリント配線基盤（PWB）が取り付けられていても良い。本明細書における発光装置には、発光装置本体だけでなく、それにFPCもしくはPWBが取り付けられた状態をも含むものとする。

【0129】

次に、断面構造について図14（B）を用いて説明する。基板500上に接して下地絶縁膜501が設けられ、絶縁膜501の上方には画素部502、ゲート側駆動回路503が形成されており、画素部502は電流制御用TFT511とそのドレインに電気的に接続された画素電極512を含む複数の画素により形成される。また、ゲート側駆動回路503はnチャネル型TFT513とpチャネル型TFT514とを組み合わせたCMOS回路を用いて形成される。

【0130】

これらのTFT（511、513、514を含む）は、上記実施例1のnチャネル型TFT、上記実施例1のpチャネル型TFTに従って作製すればよい。

【0131】

なお、実施例1に従って同一基板上に画素部502、ソース側駆動回路504、及びゲート側駆動回路503形成している。

【0132】

画素電極512は発光素子（LED）の陰極として機能する。また、画素電極512の両端にはバンク515が形成され、画素電極512上には有機化合物層516および発光素子の陽極517が形成される。

【0133】

有機化合物層516としては、発光層、電荷輸送層または電荷注入層を自由に組み合わせて有機化合物層（発光及びそのためのキャリアの移動を行わせるための層）を形成すれば良い。例えば、低分子系有機化合物材料や高分子系有機化合物材料を用いればよい。また、有機化合物層516として一重項励起により発光（蛍光）する発光材料（シングレット化合物）からなる薄膜、または三重項励起により発光（リン光）する発光材料（トリプレット化合物）からなる薄膜を用いることができる。また、電荷輸送層や電荷注入層として炭化珪素等の無機材料を用いることも可能である。これらの有機材料や無機材料は公知の材料を用いることができる。

【0134】

陽極517は全画素に共通の配線としても機能し、接続配線508を経由してFPC509に電気的に接続されている。さらに、画素部502及びゲート側駆動回路503に含まれる素子は全て陽極517、有機樹脂518、及び保護膜519で覆われている。

10

20

30

40

50

【0135】

なお、有機樹脂518としては、できるだけ可視光に対して透明もしくは半透明な材料を用いるのが好ましい。また、有機樹脂518はできるだけ水分や酸素を透過しない材料であることが望ましい。

【0136】

また、有機樹脂518を用いて発光素子を完全に覆った後、すくなくとも図14に示すように保護膜519を有機樹脂518の表面(露呈面)に設けることが好ましい。また、基板500の裏面を含む全面に保護膜を設けてもよい。ここで、外部入力端子(FPC)が設けられる部分に保護膜が成膜されないように注意することが必要である。マスクを用いて保護膜が成膜されないようにしてもよいし、CVD装置でマスキングテープとして用いるテフロン(登録商標)等のテープで外部入力端子部分を覆うことで保護膜が成膜されないようにしてもよい。保護膜519として、窒化珪素膜、DLC膜、または $\text{AlN}_{x}\text{O}_{y}$ 膜を用いればよい。

10

【0137】

以上のような構造で発光素子を保護膜519で封入することにより、発光素子を外部から完全に遮断することができ、外部から水分や酸素等の有機化合物層の酸化による劣化を促す物質が侵入することを防ぐことができる。従って、信頼性の高い発光装置を得ることができる。

【0138】

また、画素電極を陰極とし、有機化合物層と、透光性を有する陽極とを積層して図14とは逆方向に発光する構成としてもよい。また、画素電極を陽極とし、有機化合物層と陰極を積層して図14とは逆方向に発光する構成としてもよい。

20

図15にその一例を示す。なお、上面図は同一であるので省略する。

【0139】

図15に示した断面構造について以下に説明する。基板600上に絶縁膜610が設けられ、絶縁膜610の上方には画素部602、ゲート側駆動回路603が形成されており、画素部602は電流制御用TFT611とそのドレインに電気的に接続された画素電極612を含む複数の画素により形成される。また、ゲート側駆動回路603はnチャネル型TFT613とpチャネル型TFT614とを組み合わせたCMOS回路を用いて形成される。

30

【0140】

これらのTFT(611、613、614を含む)は、上記実施例1のnチャネル型TFT、上記実施例1のpチャネル型TFTに従って作製すればよい。

【0141】

画素電極612は発光素子(LED)の陽極として機能する。また、画素電極612の両端にはバンク615が形成され、画素電極612上には有機化合物層616および発光素子の陰極617が形成される。

【0142】

陰極617は全画素に共通の配線としても機能し、接続配線608を経由してFPC609に電気的に接続されている。さらに、画素部602及びゲート側駆動回路603に含まれる素子は全て陰極617、有機樹脂618、及び保護膜619で覆われている。さらに、カバー材620と接着剤で貼り合わせてもよい。

40

また、カバー材620には凹部を設け、乾燥剤621を設置してもよい。

【0143】

また、図15では、画素電極を陽極とし、有機化合物層と陰極を積層したため、発光方向は図15に示す矢印の方向となっている。

【0144】

また、ここではトップゲート型TFTを例として説明したが、TFT構造に関係なく本発明を適用することが可能であり、例えばボトムゲート型(逆スタガ型)TFTや順スタガ型TFTに適用することが可能である。

50

【実施例4】

【0145】

本発明を実施することによってOLEDを有するモジュール（アクティブマトリクス型ELモジュール）を組み込んだ全ての電子機器が完成される。

【0146】

その様な電子機器としては、ビデオカメラ、デジタルカメラ、ヘッドマウントディスプレイ（ゴーグル型ディスプレイ）、カーナビゲーション、プロジェクタ、カーステレオ、パソコン用コンピュータ、携帯情報端末（モバイルコンピュータ、携帯電話または電子書籍等）などが挙げられる。それらの一例を図16、図17に示す。

【0147】

10

図16（A）はパソコン用コンピュータであり、本体2001、画像入力部2002、表示部2003、キーボード2004等を含む。

【0148】

図16（B）はビデオカメラであり、本体2101、表示部2102、音声入力部2103、操作スイッチ2104、バッテリー2105、受像部2106等を含む。

【0149】

図16（C）はモバイルコンピュータ（モービルコンピュータ）であり、本体2201、カメラ部2202、受像部2203、操作スイッチ2204、表示部2205等を含む。

【0150】

20

図16（D）はゴーグル型ディスプレイであり、本体2301、表示部2302、アーム部2303等を含む。

【0151】

図16（E）はプログラムを記録した記録媒体（以下、記録媒体と呼ぶ）を用いるプレーヤーであり、本体2401、表示部2402、スピーカ部2403、記録媒体2404、操作スイッチ2405等を含む。なお、このプレーヤーは記録媒体としてDVD（Digital Versatile Disc）、CD等を用い、音楽鑑賞や映画鑑賞やゲームやインターネットを行うことができる。

【0152】

図16（F）はデジタルカメラであり、本体2501、表示部2502、接眼部2503、操作スイッチ2504、受像部（図示しない）等を含む。

30

【0153】

図17（A）は携帯電話であり、本体2901、音声出力部2902、音声入力部2903、表示部2904、操作スイッチ2905、アンテナ2906、画像入力部（CCD、イメージセンサ等）2907等を含む。

【0154】

図17（B）は携帯書籍（電子書籍）であり、本体3001、表示部3002、3003、記憶媒体3004、操作スイッチ3005、アンテナ3006等を含む。

【0155】

40

図17（C）はディスプレイであり、本体3101、支持台3102、表示部3103等を含む。

【0156】

ちなみに図17（C）に示すディスプレイは中小型または大型のもの、例えば5～20インチの画面サイズのものである。また、このようなサイズの表示部を形成するためには、基板の一辺が1mのものを用い、多面取りを行って量産することができる。

【0157】

以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器の作製方法に適用することが可能である。また、本実施例の電子機器は実施の形態、及び実施例1～3のどのような組み合わせからなる構成を用いても実現することができる。

【図面の簡単な説明】

【0158】

50

【図1】TFTのチャネル長とチャネルコンダクタンス g_d の関係を示す図である。

【図2】電流のバラツキをしめす3と規格化した電流のバラツキを示す3を示す図である。

【図3】あるチャネル長におけるnチャネル型TFTの電流のバラツキと V_g との関係を示すグラフである。

【図4】あるチャネル長におけるnチャネル型TFTの電流のバラツキと V_g との関係を示すグラフである。

【図5】画素上面図を示す図である。

【図6】画素上面図を示す図である。

【図7】アクティブマトリクス型発光表示装置の断面構造を示す図である。

10

【図8】アクティブマトリクス型発光表示装置の等価回路を示す図である。

【図9】 $I_d - V_d$ 曲線を示すグラフを示す図である。

【図10】OLEDと該OLEDと接続されるTFTの接続関係を示す図である。

【図11】電流のバラツキをしめす3と規格化した電流のバラツキを示す3を示す図である。

【図12】OLEDの負荷曲線と $I_d - V_d$ 曲線とを示す図である。

【図13】画素上面図を示す図である。(実施例2)

【図14】モジュールを示す図である。(実施例3)

【図15】モジュールを示す図である。(実施例3)

【図16】電子機器を示す図である。(実施例4)

20

【図17】電子機器を示す図である。(実施例4)

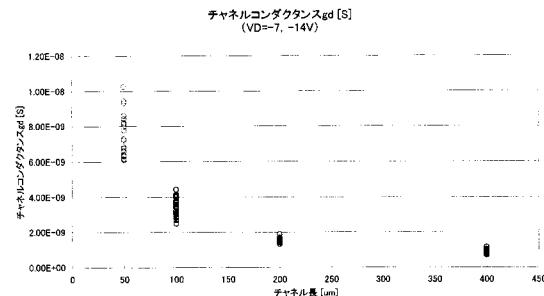
【図18】本発明のTFTサイズとオン電流のバラツキとの関係を示すグラフ ($V_g = -5V$) である。

【図19】本発明のTFTサイズとオン電流のバラツキとの関係を示すグラフ ($V_g = -10V$) である。

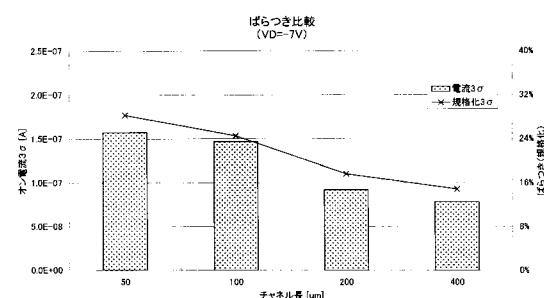
【図20】本発明のTFTサイズとしきい値のバラツキとの関係を示すグラフである。

【図21】電流値を一定 ($I_d = 0.5 \mu A$) とし、本発明のTFTサイズとオン電流のバラツキとの関係を示すグラフである。

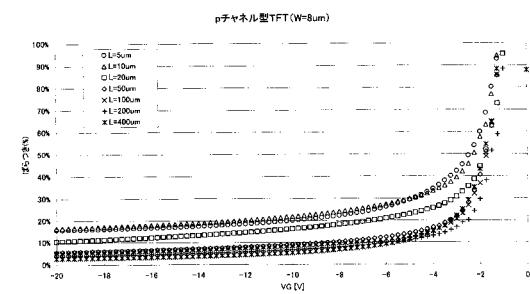
【図1】



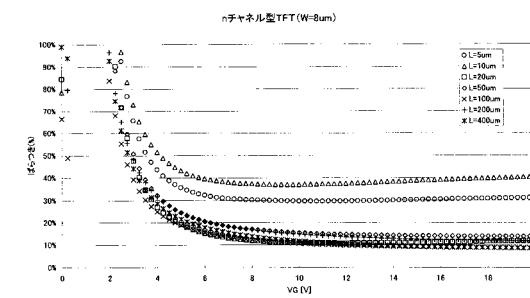
【図2】



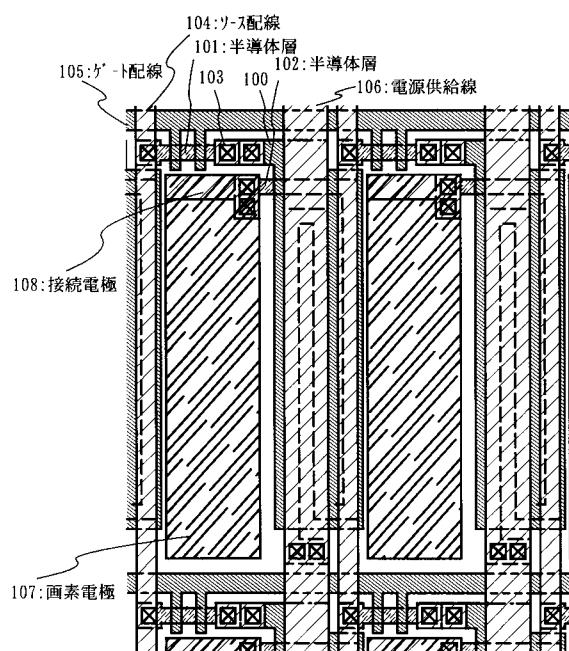
【図3】



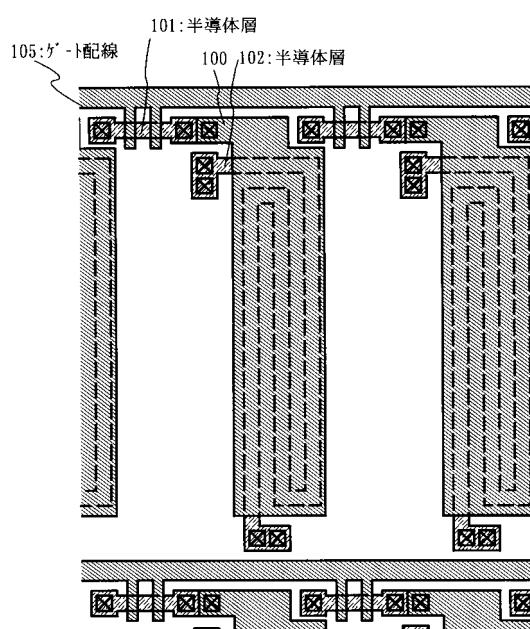
【図4】



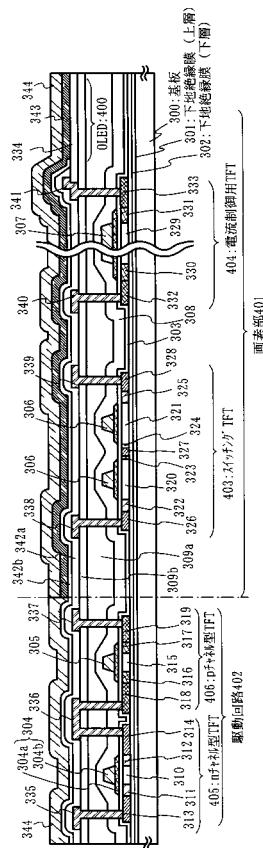
【図5】



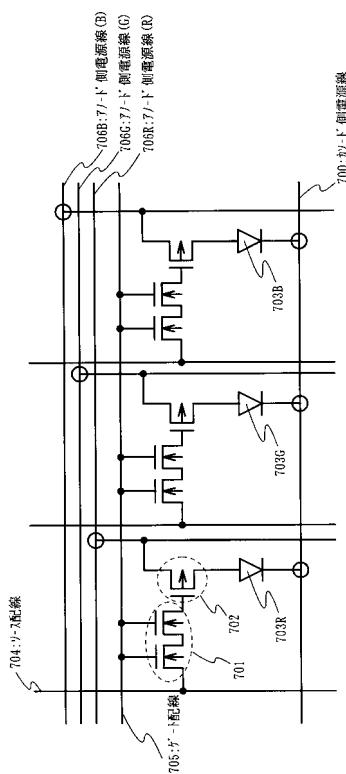
【図6】



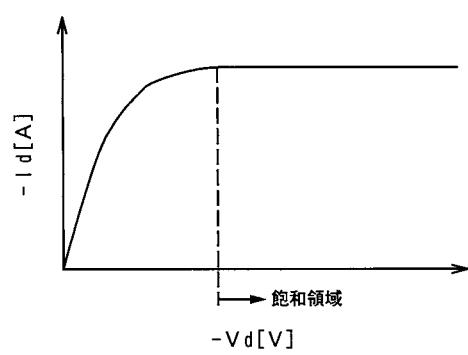
【図7】



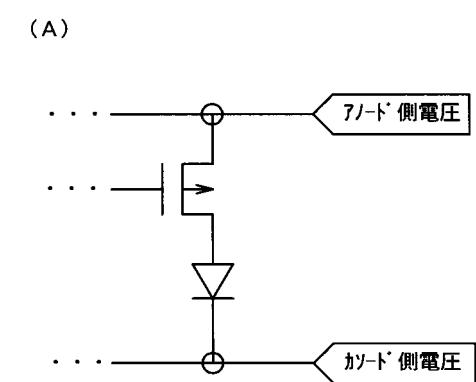
【 四 8 】



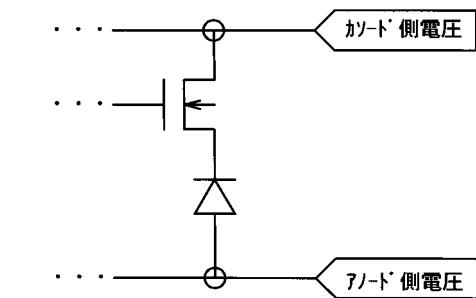
【 図 9 】



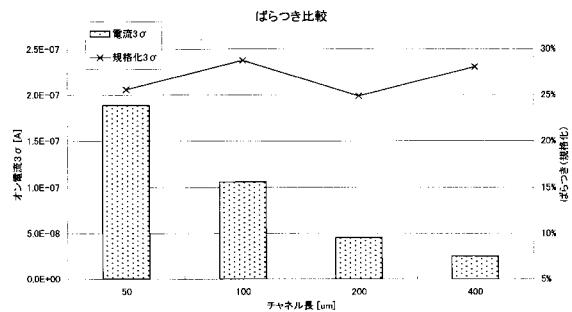
【 囮 1 0 】



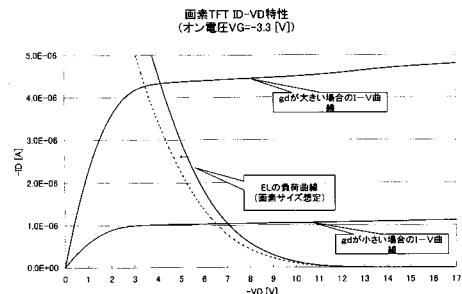
(B)



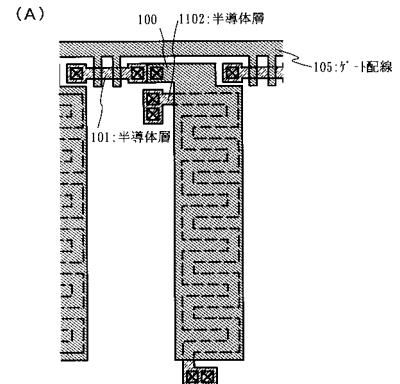
【図11】



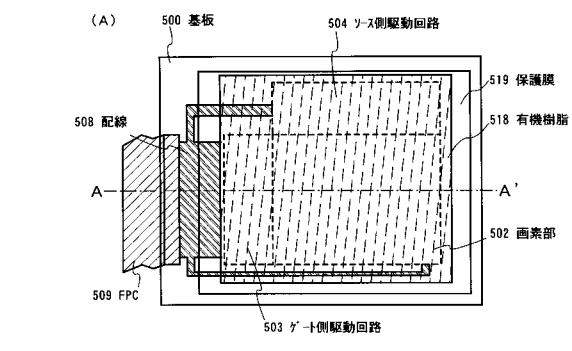
【図12】



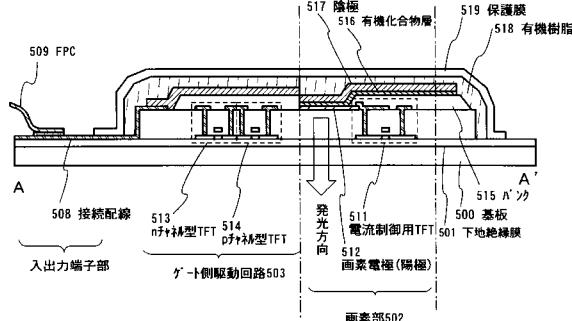
【図13】



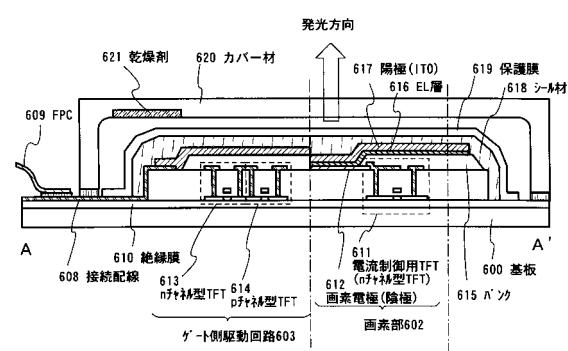
【図14】



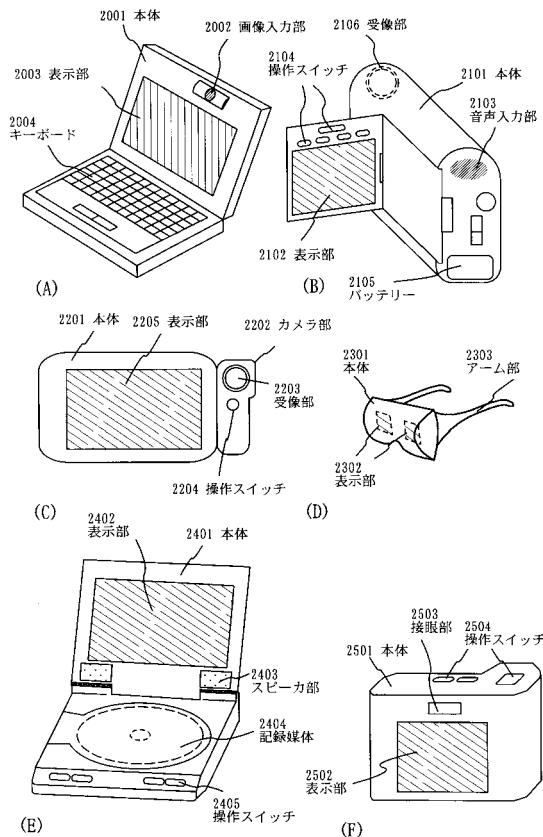
(B)



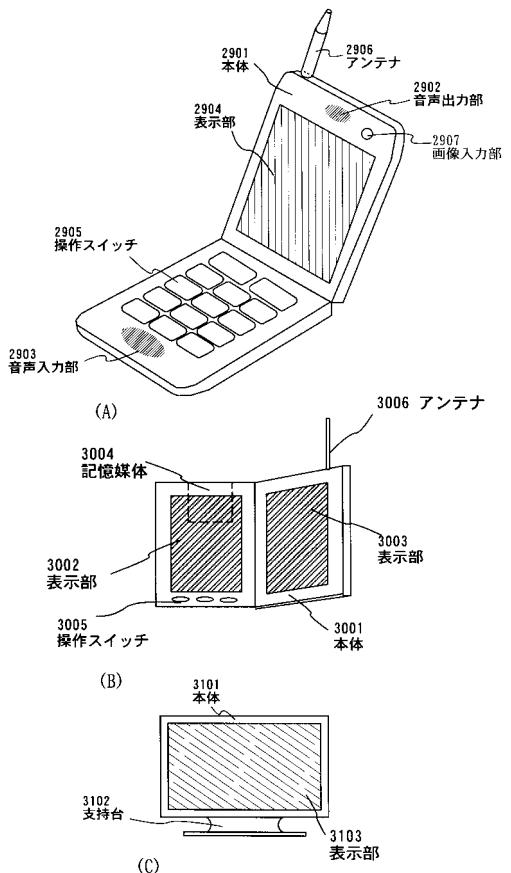
【図15】



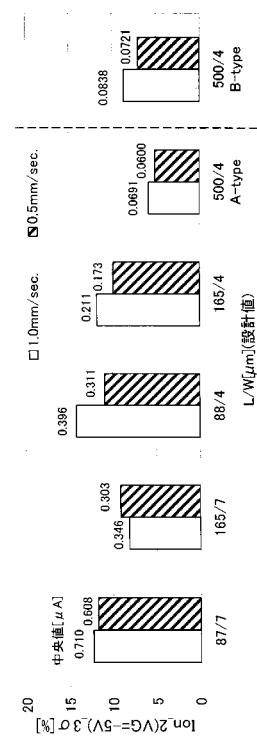
【図16】



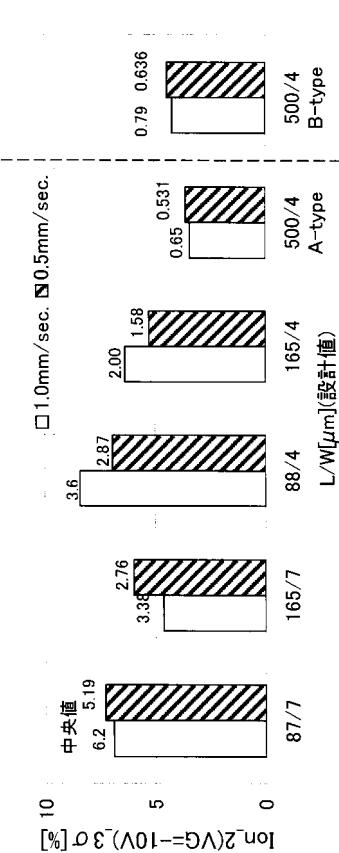
【図17】



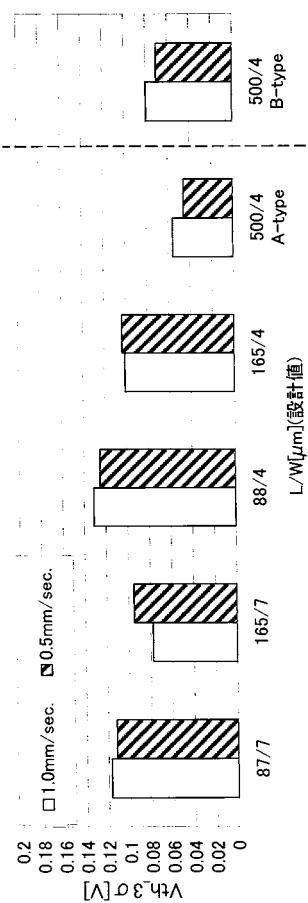
【図18】



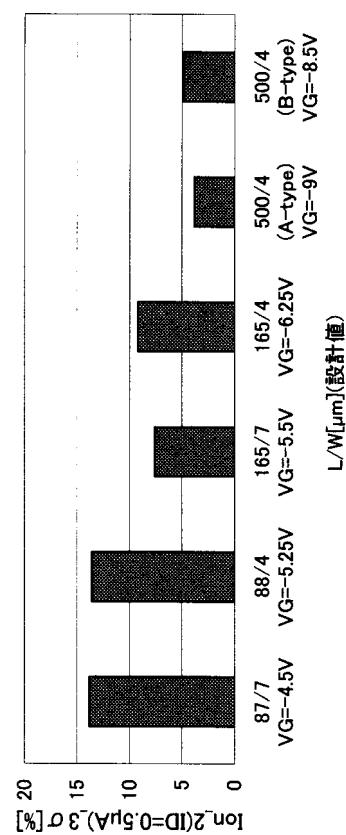
【図19】



【図20】



【図21】



フロントページの続き

(51)Int.Cl.

F I

H 05 B 33/14

A

(72)発明者 宮崎 彩

神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

審査官 綿引 隆

(56)参考文献 國際公開第01/048822 (WO, A1)

米国特許出願公開第2001/0038098 (US, A1)

特開昭56-026468 (JP, A)

特開昭62-092370 (JP, A)

特開2002-175029 (JP, A)

特開2002-176063 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G 09 F 9/30

H 01 L 21/336

H 01 L 27/32

H 01 L 29/786

H 05 B 33/08