

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3786329号

(P3786329)

(45) 発行日 平成18年6月14日(2006.6.14)

(24) 登録日 平成18年3月31日(2006.3.31)

(51) Int. Cl.	F I				
<b>HO4N 7/30 (2006.01)</b>	HO4N	7/133	Z		
<b>HO3M 7/30 (2006.01)</b>	HO3M	7/30	A		
<b>HO4N 1/41 (2006.01)</b>	HO4N	1/41	B		

請求項の数 6 (全 17 頁)

(21) 出願番号	特願平10-328979	(73) 特許権者	000006747
(22) 出願日	平成10年11月19日(1998.11.19)		株式会社リコー
(65) 公開番号	特開2000-156865(P2000-156865A)		東京都大田区中馬込1丁目3番6号
(43) 公開日	平成12年6月6日(2000.6.6)	(74) 代理人	100073760
審査請求日	平成14年12月9日(2002.12.9)		弁理士 鈴木 誠
		(74) 代理人	100097652
			弁理士 大浦 一仁
		(72) 発明者	押切 幸治
			東京都大田区中馬込1丁目3番6号 株式
			会社 リコー内
		審査官	江嶋 清仁

最終頁に続く

(54) 【発明の名称】 符号化復号化装置

(57) 【特許請求の範囲】

【請求項1】

可逆ウェーブレット変換部、コンテキストモデル部、該可逆ウェーブレット変換部及び該コンテキストモデル部と接続されたメモリ、並びに該コンテキストモデル部と接続されたFSMコードからなり、該可逆ウェーブレット変換部による可逆ウェーブレット変換処理と、該コンテキストモデル部によるコンテキストモデル処理、及び、該FSMコードによるFSM符号化又は復号化処理により、画像データの符号化又は復号化をビットプレーン単位で行い、また、該コンテキストモデル処理においてビットシグニフィカンス埋め込みを行う符号化復号化装置において、該コンテキストモデル部は処理対象画素及びその周辺画素のデータを一時記憶するためのバッファ記憶部を有し、該バッファ記憶部はシフトレジスタ、及び、該シフトレジスタと該メモリの間のデータの入出力のためのメモリアンターフェース部を含み、該シフトレジスタは、該FSMコードから与えられる復号ビットデータにより保持データの処理対象ビットプレーンの書き換えが可能なワークレジスタを含むことを特徴とする符号化復号化装置。

【請求項2】

該ワークレジスタが複数段のワークレジスタであることを特徴とする請求項1記載の符号化復号化装置。

【請求項3】

該バッファ記憶部は、該シフトレジスタの入力段及び出力段と該メモリアンターフェース部との間にそれぞれ設けられた複数段の第1と第2のバッファレジスタをさらに含み、コ

10

20

ンテキストモデル処理の期間に、該メモリと該第1及び第2のバッファレジスタとの間のデータの入出力動作が行われることを特徴とする請求項2記載の符号化復号化装置。

【請求項4】

該バッファ記憶部は、該メモリインターフェース部を介して該メモリよりデータを入力可能な複数段の第3のバッファレジスタをさらに含み、コンテキストモデル処理の期間に、処理対象のウェーブレット階層レベルと別のウェーブレット階層レベルのデータが該メモリより該第3のバッファレジスタに取り込まれることを特徴とする請求項3記載の符号化復号化装置。

【請求項5】

該シフトレジスタは、可変長のシフトレジスタであり、その段数が処理対象のウェーブレット階層レベルに応じて切り替えられることを特徴とする請求項1、2又は3記載の符号化復号化装置。

10

【請求項6】

各ビットプレーンの全データが0であるか否かを示すフラグ情報を保持するための、該ウェーブレット変換部及び該コンテキストモデル部よりアクセス可能なゼロフラグレジスタをさらに含み、該バッファ記憶部は該ゼロフラグレジスタに保持されているフラグ情報により該メモリインターフェース部を介して該メモリより取り込まれたデータをマスク処理するためのデータマスク装置をさらに含み、該マスク処理後のデータが該シフトレジスタに入力されることを特徴とする請求項1、2、3、4又は5記載の符号化復号化装置。

【発明の詳細な説明】

20

【0001】

【発明の属する技術分野】

本発明は、画像データの符号化復号化装置に係り、特に、可逆ウェーブレット変換を利用する符号化復号化装置に関する。

【0002】

【従来の技術】

可逆ウェーブレット変換を利用する符号化復号化装置として、可逆ウェーブレット変換部、コンテキストモデル部、及び、FSMコードからなり、可逆ウェーブレット変換処理と、コンテキストモデル処理及びFSM符号化又は復号化処理により、画像データの符号化又は復号化をビットプレーン単位で行い、また、コンテキストモデル処理においてビットシグニフィカンス埋め込みを行う方式（以下、本方式）の符号化復号化装置が知られている。FSMコードは、有限ステートマシン（FSM）を利用したエントロピー符号化復号化器である。可逆ウェーブレット変換部と、コンテキストモデル部及びFSMコードとは独立して動作するため、一般に、可逆ウェーブレット変換部とコンテキストモデル部との間にメモリを介在させ、このメモリを介してデータを交換するように構成される。また、コンテキストモデル処理では、処理対象画素のコンテキストを生成する際に周辺の画素の状態を参照するため、コンテキストモデル部の内部に、処理対象画素とその周辺画素のデータを一時記憶するためのバッファ記憶部が用意される。通常、このバッファ記憶部はシフトレジスタ等からなるラインバッファである。

30

【0003】

なお、本方式の符号化復号化装置の処理内容と構成に関する公知文献としては特開平8-116265号公報、特開平9-121168号公報などがある。

40

【0004】

【発明が解決しようとする課題】

本発明の一般的な目的は、本方式の符号化復号化装置の高速化と回路規模の縮小化を図ることにあり、より具体的な目的は以下に列挙するとおりである。

【0005】

本方式の符号化復号化装置は、復号化時に、メモリ内の処理対象画素データに対して、復号化されたビットプレーンのみ書き換える操作を行う必要がある。本発明の一つの目的は、コンテキストモデル部内のバッファ記憶部の構成を改良することにより、回路規模を増

50

大きさせることなく、復号化時のビットプレーン単位のデータの書き換えを効率よく実行可能にした符号化復号化装置を提供することである。

【 0 0 0 6 】

本方式の符号化復号化装置は、可逆ウェーブレット変換処理を利用するためウェーブレット階層レベルによってデータのサイズが異なる。本発明のもう一つの目的は、コンテキストモデル部内のバッファ記憶部の構成を改良することにより、回路規模を増大させることなく、上記のようなサイズの異なるデータに対するコンテキストモデル処理を効率的に実行可能にした符号化復号化装置を提供することである。

【 0 0 0 7 】

本方式の符号化復号化装置は、コンテキストモデル処理において、全データが0のビットプレーンの符号量を減らすため、処理対象のビットプレーンの全データが0か否か判断する必要がある。しかし、この判断のためにメモリから処理対象ビットプレーンの全データを読み込み、その間、コンテキストモデル処理が待ち状態になるのでは、符号量は減らせても処理時間が増加してしまう。本発明の一つの目的は、そのような処理時間の増加を回避できるように改良した符号化復号化装置を提供することである。

10

【 0 0 0 8 】

本方式の符号化復号化装置は、コンテキストモデル処理において、連続した複数画素が全て同一であるか否かを調べ、全て同一ならば複数の画素を処理対象とし、同一でないならば個々の画素を順次処理対象とする場合がある。しかし、この場合に、連続した複数の画素の取り込みのためにコンテキストモデル処理が待ち状態になるのでは処理時間が増加してしまう。このような不都合を解消した符号化復号化装置を提供することが、本発明のもう一つの目的である。

20

【 0 0 0 9 】

本方式の符号化復号化装置は、コンテキストモデル処理において、あるウェーブレット階層レベルのデータの処理のために、別のウェーブレット階層レベルのデータの参照を必要とする場合がある。本発明の他の目的は、上記の別ウェーブレット階層レベルのデータの参照が必要な場合にコンテキストモデル処理が待ち状態にならないように改良した符号化復号化装置を提供することである。

【 0 0 1 0 】

【 課題を解決するための手段 】

請求項1記載の符号化復号化装置は、可逆ウェーブレット変換部、コンテキストモデル部、該可逆ウェーブレット変換部及び該コンテキストモデル部と接続されたメモリ、並びに該コンテキストモデル部と接続されたFSMコードからなり、該可逆ウェーブレット変換部による可逆ウェーブレット変換処理と、該コンテキストモデル部によるコンテキストモデル処理、及び、該FSMコードによるFSM符号化又は復号化処理により、画像データの符号化又は復号化をビットプレーン単位で行い、また該コンテキストモデル処理においてビットシグニフィカンス埋め込みを行う符号化復号化装置であって、その特徴は、該コンテキストモデル部が処理対象画素及びその周辺画素のデータを一時記憶するためのバッファ記憶部を有し、該バッファ記憶部がシフトレジスタ、及び、該シフトレジスタと該メモリの間のデータの出入力のためのメモリインターフェース部を含み、該シフトレジスタが、該FSMコードから与えられる復号ビットデータにより保持データの処理対象ビットプレーンの書き換えが可能なワークレジスタを含むことである。

30

40

【 0 0 1 1 】

請求項2記載の符号化復号化装置は、請求項1記載の符号化復号化装置の構成において、複数段のワークレジスタを用いることを特徴とする。

【 0 0 1 2 】

請求項3記載の符号化復号化装置は、請求項2記載の符号化復号化装置の構成において、該バッファ記憶部に、該シフトレジスタの入力段及び出力段と該メモリインターフェース部との間にそれぞれ設けられた複数段の第1と第2のバッファレジスタをさらに含め、コンテキストモデル処理の期間に、該メモリと該第1及び第2のバッファレジスタとの間の

50

データの入出力動作を行うことを特徴とする。

【 0 0 1 3 】

請求項 4 記載の符号化復号化装置は、請求項 3 記載の符号化復号化装置の構成において、該バッファ記憶部に、該メモリインターフェース部を介して該メモリよりデータを入力可能な複数段の第 3 のバッファレジスタをさらに含め、コンテキストモデル処理の期間に、処理対象のウェーブレット階層レベルと別のウェーブレット階層レベルのデータを該メモリより該第 3 のバッファレジスタに取り込むことを特徴とする。

【 0 0 1 4 】

請求項 5 記載の符号化復号化装置は、請求項 1、2 又は 3 記載の符号化復号化装置の構成において、該シフトレジスタを可変長のシフトレジスタとし、該シフトレジスタの段数を処理対象のウェーブレット階層レベルに応じて切り替えることを特徴とする。

10

【 0 0 1 5 】

請求項 6 記載の符号化復号化装置は、請求項 1、2、3、4 又は 5 記載の符号化復号化装置の構成に、各ビットプレーンの全データが 0 であるか否かを示すフラグ情報を保持するための、該ウェーブレット変換部及び該コンテキストモデル部よりアクセス可能なゼロフラグレジスタをさらに含め、また、該バッファ記憶部に、該ゼロフラグレジスタに保持されているフラグ情報により該メモリインターフェース部を介して該メモリより取り込まれたデータをマスク処理するためのデータマスク装置をさらに含め、該マスク処理後のデータを該シフトレジスタに入力することを特徴とする。

【 0 0 1 6 】

20

【 発明の実施の形態 】

以下、図面を参照して本発明の実施の形態を説明する。

《 第 1 実施例 》

図 1 は、本発明の第 1 実施例による符号化復号化装置の全体構成を示すブロック図である。この符号化復号化装置は、可逆ウェーブレット変換部 1 0 0、メモリ 1 0 1、コンテキストモデル部 1 0 3 及び F S M コーダ 1 0 4 からなる。

【 0 0 1 7 】

動作の概略は次のとおりである。符号化時には、可逆ウェーブレット変換部 1 0 0 で外部から入力する画像データがウェーブレット順変換され、その変換データ（周波数帯信号データ）はメモリ 1 0 1 を介してコンテキストモデル部 1 0 3 に取り込まれてビットシグニフィカンス埋め込みされながら F S M コーダ 1 0 4 により符号化され、コードストリームとして出力される。復号化時には、F S M コーダ 1 0 4 で外部より入力するコードストリームが復号化されてコンテキストモデル部 1 0 3 へ与えられ、コンテキストモデル部 1 0 3 から次のコンテキストが F S M コーダ 1 0 4 に送られる。周波数帯信号データの全ビットプレーンがメモリ 1 0 1 上に復元されると、これに対し可逆ウェーブレット変換部 1 0 0 でウェーブレット逆変換が施されることにより画像データが復元され、外部に出力される。

30

【 0 0 1 8 】

コンテキストモデル部 1 0 3 はバッファ記憶部 1 1 0、コンテキストモデル処理部 1 1 1、及び、バッファ記憶部 1 1 0 とコンテキストモデル処理部 1 1 1 の制御及びメモリ 1 0 1 のアクセス制御を行うためのコントロール部 1 1 2 から構成される。

40

【 0 0 1 9 】

符号化時には、コンテキストモデル部 1 0 3 は、コントロール部 1 1 2 の制御により、メモリ 1 0 1 より処理対象画素のデータとその周辺画素のデータをバッファ記憶部 1 1 0 に読み込み、コンテキストモデル処理部 1 1 1 でバッファ記憶部 1 1 0 内の処理対象画素と周辺画素のデータを参照してコンテキストと処理対象ビットを F S M コーダ 1 0 4 に与える。F S M コーダ 1 0 4 は、与えられたコンテキストと処理対象ビットに基づいてコードを発生する。このような符号化処理は周波数帯信号データのビットプレーン単位で行われる。

【 0 0 2 0 】

50

復号化時には、FSMコード104は外部より入力するコードストリームを復号化し、復号したビットデータをコンテキストモデル部103へ入力する。コンテキストモデル部103においては、処理対象画素とその周辺画素のデータをメモリ101よりバッファ記憶部110に読み込み、コンテキストモデル処理部111で復号ビットデータとバッファ記憶部110内の周辺画素データとからコンテキストを発生してFSMコード104へ与える。このような復号化処理もビットプレーン単位で行われるが、処理対象画素データに対して、復号化されたビットプレーンのみメモリ101を書き換える処理が必要となる。本実施例によれば、次に述べるように、バッファ記憶部110の内部構造を工夫することにより、周辺画素データを取り込むシフトレジスタと別に、処理対象画素データを取り込みその書き換えを行うための専用のレジスタなどを設けることなく、復号化されたビットプレーンの書き換えを効率的に行うことができる。

10

#### 【0021】

本実施例におけるバッファ記憶部110の内部構成を図2に示す。図2において、201はX段のシフトレジスタ、202はX-1段のシフトレジスタ、203は1段のワークレジスタであり、それらの保持データはコンテキストモデル処理部111から参照可能である。204はメモリ101とのデータの入出力を行うためのメモリインターフェース部である。

#### 【0022】

メモリ101のデータはメモリインターフェース部204を経由して取り込まれ、シフトレジスタ202の右端(初段)に入力され、シフトレジスタ202の左端(最終段)から出力されたデータはワークレジスタ203に入力され、ワークレジスタ203から出力されたデータはシフトレジスタ201の右端(初段)に入力され、シフトレジスタ201の左端(最終段)から出力されたデータはメモリインターフェース部204を介してメモリ101に書き込まれる。このように、シフトレジスタ201、202とワークレジスタ203は全体として1本の2X段シフトレジスタを構成し、その上のデータはクロックに同期して順次シフトされる。ワークレジスタ203の保持データは処理対象画素のデータである。シフトレジスタ202には、処理対象画素と同じライン上の周辺画素のデータが保持され、また、シフトレジスタ201には処理対象画素の隣りのライン上の周辺画素のデータが保持される。なお、シフトレジスタ201、202及びワークレジスタ203は、周波数帯信号データの最大のビット深さと同じビット深さ(又はそれ以上のビット深さ)を有する。

20

30

#### 【0023】

ワークレジスタ203の構成について、図3及び表1を参照して説明する。図3に示すように、ワークレジスタ203はレジスタ301とコンビネーションロジック302とを含み、コンビネーションロジック302を経由してレジスタ301に対し、シフトレジスタ202の出力データ、FSMコード104による復号データ、又は、レジスタ301の出力データ(ワークレジスタ203の出力データ)が選択的に入力される構成である。この入力切り替えは、コントロール部112よりコンビネーションロジック302に与えられるメモリアクセス期間信号310と復号データ書き込み許可信号311によって制御される。復号データ書き込み許可信号311は、各ビットプレーンに対応して、ワークレジスタ203のビット深さと同じ本数だけ存在する。

40

これら制御信号と入力切り替えの関係は表1に示すとおりである。

#### 【0024】

#### 【表1】

メモリアクセス 期間信号	復号データ 書き込み許可信号	出力 a
L	L	ワークレジスタ出力
L	H	F S M復号データ
H	L	メモリデータ
H	H	X

10

## 【 0 0 2 5 】

シフトレジスタ 2 0 1 , 2 0 2 及びワークレジスタ 2 0 3 からなる一続きのシフトレジスタ上のデータを一齐に 1 桁だけシフトしたい場合などには、メモリアクセス期間信号 3 1 0 が H レベルとされ、また、全ビットプレーンの復号データ書き込み許可信号 3 1 1 が L レベルとされる。この場合、表 1 に示すように、ワークレジスタ 3 0 1 にシフトレジスタ 2 0 2 の出力データが入力され、クロックのタイミングでレジスタ 3 0 1 に保持される。符号化の際に、メモリ 1 0 1 からデータを取り込んだりメモリ 1 0 1 へデータを書き出したりする時には、このような制御が行われる。

20

## 【 0 0 2 6 】

復号化の際には、処理対象ビットプレーンに対応した復号データ書き込み許可信号 3 1 1 だけは H レベル、それ以外のビットプレーンに対応した復号データ書き込み許可信号 3 1 1 は L レベルとされ、また、メモリアクセス期間信号 3 1 0 は L レベルとされる。この時、表 1 から理解されるように、処理対象ビットプレーンに関しては、F S M コード 1 0 4 より与えられた復号ビットデータがレジスタ 3 0 1 に入力され、それ以外のビットプレーンに関してはレジスタ 3 0 1 の出力データが入力にフィードバックされ、これら入力データはクロックのタイミングでレジスタ 3 0 1 に保持される。つまり、処理対象画素データの処理対象ビットプレーンのみが復号ビットデータで書き換えられる。このクロック・タイミングでは、シフトレジスタ 2 0 1 , 2 0 2 はシフトされない。このようにして処理対象ビットプレーンのビットが書き換えられたデータは、順次シフトされ、最終的にシフトレジスタ 2 0 1 よりシフトアウトされてメモリ 1 0 1 に書き戻される。次のビットプレーンが処理対象となった時に、メモリ 1 0 1 より再びデータがシフトレジスタ 2 0 2 に取り込まれ、同様にワークレジスタ 2 0 3 上で処理対象ビットプレーンのビットが復号データにより書き換えられる。同様の動作の繰り返しにより、最終的に全ビットプレーンについて復号データによって書き換えられたデータがメモリ 1 0 1 に得られる。

30

## 【 0 0 2 7 】

このようにバッファ記憶部 1 1 0 を構成するシフトレジスタ中にビットプレーン単位で復号ビットデータによるデータの書き換えが可能なワークレジスタ 2 0 3 を挿入することにより、復号ビットプレーンの書き換えのための専用のレジスタなどを別に用意する必要がないため、装置の回路規模を縮小できる。また、そのような専用のレジスタに処理対象画素データをメモリ 1 0 1 から取り込み、書き換え後に同レジスタのデータをメモリ 1 0 1 に書き戻す動作を別に行う必要がなく、このことは処理の高速化に寄与する。

40

## 【 0 0 2 8 】

## 《 第 2 実施例 》

本発明の第 2 実施例によれば、前記第 1 実施例と同様の構成において、バッファ記憶部 1 1 0 内のワークレジスタ 2 0 3 が図 4 に示すように N 段構成に変更され、これにあわせてシフトレジスタ 2 0 2 の段数が X - N 段に変更される。図 4 に示す N 段のワークレジスタ

50

203は、図3に示した1段のワークレジスタをN個、直列に接続した構成である。各段の動作は図3に関連して説明した通りである。

【0029】

本発明に係る符号化復号化装置は、コンテキストモデル処理において、1画素が処理対象となる場合と、連続したN画素が処理対象となる場合がある。本実施例によれば、連続したN画素が処理対象となる場合のワークレジスタ203の書き換えを効率的に行うことができる。

【0030】

すなわち、処理対象が連続したN画素の場合、FSMコード104より連続したN画素分の復号ビットデータが出力される。この時に、ワークレジスタ203の全段のメモリアクセス期間信号310をLレベルとし、また、全段の処理対象ビットプレーンに対応した復号データ書き込み許可信号311をHレベル、他のビットプレーンに対応した復号データ書き込み許可信号311をLレベルにすることにより、全段の保持データの処理対象ビットプレーンのビットのみ復号ビットデータにより書き換えることができる。

10

【0031】

処理対象が1画素だけの場合は、処理対象画素データを保持しているワークレジスタ203の第1段(他の段でもよい)についてのみ、復号データ書き込み許可信号311を同様に制御することにより、その復号ビットデータによる書き換えを行うことができる。他の段に関しては、メモリアクセス期間信号310をLレベル、全ビットプレーンの復号データ書き込み許可信号311をLレベルとすることにより、データを保持させる。同様にし

20

【0032】

《第3実施例》

本発明に係る符号化復号化装置は、コンテキストモデル処理において、連続したN個の処理対象画素が全て同じであるか否かを判断し、同じでなければN個の画素の1つ1つを順次処理対象とする、という処理を行う場合がある。この場合、N個の処理対象画素のデータを取り込む動作と、そのN個の各画素を順次処理する動作が必要となるが、取り込み動作の期間にコンテキストモデル処理が待ち状態になるのでは処理の高速化が妨げられる。

【0033】

このような不都合を回避して高速処理を実現するため、本発明の第3実施例によれば、図1に示した全体構成の符号化復号化装置において、バッファ記憶部110が図5に示すような構成とされる。図5において、401はX段のシフトレジスタ、402はX-N段のシフトレジスタ、403は図4に示した構成のN段のワークレジスタ、404はメモリアクセス部である。このような構成は前記第2実施例と同様である。

30

【0034】

405はワークレジスタ403上で処理を完了しメモリ101へ書き戻すN画素のデータを保持するためのN段のバッファレジスタであり、その保持データはメモリ101に対する書き込みデータとなる。406は次に処理対象となるN画素のデータを保持するためのN段のバッファレジスタである。これらバッファレジスタ405、406は本実施例によって追加されたものである。

40

【0035】

バッファレジスタ405、406に関連した動作について説明する。図6は説明用のタイミングチャートである。図6の「コンテキストステータス」に示すように、コンテキストモデル処理の間はシフト動作を行わず、ワークレジスタ403内の全ての処理対象画素データの処理が完了すると、シフト動作により次の処理対象画素データをワークレジスタ403に取り込む。同時に、図6の「バッファレジスタステータス」に示すように、シフト動作によりバッファレジスタ406よりデータをシフトレジスタ402へ転送し、シフトレジスタ401より処理が完了したデータをバッファレジスタ405へ転送する。このようにして、バッファレジスタ405にメモリ101に書き込むことができるデータが格納され、また、バッファレジスタ406は空になっている。そして、次の処理対象画素に対

50

するコンテキストモデル処理が実行され、その期間内に、バッファレジスタ405からメモリ101へのデータ書き込み及びメモリ101からバッファレジスタ406へのデータ読み出しが行われる。

【0036】

このように、本実施例の符号化復号化装置においては、バッファレジスタ405、406を追加することにより、コンテキストモデル部103内部のコンテキストモデル処理と、外部のメモリ101の読み書きとを並行して行うことができる。レジスタ類のシフト動作はメモリのアクセス時間より相当に高速に行うことができるから、メモリの読み書きとコンテキストモデル処理とをシリアルに行う構成に比べ、動作を大幅に高速化できる。

【0037】

《第4実施例》

本発明の第4実施例によれば、図1に示した全体構成の符号化復号化装置において、バッファ記憶部110が図7に示すような構成とされる。図7において、501はX段のシフトレジスタ、502はX-N段のシフトレジスタ、503は図4に示した構成のN段のワークレジスタ、504はメモリインターフェース部、505と506はN段のバッファレジスタである。このような構成は、図5に示した第3実施例の構成と同様であり、それに関連した動作も同様である。

【0038】

本発明に係る符号化復号化装置は、コンテキストモデル処理において、親係数データ(処理対象とは異なるウェーブレット階層レベルのデータ)の参照が必要となる場合がある。この場合の処理を高速化するため、本実施例によれば、バッファ記憶部110に別階層データバッファレジスタ507が新たに設けられ、その保持データはコンテキストモデル処理部111によって参照可能である。

【0039】

本実施例におけるコンテキストモデル部103のタイミングチャートを図8に示す。図8の「コンテキストステータス」と「バッファレジスタステータス」に示すように、コンテキストモデル処理と、バッファレジスタ505からメモリ101へのデータの書き込み及びメモリ101からバッファレジスタ506へのデータの読み出しとが並行して行われることは前記第3実施例と同様である。本実施例では、図8の「別階層データバッファレジスタステータス」に示すように、コンテキストモデル処理前後のデータの入れ替えのためのシフト動作の期間に、次のコンテキストモデル処理に必要な別階層レベルのデータをメモリ101より別階層データバッファレジスタ406に読み込む。

【0040】

このようにシフト動作期間に別階層データの取り込みを行うことができるため、コンテキストモデル処理に別階層データの参照が必要な場合でも、別階層データの取り込みのための待ち時間を生じさせず、直ちにコンテキストモデル処理を開始できる。したがって、本実施例の符号化復号化装置は、コンテキストモデル処理で処理対象データと別階層のデータを参照する必要がある場合でも、高速動作が可能である。

【0041】

《第5実施例》

図9は、ウェーブレット順変換データ(周波数帯信号データ)の階層構造と、各階層レベルのデータサイズを示す。原画像のサイズを $64 \times 64$ とすると、階層レベル1の各周波数帯信号データ(DS1, SD1, DD1)のサイズは $32 \times 32$ となり、階層レベル2の各周波数帯信号データ(DS2, SD2, DD2)のサイズは $16 \times 16$ となり、また、階層レベル3の各周波数帯信号データ(DS3, SD3, DD3)のサイズは $8 \times 8$ となる。このように、可逆ウェーブレットでは、階層レベルによってデータのサイズが異なってくる。

【0042】

このようなデータサイズの異なる各階層レベルのデータに対するコンテキストモデル処理を小さな回路規模で可能にするため、本発明の第5実施例によれば、図1に示した符号化

10

20

30

40

50

復号化装置の全体的構成において、コンテキストモデル部 1 0 3 のバッファ記憶部 1 1 0 内のシフトレジスタは可変長のシフトレジスタとされる。

【 0 0 4 3 】

本実施例によるバッファ記憶部 1 1 0 の構成を図 1 1 に示す。図 1 1 において、6 0 1 と 6 0 2 は 8 段のシフトレジスタ、6 0 3 は 1 6 段のシフトレジスタであり、これらシフトレジスタは処理対象画素の隣のラインのデータを 1 ライン分保持するための可変長シフトレジスタとして利用される。6 0 9 と 6 1 0 は、そのシフトレジスタの長さ（段数）を切り替えるために利用されるマルチプレクサである。6 0 7 は 1 段のレジスタ、6 0 8 は図 3 に示す 1 段構成のワークレジスタ、6 0 4 は 6 段のシフトレジスタ、6 0 5 は 8 段のシフトレジスタ、6 0 6 は 1 6 段のシフトレジスタであり、処理対象画素を含む 1 ライン分のデータを保持するための可変長シフトレジスタとして利用される。6 1 1 と 6 1 2 は、そのシフトレジスタ長の切り替えのためのマルチプレクサである。マルチプレクサ 6 0 9 , 6 1 1 にはコントロール部 1 1 2 より選択信号 b が与えられ、マルチプレクサ 6 1 0 , 6 1 2 にはコントロール部 1 1 2 より選択信号 a が与えられる。6 1 3 は 2 段のシフトレジスタ、6 1 4 はメモリアンターフェイス部である。このメモリアンターフェイス部 6 1 4 を介して、メモリ 1 0 1 からシフトレジスタ 6 1 3 にデータが読み込まれ、また、シフトレジスタ 6 0 1 からメモリ 1 0 1 へデータが書き出される。

10

【 0 0 4 4 】

ここでは、図 9 に関連して説明したような階層構造とサイズのデータを扱うことを想定している。この場合、処理対象の階層レベルに応じて、選択信号 a , b は表 2 のように制御される。

20

【 0 0 4 5 】

【表 2】

レベル	a	b
1	L	L
2	H	L
3	X	H

30

【 0 0 4 6 】

また、図 1 0 に示すように、処理対象画素 T のコンテキストを決定するために NW , N , W , E , S の画素が参照されることを想定している。したがって、処理対象画素 T のデータはワークレジスタ 6 0 8 に保持されているから、参照画素 NW , N のデータはシフトレジスタ 6 0 1 に、参照画素 W のデータはレジスタ 6 0 7 に、参照画素 E のデータはシフトレジスタ 6 0 4 に、参照画素 S のデータはシフトレジスタ 6 1 3 に、それぞれ保持されることになる。

40

【 0 0 4 7 】

階層レベル 1 のデータのコンテキストモデル処理を行う場合には、表 2 に示すように、選択信号 a , b は共に L レベルに設定される。この場合、マルチプレクサ 6 0 9 はシフトレジスタ 6 0 2 の出力データをシフトレジスタ 6 0 1 に入力させ、マルチプレクサ 6 1 0 はシフトレジスタ 6 0 3 の出力データをシフトレジスタ 6 0 2 に入力させるので、シフトレジスタ 6 0 1 , 6 0 2 , 6 0 3 は直列につながり、全体として階層レベル 1 の 1 ラインのサイズに等しい 3 2 段の 1 本のシフトレジスタとして動作する。また、マルチプレクサ 6 1 1 , 6 1 2 も前段のシフトレジスタの出力データを後段のシフトレジスタに入力させるので、レジスタ 6 0 7 、ワークレジスタ 6 0 8 、シフトレジスタ 6 0 4 , 6 0 5 , 6 0 6

50

が直列につながり、全体として32段のシフトレジスタとして動作させることができる。これら上下の32段シフトレジスタは、全体としては64段の1本のシフトレジスタとして動作させることができる。したがって、前記第1実施例と同様のコンテキストモデル処理が可能である。ワークレジスタ608の保持データに対する復号ビットデータによる書き換えも、前記第1実施例と同様である。

**【0048】**

階層レベル2のコンテキストモデル処理の場合には、表2に示すように、選択信号aはHレベルに設定され、選択信号bはLレベルに設定される。この場合、マルチプレクサ610はレジスタ607の出力データをシフトレジスタ602に入力させ、マルチプレクサ609はシフトレジスタ602の出力データをシフトレジスタ601に入力させるため、シフトレジスタ601、602は全体として、階層レベル2の1ラインのサイズに等しい16段のシフトレジスタとして動作する。シフトレジスタ603は利用されない。また、マルチプレクサ612はシフトレジスタ613の出力データをシフトレジスタ605に入力させ、マルチプレクサ611はシフトレジスタ605の出力データをシフトレジスタ604に入力させるため、レジスタ607、ワークレジスタ608、シフトレジスタ604、605は全体として16段のシフトレジスタとして動作させることができる。シフトレジスタ606は利用されない。これら上下の16段シフトレジスタは、全体として1本の32段シフトレジスタとして動作させることができる。したがって、階層レベル2のデータに対するコンテキストモデル処理が可能である。

**【0049】**

また、階層レベル3のデータのコンテキストモデル処理の場合には、表2に示すように、選択信号bはHレベルに設定される。選択信号aはどのようなレベルに設定されても構わない。マルチプレクサ609はレジスタ607の出力データをシフトレジスタ601に入力させるため、処理対象画素の隣りのラインの画素データを保持するシフトレジスタとして8段のシフトレジスタ601だけが利用される。また、マルチプレクサ611はシフトレジスタ613の出力データをシフトレジスタ604に入力させるため、レジスタ607、ワークレジスタ608及びシフトレジスタ604は全体として8段のシフトレジスタとして動作させることができる。したがって、前記第1実施例と同様のコンテキストモデル処理を階層レベル3のデータに対して行うことができる。

**【0050】**

このように、コンテキストモデル処理のためのシフトレジスタを可変長とした構成によれば、各階層レベルのデータサイズに対応した長さのシフトレジスタを、階層レベル毎に別々に用意する構成に比べ、バッファ記憶部110の回路規模を小さくできることは明らかである。

**【0051】****《第6実施例》**

前記第2実施例に関連して説明したように、コンテキストモデル処理において、連続したN個の画素を処理対象とする場合がある。このような処理を効率的に実行可能にするため、本発明の第6実施例によれば、バッファ記憶部110は図12に示すような構成とされる。

**【0052】**

図12において、図11と同一部分には同一の符号が付けられている。図12と図11との相違点のみ説明する。図12において、708は図4に示すN段構成（ただし、ここではN=7）のワークレジスタである。つまり、図11中の1段のワークレジスタ608と6段のシフトレジスタ604が、1つの7段ワークレジスタ708に置き換えられている。このワークレジスタ708の制御は前記第2実施例において説明したとおりである。これ以外の構成と、コンテキストモデル処理の動作及びそのための制御は前記第5実施例の場合と同様である。

**【0053】****《第7実施例》**

本発明に係る符号化復号化装置は、コンテキストモデル処理において、処理対象画素を含むビットプレーン内の全データが0の時に、符号量を減らす処理を行う場合がある。本発明の第7実施例によれば、このような全データが0のビットプレーンに関する処理の高速化のため、後述のようにゼロフラグレジスタとデータマスク装置が符号化復号化装置に追加される。

【0054】

図13は、本実施例による符号化復号化装置のブロック図である。図13において、図1又は図2と同一部分は同一の符号を付け、その説明を省略する。

【0055】

図13と図1を対照すれば明らかなように、ゼロフラグレジスタ801が追加されていることを除けば、装置の全体的構成は前記第1実施例と同様である。このゼロフラグレジスタ801は、各ビットプレーンの全データが0であるか否かを示すフラグ情報を保持するためのレジスタで、可逆ウェーブレット変換部100、コンテキストモデル部103のいずれからもアクセス可能である。

10

【0056】

また、図13と図2を対照すれば明らかなように、本実施例においては、バッファ記憶部110のメモリインターフェース部204とシフトレジスタ202との間にデータマスク装置802が挿入されている点が前記第1実施例と相違する。データマスク装置802は、メモリ101より読み込まれた処理対象画素や参照画素のデータに対し、フラグレジスタ801の保持しているフラグ情報によりビット毎にマスク処理する装置である。このマスク処理後のデータがシフトレジスタ202に取り込まれる。

20

【0057】

符号化時には、可逆ウェーブレット変換部100は画像データのウェーブレット順変換を行う際に、各ビットプレーンの全データが0か否かを判断できるので、全データが0のビットプレーンについては0のフラグを、そうでないビットプレーンには1のフラグをゼロフラグレジスタ801に書き込む。コンテキストモデル部103は、周波数帯信号データを読み込んでコンテキストモデル処理を行うが、コントロール部112はゼロフラグレジスタ801のフラグ情報を参照することにより処理対象のビットプレーンの全データが0であるか否かをメモリ101をアクセスする前に判断できるので、処理対象ビットプレーンの全データが0の場合にメモリ101のアクセスを行わないように制御することができる。

30

【0058】

復号化時には、コンテキストモデル部103は、復号されたビットデータによりワークレジスタ203上で処理対象画素データを書き換え、これがシフトされてメモリ101に書き戻されることになる。しかし、処理対象ビットプレーンの全データが0のときには、その旨がFSMコード104からコンテキストモデル部103に与えられる。この場合、コンテキストモデル部103のコントロール部113は、ゼロフラグレジスタ801の処理対象ビットプレーンのフラグを0に設定し、当該処理対象ビットプレーンの復号ビットデータのメモリ101への書き戻しを行わないように制御する。つまり、バッファ記憶部110内のデータシフト動作もメモリ101のアクセス動作も行わない。したがって、メモリ101上では当該処理対象ビットプレーンのビットデータは不正なものとなるが、処理に支障を来さない。すなわち、処理対象のビットプレーンが一つ下位に下がり、同じ周波数帯信号データの処理を行う場合に、その不正なデータがメモリ101より読み込まれるが、全データが0の上位ビットプレーンのフラグは0に設定されており、データマスク装置802のマスク処理によって当該上位ビットプレーンのデータビットが0に設定された正しいデータがシフトレジスタ202に取り込まれるからである。

40

【0059】

なお、バッファ記憶部110のシフトレジスタ構成を前記第2実施例、第3実施例、第4実施例、第5実施例又は第6実施例と同様な構成に変更しても構わない。そのように変更した場合でも、メモリインターフェース部に直接接続したシフトレジスタの前段など適所

50

にデータマスク装置を挿入すれば、本実施例同様の制御が可能である。

【 0 0 6 0 】

【 発明の効果 】

以上の説明から明らかなように、本発明によれば、以下のような多くの効果を得られる。請求項 1 乃至 6 の各項記載の発明によれば、符号化復号化装置の回路規模の増大を回避しつつ、復号化されたビットプレーンのデータ書き換えを効率的に行い、復号化動作を高速化することができる。

【 0 0 6 1 】

請求項 3 記載の発明によれば、コンテキストモデル処理において、連続した複数個の処理対象画素が全て同じであるか否かを判断し、同じでなければ複数個の画素の 1 つ 1 つを順次処理対象とするという処理を行う場合でも、高速の動作が可能になる。

10

【 0 0 6 2 】

請求項第 4 記載の発明によれば、コンテキストモデル処理において処理対象のウェーブレット階層レベルと別のウェーブレット階層レベルのデータの参照が必要な場合でも、別階層レベルのデータの取り込みのための待ち時間の発生を回避し、高速動作が可能になる。

【 0 0 6 3 】

請求項 5 記載の発明によれば、コンテキストモデル部に、ウェーブレット階層レベル毎に異なった長さのシフトレジスタを用意する必要がなく、装置の回路規模を小さくできる。

【 0 0 6 4 】

請求項 6 記載の発明によれば、全データが 0 のビットプレーンを処理する際に時間のかかるメモリアクセスを回避し、動作を高速化できる。

20

【 図面の簡単な説明 】

【 図 1 】本発明の第 1 実施例乃至第 6 実施例による符号化復号化装置の全体構成を示すブロック図である。

【 図 2 】本発明の第 1 実施例による符号化復号化装置のバッファ記憶部の構成を示すブロック図である。

【 図 3 】 1 段のワークレジスタの構成を示すブロック図である。

【 図 4 】本発明の第 2 実施例による多段構成のワークレジスタのブロック図である。

【 図 5 】本発明の第 3 実施例による符号化復号化装置のバッファ記憶部の構成を示すブロック図である。

30

【 図 6 】本発明の第 3 実施例による符号化復号化装置の動作を説明するためのタイミングチャートである。

【 図 7 】本発明の第 4 実施例による符号化復号化装置のバッファ記憶部の構成を示すブロック図である。

【 図 8 】本発明の第 4 実施例による符号化復号化装置の動作を説明するためのタイミングチャートである。

【 図 9 】 3 レベルのウェーブレット階層構造を示す図である。

【 図 1 0 】処理対象画素と参照画素の位置関係の説明図である。

【 図 1 1 】本発明の第 5 実施例による符号化復号化装置のバッファ記憶部の構成を示すブロック図である。

40

【 図 1 2 】本発明の第 6 実施例による符号化復号化装置のバッファ記憶部の構成を示すブロック図である。

【 図 1 3 】本発明の第 7 実施例による符号化復号化装置のブロック図である。

【 符号の説明 】

1 0 0 可逆ウェーブレット変換部

1 0 1 メモリ

1 0 3 コンテキストモデル部

1 0 4 F S M コーダ

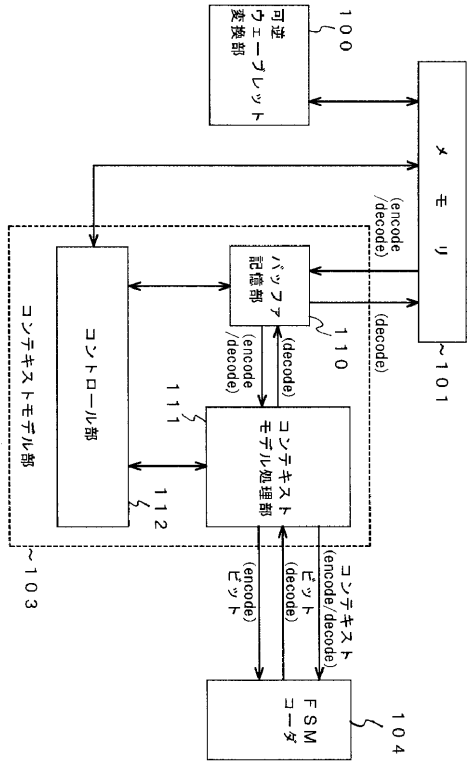
1 1 0 バッファ記憶部

1 1 1 コンテキストモデル処理部

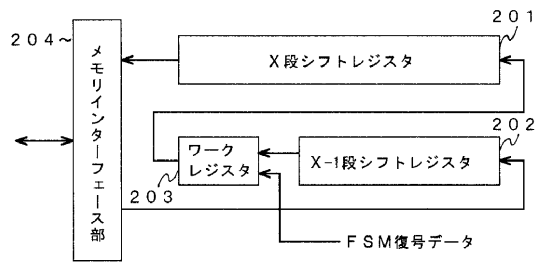
50

1 1 2	コントロール部	
2 0 1	シフトレジスタ	
2 0 2	シフトレジスタ	
2 0 3	ワークレジスタ	
2 0 4	メモリインターフェース部	
3 0 1	レジスタ	
3 0 2	コンビネーションロジック	
4 0 1	シフトレジスタ	
4 0 2	シフトレジスタ	
4 0 3	ワークレジスタ	10
4 0 4	メモリインターフェース部	
4 0 5	バッファレジスタ	
4 0 6	バッファレジスタ	
5 0 1	シフトレジスタ	
5 0 2	シフトレジスタ	
5 0 3	ワークレジスタ	
5 0 4	メモリインターフェース部	
5 0 5	バッファレジスタ	
5 0 6	バッファレジスタ	
5 0 7	別階層データバッファレジスタ	20
6 0 1	シフトレジスタ	
6 0 2	シフトレジスタ	
6 0 3	シフトレジスタ	
6 0 4	シフトレジスタ	
6 0 5	シフトレジスタ	
6 0 6	シフトレジスタ	
6 0 7	レジスタ	
6 0 8	ワークレジスタ	
6 0 9	マルチプレクサ	
6 1 0	マルチプレクサ	30
6 1 1	マルチプレクサ	
6 1 2	マルチプレクサ	
6 1 3	シフトレジスタ	
6 1 4	メモリインターフェース部	
7 0 8	ワークレジスタ	
8 0 1	ゼロフラグレジスタ	
8 0 2	データマスク装置	

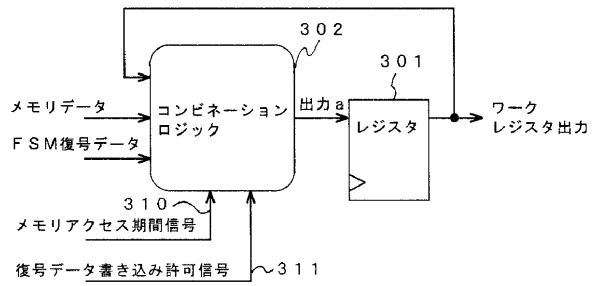
【図1】



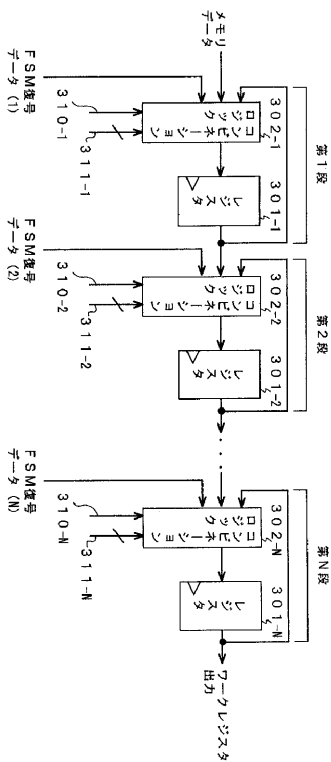
【図2】



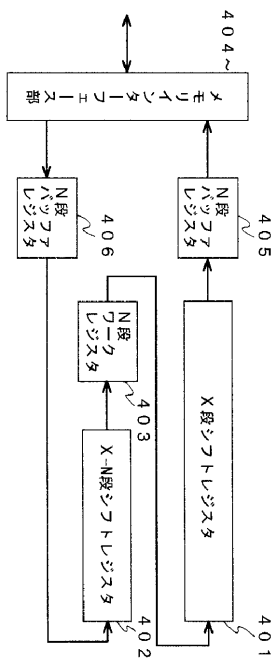
【図3】



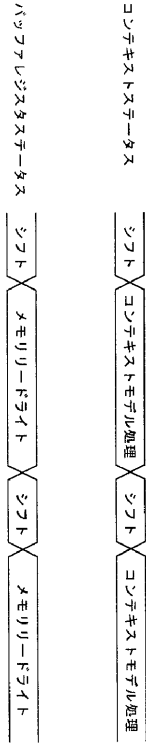
【図4】



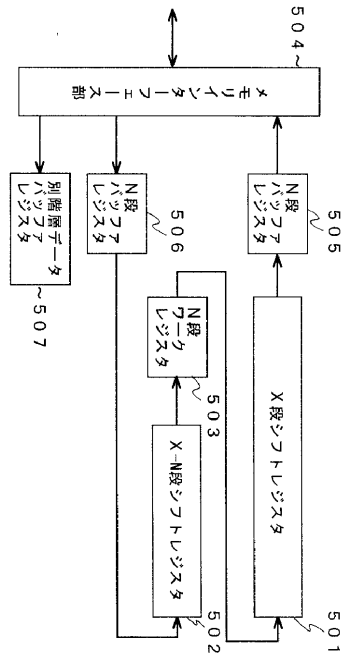
【図5】



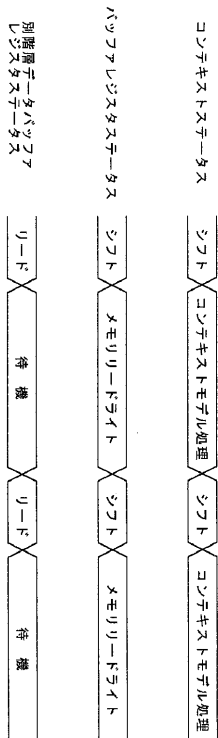
【 図 6 】



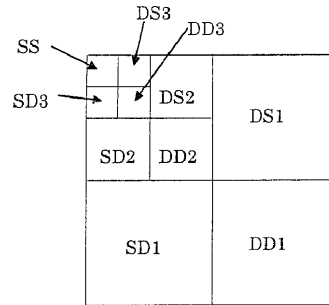
【 図 7 】



【 図 8 】

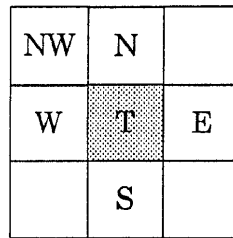


【 図 9 】

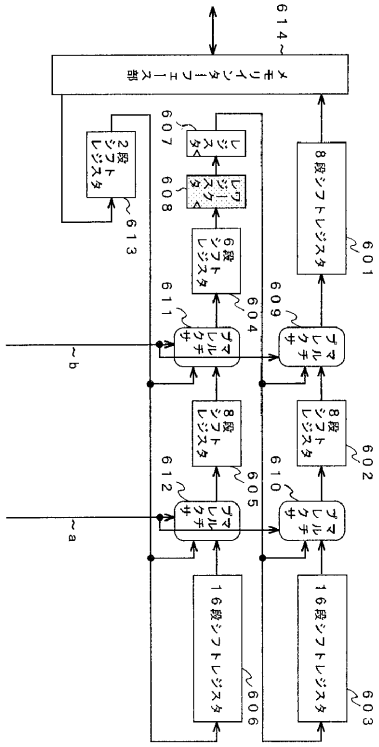


レベル1: 32 x 32  
 レベル2: 16 x 16  
 レベル3: 8 x 8

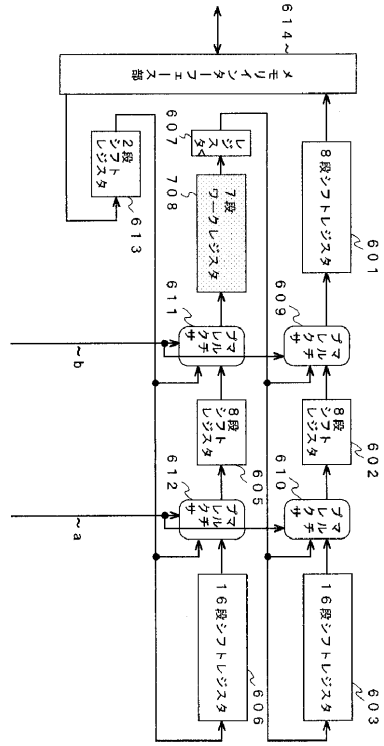
【 図 10 】



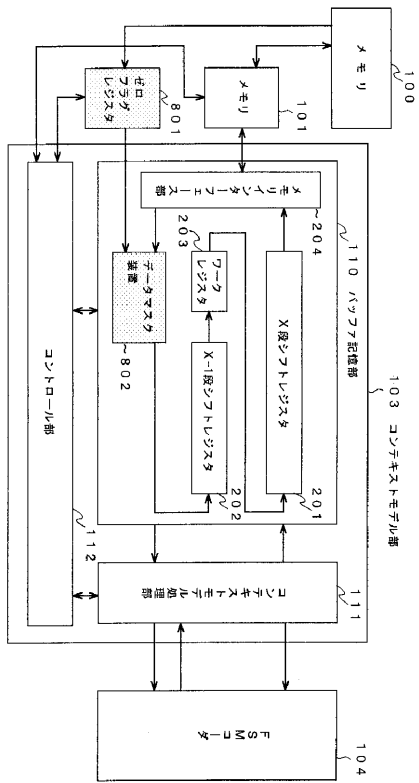
【図 1 1】



【図 1 2】



【図 1 3】



---

フロントページの続き

- (56)参考文献 特開平08 - 116265 (JP, A)  
特開平09 - 121168 (JP, A)  
特開昭56 - 135235 (JP, A)  
特開昭61 - 259349 (JP, A)  
特開平10 - 084484 (JP, A)

(58)調査した分野(Int.Cl. , DB名)

H04N 7/24-7/68  
H04N 1/41-1/419  
H03M 7/00-7/50  
G06F 12/00-12/16