

SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告 (条約第21条(3))

signal based on the second charges.

(57) 要約: 固体撮像装置において、第1の露光期間に少なくとも2つの第1の光電変換素子で第1の電荷が生成される。少なくとも2つの前記第1の電荷は前記フローティングディフュージョンにおいて加算される。第1のメモリは、前記第1の電荷に基づく第1の画素信号を記憶する。第2の露光期間に少なくとも1つの第2の光電変換素子で第2の電荷が生成される。前記第2の露光期間の少なくとも一部は前記第1の露光期間と重なる。前記第2の電荷は前記フローティングディフュージョンに保持される。第2のメモリは、前記第2の電荷に基づく第2の画素信号を記憶する。

明 細 書

発明の名称： 固体撮像装置および撮像システム

技術分野

[0001] 本発明は、固体撮像装置および撮像システムに関する。

背景技術

[0002] イメージセンサの高ダイナミックレンジ（H D R）化を実現するために、高感度信号と低感度信号とを合成する方法が一般的に使用されている。高感度信号は、感度が高い画素で得られた信号である。低感度信号は、感度が低い画素で得られた信号である。高感度信号および低感度信号を得る方法として、各信号を得るときの蓄積時間が信号毎に異なる方法が多く使用されている。また、サイズが異なる２種類の画素を画素領域内に配置する方法がある。加算される画素信号の数を変えることにより、感度が異なる複数の画素から信号を得る方法もある。

[0003] 各信号を得るときの蓄積時間が信号毎に異なる方法において、各信号を得る露光期間の長さが信号毎に異なる。そのため、移動物体がある場合には、複数の信号を合成した信号において、露光期間のずれにより偽信号が発生する。

[0004] サイズが異なる２種類の画素を画素領域内に配置する方法において、高感度信号を得るための画素の位置と、低感度信号を得るための画素の位置とが異なる。そのため、合成した信号において、画素の位置ずれにより偽信号が発生し、かつ画質が劣化する。この位置ずれは予め分かっているため、信号の補正は容易である。しかし、サイズが異なる複数の画素を配置する必要があるため、パターンのレイアウトが複雑である。画素の特性はレイアウトに非常に敏感であるため、サイズが異なる複数の画素を１つのチップ内に造り込むことは難しい。画素サイズが均一な通常のイメージセンサに比べ、歩留まりが低下する。

[0005] 加算される画素信号の数を変えることにより、高感度信号および低感度信

号を得る方法が特許文献1および特許文献2に開示されている。

先行技術文献

特許文献

[0006] 特許文献1：日本国特開2015-89036号公報

特許文献2：日本国特開2017-055350号公報

発明の概要

発明が解決しようとする課題

[0007] Charge Coupled Devices (CCD) 型固体撮像装置を用いた場合、高感度信号と低感度信号とで露光期間のずれは発生しない。行方向もしくは列方向に隣接した複数の画素で得られた画素信号が加算される。そのため、画像の解像度が水平方向と垂直方向とで大きく異なり、かつ合成した信号において、画質が劣化する。

[0008] Complementary Metal Oxide Semiconductor (CMOS) 型固体撮像装置を用いた場合、信号の加算は、行方向もしくは列方向に隣接した複数の画素で得られた画素信号の加算に限定されない。特許文献1および特許文献2に開示されている方法では、高感度信号を得るための露光期間と、低感度信号を得るための露光期間とのずれが少なくとも1H期間もしくは1フレーム期間において発生する。そのため、合成した信号において、画質が劣化する。

[0009] 本発明は、イメージセンサの高ダイナミックレンジ (HDR) 化を実現するために、高感度信号と低感度信号とを合成した信号において、画質の劣化を抑制することができる固体撮像装置および撮像システムを提供することを目的とする。

課題を解決するための手段

[0010] 本発明の第1の態様によれば、固体撮像装置は、行列状に配置された複数の光電変換素子を有する。前記固体撮像装置は、複数の画素グループを有する。前記複数の光電変換素子の各々は、前記複数の画素グループのいずれか

1つに属する。前記複数の画素グループの各々は、前記複数の光電変換素子に含まれる少なくとも3つの前記光電変換素子を含む。前記少なくとも3つの前記光電変換素子は、第1の電荷を生成する少なくとも2つの第1の光電変換素子と、第2の電荷を生成する少なくとも1つの第2の光電変換素子とからなる。前記少なくとも3つの前記光電変換素子は、少なくとも2行および少なくとも2列に配置されている。前記複数の画素グループの各々は、フローティングディフュージョン、第1のメモリ、および第2のメモリを有する。第1の露光期間に前記第1の光電変換素子で前記第1の電荷が生成される。前記第1の電荷は第1のタイミングで前記フローティングディフュージョンに転送される。少なくとも2つの前記第1の光電変換素子で生成された2つの前記第1の電荷は前記フローティングディフュージョンにおいて加算され、かつ前記フローティングディフュージョンに保持される。前記第1のメモリは、前記フローティングディフュージョンに保持された前記第1の電荷に基づく第1の画素信号を記憶する。第2の露光期間に前記第2の光電変換素子で前記第2の電荷が生成される。前記第2の露光期間の少なくとも一部は前記第1の露光期間と重なる。前記第2の電荷は第2のタイミングで前記フローティングディフュージョンに転送され、かつ前記フローティングディフュージョンに保持される。前記第2のタイミングは前記第1のタイミングと異なる。前記第2のメモリは、前記フローティングディフュージョンに保持された前記第2の電荷に基づく第2の画素信号を記憶する。

[0011] 本発明の第2の態様によれば、第1の態様において、前記固体撮像装置は、第1の基板および第2の基板を有してもよい。前記第1の基板は、前記複数の光電変換素子を有してもよい。前記第2の基板は、前記第1の基板に積層され、かつ前記第1のメモリおよび前記第2のメモリを有してもよい。

[0012] 本発明の第3の態様によれば、第1または第2の態様において、前記複数の画素グループの各々は、転送トランジスタ、第1のスイッチ、および第2のスイッチを有してもよい。前記転送トランジスタは、前記第1の電荷および前記第2の電荷を前記フローティングディフュージョンに転送してもよい。

。前記第1のスイッチは、前記フローティングディフュージョンおよび前記第1のメモリに接続されてもよい。前記第2のスイッチは、前記フローティングディフュージョンおよび前記第2のメモリに接続されてもよい。前記第1のスイッチがオンであるとき、前記第1のスイッチは、前記フローティングディフュージョンに保持された前記第1の電荷を前記第1のメモリに転送し、かつ前記第2のスイッチはオフであってもよい。前記第2のスイッチがオンであるとき、前記第2のスイッチは、前記フローティングディフュージョンに保持された前記第2の電荷を前記第2のメモリに転送し、かつ前記第1のスイッチはオフであってもよい。

[0013] 本発明の第4の態様によれば、第1または第2の態様において、前記複数の画素グループの各々は、前記複数の光電変換素子に含まれる少なくとも4つの前記光電変換素子を含んでもよい。前記少なくとも4つの前記光電変換素子は、連続する少なくとも2行および連続する少なくとも2列に配置されてもよい。

[0014] 本発明の第5の態様によれば、第3の態様において、前記複数の画素グループの各々は、前記複数の光電変換素子に含まれる少なくとも4つの前記光電変換素子を含んでもよい。前記少なくとも4つの前記光電変換素子は、連続する少なくとも2行および連続する少なくとも2列に配置されてもよい。

[0015] 本発明の第6の態様によれば、第5の態様において、前記少なくとも4つの前記光電変換素子は、少なくとも2つの前記第1の光電変換素子と、少なくとも2つの前記第2の光電変換素子とからなってもよい。前記転送トランジスタは、前記第2の光電変換素子で生成された前記第2の電荷を前記フローティングディフュージョンに順次転送してもよい。前記第2のスイッチは、前記フローティングディフュージョンに保持された前記第2の電荷を前記第2のメモリに順次転送してもよい。前記第2のメモリは、少なくとも2組の前記第2の電荷に基づく少なくとも2組の前記第2の画素信号を別々に記憶してもよい。

[0016] 本発明の第7の態様によれば、第6の態様において、前記固体撮像装置は

、複数回の撮像を実行してもよい。前記複数回の撮像の各々において、前記第1の光電変換素子は前記第1の電荷を生成してもよい。前記複数回の撮像の各々において、前記第2の光電変換素子は前記第2の電荷を生成してもよい。前記複数回の撮像の各々において、前記転送トランジスタは、前記第1の電荷および前記第2の電荷を前記フローティングディフュージョンに転送してもよい。前記複数回の撮像の各々において、前記第1のスイッチは、前記フローティングディフュージョンに保持された前記第1の電荷を前記第1のメモリに転送してもよい。前記複数回の撮像の各々において、前記第2のスイッチは、前記フローティングディフュージョンに保持された前記第2の電荷を前記第2のメモリに転送してもよい。前記複数回の撮像の各々において、前記第1のメモリは、前記第1の画素信号を記憶してもよい。前記複数回の撮像の各々において、前記第2のメモリは、前記第2の画素信号を記憶してもよい。前記複数の画素グループの各々において、少なくとも2つの前記第1の光電変換素子の組み合わせは前記撮像毎に異なってもよい。前記複数の画素グループの各々において、少なくとも2つの前記第2の光電変換素子の組み合わせは前記撮像毎に異なってもよい。

[0017] 本発明の第8の態様によれば、固体撮像装置は、行列状に配置された複数の光電変換素子を有する。前記固体撮像装置は、複数の画素グループを有する。前記複数の光電変換素子の各々は、前記複数の画素グループのいずれか1つに属する。前記複数の画素グループの各々は、前記複数の光電変換素子に含まれる少なくとも3つの前記光電変換素子を含む。前記少なくとも3つの前記光電変換素子は、第1の電荷を生成する少なくとも2つの第1の光電変換素子と、第2の電荷を生成する少なくとも1つの第2の光電変換素子とからなる。前記少なくとも3つの前記光電変換素子は、少なくとも2行および少なくとも2列に配置されている。前記複数の画素グループの各々は、第1のフローティングディフュージョン、および第2のフローティングディフュージョンを有する。露光期間に前記第1の光電変換素子で前記第1の電荷が生成される。前記第1の電荷は第1のタイミングで前記第1のフローティ

ングディフュージョンに転送される。少なくとも2つの光電変換素子で生成される2つの前記第1の電荷は前記第1のフローティングディフュージョンにおいて加算され、かつ前記第1のフローティングディフュージョンに保持される。前記露光期間に前記第2の光電変換素子で前記第2の電荷が生成される。前記第2の電荷は第2のタイミングで前記第2のフローティングディフュージョンに転送され、かつ前記第2のフローティングディフュージョンに保持される。前記第2のタイミングは前記第1のタイミングと同じである。前記第1のフローティングディフュージョンに保持された前記第1の電荷に基づく第1の画素信号は第1の信号線に出力される。前記第2のフローティングディフュージョンに保持された前記第2の電荷に基づく第2の画素信号は、前記第1の信号線と異なる第2の信号線に出力される。

[0018] 本発明の第9の態様によれば、撮像システムは、前記固体撮像装置および信号処理回路を有する。前記信号処理回路は、前記第1の画素信号に基づく第1の画像信号と、前記第2の画素信号に基づく第2の画像信号とを合成する。

発明の効果

[0019] 上記の各態様によれば、固体撮像装置および撮像システムは合成した信号において、画質の劣化を抑制することができる。

図面の簡単な説明

[0020] [図1]本発明の第1の実施形態の撮像システムの構成を示すブロック図である。

[図2]本発明の第1の実施形態の固体撮像装置の構成を示すブロック図である。

[図3]本発明の第1の実施形態の画素グループの構成を示す回路図である。

[図4]本発明の第1の実施形態の固体撮像装置の断面図および平面図である。

[図5]本発明の第1の実施形態の固体撮像装置の動作を示すタイミングチャートである。

[図6]本発明の第1の実施形態の変形例の固体撮像装置の動作を示すタイミン

グチャートである。

[図7]本発明の第2の実施形態の画素グループの構成を示す回路図である。

[図8]本発明の第2の実施形態の固体撮像装置の動作を示すタイミングチャートである。

[図9]本発明の第3の実施形態の固体撮像装置の動作を示すタイミングチャートである。

[図10]本発明の第4の実施形態の画素グループの構成を示す回路図である。

[図11]本発明の第4の実施形態の固体撮像装置の動作を示すタイミングチャートである。

[図12]本発明の第4の実施形態の固体撮像装置の動作を示すタイミングチャートである。

[図13]本発明の第5の実施形態の固体撮像装置の動作を示すタイミングチャートである。

[図14]本発明の第5の実施形態の固体撮像装置の動作を示すタイミングチャートである。

[図15]本発明の第6の実施形態の画素グループの構成を示す回路図である。

[図16]本発明の第6の実施形態の固体撮像装置の動作を示すタイミングチャートである。

発明を実施するための形態

[0021] 図面を参照し、本発明の実施形態を説明する。

[0022] (第1の実施形態)

図1は、本発明の第1の実施形態の撮像システム200の構成を示す。撮像システム200は、撮像機能を有する電子機器である。例えば、撮像システム200は、デジタルカメラ、デジタルビデオカメラ、および内視鏡などである。図1に示す撮像システム200は、レンズ201、固体撮像装置202、信号処理部203（信号処理回路）、表示部204、駆動制御部205、レンズ制御部206、カメラ制御部207、カメラ操作部208、および記憶部209を有する。

[0023] レンズ２０１は、被写体の光学像を固体撮像装置２０２の撮像面に結像する。レンズ制御部２０６は、レンズ２０１の絞りおよびレンズ２０１の焦点位置などを制御する。固体撮像装置２０２は、レンズ２０１によって結像された被写体の光学像に基づいてデジタルの画像信号を生成する。固体撮像装置２０２は、第１の画像信号および第２の画像信号を出力する。第１の画像信号は高感度信号に基づいて生成され、かつ第２の画像信号は低感度信号に基づいて生成される。駆動制御部２０５は、固体撮像装置２０２を駆動し、かつ、固体撮像装置２０２の動作を制御する。

[0024] 信号処理部２０３は、固体撮像装置２０２から出力された画像信号に画像処理を行う。信号処理部２０３は、第１の画像処理部２０３ａおよび第２の画像処理部２０３ｂを有する。第１の画像処理部２０３ａは、記録のために画像信号を処理する。第２の画像処理部２０３ｂは、表示のために画像信号を処理する。第１の画像処理部２０３ａおよび第２の画像処理部２０３ｂは、固体撮像装置２０２から出力された第１の画像信号と、固体撮像装置２０２から出力された第２の画像信号とを合成する。これにより、第１の画像処理部２０３ａおよび第２の画像処理部２０３ｂは、ダイナミックレンジが高い画像を生成する。固体撮像装置２０２は、第１の画像信号と第２の画像信号とを合成する信号処理回路を有してもよい。

[0025] 表示部２０４は、第２の画像処理部２０３ｂによって処理された画像信号に基づいて画像を表示する。表示部２０４は、静止画像を再生し、かつ表示することができる。表示部２０４は、被写体の画像を動画としてリアルタイムに表示することができる。

[0026] 記憶部２０９は、第１の画像処理部２０３ａによって処理された画像信号を記憶する。例えば、記憶部２０９はメモリカードである。記憶部２０９は、撮像システム２００に対して着脱可能であってもよい。つまり、記憶部２０９は、撮像システム２００に固有の構成である必要はない。

[0027] カメラ制御部２０７は、撮像システム２００全体を制御する。カメラ制御部２０７の動作は、プログラムに規定されている。そのプログラムは、撮像

システム 200 に内蔵された ROM に格納されている。カメラ制御部 207 は、そのプログラムを読み出して、そのプログラムが規定する内容に従って、各種の制御を行う。

[0028] カメラ操作部 208 は、ユーザが撮像システム 200 に対する各種の操作入力を行うための各種部材を有する。カメラ操作部 208 は、操作入力の結果に基づく信号をカメラ制御部 207 に出力する。

[0029] 図 2 は、固体撮像装置 202 の構成を示す。固体撮像装置 202 は、画素部 2、垂直走査回路 3、列処理回路 4、水平読み出し回路 5、出力アンプ 6、および制御回路 7 を有する。画素部 2 は、複数の画素 1 を有する。図 2 に示す各回路要素の配置位置は実際の配置位置と必ずしも一致するわけではない。

[0030] 画素部 2 において、複数の画素 1 は 2 次元の行列状に配置されている。複数の画素 1 の配列における行数と、複数の画素 1 の配列における列数とは、2 以上である。複数の画素グループ 1 a が配置されている。複数の画素 1 の各々は、複数の画素グループ 1 a のいずれか 1 つに属する。複数の画素グループ 1 a の各々は、少なくとも 3 つの画素 1 を含む。図 2 に示す例において、複数の画素グループ 1 a の各々は、連続する少なくとも 2 行および連続する少なくとも 2 列に配置された少なくとも 4 つの画素 1 を含む。複数の画素グループ 1 a の各々において、2 つ以上の画素 1 が行方向および列方向に連続的に配置されている。1 つの画素グループ 1 a に属する 4 つの画素 1 は、FD（フローティングディフュージョン）を共有する。

[0031] 図 2 に示す画素 1 の配列は一例である。画素 1 の配列における行数は、図 2 に示す行数と同じでなくてもよい。画素 1 の配列における列数は、図 2 に示す列数と同じでなくてもよい。1 つの画素グループ 1 a に含まれる画素 1 の数は、4 つでなくてもよい。画素信号は、読み出し領域から読み出される。第 1 の実施形態において読み出し領域は、固体撮像装置 202 が有する全ての画素 1 を含む。読み出し領域は、全ての画素 1 を含む領域の一部であってもよい。読み出し領域は、有効画素領域の外側に配置されているオプティ

カルブラック画素を含んでもよい。オプティカルブラック画素は、常時遮光されている。オプティカルブラック画素から読み出された画素信号は、例えば暗電流成分の補正に使用される。

[0032] 垂直走査回路 3 は、例えばシフトレジスタを含む。垂直走査回路 3 は、画素 1 および画素グループ 1 a の駆動制御を行単位で行う。この駆動制御には、リセット動作、蓄積動作、および信号読み出し等が含まれる。この駆動制御を行うために、垂直走査回路 3 は、行毎に配置されている制御信号線（不図示）を経由して画素 1 および画素グループ 1 a に制御信号（制御パルス）を出力する。この駆動制御の結果、画素グループ 1 a の配列における列毎に配置されている垂直信号線（不図示）に画素信号が出力される。

[0033] 列処理回路 4 は、垂直信号線に接続されている。列処理回路 4 は、垂直信号線に出力された画素信号に対して信号処理を行う。この信号処理は、ノイズ除去および増幅等を含む。水平読み出し回路 5 は、例えばシフトレジスタを含む。水平読み出し回路 5 は、列処理回路 4 によって処理された画素信号を出力アンプ 6 に出力する。出力アンプ 6 は、画素信号を増幅することにより画像信号を生成する。画像信号は、出力端子 11 から固体撮像装置 202 の外部へ出力される。

[0034] 制御回路 7 は、クロック信号および制御信号等を生成する。クロック信号および制御信号は、垂直走査回路 3、列処理回路 4、および水平読み出し回路 5 等の動作の基準となる。制御回路 7 によって生成された信号は、垂直走査回路 3、列処理回路 4、および水平読み出し回路 5 等に出される。画素信号のデジタル化は、固体撮像装置 202 内の回路で行われてもよいし、あるいは固体撮像装置 202 外の回路で行われてもよい。

[0035] 図 3 は、画素グループ 1 a の構成を示す。1つの画素グループ 1 a は、連続する 2 行かつ連続する 2 列に配置された画素 1 に対応する。図 3 に示す画素グループ 1 a は、4つの光電変換素子 10 a, 10 b, 10 c, 10 d と、4つの転送トランジスタ 11 a, 11 b, 11 c, 11 d と、FD 12（フローティングディフュージョン）と、第 1 のリセットトランジスタ 13 と

、第1の増幅トランジスタ14と、第1の電流源16と、クランプ容量17と、2つのメモリユニット8a、8bとを有する。

[0036] メモリユニット8aは、サンプルトランジスタ18a、メモリ19a、第2のリセットトランジスタ20a、第2の増幅トランジスタ21a、および選択トランジスタ22aを有する。メモリユニット8bは、サンプルトランジスタ18b、メモリ19b、第2のリセットトランジスタ20b、第2の増幅トランジスタ21b、および選択トランジスタ22bを有する。

[0037] 画素グループ1aの概略構成について説明する。固体撮像装置202は、行列状に配置された複数の光電変換素子10a、10b、10c、10dを有する。固体撮像装置202は、複数の画素グループ1aを有する。複数の光電変換素子10a、10b、10c、10dの各々は、複数の画素グループ1aのいずれか1つに属する。複数の画素グループ1aの各々は、複数の光電変換素子10a、10b、10c、10dに含まれる少なくとも3つの光電変換素子を含む。少なくとも3つの光電変換素子は、第1の電荷を生成する少なくとも2つの第1の光電変換素子と、第2の電荷を生成する少なくとも1つの第2の光電変換素子とからなる。少なくとも3つの光電変換素子は、少なくとも2行および少なくとも2列に配置されている。

[0038] 第1の露光期間に少なくとも2つの第1の光電変換素子で少なくとも2つの第1の電荷が生成される。少なくとも2つの第1の電荷は第1のタイミングでFD12に転送される。少なくとも2つの第1の電荷はFD12において加算され、かつFD12に保持される。メモリ19a（第1のメモリ）は、FD12に保持された第1の電荷に基づく第1の画素信号を記憶する。第2の露光期間に少なくとも1つの第2の光電変換素子で第2の電荷が生成される。第2の露光期間の少なくとも一部は第1の露光期間と重なる。第2の電荷は第2のタイミングでFD12に転送され、かつFD12に保持される。第2のタイミングは第1のタイミングと異なる。メモリ19b（第2のメモリ）は、FD12に保持された第2の電荷に基づく第2の画素信号を記憶する。

- [0039] 画素グループ 1 a の詳細な構成について説明する。複数の画素グループ 1 a の各々は、複数の光電変換素子に含まれる少なくとも 4 つの光電変換素子を含む。少なくとも 4 つの光電変換素子は、連続する少なくとも 2 行および連続する少なくとも 2 列に配置されている。図 3 に示す画素グループ 1 a は、2 行かつ 2 列に配置された 4 つの光電変換素子 10 a, 10 b, 10 c, 10 d を含む。1 つの画素グループ 1 a に含まれる光電変換素子の数は 5 以上であってもよい。1 つの画素グループ 1 a に含まれる光電変換素子の配列の行数は 3 以上であってもよい。1 つの画素グループ 1 a に含まれる光電変換素子の配列の列数は 3 以上であってもよい。1 つの画素グループ 1 a に含まれる光電変換素子の配列において、行数および列数が同じでなくてもよい。
- [0040] FD 12、第 1 のリセットトランジスタ 13、第 1 の増幅トランジスタ 14、第 1 の電流源 16、およびクランプ容量 17 は、画素グループ 1 a 内で共有されている。図 3 に示す各回路要素の配置位置は実際の配置位置と必ずしも一致するわけではない。
- [0041] 光電変換素子 10 a および転送トランジスタ 11 a は、第 1 の画素に対応する。光電変換素子 10 b および転送トランジスタ 11 b は、第 2 の画素に対応する。光電変換素子 10 c および転送トランジスタ 11 c は、第 3 の画素に対応する。光電変換素子 10 d および転送トランジスタ 11 d は、第 4 の画素に対応する。以下では、1 つの画素グループ 1 a に含まれる 4 つの画素 1 のうち第 1 の画素の構成について説明する。第 2 の画素、第 3 の画素、および第 4 の画素の構成は、第 1 の画素の構成と同様である。以下では、メモリユニット 8 a の構成について説明する。メモリユニット 8 b の構成は、メモリユニット 8 a の構成と同様である。
- [0042] 光電変換素子 10 a の第 1 端は、グランドに接続されている。転送トランジスタ 11 a のドレインは、光電変換素子 10 a の第 2 端に接続されている。転送トランジスタ 11 a のゲートは、垂直走査回路 3 に接続されている。転送パルス S 11 a が垂直走査回路 3 から転送トランジスタ 11 a のゲート

に供給される。

[0043] FD 12 の第 1 端は、転送トランジスタ 11 a のソース、転送トランジスタ 11 b のソース、転送トランジスタ 11 c のソース、および転送トランジスタ 11 d のソースに接続されている。FD 12 の第 2 端は、グランドに接続されている。第 1 のリセットトランジスタ 13 のドレインは、電源電圧 VDD を供給する電源に接続されている。第 1 のリセットトランジスタ 13 のソースは、転送トランジスタ 11 a のソース、転送トランジスタ 11 b のソース、転送トランジスタ 11 c のソース、転送トランジスタ 11 d のソース、および FD 12 の第 1 端に接続されている。第 1 のリセットトランジスタ 13 のゲートは、垂直走査回路 3 に接続されている。第 1 のリセットパルス S 13 が垂直走査回路 3 から第 1 のリセットトランジスタ 13 のゲートに供給される。

[0044] 第 1 の増幅トランジスタ 14 のドレインは、電源電圧 VDD を供給する電源に接続されている。第 1 の増幅トランジスタ 14 のゲートは、転送トランジスタ 11 a のソース、転送トランジスタ 11 b のソース、転送トランジスタ 11 c のソース、転送トランジスタ 11 d のソース、および FD 12 の第 1 端に接続されている。第 1 の電流源 16 の第 1 端は、第 1 の増幅トランジスタ 14 のソースに接続されている。第 1 の電流源 16 の第 2 端は、グランドに接続されている。クランプ容量 17 の第 1 端は、第 1 の増幅トランジスタ 14 のソースおよび第 1 の電流源 16 の第 1 端に接続されている。

[0045] サンプルトランジスタ 18 a のドレインは、クランプ容量 17 の第 2 端に接続されている。サンプルトランジスタ 18 a のゲートは、垂直走査回路 3 に接続されている。サンプルパルス S 18 a が垂直走査回路 3 からサンプルトランジスタ 18 a のゲートに供給される。第 2 のリセットトランジスタ 20 a のドレインは、電源電圧 VDD を供給する電源に接続されている。第 2 のリセットトランジスタ 20 a のソースは、サンプルトランジスタ 18 a のソースに接続されている。第 2 のリセットトランジスタ 20 a のゲートは、垂直走査回路 3 に接続されている。第 2 のリセットパルス S 20 a が垂直走

査回路3から第2のリセットトランジスタ20aのゲートに供給される。

[0046] メモリ19aの第1端は、サンプルトランジスタ18aのソースに接続されている。メモリ19aの第2端は、グランドに接続されている。第2の増幅トランジスタ21aのドレインは、電源電圧VDDを供給する電源に接続されている。第2の増幅トランジスタ21aのゲートは、サンプルトランジスタ18aのソースおよびメモリ19aの第1端に接続されている。選択トランジスタ22aのドレインは、第2の増幅トランジスタ21aのソースに接続されている。選択トランジスタ22aのソースは、垂直信号線9に接続されている。選択トランジスタ22aのゲートは、垂直走査回路3に接続されている。選択パルスS22aが垂直走査回路3から選択トランジスタ22aのゲートに供給される。

[0047] 光電変換素子10aは、フォトダイオードである。光電変換素子10aは、被写体を撮像し、かつ画素信号を出力する。具体的には、光電変換素子10aは、光電変換素子10aに入射した光の量に基づく電荷を生成し、かつ生成された電荷を保持および蓄積する。光電変換素子10aは、画素信号として電荷を出力する。

[0048] 転送トランジスタ11aは、光電変換素子10aおよびFD12に接続されている。転送トランジスタ11aは、第1の状態と第2の状態とを切り替える。第1の状態において、光電変換素子10aとFD12とは電氣的に接続される。第2の状態において、光電変換素子10aとFD12とは電氣的に絶縁される。転送トランジスタ11aがオンであるとき、光電変換素子10aとFD12とは電氣的に接続される。転送トランジスタ11aがオフであるとき、光電変換素子10aとFD12とは電氣的に絶縁される。光電変換素子10aとFD12とが電氣的に接続されたとき、転送トランジスタ11aは、光電変換素子10aに蓄積された電荷をFD12に転送する。転送トランジスタ11aのオンと転送トランジスタ11aのオフとは、垂直走査回路3から供給される転送パルスS11aに基づいて制御される。

[0049] 転送パルスS11bが垂直走査回路3から転送トランジスタ11bのゲー

トに供給される。転送パルス S 1 1 c が垂直走査回路 3 から転送トランジスタ 1 1 c のゲートに供給される。転送パルス S 1 1 d が垂直走査回路 3 から転送トランジスタ 1 1 d のゲートに供給される。

[0050] F D 1 2 は、光電変換素子 1 0 a, 1 0 b, 1 0 c, 1 0 d から転送された電荷を一時的に保持および蓄積し、電圧に変換する。

[0051] 第 1 のリセットトランジスタ 1 3 は、電源および F D 1 2 に接続されている。第 1 のリセットトランジスタ 1 3 は、第 1 の状態と第 2 の状態とを切り替える。第 1 の状態において、電源と F D 1 2 とは電氣的に接続される。第 2 の状態において、電源と F D 1 2 とは電氣的に絶縁される。第 1 のリセットトランジスタ 1 3 がオンであるとき、電源と F D 1 2 とは電氣的に接続される。第 1 のリセットトランジスタ 1 3 がオフであるとき、電源と F D 1 2 とは電氣的に絶縁される。電源と F D 1 2 とが電氣的に接続されたとき、第 1 のリセットトランジスタ 1 3 は F D 1 2 をリセットする。第 1 のリセットトランジスタ 1 3 のオンと第 1 のリセットトランジスタ 1 3 のオフとは、垂直走査回路 3 から供給される第 1 のリセットパルス S 1 3 に基づいて制御される。転送トランジスタ 1 1 a および第 1 のリセットトランジスタ 1 3 がオンであるとき、光電変換素子 1 0 a がリセットされる。光電変換素子 1 0 a および F D 1 2 のリセットにより、光電変換素子 1 0 a および F D 1 2 に蓄積されている電荷の量が制御される。このリセットにより、光電変換素子 1 0 a および F D 1 2 の状態（電位）が基準状態（基準電位、リセットレベル）に設定される。

[0052] 第 1 の増幅トランジスタ 1 4 は、F D 1 2 に保持された電荷に基づく電圧を増幅し、かつ増幅された電圧を画素信号としてソースから出力する。第 1 の電流源 1 6 は、第 1 の増幅トランジスタ 1 4 の負荷として機能し、かつ第 1 の増幅トランジスタ 1 4 を駆動する電流を第 1 の増幅トランジスタ 1 4 に供給する。第 1 の増幅トランジスタ 1 4 および第 1 の電流源 1 6 は、ソースフォロア回路である。

[0053] クランプ容量 1 7 は、第 1 の増幅トランジスタ 1 4 から出力された画素信

号の電圧レベルをクランプ（固定）する。サンプルトランジスタ18aは、クランプ容量17およびメモリ19aに接続されている。サンプルトランジスタ18aは、第1の状態と第2の状態とを切り替える。第1の状態において、クランプ容量17とメモリ19aとは電氣的に接続される。第2の状態において、クランプ容量17とメモリ19aとは電氣的に絶縁される。サンプルトランジスタ18aがオンであるとき、クランプ容量17とメモリ19aとは電氣的に接続される。サンプルトランジスタ18aがオフであるとき、クランプ容量17とメモリ19aとは電氣的に絶縁される。クランプ容量17とメモリ19aとが電氣的に接続されたとき、サンプルトランジスタ18aは、クランプ容量17の第2端の電圧をサンプリングする。これによって、サンプルトランジスタ18aは、第1の増幅トランジスタ14から出力された画素信号をメモリ19aに転送する。サンプルトランジスタ18aのオンとサンプルトランジスタ18aのオフとは、垂直走査回路3から供給されるサンプルパルスS18aに基づいて制御される。

[0054] メモリ19aは、サンプルトランジスタ18aによってサンプリングされた画素信号を保持する。例えば、メモリ19aとして、Metal Insulator Metal (MIM) 容量またはMetal Oxide Semiconductor (MOS) 容量が使用される。MIM容量およびMOS容量は、リークの少ない容量である。これによって、ノイズに対する耐性が向上し、かつ高品質な信号が得られる。

[0055] 第2のリセットトランジスタ20aは、電源およびメモリ19aに接続されている。第2のリセットトランジスタ20aは、第1の状態と第2の状態とを切り替える。第1の状態において、電源とメモリ19aとは電氣的に接続される。第2の状態において、電源とメモリ19aとは電氣的に絶縁される。第2のリセットトランジスタ20aがオンであるとき、電源とメモリ19aとは電氣的に接続される。第2のリセットトランジスタ20aがオフであるとき、電源とメモリ19aとは電氣的に絶縁される。電源とメモリ19aとが電氣的に接続されたとき、第2のリセットトランジスタ20aはメモ

リ 19 a をリセットする。第 2 のリセットトランジスタ 20 a のオンと第 2 のリセットトランジスタ 20 a のオフとは、垂直走査回路 3 から供給される第 2 のリセットパルス S 20 a に基づいて制御される。サンプルトランジスタ 18 a および第 2 のリセットトランジスタ 20 a がオンであるとき、クランプ容量 17 がリセットされる。クランプ容量 17 およびメモリ 19 a のリセットにより、クランプ容量 17 およびメモリ 19 a に蓄積されている電荷の量が制御される。このリセットにより、クランプ容量 17 およびメモリ 19 a の状態（電位）が基準状態（基準電位、リセットレベル）に設定される。

[0056] 第 2 の増幅トランジスタ 21 a は、メモリ 19 a に保持された画素信号に基づく電圧を増幅し、かつ増幅された電圧を画素信号としてソースから出力する。垂直信号線 9 に接続された第 2 の電流源 23 は、第 2 の増幅トランジスタ 21 a の負荷として機能し、かつ第 2 の増幅トランジスタ 21 a を駆動する電流を第 2 の増幅トランジスタ 21 a に供給する。第 2 の増幅トランジスタ 21 a および第 2 の電流源 23 は、ソースフォロア回路である。

[0057] 選択トランジスタ 22 a は、第 2 の増幅トランジスタ 21 a および垂直信号線 9 に接続されている。選択トランジスタ 22 a は、第 1 の状態と第 2 の状態とを切り替える。第 1 の状態において、第 2 の増幅トランジスタ 21 a と垂直信号線 9 とは電氣的に接続される。第 2 の状態において、第 2 の増幅トランジスタ 21 a と垂直信号線 9 とは電氣的に絶縁される。選択トランジスタ 22 a がオンであるとき、第 2 の増幅トランジスタ 21 a と垂直信号線 9 とは電氣的に接続される。選択トランジスタ 22 a がオフであるとき、第 2 の増幅トランジスタ 21 a と垂直信号線 9 とは電氣的に絶縁される。第 2 の増幅トランジスタ 21 a と垂直信号線 9 とが電氣的に接続されたとき、選択トランジスタ 22 a は、第 2 の増幅トランジスタ 21 a から出力された画素信号を垂直信号線 9 に出力する。選択トランジスタ 22 a のオンと選択トランジスタ 22 a のオフとは、垂直走査回路 3 から供給される選択パルス S 22 a に基づいて制御される。

- [0058] サンプルパルス S 1 8 b が垂直走査回路 3 からサンプルトランジスタ 1 8 b のゲートに供給される。第 2 のリセットパルス S 2 0 b が垂直走査回路 3 から第 2 のリセットトランジスタ 2 0 b のゲートに供給される。選択パルス S 2 2 b が垂直走査回路 3 から選択トランジスタ 2 2 b のゲートに供給される。
- [0059] 転送トランジスタ 1 1 a, 1 1 b, 1 1 c, 1 1 d は、第 1 の電荷および第 2 の電荷を F D 1 2 に転送する。サンプルトランジスタ 1 8 a (第 1 のスイッチ) は、F D 1 2 およびメモリ 1 9 a (第 1 のメモリ) に接続されている。サンプルトランジスタ 1 8 b (第 2 のスイッチ) は、F D 1 2 およびメモリ 1 9 b (第 2 のメモリ) に接続されている。サンプルトランジスタ 1 8 a がオンであるとき、サンプルトランジスタ 1 8 a は、F D 1 2 に保持された第 1 の電荷を F D 1 2 からメモリ 1 9 a に転送し、かつサンプルトランジスタ 1 8 b はオフである。サンプルトランジスタ 1 8 b がオンであるとき、サンプルトランジスタ 1 8 b は、F D 1 2 に保持された第 2 の電荷を F D 1 2 からメモリ 1 9 b に転送し、かつサンプルトランジスタ 1 8 a はオフである。
- [0060] 図 3 に示す画素グループ 1 a に含まれるトランジスタは、N M O S トランジスタである。画素グループ 1 a に含まれるトランジスタは、P M O S トランジスタであってもよい。この場合、電源の極性およびグラウンドの極性は、図 3 に示すそれぞれの極性の反対となる。
- [0061] 図 4 は、固体撮像装置 2 0 2 の断面構造 2 0 2 a および固体撮像装置 2 0 2 の平面構造 2 0 2 b を示す。固体撮像装置 2 0 2 は、積層された 2 枚の基板を含む。2 枚の基板は、第 1 の基板 3 0 および第 2 の基板 3 1 である。光電変換素子 1 0 a, 1 0 b, 1 0 c, 1 0 d は、第 1 の基板 3 0 に配置されている。メモリ 1 9 a, 1 9 b, 1 9 c, 1 9 d は、第 2 の基板 3 1 に配置されている。
- [0062] 第 1 の基板 3 0 は、複数の光電変換素子 1 0 a, 1 0 b, 1 0 c, 1 0 d を有する。第 2 の基板 3 1 は、第 1 の基板 3 0 に積層され、かつメモリ 1 9

a, 19 bを有する。この構成により、光電変換素子10 a, 10 b, 10 c, 10 dの面積を大きくすることができる。この構成により、メモリ19 a, 19 bに保持されている画素信号への光ノイズの影響を抑制することができる。画素グループ1 aに含まれる他の回路要素は、第1の基板30および第2の基板31のいずれか1つに配置される。第1の基板30および第2の基板31は電氣的に接続され、かつ、第1の基板30および第2の基板31の間で電気信号が転送される。

[0063] 第1の基板30は、2つの主面として第1の面および第2の面を有する。主面の表面積は、側面の表面積よりも相対的に大きい。光Lが照射される第1の面側に光電変換素子10 a, 10 b, 10 c, 10 dが配置されている。第1の基板30に照射された光Lは光電変換素子10 a, 10 b, 10 c, 10 dに入射する。第1の基板30の第2の面には、多数のマイクロパッド32が画素グループ1 a毎に配置されている。マイクロパッド32は、第1の基板30と第2の基板31とを接続するための電極である。

[0064] 第2の基板31は、2つの主面として第3の面および第4の面を有する。第2の基板31の第3の面は、第1の基板30の第2の面と対向する。第2の基板31は、第1の基板30の第2の面に積層されている。第2の基板31の第3の面において、マイクロパッド32と対応する位置には、多数のマイクロパッド33が配置されている。マイクロパッド33は、第1の基板30と第2の基板31とを接続するための電極である。マイクロパッド32とマイクロパッド33との間にはマイクロバンプ34が配置されている。第1の基板30および第2の基板31は、マイクロパッド32およびマイクロパッド33が互いに対向した状態で重ねられる。第1の基板30および第2の基板31は、マイクロパッド32とマイクロパッド33とがマイクロバンプ34によって電氣的に接続された状態で一体化されている。マイクロパッド32、マイクロバンプ34、およびマイクロパッド33は、第1の基板30と第2の基板31とを接続する接続電極である。

[0065] 光電変換素子10 a, 10 b, 10 c, 10 d、転送トランジスタ11 a

、11b、11c、11d、FD12、第1のリセットトランジスタ13、および第1の増幅トランジスタ14は、第1の基板30に配置されている。第1の電流源16、クランプ容量17、サンプルトランジスタ18a、18b、第2のリセットトランジスタ20a、20b、メモリ19a、19b、第2の増幅トランジスタ21a、21b、および選択トランジスタ22a、22bは、第2の基板31に配置されている。この場合、第1の基板30の第1の増幅トランジスタ14のソースと、第2の基板31のクランプ容量17の一端との間に接続電極が配置される。第1の基板30の第1の増幅トランジスタ14から出力された画素信号は、接続電極を経由して第2の基板31に入力される。第1の基板30および第2の基板31に配置される回路要素の組み合わせは上記の組み合わせに限らない。接続電極は、光電変換素子10a、10b、10c、10dからメモリ19a、19bまでの電氣的に接続された経路上の任意の位置に配置されていてもよい。

[0066] 第1の基板30の第2の面の周辺部には、マイクロパッド32と同様の構造を有するマイクロパッド35が配置されている。第2の基板31の第3の面において、マイクロパッド35と対応する位置には、マイクロパッド33と同様の構造を有するマイクロパッド36が配置されている。マイクロパッド35とマイクロパッド36との間にはマイクロバンプ37が配置されている。第1の基板30に配置された回路要素、または第2の基板31に配置された回路要素を駆動するための電源電圧等は、マイクロパッド35、マイクロバンプ37、およびマイクロパッド36を経由して、第1の基板30から第2の基板31へ、または第2の基板31から第1の基板30へ供給される。

[0067] 第2の基板31の第3の面の周辺部には、第1の基板30および第2の基板31以外の系とのインターフェースとして使用されるパッド38が配置されている。パッド38に代えて、第2の基板31を貫通する貫通電極が配置され、かつ貫通電極が外部接続用の電極として使用されてもよい。図4に示す例では、第1の基板30の主面の面積と第2の基板31の主面の面積とが

異なる。第1の基板30の主面の面積と第2の基板31の主面の面積とが同じであってもよい。マイクロバンプが配置されなくてもよい。その場合、第1の基板30の表面に配置されたマイクロパッド（第1の電極）と、第2の基板31の表面に配置されたマイクロパッド（第2の電極）とが直接貼り合わされてもよい。

[0068] 固体撮像装置202は、積層された2枚の基板を含む。画素サイズに比較的余裕があり、かつ迷光などの対策を施すことができる場合には、全ての回路要素が1枚の基板に配置されてもよい。迷光は、光ノイズの要因となる。

[0069] 図5は、固体撮像装置202の動作を示す。図5において、各パルスの波形が示されている。図5における横方向は時間を示し、かつ図5における縦方向は電圧を示す。図5に示す動作において、光電変換素子10a、10dが高感度信号（第1の画素信号）を生成し、かつその信号がメモリ19aに保持される。図5に示す動作において、光電変換素子10bが低感度信号（第2の画素信号）を生成し、かつその信号がメモリ19bに保持される。

[0070] 時刻t1よりも前では、各パルスのレベルはL（Low）レベルである。時刻t1において、転送パルスS11a、転送パルスS11d、および第1のリセットパルスS13がLレベルからHレベルに変化する。そのため、転送トランジスタ11a、転送トランジスタ11d、および第1のリセットトランジスタ13がオンになる。時刻t1において、光電変換素子10aおよび光電変換素子10dがリセットされる。時刻t1よりも後の時刻t2において、転送パルスS11a、転送パルスS11d、および第1のリセットパルスS13がHレベルからLレベルに変化する。そのため、転送トランジスタ11a、転送トランジスタ11d、および第1のリセットトランジスタ13がオフになる。時刻t2において光電変換素子10aおよび光電変換素子10dは、撮像を開始する。つまり、光電変換素子10aおよび光電変換素子10dは、電荷の蓄積すなわち画素信号（高感度信号）の生成を開始する。

[0071] 時刻t2よりも後の時刻t3において、転送パルスS11bおよび第1の

リセットパルス S 1 3 が L レベルから H レベルに変化する。そのため、転送トランジスタ 1 1 b および第 1 のリセットトランジスタ 1 3 がオンになる。時刻 t 3 において、光電変換素子 1 0 b がリセットされる。時刻 t 3 よりも後の時刻 t 4 において、転送パルス S 1 1 b および第 1 のリセットパルス S 1 3 が H レベルから L レベルに変化する。そのため、転送トランジスタ 1 1 b および第 1 のリセットトランジスタ 1 3 がオフになる。時刻 t 4 において光電変換素子 1 0 b は、撮像を開始する。つまり、光電変換素子 1 0 b は、電荷の蓄積すなわち画素信号（低感度信号）の生成を開始する。

[0072] 時刻 t 4 よりも後の時刻 t 5 において、第 1 のリセットパルス S 1 3 が L レベルから H レベルに変化する。そのため、第 1 のリセットトランジスタ 1 3 がオンになる。時刻 t 5 において、F D 1 2 がリセットされる。時刻 t 5 よりも後の時刻 t 6 において、第 1 のリセットパルス S 1 3 が H レベルから L レベルに変化する。そのため、第 1 のリセットトランジスタ 1 3 がオフになる。

[0073] 時刻 t 5 において、サンプルパルス S 1 8 a および第 2 のリセットパルス S 2 0 a が L レベルから H レベルに変化する。そのため、サンプルトランジスタ 1 8 a および第 2 のリセットトランジスタ 2 0 a がオンになる。時刻 t 5 において、クランプ容量 1 7 およびメモリ 1 9 a がリセットされる。時刻 t 6 において、第 2 のリセットパルス S 2 0 a が H レベルから L レベルに変化する。そのため、第 2 のリセットトランジスタ 2 0 a がオフになる。

[0074] 時刻 t 6 よりも後の時刻 t 7 において、転送パルス S 1 1 a および転送パルス S 1 1 d が L レベルから H レベルに変化する。そのため、転送トランジスタ 1 1 a および転送トランジスタ 1 1 d がオンになる。時刻 t 7 において、光電変換素子 1 0 a および光電変換素子 1 0 d の各々から出力された電荷が F D 1 2 に転送される。

[0075] 時刻 t 7 よりも後の時刻 t 8 において、転送パルス S 1 1 a および転送パルス S 1 1 d が H レベルから L レベルに変化する。そのため、転送トランジスタ 1 1 a および転送トランジスタ 1 1 d がオフになる。時刻 t 8 において

、光電変換素子 10 a および光電変換素子 10 d は、撮像を終了する。つまり、光電変換素子 10 a および光電変換素子 10 d は、電荷の蓄積すなわち画素信号の生成を終了する。

[0076] 露光期間 T 11 において、光電変換素子 10 a および光電変換素子 10 d の各々に入射した光に基づく電荷が光電変換素子 10 a および光電変換素子 10 d の各々に蓄積される。露光期間 T 11 は、時刻 t 2 から時刻 t 8 までの期間である。光電変換素子 10 a から出力された電荷と、光電変換素子 10 d から出力された電荷とは、FD 12 において加算され、かつ FD 12 に保持される。

[0077] 時刻 t 7 において、第 1 の増幅トランジスタ 14 は、FD 12 に保持された電荷に基づく電圧を増幅し、かつ増幅された電圧を画素信号として出力する。第 1 の増幅トランジスタ 14 から出力された画素信号は、クランプ容量 17 に保持される。サンプルトランジスタ 18 a がオンであるため、サンプルトランジスタ 18 a は、クランプ容量 17 の第 2 端の電圧をサンプリングする。時刻 t 8 において、メモリ 19 a は画素信号（高感度信号）を保持する。

[0078] 時刻 t 8 よりも後の時刻 t 9 において、第 1 のリセットパルス S 13 が L レベルから H レベルに変化する。そのため、第 1 のリセットトランジスタ 13 がオンになる。時刻 t 9 において、FD 12 がリセットされる。時刻 t 9 よりも後の時刻 t 10 において、第 1 のリセットパルス S 13 が H レベルから L レベルに変化する。そのため、第 1 のリセットトランジスタ 13 がオフになる。

[0079] 時刻 t 9 において、サンプルパルス S 18 b および第 2 のリセットパルス S 20 b が L レベルから H レベルに変化する。そのため、サンプルトランジスタ 18 b および第 2 のリセットトランジスタ 20 b がオンになる。時刻 t 9 において、クランプ容量 17 およびメモリ 19 b がリセットされる。時刻 t 10 において、第 2 のリセットパルス S 20 b が H レベルから L レベルに変化する。そのため、第 2 のリセットトランジスタ 20 b がオフになる。

- [0080] 時刻 t_{10} よりも後の時刻 t_{11} において、転送パルス S_{11b} が L レベルから H レベルに変化する。そのため、転送トランジスタ $11b$ がオンになる。時刻 t_{11} において、光電変換素子 $10b$ から出力された電荷が FD_{12} に転送される。
- [0081] 時刻 t_{11} よりも後の時刻 t_{12} において、転送パルス S_{11b} が H レベルから L レベルに変化する。そのため、転送トランジスタ $11b$ がオフになる。時刻 t_{12} において、光電変換素子 $10b$ は、撮像を終了する。つまり、光電変換素子 $10b$ は、電荷の蓄積すなわち画素信号の生成を終了する。
- [0082] 露光期間 T_{12} において、光電変換素子 $10b$ に入射した光に基づく電荷が光電変換素子 $10b$ に蓄積される。露光期間 T_{12} は、時刻 t_4 から時刻 t_{12} までの期間である。光電変換素子 $10b$ から出力された電荷は、 FD_{12} に保持される。
- [0083] 時刻 t_{11} において、第 1 の増幅トランジスタ 14 は、 FD_{12} に保持された電荷に基づく電圧を増幅し、かつ増幅された電圧を画素信号として出力する。第 1 の増幅トランジスタ 14 から出力された画素信号は、クランプ容量 17 に保持される。サンプルトランジスタ $18b$ がオンであるため、サンプルトランジスタ $18b$ は、クランプ容量 17 の第 2 端の電圧をサンプリングする。時刻 t_{12} において、メモリ $19b$ は画素信号（低感度信号）を保持する。
- [0084] 図 5 に示す動作は、固体撮像装置 202 に配置された全ての画素グループ $1a$ で同時に行われる。そのため、グローバル電子シャッター動作が実現される。
- [0085] 読み出し期間 T_{read} において、メモリ $19a$ およびメモリ $19b$ に保持された画素信号が読み出される。読み出し期間 T_{read} は、時刻 t_{12} よりも後の時刻 t_{13} から開始される。第 2 の増幅トランジスタ $21a$ は、メモリ $19a$ に保持された画素信号に基づく電圧を増幅し、かつ増幅された電圧を第 1 の画素信号として出力する。選択トランジスタ $22a$ は、第 2 の増幅トランジスタ $21a$ から出力された第 1 の画素信号を垂直信号線 9 に出

力する。第2の増幅トランジスタ21bは、メモリ19bに保持された画素信号に基づく電圧を増幅し、かつ増幅された電圧を第2の画素信号として出力する。選択トランジスタ22bは、第2の増幅トランジスタ21bから出力された第2の画素信号を垂直信号線9に出力する。第1の画素信号が垂直信号線9に出力されるタイミングと、第2の画素信号が垂直信号線9に出力されるタイミングとは、互いに異なる。

[0086] 図5に示す動作において、露光期間T11（第1の露光期間）に少なくとも2つの第1の光電変換素子で少なくとも2つの第1の電荷が生成される。第1の光電変換素子は、光電変換素子10aおよび光電変換素子10dである。少なくとも2つの第1の電荷は時刻t7においてFD12に転送される。FD12に転送された少なくとも2つの第1の電荷はFD12において加算され、かつFD12に保持される。メモリ19aは、FD12に保持された第1の電荷に基づく第1の画素信号を記憶する。露光期間T12（第2の露光期間）に少なくとも1つの第2の光電変換素子で第2の電荷が生成される。第2の光電変換素子は、光電変換素子10bである。露光期間T12の少なくとも一部は露光期間T11と重なる。第2の電荷は時刻t11においてFD12に転送され、かつFD12に保持される。メモリ19bは、FD12に保持された第2の電荷に基づく第2の画素信号を記憶する。

[0087] 図5に示す動作において、光電変換素子10a、10dが高感度信号の取得に使用され、かつ光電変換素子10bが低感度信号の取得に使用される。2つの光電変換素子10a、10dの行位置は互いに異なり、かつ2つの光電変換素子10a、10dの列位置は互いに異なる。FD12が各光電変換素子で共有される限り、任意の光電変換素子の組み合わせで高感度信号および低感度信号の各々を得ることができる。そのため、電荷の加算に係わる複数の画素の配置方向は水平方向または垂直方向に限らない。

[0088] 光電変換素子10aの電荷と光電変換素子10dの電荷とを加算することにより高感度信号が得られる。光電変換素子10bのみの電荷に基づいて低感度信号が得られる。また、高感度信号を生成するための露光期間T11の

長さ、低感度信号を生成するための露光期間 T_{12} の長さとは、同じである。露光期間 T_{12} の少なくとも一部は露光期間 T_{11} と重なる。露光期間 T_{11} と露光期間 T_{12} とのずれは、光電変換素子から出力された信号をメモリに保持するために必要な時間である。その時間は、数 μsec である。通常の露光時間は、例えば1フレーム時間であり、その長さは33.3 ms である。上記のずれは、通常の露光時間に対して非常に短い。

[0089] したがって、第1の画像信号と第2の画像信号とを合成することにより、画質の劣化が抑制された高ダイナミックレンジの画像を得ることができる。第1の画像信号は、高感度信号に基づいて生成される。第2の画像信号は、低感度信号に基づいて生成される。固体撮像装置202および撮像システム200は画質の劣化を抑制することができる。

[0090] (第1の実施形態の変形例)

図6は、第1の実施形態の変形例の固体撮像装置202の動作を示す。図6において、図5に示す部分と同じ部分の説明を省略する。図6に示す動作において、光電変換素子10a、10c、10dが高感度信号を生成し、かつその信号がメモリ19aに保持される。図6に示す動作において、光電変換素子10bが低感度信号を生成し、かつその信号がメモリ19bに保持される。

[0091] 時刻 t_1 において、転送パルス S_{11a} 、転送パルス S_{11c} 、転送パルス S_{11d} 、および第1のリセットパルス S_{13} がLレベルからHレベルに変化する。そのため、転送トランジスタ11a、転送トランジスタ11c、転送トランジスタ11d、および第1のリセットトランジスタ13がオンになる。時刻 t_1 において、光電変換素子10a、光電変換素子10c、および光電変換素子10dがリセットされる。時刻 t_1 よりも後の時刻 t_2 において、転送パルス S_{11a} 、転送パルス S_{11c} 、転送パルス S_{11d} 、および第1のリセットパルス S_{13} がHレベルからLレベルに変化する。そのため、転送トランジスタ11a、転送トランジスタ11c、転送トランジスタ11d、および第1のリセットトランジスタ13がオフになる。

[0092] 時刻 t_3 から時刻 t_6 までの固体撮像装置 202 の動作は、図 5 に示す時刻 t_3 から時刻 t_6 までの固体撮像装置 202 の動作と同じである。時刻 t_7 において、転送パルス S_{11a} 、転送パルス S_{11c} 、および転送パルス S_{11d} が L レベルから H レベルに変化する。そのため、転送トランジスタ 11a、転送トランジスタ 11c、および転送トランジスタ 11d がオンになる。時刻 t_7 において、光電変換素子 10a、光電変換素子 10c、および光電変換素子 10d の各々から出力された電荷が FD 12 に転送される。

[0093] 時刻 t_8 において、転送パルス S_{11a} 、転送パルス S_{11c} 、および転送パルス S_{11d} が H レベルから L レベルに変化する。そのため、転送トランジスタ 11a、転送トランジスタ 11c、および転送トランジスタ 11d がオフになる。光電変換素子 10a から出力された電荷と、光電変換素子 10c から出力された電荷と、光電変換素子 10d から出力された電荷とは、FD 12 において加算され、かつ FD 12 に保持される。時刻 t_9 から時刻 t_{12} までの固体撮像装置 202 の動作は、図 5 に示す時刻 t_9 から時刻 t_{12} までの固体撮像装置 202 の動作と同じである。

[0094] 図 5 に示す動作において、2 つの光電変換素子から出力された 2 つの電荷が加算される。図 6 に示す動作において、3 つの光電変換素子から出力された 3 つの電荷が加算される。そのため、図 6 に示す動作において、高感度信号と低感度信号との信号比が、図 5 に示す動作における信号比に比べて大きくなる。また、被写体に移動物がない場合、露光期間のずれが画質に影響しない。その場合、高感度信号と低感度信号との露光時間の差が大きく設定されてもよい。これにより、高感度信号と低感度信号との信号比を大きくすることができる。

[0095] (第 2 の実施形態)

図 2 に示す固体撮像装置 202 を使用して、本発明の第 2 の実施形態を説明する。第 2 の実施形態において、図 3 に示す画素グループ 1a は、図 7 に示す画素グループ 1b に変更される。図 7 は、画素グループ 1b の構成を示す。図 3 に示す構成と同じ構成の説明を省略する。

- [0096] 画素グループ1 bは、図3に示す画素グループ1 aの構成に加えて、メモリユニット8 cおよびメモリユニット8 dを有する。メモリユニット8 cは、サンプルトランジスタ1 8 c、メモリ1 9 c、第2のリセットトランジスタ2 0 c、第2の増幅トランジスタ2 1 c、および選択トランジスタ2 2 cを有する。メモリユニット8 dは、サンプルトランジスタ1 8 d、メモリ1 9 d、第2のリセットトランジスタ2 0 d、第2の増幅トランジスタ2 1 d、および選択トランジスタ2 2 dを有する。メモリユニット8 cおよびメモリユニット8 dの各々の構成は、メモリユニット8 aの構成と同様である。第2の実施形態において、メモリユニットの数は光電変換素子の数と同じである。図7に示す各回路要素の配置位置は実際の配置位置と必ずしも一致するわけではない。
- [0097] サンプルパルスS 1 8 cが垂直走査回路3からサンプルトランジスタ1 8 cのゲートに供給される。第2のリセットパルスS 2 0 cが垂直走査回路3から第2のリセットトランジスタ2 0 cのゲートに供給される。選択パルスS 2 2 cが垂直走査回路3から選択トランジスタ2 2 cのゲートに供給される。
- [0098] サンプルパルスS 1 8 dが垂直走査回路3からサンプルトランジスタ1 8 dのゲートに供給される。第2のリセットパルスS 2 0 dが垂直走査回路3から第2のリセットトランジスタ2 0 dのゲートに供給される。選択パルスS 2 2 dが垂直走査回路3から選択トランジスタ2 2 dのゲートに供給される。
- [0099] 第2の実施形態において、高感度信号および低感度信号を得るための固体撮像装置2 0 2の駆動方法は、第1の実施形態の固体撮像装置2 0 2の駆動方法と同様である。第2の実施形態において、4つのメモリユニットが配置されているため、メモリユニット8 aが高感度信号を保持する必要はなく、かつメモリユニット8 bが低感度信号を保持する必要はない。高感度信号および低感度信号はそれぞれ任意のメモリユニットに保持されてもよい。
- [0100] 図8は、固体撮像装置2 0 2の動作を示す。図8において、図5に示す部

分と同じ部分の説明を省略する。図 8 に示す動作において、全ての画素 1 の画素信号がグローバルシャッター動作により読み出される。

[0101] 時刻 t_1 よりも前では、各パルスのレベルは L レベルである。時刻 t_1 において、転送トランジスタ 11 a および第 1 のリセットトランジスタ 13 がオンになり、かつ光電変換素子 10 a がリセットされる。時刻 t_1 よりも後の時刻 t_2 において、転送トランジスタ 11 a および第 1 のリセットトランジスタ 13 がオフになる。時刻 t_2 において、光電変換素子 10 a は、電荷の蓄積すなわち画素信号の生成を開始する。

[0102] 時刻 t_2 よりも後の時刻 t_3 において、転送トランジスタ 11 b および第 1 のリセットトランジスタ 13 がオンになり、かつ光電変換素子 10 b がリセットされる。時刻 t_3 よりも後の時刻 t_4 において、転送トランジスタ 11 b および第 1 のリセットトランジスタ 13 がオフになる。時刻 t_4 において、光電変換素子 10 b は、電荷の蓄積すなわち画素信号の生成を開始する。

[0103] 時刻 t_4 よりも後の時刻 t_5 において、転送トランジスタ 11 c および第 1 のリセットトランジスタ 13 がオンになり、かつ光電変換素子 10 c がリセットされる。時刻 t_5 よりも後の時刻 t_6 において、転送トランジスタ 11 c および第 1 のリセットトランジスタ 13 がオフになる。時刻 t_6 において、光電変換素子 10 c は、電荷の蓄積すなわち画素信号の生成を開始する。

[0104] 時刻 t_6 よりも後の時刻 t_7 において、転送トランジスタ 11 d および第 1 のリセットトランジスタ 13 がオンになり、かつ光電変換素子 10 d がリセットされる。時刻 t_7 よりも後の時刻 t_8 において、転送トランジスタ 11 d および第 1 のリセットトランジスタ 13 がオフになる。時刻 t_8 において、光電変換素子 10 d は、電荷の蓄積すなわち画素信号の生成を開始する。

[0105] 時刻 t_8 よりも後の時刻 t_9 において、第 1 のリセットトランジスタ 13 がオンになり、かつ FD 12 がリセットされる。時刻 t_9 よりも後の時刻 t

10において、第1のリセットトランジスタ13がオフになる。

[0106] 時刻 t_9 において、サンプルトランジスタ18aおよび第2のリセットトランジスタ20aがオンになり、かつクランプ容量17およびメモリ19aがリセットされる。時刻 t_{10} において、第2のリセットトランジスタ20aがオフになる。

[0107] 時刻 t_{10} よりも後の時刻 t_{11} において、転送トランジスタ11aがオンになる。時刻 t_{11} において、光電変換素子10aから出力された電荷がFD12に転送される。

[0108] 時刻 t_{11} よりも後の時刻 t_{12} において、転送トランジスタ11aがオフになる。時刻 t_{12} において、光電変換素子10aは、電荷の蓄積すなわち画素信号の生成を終了する。

[0109] 露光期間 T_{11} において、光電変換素子10aに入射した光に基づく電荷が光電変換素子10aに蓄積される。露光期間 T_{11} は、時刻 t_2 から時刻 t_{12} までの期間である。

[0110] 時刻 t_{11} において、第1の増幅トランジスタ14は、FD12に保持された電荷に基づく電圧を増幅し、かつ増幅された電圧を画素信号として出力する。第1の増幅トランジスタ14から出力された画素信号は、クランプ容量17に保持される。サンプルトランジスタ18aは、クランプ容量17の第2端の電圧をサンプリングする。時刻 t_{12} において、メモリ19aは画素信号を保持する。

[0111] 時刻 t_{12} よりも後の時刻 t_{13} において、第1のリセットトランジスタ13がオンになり、かつFD12がリセットされる。時刻 t_{13} よりも後の時刻 t_{14} において、第1のリセットトランジスタ13がオフになる。

[0112] 時刻 t_{13} において、サンプルトランジスタ18bおよび第2のリセットトランジスタ20bがオンになり、かつクランプ容量17およびメモリ19bがリセットされる。時刻 t_{14} において、第2のリセットトランジスタ20bがオフになる。

[0113] 時刻 t_{14} よりも後の時刻 t_{15} において、転送トランジスタ11bがオ

ンになる。時刻 t_{15} において、光電変換素子 $10b$ から出力された電荷が $FD12$ に転送される。

[0114] 時刻 t_{15} よりも後の時刻 t_{16} において、転送トランジスタ $11b$ がオフになる。時刻 t_{16} において、光電変換素子 $10b$ は、電荷の蓄積すなわち画素信号の生成を終了する。

[0115] 露光期間 T_{12} において、光電変換素子 $10b$ に入射した光に基づく電荷が光電変換素子 $10b$ に蓄積される。露光期間 T_{12} は、時刻 t_4 から時刻 t_{16} までの期間である。

[0116] 時刻 t_{15} において、第1の増幅トランジスタ 14 は、 $FD12$ に保持された電荷に基づく電圧を増幅し、かつ増幅された電圧を画素信号として出力する。第1の増幅トランジスタ 14 から出力された画素信号は、クランプ容量 17 に保持される。サンプルトランジスタ $18b$ は、クランプ容量 17 の第2端の電圧をサンプリングする。時刻 t_{16} において、メモリ $19b$ は画素信号を保持する。

[0117] 時刻 t_{16} よりも後の時刻 t_{17} において、第1のリセットトランジスタ 13 がオンになり、かつ $FD12$ がリセットされる。時刻 t_{17} よりも後の時刻 t_{18} において、第1のリセットトランジスタ 13 がオフになる。

[0118] 時刻 t_{17} において、サンプルトランジスタ $18c$ および第2のリセットトランジスタ $20c$ がオンになり、かつクランプ容量 17 およびメモリ $19c$ がリセットされる。時刻 t_{18} において、第2のリセットトランジスタ $20c$ がオフになる。

[0119] 時刻 t_{18} よりも後の時刻 t_{19} において、転送トランジスタ $11c$ がオンになる。時刻 t_{19} において、光電変換素子 $10c$ から出力された電荷が $FD12$ に転送される。

[0120] 時刻 t_{19} よりも後の時刻 t_{20} において、転送トランジスタ $11c$ がオフになる。時刻 t_{20} において、光電変換素子 $10c$ は、電荷の蓄積すなわち画素信号の生成を終了する。

[0121] 露光期間 T_{13} において、光電変換素子 $10c$ に入射した光に基づく電荷

が光電変換素子 10c に蓄積される。露光期間 T13 は、時刻 t6 から時刻 t20 までの期間である。

[0122] 時刻 t19 において、第 1 の増幅トランジスタ 14 は、FD12 に保持された電荷に基づく電圧を増幅し、かつ増幅された電圧を画素信号として出力する。第 1 の増幅トランジスタ 14 から出力された画素信号は、クランプ容量 17 に保持される。サンプルトランジスタ 18c は、クランプ容量 17 の第 2 端の電圧をサンプリングする。時刻 t20 において、メモリ 19c は画素信号を保持する。

[0123] 時刻 t20 よりも後の時刻 t21 において、第 1 のリセットトランジスタ 13 がオンになり、かつ FD12 がリセットされる。時刻 t21 よりも後の時刻 t22 において、第 1 のリセットトランジスタ 13 がオフになる。

[0124] 時刻 t21 において、サンプルトランジスタ 18d および第 2 のリセットトランジスタ 20d がオンになり、かつクランプ容量 17 およびメモリ 19d がリセットされる。時刻 t22 において、第 2 のリセットトランジスタ 20d がオフになる。

[0125] 時刻 t22 よりも後の時刻 t23 において、転送トランジスタ 11d がオンになる。時刻 t23 において、光電変換素子 10d から出力された電荷が FD12 に転送される。

[0126] 時刻 t23 よりも後の時刻 t24 において、転送トランジスタ 11d がオフになる。時刻 t24 において、光電変換素子 10d は、電荷の蓄積すなわち画素信号の生成を終了する。

[0127] 露光期間 T14 において、光電変換素子 10d に入射した光に基づく電荷が光電変換素子 10d に蓄積される。露光期間 T14 は、時刻 t8 から時刻 t24 までの期間である。

[0128] 時刻 t23 において、第 1 の増幅トランジスタ 14 は、FD12 に保持された電荷に基づく電圧を増幅し、かつ増幅された電圧を画素信号として出力する。第 1 の増幅トランジスタ 14 から出力された画素信号は、クランプ容量 17 に保持される。サンプルトランジスタ 18d は、クランプ容量 17 の

第2端の電圧をサンプリングする。時刻 t_{24} において、メモリ 19d は画素信号を保持する。

[0129] 図8に示す動作は、固体撮像装置 202 に配置された全ての画素グループ 1b で同時に行われる。そのため、グローバル電子シャッター動作が実現される。

[0130] 読み出し期間 T_{read} において、メモリ 19a、メモリ 19b、メモリ 19c、およびメモリ 19d に保持された画素信号が読み出される。読み出し期間 T_{read} は、時刻 t_{24} よりも後の時刻 t_{25} から開始される。

[0131] 第2の実施形態の固体撮像装置 202 は、第1のモードおよび第2のモードのいずれか1つで動作する。固体撮像装置 202 は、固体撮像装置 202 に設定されるモードを第1のモードと第2のモードとの間で切り替えることができる。固体撮像装置 202 は、第1のモード（図5）において、高感度信号および低感度信号を得る。固体撮像装置 202 は、第2のモード（図8）において、全ての画素 1 の画素信号を得る。固体撮像装置 202 は、状況に応じて最適な撮像を行うことができる。

[0132] （第3の実施形態）

図2に示す固体撮像装置 202 を使用して、本発明の第3の実施形態を説明する。第3の実施形態の固体撮像装置 202 は、図7に示す画素グループ 1b を含む。第3の実施形態において、複数の画素グループ 1b の各々は、複数の光電変換素子に含まれる少なくとも4つの光電変換素子を含む。少なくとも4つの光電変換素子は、連続する少なくとも2行および連続する少なくとも2列に配置されている。

[0133] 少なくとも4つの光電変換素子は、少なくとも2つの第1の光電変換素子と、少なくとも2つの第2の光電変換素子とからなる。第1の光電変換素子は、高感度信号として第1の電荷を生成する。第2の光電変換素子は、低感度信号として第2の電荷を生成する。転送トランジスタは、少なくとも2つの第2の光電変換素子で生成された少なくとも2組の第2の電荷を FD_{12} に順次転送する。第2のスイッチは、 FD_{12} に保持された少なくとも2組

の第2の電荷をFD12から第2のメモリに順次転送する。第2のメモリは、少なくとも2組の第2の電荷に基づく少なくとも2組の第2の画素信号を別々に記憶する。

[0134] 以下の例において第2の光電変換素子は、光電変換素子10b, 10cである。転送トランジスタ11b, 11cは、光電変換素子10b, 10cで生成された2組の第2の電荷をFD12に順次転送する。以下の例において第2のスイッチは、サンプルトランジスタ18b, 18cである。以下の例において第2のメモリは、メモリ19b, 19cである。サンプルトランジスタ18b, 18cは、FD12に保持された2組の第2の電荷をメモリ19b, 19cに順次転送する。メモリ19b, 19cは、2組の第2の画素信号を別々に記憶する。

[0135] 図9は、固体撮像装置202の動作を示す。図9において、図5に示す部分と同じ部分の説明を省略する。図9に示す動作において、光電変換素子10a, 10dが高感度信号を生成し、かつその信号がメモリ19aに保持される。図9に示す動作において、光電変換素子10b, 10cが低感度信号を生成し、かつその信号がメモリ19b, 19cに保持される。

[0136] 時刻t1よりも前では、各パルスのレベルはL (Low) レベルである。時刻t1から時刻t5までの固体撮像装置202の動作は、図5に示す時刻t1から時刻t5固体撮像装置202の動作と同じである。時刻t2において、光電変換素子10aおよび光電変換素子10dは、電荷の蓄積すなわち画素信号（高感度信号）の生成を開始する。

[0137] 時刻t3から時刻t4までの固体撮像装置202の動作は、図5に示す時刻t3から時刻t4までの固体撮像装置202の動作と同じである。時刻t4において、光電変換素子10bは、電荷の蓄積すなわち画素信号（低感度信号）の生成を開始する。

[0138] 時刻t4よりも後の時刻t5において、転送トランジスタ11cおよび第1のリセットトランジスタ13がオンになり、かつ光電変換素子10cがリセットされる。時刻t5よりも後の時刻t6において、転送トランジスタ1

1 c および第 1 のリセットトランジスタ 1 3 がオフになる。時刻 t 6 において、光電変換素子 1 0 c は、電荷の蓄積すなわち画素信号（低感度信号）の生成を開始する。

[0139] 時刻 t 7 から時刻 t 1 0 までの固体撮像装置 2 0 2 の動作は、図 5 に示す時刻 t 5 から時刻 t 8 までの固体撮像装置 2 0 2 の動作と同じである。時刻 t 9 において、光電変換素子 1 0 a および光電変換素子 1 0 d の各々から出力された電荷が F D 1 2 に転送される。時刻 t 1 0 において、光電変換素子 1 0 a および光電変換素子 1 0 d は、電荷の蓄積すなわち画素信号の生成を終了する。

[0140] 露光期間 T 1 1 において、光電変換素子 1 0 a および光電変換素子 1 0 d の各々に入射した光に基づく電荷が光電変換素子 1 0 a および光電変換素子 1 0 d の各々に蓄積される。露光期間 T 1 1 は、時刻 t 2 から時刻 t 1 0 までの期間である。光電変換素子 1 0 a から出力された電荷と、光電変換素子 1 0 d から出力された電荷とは、F D 1 2 において加算され、かつ F D 1 2 に保持される。時刻 t 1 0 において、メモリ 1 9 a は画素信号（高感度信号）を保持する。

[0141] 時刻 t 1 1 から時刻 t 1 4 までの固体撮像装置 2 0 2 の動作は、図 5 に示す時刻 t 9 から時刻 t 1 2 までの固体撮像装置 2 0 2 の動作と同じである。時刻 t 1 3 において、光電変換素子 1 0 b から出力された電荷が F D 1 2 に転送される。時刻 t 1 4 において、光電変換素子 1 0 b は、電荷の蓄積すなわち画素信号の生成を終了する。

[0142] 露光期間 T 1 2 において、光電変換素子 1 0 b に入射した光に基づく電荷が光電変換素子 1 0 b に蓄積される。露光期間 T 1 2 は、時刻 t 4 から時刻 t 1 4 までの期間である。光電変換素子 1 0 b から出力された電荷は、F D 1 2 に保持される。時刻 t 1 4 において、メモリ 1 9 b は画素信号（低感度信号）を保持する。

[0143] 時刻 t 1 4 よりも後の時刻 t 1 5 において、第 1 のリセットトランジスタ 1 3 がオンになり、かつ F D 1 2 がリセットされる。時刻 t 1 5 よりも後の

時刻 t_{16} において、第1のリセットトランジスタ13がオフになる。

[0144] 時刻 t_{15} において、サンプルトランジスタ18cおよび第2のリセットトランジスタ20cがオンになり、かつクランプ容量17およびメモリ19cがリセットされる。時刻 t_{16} において、第2のリセットトランジスタ20cがオフになる。

[0145] 時刻 t_{16} よりも後の時刻 t_{17} において、転送トランジスタ11cがオンになる。時刻 t_{17} において、光電変換素子10cから出力された電荷がFD12に転送される。

[0146] 時刻 t_{17} よりも後の時刻 t_{18} において、転送トランジスタ11cがオフになる。時刻 t_{18} において、光電変換素子10cは、電荷の蓄積すなわち画素信号の生成を終了する。

[0147] 露光期間 T_{13} において、光電変換素子10cに入射した光に基づく電荷が光電変換素子10cに蓄積される。露光期間 T_{13} は、時刻 t_6 から時刻 t_{18} までの期間である。光電変換素子10cから出力された電荷は、FD12に保持される。時刻 t_{18} において、メモリ19cは画素信号（低感度信号）を保持する。

[0148] 時刻 t_{17} において、第1の増幅トランジスタ14は、FD12に保持された電荷に基づく電圧を増幅し、かつ増幅された電圧を画素信号として出力する。第1の増幅トランジスタ14から出力された画素信号は、クランプ容量17に保持される。サンプルトランジスタ18cは、クランプ容量17の第2端の電圧をサンプリングする。時刻 t_{18} において、メモリ19cは画素信号（低感度信号）を保持する。

[0149] 図9に示す動作は、固体撮像装置202に配置された全ての画素グループ1bで同時に行われる。そのため、グローバル電子シャッター動作が実現される。

[0150] 読み出し期間 T_{read} において、メモリ19a, 19b, 19cに保持された画素信号が読み出される。読み出し期間 T_{read} は、時刻 t_{18} よりも後の時刻 t_{19} から開始される。第2の増幅トランジスタ21aは、メ

メモリ 19 a に保持された画素信号に基づく電圧を増幅し、かつ増幅された電圧を第 1 の画素信号として出力する。選択トランジスタ 22 a は、第 2 の増幅トランジスタ 21 a から出力された第 1 の画素信号を垂直信号線 9 に出力する。第 2 の増幅トランジスタ 21 b は、メモリ 19 b に保持された画素信号に基づく電圧を増幅し、かつ増幅された電圧を第 2 の画素信号として出力する。選択トランジスタ 22 b は、第 2 の増幅トランジスタ 21 b から出力された第 2 の画素信号を垂直信号線 9 に出力する。第 2 の増幅トランジスタ 21 c は、メモリ 19 c に保持された画素信号に基づく電圧を増幅し、かつ増幅された電圧を第 2 の画素信号として出力する。選択トランジスタ 22 c は、第 2 の増幅トランジスタ 21 c から出力された第 2 の画素信号を垂直信号線 9 に出力する。

[0151] 第 1 の画素信号が垂直信号線 9 に出力されるタイミングと、第 2 の画素信号が垂直信号線 9 に出力されるタイミングとは、互いに異なる。2 組の第 2 の画素信号が垂直信号線 9 に出力されるタイミングは、互いに異なる。

[0152] 図 9 に示す時刻 t 1 3 において、転送トランジスタ 11 b は、光電変換素子 10 b で生成された第 2 の電荷を FD 1 2 に転送する。時刻 t 1 3 において、サンプルトランジスタ 18 b は、FD 1 2 に保持された第 2 の電荷をメモリ 19 b に転送する。時刻 t 1 4 において、メモリ 19 b は、第 2 の電荷に基づく第 2 の画素信号を記憶する。

[0153] 図 9 に示す時刻 t 1 7 において、転送トランジスタ 11 c は、光電変換素子 10 c で生成された第 2 の電荷を FD 1 2 に転送する。時刻 t 1 7 において、サンプルトランジスタ 18 c は、FD 1 2 に保持された第 2 の電荷をメモリ 19 c に転送する。時刻 t 1 7 において、メモリ 19 c は、第 2 の電荷に基づく第 2 の画素信号を記憶する。

[0154] 1 つの画素グループ 1 b が 5 つ以上の光電変換素子を含む場合、3 つ以上の第 2 の光電変換素子で 3 つ以上の第 2 の電荷が生成されてもよい。転送トランジスタは、3 つ以上の第 2 の光電変換素子で生成された 3 つ以上の第 2 の電荷を FD 1 2 に順次転送してもよい。第 2 のスイッチは、FD 1 2 に保

持された3組以上の第2の電荷を第2のメモリに順次転送してもよい。第2のメモリは、3組以上の第2の電荷に基づく3組以上の第2の画素信号を別々に記憶してもよい。

[0155] 図9に示す動作において、メモリユニット8dは画素信号を保持しない。そのため、画素グループ1bはメモリユニット8dを有していなくてもよい。

[0156] 光電変換素子10aの電荷と光電変換素子10dの電荷とを加算することにより高感度信号が得られる。光電変換素子10bのみの電荷に基づいて低感度信号が得られ、かつ光電変換素子10cのみの電荷に基づいて低感度信号が得られる。

[0157] 固体撮像装置202は、高感度信号に基づく第1の画像信号と、低感度信号に基づく第2の画像信号とを出力する。第1の画像処理部203aおよび第2の画像処理部203bは、固体撮像装置202から出力された2組の第2の画像信号を平均してもよい。固体撮像装置202は、2組の第2の画像信号を平均する信号処理回路を有してもよい。

[0158] 2組の第2の画像信号は、同じ画素グループ1bから出力される。2つの第1の光電変換素子の重心位置は、画素グループ1bの重心位置と同じである。2つの第2の光電変換素子の重心位置は、画素グループ1bの重心位置と同じである。そのため、第1の電荷が得られる2つの第1の光電変換素子の重心位置と、第2の電荷が得られる2つの第2の光電変換素子の重心位置とは、同じである。つまり、第1の画素信号（高感度信号）の画素重心位置と、第2の画素信号（低感度信号）の画素重心位置とは、同じである。

[0159] 第1の画像処理部203aおよび第2の画像処理部203bは、第1の画像信号および第2の画像信号を合成する。第1の画像信号は第1の画素信号に基づいて生成され、かつ第2の画像信号は第2の画素信号に基づいて生成される。第1の画素信号の画素位置と第2の画素信号の画素位置とが同じであるため、高品質な合成画像が得られる。

[0160] （第4の実施形態）

図2に示す固体撮像装置202を使用して、本発明の第4の実施形態を説明する。第4の実施形態において、図7に示す画素グループ1bは、図10に示す画素グループ1cに変更される。図10は、画素グループ1cの構成を示す。図7に示す構成と同じ構成の説明を省略する。

[0161] 画素グループ1cは、図7に示す画素グループ1bの構成に加えて、メモリユニット8eおよびメモリユニット8fを有する。メモリユニット8eは、サンプルトランジスタ18e、メモリ19e、第2のリセットトランジスタ20e、第2の増幅トランジスタ21e、および選択トランジスタ22eを有する。メモリユニット8fは、サンプルトランジスタ18f、メモリ19f、第2のリセットトランジスタ20f、第2の増幅トランジスタ21f、および選択トランジスタ22fを有する。メモリユニット8eおよびメモリユニット8fの各々の構成は、メモリユニット8aの構成と同様である。図10に示す各回路要素の配置位置は実際の配置位置と必ずしも一致するわけではない。

[0162] サンプルパルスS18eが垂直走査回路3からサンプルトランジスタ18eのゲートに供給される。第2のリセットパルスS20eが垂直走査回路3から第2のリセットトランジスタ20eのゲートに供給される。選択パルスS22eが垂直走査回路3から選択トランジスタ22eのゲートに供給される。

[0163] サンプルパルスS18fが垂直走査回路3からサンプルトランジスタ18fのゲートに供給される。第2のリセットパルスS20fが垂直走査回路3から第2のリセットトランジスタ20fのゲートに供給される。選択パルスS22fが垂直走査回路3から選択トランジスタ22fのゲートに供給される。

[0164] 固体撮像装置202は、複数回の撮像を実行する。複数回の撮像の各々において、第1の光電変換素子は第1の電荷を生成する。複数回の撮像の各々において、第2の光電変換素子は第2の電荷を生成する。複数回の撮像の各々において、転送トランジスタは、第1の電荷および第2の電荷をFD12

に転送する。複数回の撮像の各々において、第1のスイッチは、FD12に保持された第1の電荷をFD12から第1のメモリに転送する。複数回の撮像の各々において、第2のスイッチは、FD12に保持された第2の電荷をFD12から第2のメモリに転送する。複数回の撮像の各々において、第1のメモリは、第1の電荷に基づく第1の画素信号を記憶する。複数回の撮像の各々において、第2のメモリは、第2の電荷に基づく第2の画素信号を記憶する。複数の画素グループ1cの各々において、少なくとも2つの第1の光電変換素子の組み合わせは撮像毎に異なる。複数の画素グループ1cの各々において、少なくとも2つの第2の光電変換素子の組み合わせは撮像毎に異なる。

[0165] 以下の例において、固体撮像装置202は、2回の撮像を実行する。1回目の撮像における第1の光電変換素子は、光電変換素子10a, 10dである。1回目の撮像における第2の光電変換素子は、光電変換素子10b, 10cである。

[0166] 1回目の撮像において転送トランジスタ11a, 11dは、光電変換素子10a, 10dで生成された第1の電荷をFD12に転送する。1回目の撮像においてサンプルトランジスタ18aは、FD12に保持された第1の電荷に基づく信号をメモリ19aに転送する。1回目の撮像においてメモリ19aは、第1の画素信号を記憶する。

[0167] 1回目の撮像において転送トランジスタ11b, 11cは、光電変換素子10b, 10cで生成された第2の電荷をFD12に転送する。1回目の撮像においてサンプルトランジスタ18b, 18cは、FD12に保持された第2の電荷に基づく信号をメモリ19b, 19cに転送する。1回目の撮像においてメモリ19b, 19cは、第2の画素信号を記憶する。

[0168] 2回目の撮像における第1の光電変換素子は、光電変換素子10b, 10cである。2回目の撮像における第2の光電変換素子は、光電変換素子10a, 10dである。

[0169] 2回目の撮像において転送トランジスタ11b, 11cは、光電変換素子

10b, 10cで生成された第1の電荷をFD12に転送する。2回目の撮像においてサンプルトランジスタ18dは、FD12に保持された第1の電荷に基づく信号をメモリ19dに転送する。2回目の撮像においてメモリ19dは、第1の画素信号を記憶する。

[0170] 2回目の撮像において転送トランジスタ11a, 11dは、光電変換素子10a, 10dで生成された第2の電荷をFD12に転送する。2回目の撮像においてサンプルトランジスタ18e, 18fは、FD12に保持された第2の電荷に基づく信号をメモリ19e, 19fに転送する。2回目の撮像においてメモリ19e, 19fは、第2の画素信号を記憶する。

[0171] 図11および図12は、固体撮像装置202の動作を示す。図11および図12において、図9に示す部分と同じ部分の説明を省略する。

[0172] 図11は、1回目の撮像における固体撮像装置202の動作を示す。図11に示す動作において、光電変換素子10a, 10dが高感度信号を生成し、かつその信号がメモリ19aに保持される。図11に示す動作において、光電変換素子10b, 10cが低感度信号を生成し、かつその信号がメモリ19b, 19cに保持される。

[0173] 図12は、2回目の撮像における固体撮像装置202の動作を示す。図12に示す動作において、光電変換素子10b, 10cが高感度信号を生成し、かつその信号がメモリ19dに保持される。図12に示す動作において、光電変換素子10a, 10dが低感度信号を生成し、かつその信号がメモリ19e, 19fに保持される。

[0174] 図11に示す時刻t1から時刻t18までの固体撮像装置202の動作は、図9に示す時刻t1から時刻t18までの固体撮像装置202の動作と同じである。

[0175] 時刻t18よりも後の時刻t19において、転送トランジスタ11b、転送トランジスタ11c、および第1のリセットトランジスタ13がオンになり、かつ光電変換素子10bおよび光電変換素子10cがリセットされる。時刻t19よりも後の時刻t20において、転送トランジスタ11b、転送

トランジスタ 11c、および第1のリセットトランジスタ 13がオフになる。時刻 t20において、光電変換素子 10bおよび光電変換素子 10cは、電荷の蓄積すなわち画素信号（高感度信号）の生成を開始する。

[0176] 時刻 t20よりも後の時刻 t21において、転送トランジスタ 11aおよび第1のリセットトランジスタ 13がオンになり、かつ光電変換素子 10aがリセットされる。時刻 t21よりも後の時刻 t22において、転送トランジスタ 11aおよび第1のリセットトランジスタ 13がオフになる。時刻 t22において、光電変換素子 10aは、電荷の蓄積すなわち画素信号（低感度信号）の生成を開始する。

[0177] 時刻 t22よりも後の時刻 t23において、転送トランジスタ 11dおよび第1のリセットトランジスタ 13がオンになり、かつ光電変換素子 10dがリセットされる。時刻 t23よりも後の時刻 t24において、転送トランジスタ 11dおよび第1のリセットトランジスタ 13がオフになる。時刻 t24において、光電変換素子 10dは、電荷の蓄積すなわち画素信号（低感度信号）の生成を開始する。

[0178] 時刻 t24よりも後の時刻 t25において、第1のリセットトランジスタ 13がオンになり、かつFD12がリセットされる。時刻 t25よりも後の時刻 t26において、第1のリセットトランジスタ 13がオフになる。

[0179] 時刻 t25において、サンプルトランジスタ 18dおよび第2のリセットトランジスタ 20dがオンになり、かつクランプ容量 17およびメモリ 19dがリセットされる。時刻 t26において、第2のリセットトランジスタ 20dがオフになる。

[0180] 時刻 t26よりも後の時刻 t27において、転送トランジスタ 11bおよび転送トランジスタ 11cがオンになる。時刻 t27において、光電変換素子 10bおよび光電変換素子 10cの各々から出力された電荷がFD12に転送される。

[0181] 時刻 t27よりも後の時刻 t28において、転送トランジスタ 11bおよび転送トランジスタ 11cがオフになる。時刻 t28において、光電変換素

子 10b および光電変換素子 10c は、電荷の蓄積すなわち画素信号の生成を終了する。

[0182] 露光期間 T21 において、光電変換素子 10b および光電変換素子 10c の各々に入射した光に基づく電荷が光電変換素子 10b および光電変換素子 10c の各々に蓄積される。露光期間 T21 は、時刻 t20 から時刻 t28 までの期間である。光電変換素子 10b から出力された電荷と、光電変換素子 10c から出力された電荷とは、FD12 において加算され、かつ FD12 に保持される。

[0183] 時刻 t27 において、第 1 の増幅トランジスタ 14 は、FD12 に保持された電荷に基づく電圧を増幅し、かつ増幅された電圧を画素信号として出力する。第 1 の増幅トランジスタ 14 から出力された画素信号は、クランプ容量 17 に保持される。サンプルトランジスタ 18d は、クランプ容量 17 の第 2 端の電圧をサンプリングする。時刻 t28 において、メモリ 19d は画素信号（高感度信号）を保持する。

[0184] 時刻 t28 よりも後の時刻 t29 において、第 1 のリセットトランジスタ 13 がオンになり、かつ FD12 がリセットされる。時刻 t29 よりも後の時刻 t30 において、第 1 のリセットトランジスタ 13 がオフになる。

[0185] 時刻 t29 において、サンプルトランジスタ 18e および第 2 のリセットトランジスタ 20e がオンになり、かつクランプ容量 17 およびメモリ 19e がリセットされる。時刻 t30 において、第 2 のリセットトランジスタ 20e がオフになる。

[0186] 時刻 t30 よりも後の時刻 t31 において、転送トランジスタ 11a がオンになる。時刻 t31 において、光電変換素子 10a から出力された電荷が FD12 に転送される。

[0187] 時刻 t31 よりも後の時刻 t32 において、転送トランジスタ 11a がオフになる。時刻 t32 において、光電変換素子 10a は、電荷の蓄積すなわち画素信号の生成を終了する。

[0188] 露光期間 T22 において、光電変換素子 10a に入射した光に基づく電荷

が光電変換素子 10a に蓄積される。露光期間 T22 は、時刻 t22 から時刻 t32 までの期間である。光電変換素子 10a から出力された電荷は、FD12 に保持される。

[0189] 時刻 t31 において、第 1 の増幅トランジスタ 14 は、FD12 に保持された電荷に基づく電圧を増幅し、かつ増幅された電圧を画素信号として出力する。第 1 の増幅トランジスタ 14 から出力された画素信号は、クランプ容量 17 に保持される。サンプルトランジスタ 18e は、クランプ容量 17 の第 2 端の電圧をサンプリングする。時刻 t32 において、メモリ 19e は画素信号（低感度信号）を保持する。

[0190] 時刻 t32 よりも後の時刻 t33 において、第 1 のリセットトランジスタ 13 がオンになり、かつ FD12 がリセットされる。時刻 t33 よりも後の時刻 t34 において、第 1 のリセットトランジスタ 13 がオフになる。

[0191] 時刻 t33 において、サンプルトランジスタ 18f および第 2 のリセットトランジスタ 20f がオンになり、かつクランプ容量 17 およびメモリ 19f がリセットされる。時刻 t34 において、第 2 のリセットトランジスタ 20f がオフになる。

[0192] 時刻 t34 よりも後の時刻 t35 において、転送トランジスタ 11d がオンになる。時刻 t35 において、光電変換素子 10d から出力された電荷が FD12 に転送される。

[0193] 時刻 t35 よりも後の時刻 t36 において、転送トランジスタ 11d がオフになる。時刻 t36 において、光電変換素子 10d は、電荷の蓄積すなわち画素信号の生成を終了する。

[0194] 露光期間 T23 において、光電変換素子 10d に入射した光に基づく電荷が光電変換素子 10d に蓄積される。露光期間 T23 は、時刻 t24 から時刻 t36 までの期間である。光電変換素子 10d から出力された電荷は、FD12 に保持される。

[0195] 時刻 t35 において、第 1 の増幅トランジスタ 14 は、FD12 に保持された電荷に基づく電圧を増幅し、かつ増幅された電圧を画素信号として出力

する。第1の増幅トランジスタ14から出力された画素信号は、クランプ容量17に保持される。サンプルトランジスタ18fは、クランプ容量17の第2端の電圧をサンプリングする。時刻t36において、メモリ19fは画素信号（低感度信号）を保持する。

[0196] 図11および図12に示す動作は、固体撮像装置202に配置された全ての画素グループ1cで同時に行われる。そのため、グローバル電子シャッター動作が実現される。

[0197] 読み出し期間Treadにおいて、メモリ19a, 19b, 19c, 19d, 19e, 19fに保持された画素信号が読み出される。読み出し期間Treadは、時刻t36よりも後の時刻t37から開始される。第2の増幅トランジスタ21aは、メモリ19aに保持された画素信号に基づく電圧を増幅し、かつ増幅された電圧を第1の画素信号として出力する。選択トランジスタ22aは、第2の増幅トランジスタ21aから出力された第1の画素信号を垂直信号線9に出力する。第2の増幅トランジスタ21bは、メモリ19bに保持された画素信号に基づく電圧を増幅し、かつ増幅された電圧を第2の画素信号として出力する。選択トランジスタ22bは、第2の増幅トランジスタ21bから出力された第2の画素信号を垂直信号線9に出力する。第2の増幅トランジスタ21cは、メモリ19cに保持された画素信号に基づく電圧を増幅し、かつ増幅された電圧を第2の画素信号として出力する。選択トランジスタ22cは、第2の増幅トランジスタ21cから出力された第2の画素信号を垂直信号線9に出力する。

[0198] 第2の増幅トランジスタ21dは、メモリ19dに保持された画素信号に基づく電圧を増幅し、かつ増幅された電圧を第1の画素信号として出力する。選択トランジスタ22dは、第2の増幅トランジスタ21dから出力された第1の画素信号を垂直信号線9に出力する。第2の増幅トランジスタ21eは、メモリ19eに保持された画素信号に基づく電圧を増幅し、かつ増幅された電圧を第2の画素信号として出力する。選択トランジスタ22eは、第2の増幅トランジスタ21eから出力された第2の画素信号を垂直信号線

9に出力する。第2の増幅トランジスタ21fは、メモリ19fに保持された画素信号に基づく電圧を増幅し、かつ増幅された電圧を第2の画素信号として出力する。選択トランジスタ22fは、第2の増幅トランジスタ21fから出力された第2の画素信号を垂直信号線9に出力する。

[0199] 図11および図12に示す動作において、固体撮像装置202は、2回の撮像を実行する。1回目の撮像において、光電変換素子10a, 10dは第1の電荷を生成する。1回目の撮像において、光電変換素子10b, 10cは第2の電荷を生成する。1回目の撮像において、転送トランジスタ11a, 11dは、第1の電荷に基づく信号をFD12に転送し、かつ転送トランジスタ11b, 11eは、第2の電荷に基づく信号をFD12に転送する（時刻t9、時刻t13、および時刻t17）。1回目の撮像において、サンプルトランジスタ18aは、第1の電荷に基づく信号をFD12からメモリ19aに転送する（時刻t9）。1回目の撮像において、サンプルトランジスタ18b, 18cは、第2の電荷に基づく信号をFD12からメモリ19b, 19cに転送する（時刻t13および時刻t17）。1回目の撮像において、メモリ19aは、第1の電荷に基づく第1の画素信号を記憶する（時刻t10）。1回目の撮像において、メモリ19b, 19cは、第2の電荷に基づく第2の画素信号を記憶する（時刻t14および時刻t18）。

[0200] 2回目の撮像において、光電変換素子10b, 10cは第1の電荷を生成する。2回目の撮像において、光電変換素子10a, 10dは第2の電荷を生成する。2回目の撮像において、転送トランジスタ11b, 11cは、第1の電荷に基づく信号をFD12に転送し、かつ転送トランジスタ11a, 11dは、第2の電荷に基づく信号をFD12に転送する（時刻t27、時刻t31、および時刻t35）。2回目の撮像において、サンプルトランジスタ18dは、第1の電荷に基づく信号をFD12からメモリ19dに転送する（時刻t27）。2回目の撮像において、サンプルトランジスタ18e, 18fは、第2の電荷に基づく信号をFD12からメモリ19e, 19fに転送する（時刻t31および時刻t35）。2回目の撮像において、メモ

り 19 d は、第 1 の電荷に基づく第 1 の画素信号を記憶する（時刻 t 28）。2 回目の撮像において、メモリ 19 e, 19 f は、第 2 の電荷に基づく第 2 の画素信号を記憶する（時刻 t 32 および時刻 t 36）。

[0201] 1 回目の撮像において、光電変換素子 10 a の電荷と光電変換素子 10 d の電荷とを加算することにより高感度信号が得られる。1 回目の撮像において、光電変換素子 10 b のみの電荷に基づいて低感度信号が得られ、かつ光電変換素子 10 c のみの電荷に基づいて低感度信号が得られる。2 つの光電変換素子 10 a, 10 d の行位置は互いに異なり、かつ 2 つの光電変換素子 10 a, 10 d の列位置は互いに異なる。2 つの光電変換素子 10 b, 10 c の行位置は互いに異なり、かつ 2 つの光電変換素子 10 b, 10 c の列位置は互いに異なる。

[0202] 2 回目の撮像において、光電変換素子 10 b の電荷と光電変換素子 10 c の電荷とを加算することにより高感度信号が得られる。2 回目の撮像において、光電変換素子 10 a のみの電荷に基づいて低感度信号が得られ、かつ光電変換素子 10 d のみの電荷に基づいて低感度信号が得られる。したがって、2 回の撮像により、2 種類の高感度信号と、4 種類の低感度信号とが得られる。

[0203] 第 1 の組み合わせおよび第 2 の組み合わせは、互いに異なる。第 1 の組み合わせは、1 回目の撮像において高感度信号を生成する光電変換素子の組み合わせである。第 2 の組み合わせは、2 回目の撮像において高感度信号を生成する光電変換素子の組み合わせである。第 3 の組み合わせおよび第 4 の組み合わせは、互いに異なる。第 3 の組み合わせは、1 回目の撮像において低感度信号を生成する光電変換素子の組み合わせである。第 4 の組み合わせは、2 回目の撮像において低感度信号を生成する光電変換素子の組み合わせである。

[0204] 固体撮像装置 202 は、2 回の撮像により得られた高感度信号に基づく第 1 の画像信号と、2 回の撮像により得られた低感度信号に基づく第 2 の画像信号とを出力する。第 1 の画像処理部 203 a および第 2 の画像処理部 20

3 b は、1 回目の撮像により固体撮像装置 2 0 2 から出力された第 1 の画像信号および第 2 の画像信号と 2 回目の撮像により固体撮像装置 2 0 2 から出力された第 1 の画像信号および第 2 の画像信号をそれぞれ平均してもよい。また、第 1 の画像処理部 2 0 3 a および第 2 の画像処理部 2 0 3 b は、1 回目の撮像により固体撮像装置 2 0 2 から出力された 2 組の第 2 の画像信号を平均してもよい。第 1 の画像処理部 2 0 3 a および第 2 の画像処理部 2 0 3 b は、2 回目の撮像により固体撮像装置 2 0 2 から出力された 2 組の第 2 の画像信号を平均してもよい。固体撮像装置 2 0 2 は、2 組の第 2 の画像信号を平均する信号処理回路を有してもよい。

[0205] 2 回の撮像それぞれにおいて、2 組の第 2 の画像信号は、同じ画素グループ 1 c から出力される。2 つの第 1 の光電変換素子の重心位置は、画素グループ 1 c の重心位置と同じである。2 つの第 2 の光電変換素子の重心位置は、画素グループ 1 c の重心位置と同じである。そのため、第 1 の電荷が得られる 2 つの第 1 の光電変換素子の重心位置と、第 2 の電荷が得られる 2 つの第 2 の光電変換素子の重心位置とは、同じである。つまり、第 1 の画素信号（高感度信号）の画素重心位置と、第 2 の画素信号（低感度信号）の画素重心位置とは、同じである。

[0206] 第 1 の画像処理部 2 0 3 a および第 2 の画像処理部 2 0 3 b は、第 1 の画像信号および第 2 の画像信号を合成する。第 1 の画像信号は第 1 の画素信号に基づいて生成され、かつ第 2 の画像信号は第 2 の画素信号に基づいて生成される。第 1 の画素信号の画素重心位置と第 2 の画素信号の画素重心位置とが同じであるため、高品質な合成画像が得られる。

[0207] （第 5 の実施形態）

図 2 に示す固体撮像装置 2 0 2 を使用して、本発明の第 5 の実施形態を説明する。第 5 の実施形態の固体撮像装置 2 0 2 は、図 7 に示す画素グループ 1 b を含む。

[0208] 以下の例において、固体撮像装置 2 0 2 は、2 回の撮像を実行する。1 回目の撮像における第 1 の光電変換素子は、光電変換素子 1 0 a, 1 0 b, 1

0 cである。1回目の撮像における第2の光電変換素子は、光電変換素子10 dである。

[0209] 1回目の撮像において転送トランジスタ11 a, 11 b, 11 cは、光電変換素子10 a, 10 b, 10 cで生成された第1の電荷に基づく信号をFD 12に転送する。1回目の撮像においてサンプルトランジスタ18 aは、FD 12に保持された第1の電荷をメモリ19 aに転送する。1回目の撮像においてメモリ19 aは、第1の画素信号を記憶する。

[0210] 1回目の撮像において転送トランジスタ11 dは、光電変換素子10 dで生成された第2の電荷に基づく信号をFD 12に転送する。1回目の撮像においてサンプルトランジスタ18 bは、FD 12に保持された第2の電荷をメモリ19 bに転送する。1回目の撮像においてメモリ19 bは、第2の画素信号を記憶する。

[0211] 2回目の撮像における第1の光電変換素子は、光電変換素子10 b, 10 c, 10 dである。2回目の撮像における第2の光電変換素子は、光電変換素子10 aである。

[0212] 2回目の撮像において転送トランジスタ11 b, 11 c, 11 dは、光電変換素子10 b, 10 c, 10 dで生成された第1の電荷をFD 12に転送する。2回目の撮像においてサンプルトランジスタ18 cは、FD 12に保持された第1の電荷に基づく信号をメモリ19 cに転送する。2回目の撮像においてメモリ19 cは、第1の画素信号を記憶する。

[0213] 2回目の撮像において転送トランジスタ11 aは、光電変換素子10 aで生成された第2の電荷をFD 12に転送する。2回目の撮像においてサンプルトランジスタ18 dは、FD 12に保持された第2の電荷に基づく信号をメモリ19 dに転送する。2回目の撮像においてメモリ19 dは、第2の画素信号を記憶する。

[0214] 図13および図14は、固体撮像装置202の動作を示す。図13は、1回目の撮像における固体撮像装置202の動作を示す。図13に示す動作において、光電変換素子10 a, 10 b, 10 cが高感度信号を生成し、かつ

その信号がメモリ 19 a に保持される。図 13 に示す動作において、光電変換素子 10 d が低感度信号を生成し、かつその信号がメモリ 19 b に保持される。

[0215] 図 14 は、2 回目の撮像における固体撮像装置 202 の動作を示す。図 14 に示す動作において、光電変換素子 10 b, 10 c, 10 d が高感度信号を生成し、かつその信号がメモリ 19 c に保持される。図 14 に示す動作において、光電変換素子 10 a が低感度信号を生成し、かつその信号がメモリ 19 d に保持される。

[0216] 時刻 t_1 において、転送トランジスタ 11 a、転送トランジスタ 11 b、転送トランジスタ 11 c、および第 1 のリセットトランジスタ 13 がオンになり、かつ光電変換素子 10 a、光電変換素子 10 b、および光電変換素子 10 c がリセットされる。時刻 t_1 よりも後の時刻 t_2 において、転送トランジスタ 11 a、転送トランジスタ 11 b、転送トランジスタ 11 c、および第 1 のリセットトランジスタ 13 がオフになる。時刻 t_2 において、光電変換素子 10 a、光電変換素子 10 b、および光電変換素子 10 c は、電荷の蓄積すなわち画素信号（高感度信号）の生成を開始する。

[0217] 時刻 t_2 よりも後の時刻 t_3 において、転送トランジスタ 11 d および第 1 のリセットトランジスタ 13 がオンになり、かつ光電変換素子 10 d がリセットされる。時刻 t_3 よりも後の時刻 t_4 において、転送トランジスタ 11 d および第 1 のリセットトランジスタ 13 がオフになる。時刻 t_4 において、光電変換素子 10 d は、電荷の蓄積すなわち画素信号（低感度信号）の生成を開始する。

[0218] 時刻 t_4 よりも後の時刻 t_5 において、第 1 のリセットトランジスタ 13 がオンになり、かつ FD 12 がリセットされる。時刻 t_5 よりも後の時刻 t_6 において、第 1 のリセットトランジスタ 13 がオフになる。

[0219] 時刻 t_5 において、サンプルトランジスタ 18 a および第 2 のリセットトランジスタ 20 a がオンになり、かつクランプ容量 17 およびメモリ 19 a がリセットされる。時刻 t_6 において、第 2 のリセットトランジスタ 20 a

がオフになる。

[0220] 時刻 t_6 よりも後の時刻 t_7 において、転送トランジスタ 11 a、転送トランジスタ 11 b、および転送トランジスタ 11 c がオンになる。時刻 t_7 において、光電変換素子 10 a、光電変換素子 10 b、および光電変換素子 10 c の各々から出力された電荷が FD 12 に転送される。

[0221] 時刻 t_7 よりも後の時刻 t_8 において、転送トランジスタ 11 a、転送トランジスタ 11 b、および転送トランジスタ 11 c がオフになる。時刻 t_8 において、光電変換素子 10 a、光電変換素子 10 b、および光電変換素子 10 c は、電荷の蓄積すなわち画素信号の生成を終了する。

[0222] 露光期間 T_{11} において、光電変換素子 10 a、光電変換素子 10 b、および光電変換素子 10 c の各々に入射した光に基づく電荷が光電変換素子 10 a、光電変換素子 10 b、および光電変換素子 10 c の各々に蓄積される。露光期間 T_{11} は、時刻 t_2 から時刻 t_8 までの期間である。光電変換素子 10 a から出力された電荷と、光電変換素子 10 b から出力された電荷と、光電変換素子 10 c から出力された電荷とは、FD 12 において加算され、かつ FD 12 に保持される。

[0223] 時刻 t_7 において、第 1 の増幅トランジスタ 14 は、FD 12 に保持された電荷に基づく電圧を増幅し、かつ増幅された電圧を画素信号として出力する。第 1 の増幅トランジスタ 14 から出力された画素信号は、クランプ容量 17 に保持される。サンプルトランジスタ 18 a は、クランプ容量 17 の第 2 端の電圧をサンプリングする。時刻 t_8 において、メモリ 19 a は画素信号（高感度信号）を保持する。

[0224] 時刻 t_8 よりも後の時刻 t_9 において、第 1 のリセットトランジスタ 13 がオンになり、かつ FD 12 がリセットされる。時刻 t_9 よりも後の時刻 t_{10} において、第 1 のリセットトランジスタ 13 がオフになる。

[0225] 時刻 t_9 において、サンプルトランジスタ 18 b および第 2 のリセットトランジスタ 20 b がオンになり、かつクランプ容量 17 およびメモリ 19 b がリセットされる。時刻 t_{10} において、第 2 のリセットトランジスタ 20

bがオフになる。

[0226] 時刻 t_{10} よりも後の時刻 t_{11} において、転送トランジスタ $11d$ がオンになる。時刻 t_{11} において、光電変換素子 $10d$ から出力された電荷が $FD12$ に転送される。

[0227] 時刻 t_{11} よりも後の時刻 t_{12} において、転送トランジスタ $11d$ がオフになる。時刻 t_{12} において、光電変換素子 $10d$ は、電荷の蓄積すなわち画素信号の生成を終了する。

[0228] 露光期間 $T12$ において、光電変換素子 $10d$ に入射した光に基づく電荷が光電変換素子 $10d$ に蓄積される。露光期間 $T12$ は、時刻 t_4 から時刻 t_{12} までの期間である。光電変換素子 $10d$ から出力された電荷は、 $FD12$ に保持される。

[0229] 時刻 t_{11} において、第1の増幅トランジスタ 14 は、 $FD12$ に保持された電荷に基づく電圧を増幅し、かつ増幅された電圧を画素信号として出力する。第1の増幅トランジスタ 14 から出力された画素信号は、クランプ容量 17 に保持される。サンプルトランジスタ $18b$ は、クランプ容量 17 の第2端の電圧をサンプリングする。時刻 t_{12} において、メモリ $19b$ は画素信号（低感度信号）を保持する。

[0230] 時刻 t_{12} よりも後の時刻 t_{13} において、転送トランジスタ $11b$ 、転送トランジスタ $11c$ 、転送トランジスタ $11d$ 、および第1のリセットトランジスタ 13 がオンになり、かつ光電変換素子 $10b$ 、光電変換素子 $10c$ 、および光電変換素子 $10d$ がリセットされる。時刻 t_{13} よりも後の時刻 t_{14} において、転送トランジスタ $11b$ 、転送トランジスタ $11c$ 、転送トランジスタ $11d$ 、および第1のリセットトランジスタ 13 がオフになる。時刻 t_{14} において、光電変換素子 $10b$ 、光電変換素子 $10c$ 、および光電変換素子 $10d$ は、電荷の蓄積すなわち画素信号（高感度信号）の生成を開始する。

[0231] 時刻 t_{14} よりも後の時刻 t_{15} において、転送トランジスタ $11a$ および第1のリセットトランジスタ 13 がオンになり、かつ光電変換素子 $10a$

がりセットされる。時刻 t_{15} よりも後の時刻 t_{16} において、転送トランジスタ 11 a および第 1 のリセットトランジスタ 13 がオフになる。時刻 t_{16} において、光電変換素子 10 a は、電荷の蓄積すなわち画素信号（低感度信号）の生成を開始する。

[0232] 時刻 t_{16} よりも後の時刻 t_{17} において、第 1 のリセットトランジスタ 13 がオンになり、かつ FD 12 がリセットされる。時刻 t_{17} よりも後の時刻 t_{18} において、第 1 のリセットトランジスタ 13 がオフになる。

[0233] 時刻 t_{17} において、サンプルトランジスタ 18 c および第 2 のリセットトランジスタ 20 c がオンになり、かつクランプ容量 17 およびメモリ 19 c がリセットされる。時刻 t_{18} において、第 2 のリセットトランジスタ 20 c がオフになる。

[0234] 時刻 t_{18} よりも後の時刻 t_{19} において、転送トランジスタ 11 b、転送トランジスタ 11 c、および転送トランジスタ 11 d がオンになる。時刻 t_{19} において、光電変換素子 10 b、光電変換素子 10 c、および光電変換素子 10 d の各々から出力された電荷が FD 12 に転送される。

[0235] 時刻 t_{19} よりも後の時刻 t_{20} において、転送トランジスタ 11 b、転送トランジスタ 11 c、および転送トランジスタ 11 d がオフになる。時刻 t_{20} において、光電変換素子 10 b、光電変換素子 10 c、および光電変換素子 10 d は、電荷の蓄積すなわち画素信号の生成を終了する。

[0236] 露光期間 T_{21} において、光電変換素子 10 b、光電変換素子 10 c、および光電変換素子 10 d の各々に入射した光に基づく電荷が光電変換素子 10 b、光電変換素子 10 c、および光電変換素子 10 d の各々に蓄積される。露光期間 T_{21} は、時刻 t_{14} から時刻 t_{20} までの期間である。光電変換素子 10 b から出力された電荷と、光電変換素子 10 c から出力された電荷と、光電変換素子 10 d から出力された電荷とは、FD 12 において加算され、かつ FD 12 に保持される。

[0237] 時刻 t_{19} において、第 1 の増幅トランジスタ 14 は、FD 12 に保持された電荷に基づく電圧を増幅し、かつ増幅された電圧を画素信号として出力

する。第1の増幅トランジスタ14から出力された画素信号は、クランプ容量17に保持される。サンプルトランジスタ18cは、クランプ容量17の第2端の電圧をサンプリングする。時刻t20において、メモリ19cは画素信号（高感度信号）を保持する。

[0238] 時刻t20よりも後の時刻t21において、第1のリセットトランジスタ13がオンになり、かつFD12がリセットされる。時刻t21よりも後の時刻t22において、第1のリセットトランジスタ13がオフになる。

[0239] 時刻t21において、サンプルトランジスタ18dおよび第2のリセットトランジスタ20dがオンになり、かつクランプ容量17およびメモリ19dがリセットされる。時刻t22において、第2のリセットトランジスタ20dがオフになる。

[0240] 時刻t22よりも後の時刻t23において、転送トランジスタ11aがオンになる。時刻t23において、光電変換素子10aから出力された電荷がFD12に転送される。

[0241] 時刻t23よりも後の時刻t24において、転送トランジスタ11aがオフになる。時刻t24において、光電変換素子10aは、電荷の蓄積すなわち画素信号の生成を終了する。

[0242] 露光期間T22において、光電変換素子10aに入射した光に基づく電荷が光電変換素子10aに蓄積される。露光期間T22は、時刻t16から時刻t24までの期間である。光電変換素子10aから出力された電荷は、FD12に保持される。

[0243] 時刻t23において、第1の増幅トランジスタ14は、FD12に保持された電荷に基づく電圧を増幅し、かつ増幅された電圧を画素信号として出力する。第1の増幅トランジスタ14から出力された画素信号は、クランプ容量17に保持される。サンプルトランジスタ18dは、クランプ容量17の第2端の電圧をサンプリングする。時刻t24において、メモリ19dは画素信号（低感度信号）を保持する。

[0244] 図13および図14に示す動作は、固体撮像装置202に配置された全て

の画素グループ1 bで同時に行われる。そのため、グローバル電子シャッター動作が実現される。

[0245] 読み出し期間T r e a dにおいて、メモリ1 9 a、メモリ1 9 b、メモリ1 9 c、およびメモリ1 9 dに保持された画素信号が読み出される。読み出し期間T r e a dは、時刻t 2 4よりも後の時刻t 2 5から開始される。第2の増幅トランジスタ2 1 aは、メモリ1 9 aに保持された画素信号に基づく電圧を増幅し、かつ増幅された電圧を第1の画素信号として出力する。選択トランジスタ2 2 aは、第2の増幅トランジスタ2 1 aから出力された第1の画素信号を垂直信号線9に出力する。第2の増幅トランジスタ2 1 bは、メモリ1 9 bに保持された画素信号に基づく電圧を増幅し、かつ増幅された電圧を第2の画素信号として出力する。選択トランジスタ2 2 bは、第2の増幅トランジスタ2 1 bから出力された第2の画素信号を垂直信号線9に出力する。

[0246] 第2の増幅トランジスタ2 1 cは、メモリ1 9 cに保持された画素信号に基づく電圧を増幅し、かつ増幅された電圧を第1の画素信号として出力する。選択トランジスタ2 2 cは、第2の増幅トランジスタ2 1 cから出力された第1の画素信号を垂直信号線9に出力する。第2の増幅トランジスタ2 1 dは、メモリ1 9 dに保持された画素信号に基づく電圧を増幅し、かつ増幅された電圧を第2の画素信号として出力する。選択トランジスタ2 2 dは、第2の増幅トランジスタ2 1 dから出力された第2の画素信号を垂直信号線9に出力する。

[0247] 図1 3および図1 4に示す動作において、固体撮像装置2 0 2は、2回の撮像を実行する。1回目の撮像において、光電変換素子1 0 a, 1 0 b, 1 0 cは第1の電荷を生成する。1回目の撮像において、光電変換素子1 0 dは第2の電荷を生成する。1回目の撮像において、転送トランジスタ1 1 a, 1 1 b, 1 1 c, 1 1 dは、第1の電荷および第2の電荷をF D 1 2に転送する(時刻t 7および時刻t 1 1)。1回目の撮像において、サンプルトランジスタ1 8 aは、F D 1 2に保持された第1の電荷に基づく信号をメモ

リ 19 a に転送する（時刻 t_7 ）。1 回目の撮像において、サンプルトランジスタ 18 b は、FD 12 に保持された第 2 の電荷に基づく信号をメモリ 19 b に転送する（時刻 t_{11} ）。1 回目の撮像において、メモリ 19 a は、第 1 の電荷に基づく第 1 の画素信号を記憶する（時刻 t_8 ）。1 回目の撮像において、メモリ 19 b は、第 2 の電荷に基づく第 2 の画素信号を記憶する（時刻 t_{12} ）。

[0248] 2 回目の撮像において、光電変換素子 10 b, 10 c, 10 d は第 1 の電荷を生成する。2 回目の撮像において、光電変換素子 10 a は第 2 の電荷を生成する。2 回目の撮像において、転送トランジスタ 11 a, 11 b, 11 c, 11 d は、第 1 の電荷および第 2 の電荷を FD 12 に転送する（時刻 t_{19} および時刻 t_{23} ）。2 回目の撮像において、サンプルトランジスタ 18 c は、FD 12 に保持された第 1 の電荷に基づく信号をメモリ 19 c に転送する（時刻 t_{19} ）。2 回目の撮像において、サンプルトランジスタ 18 d は、FD 12 に保持された第 2 の電荷に基づく信号をメモリ 19 d に転送する（時刻 t_{23} ）。2 回目の撮像において、メモリ 19 c は、第 1 の電荷に基づく第 1 の画素信号を記憶する（時刻 t_{20} ）。2 回目の撮像において、メモリ 19 d は、第 2 の電荷に基づく第 2 の画素信号を記憶する（時刻 t_{24} ）。

[0249] 1 回目の撮像において、光電変換素子 10 a の電荷と光電変換素子 10 b の電荷と光電変換素子 10 c の電荷とを加算することにより高感度信号が得られる。1 回目の撮像において、光電変換素子 10 d のみの電荷に基づいて低感度信号が得られる。2 回目の撮像において、光電変換素子 10 b の電荷と光電変換素子 10 c の電荷と光電変換素子 10 d の電荷とを加算することにより高感度信号が得られる。2 回目の撮像において、光電変換素子 10 a のみの電荷に基づいて低感度信号が得られる。したがって、2 回の撮像により、2 種類の高感度信号と、2 種類の低感度信号とが得られる。

[0250] 第 1 の組み合わせおよび第 2 の組み合わせは、互いに異なる。第 1 の組み合わせは、1 回目の撮像において高感度信号を生成する光電変換素子の組み

合わせである。第2の組み合わせは、2回目の撮像において高感度信号を生成する光電変換素子の組み合わせである。第3の組み合わせおよび第4の組み合わせは、互いに異なる。第3の組み合わせは、1回目の撮像において低感度信号を生成する光電変換素子の組み合わせである。第4の組み合わせは、2回目の撮像において低感度信号を生成する光電変換素子の組み合わせである。

[0251] 固体撮像装置202は、2回の撮像により得られた高感度信号に基づく第1の画像信号と、2回の撮像により得られた低感度信号に基づく第2の画像信号とを出力する。第1の画像処理部203aおよび第2の画像処理部203bは、1回目の撮像により固体撮像装置202から出力された第1の画像信号および第2の画像信号と2回目の撮像により固体撮像装置202から出力された第1の画像信号および第2の画像信号をそれぞれ平均してもよい。

[0252] 第1の画像処理部203aおよび第2の画像処理部203bは、第1の画像信号および第2の画像信号を合成する。第1の画像信号は第1の画素信号に基づいて生成され、かつ第2の画像信号は第2の画素信号に基づいて生成される。第1の画素信号の画素位置と第2の画素信号の画素位置とが同じであるため、高品質な合成画像が得られる。

[0253] 図11および図12に示す動作において、2つの光電変換素子から出力された電荷が加算される。図13および図14に示す動作において、3つの光電変換素子から出力された電荷が加算される。そのため、図13および図14に示す動作において、高感度信号と低感度信号との信号比が、図11および図12に示す動作における信号比に比べて大きくなる。

[0254] (第6の実施形態)

図2に示す固体撮像装置202を使用して、本発明の第6の実施形態を説明する。第6の実施形態において、図3に示す画素グループ1aは、図15に示す画素グループ1dに変更される。図15は、画素グループ1dの構成を示す。

[0255] 1つの画素グループ1dは、2行かつ2列に配置された画素1に対応する

。図15に示す画素グループ1dは、4つの光電変換素子110a, 110b, 110c, 110dと、8つの転送トランジスタ111a, 111b, 111c, 111d, 211a, 211b, 211c, 211dと、FD112, 212と、リセットトランジスタ113, 213と、増幅トランジスタ114, 214と、選択トランジスタ115, 215とを有する。

[0256] 画素グループ1dの概略構成について説明する。第1の露光期間に少なくとも2つの第1の光電変換素子で少なくとも2つの第1の電荷が生成される。少なくとも2つの第1の電荷は第1のタイミングでFD112（第1のフローティングディフュージョン）に転送される。少なくとも2つの第1の電荷はFD112において加算され、かつFD112に保持される。第2の露光期間に少なくとも1つの第2の光電変換素子で第2の電荷が生成される。第2の露光期間は第1の露光期間と同じである。第2の電荷は第2のタイミングでFD212（第2のフローティングディフュージョン）に転送され、かつFD212に保持される。第2のタイミングは第1のタイミングと同じである。FD112に保持された第1の電荷に基づく第1の画素信号は垂直信号線119（第1の信号線）に出力される。FD212に保持された第2の電荷に基づく第2の画素信号は、垂直信号線119と異なる垂直信号線219（第2の信号線）に出力される。

[0257] 画素グループ1dの詳細な構成について説明する。FD112、FD212、リセットトランジスタ113、リセットトランジスタ213、増幅トランジスタ114、増幅トランジスタ214、選択トランジスタ115、および選択トランジスタ215は、画素グループ1d内で共有されている。図15に示す各回路要素の配置位置は実際の配置位置と必ずしも一致するわけではない。

[0258] 光電変換素子110a、転送トランジスタ111a、および転送トランジスタ211aは、第1の画素に対応する。光電変換素子110b、転送トランジスタ111b、および転送トランジスタ211bは、第2の画素に対応する。光電変換素子110c、転送トランジスタ111c、および転送トランジスタ211cは、第3の画素に対応する。光電変換素子110d、転送トランジスタ111d、および転送トランジスタ211dは、第4の画素に対応する。

ンジスタ211cは、第3の画素に対応する。光電変換素子110d、転送トランジスタ111d、および転送トランジスタ211dは、第4の画素に対応する。以下では、1つの画素グループ1dに含まれる4つの画素1のうち第1の画素の構成について説明する。第2の画素、第3の画素、および第4の画素の構成は、第1の画素の構成と同様である。

[0259] 以下では、FD112、リセットトランジスタ113、増幅トランジスタ114、および選択トランジスタ115について説明する。FD212、リセットトランジスタ213、増幅トランジスタ214、および選択トランジスタ215は、FD112、リセットトランジスタ113、増幅トランジスタ114、および選択トランジスタ115とそれぞれ同様である。FD112、リセットトランジスタ113、増幅トランジスタ114、および選択トランジスタ115は、高感度信号を出力するための回路である。FD212、リセットトランジスタ213、増幅トランジスタ214、および選択トランジスタ215は、低感度信号を出力するための回路である。

[0260] 光電変換素子110aの第1端は、グラウンドに接続されている。転送トランジスタ111aのドレインは、光電変換素子110aの第2端に接続されている。転送トランジスタ111aのゲートは、垂直走査回路3に接続されている。転送パルスS111aが垂直走査回路3から転送トランジスタ111aのゲートに供給される。

[0261] FD112の第1端は、転送トランジスタ111aのソース、転送トランジスタ111bのソース、転送トランジスタ111cのソース、および転送トランジスタ111dのソースに接続されている。FD112の第2端は、グラウンドに接続されている。リセットトランジスタ113のドレインは、電源電圧VDDを供給する電源に接続されている。リセットトランジスタ113のソースは、転送トランジスタ111aのソース、転送トランジスタ111bのソース、転送トランジスタ111cのソース、転送トランジスタ111dのソース、およびFD112の第1端に接続されている。リセットトランジスタ113のゲートは、垂直走査回路3に接続されている。リセットパ

ルスS 1 1 3が垂直走査回路3からリセットトランジスタ1 1 3のゲートに供給される。

[0262] 増幅トランジスタ1 1 4のドレインは、電源電圧V D Dを供給する電源に接続されている。増幅トランジスタ1 1 4のゲートは、転送トランジスタ1 1 1 aのソース、転送トランジスタ1 1 1 bのソース、転送トランジスタ1 1 1 cのソース、転送トランジスタ1 1 1 dのソース、およびF D 1 1 2の第1端に接続されている。選択トランジスタ1 1 5のドレインは、増幅トランジスタ1 1 4のソースに接続されている。選択トランジスタ1 1 5のソースは、垂直信号線1 1 9に接続されている。選択トランジスタ1 1 5のゲートは、垂直走査回路3に接続されている。選択パルスS 1 1 5が垂直走査回路3から選択トランジスタ1 1 5のゲートに供給される。

[0263] 光電変換素子1 1 0 aは、図3に示す光電変換素子1 0 aと同様である。転送トランジスタ1 1 1 aは、図3に示す転送トランジスタ1 1 aと同様である。転送トランジスタ1 1 1 aがオンであるとき、光電変換素子1 1 0 aとF D 1 1 2とは電氣的に接続される。光電変換素子1 1 0 aとF D 1 1 2とが電氣的に接続されたとき、転送トランジスタ1 1 1 aは、光電変換素子1 1 0 aに蓄積された電荷をF D 1 1 2に転送する。転送トランジスタ1 1 1 aのオンと転送トランジスタ1 1 1 aのオフとは、垂直走査回路3から供給される転送パルスS 1 1 1 aに基づいて制御される。

[0264] 転送パルスS 1 1 1 bが垂直走査回路3から転送トランジスタ1 1 1 bのゲートに供給される。転送パルスS 1 1 1 cが垂直走査回路3から転送トランジスタ1 1 1 cのゲートに供給される。転送パルスS 1 1 1 dが垂直走査回路3から転送トランジスタ1 1 1 dのゲートに供給される。転送パルスS 2 1 1 aが垂直走査回路3から転送トランジスタ2 1 1 aのゲートに供給される。転送パルスS 2 1 1 bが垂直走査回路3から転送トランジスタ2 1 1 bのゲートに供給される。転送パルスS 2 1 1 cが垂直走査回路3から転送トランジスタ2 1 1 cのゲートに供給される。転送パルスS 2 1 1 dが垂直走査回路3から転送トランジスタ2 1 1 dのゲートに供給される。

- [0265] FD 112 は、光電変換素子 110 a, 110 b, 110 c, 110 d から転送された電荷を一時的に保持および蓄積し、電圧に変換する。
- [0266] リセットトランジスタ 113 は、図 3 に示す第 1 のリセットトランジスタ 113 と同様である。リセットトランジスタ 113 がオンであるとき、電源と FD 112 とは電氣的に接続される。電源と FD 112 とが電氣的に接続されたとき、リセットトランジスタ 113 は FD 112 をリセットする。リセットトランジスタ 113 のオンとリセットトランジスタ 113 のオフとは、垂直走査回路 3 から供給されるリセットパルス S 113 に基づいて制御される。転送トランジスタ 111 a およびリセットトランジスタ 113 がオンであるとき、光電変換素子 110 a がリセットされる。光電変換素子 110 a および FD 112 のリセットにより、光電変換素子 110 a および FD 112 に蓄積されている電荷の量が制御される。このリセットにより、光電変換素子 110 a および FD 112 の状態（電位）が基準状態（基準電位、リセットレベル）に設定される。
- [0267] 増幅トランジスタ 114 は、FD 112 に保持された電荷に基づく電圧を増幅し、かつ増幅された電圧を画素信号としてソースから出力する。垂直信号線 119 に接続された電流源 123 は、増幅トランジスタ 114 の負荷として機能し、かつ増幅トランジスタ 114 を駆動する電流を増幅トランジスタ 114 に供給する。増幅トランジスタ 114 および電流源 123 は、ソースフォロア回路である。
- [0268] 電流源 223 が垂直信号線 219 に接続されている。増幅トランジスタ 214 および電流源 223 は、ソースフォロア回路である。
- [0269] 選択トランジスタ 115 は、増幅トランジスタ 114 および垂直信号線 119 に接続されている。選択トランジスタ 115 は、図 3 に示す選択トランジスタ 22 a と同様である。選択トランジスタ 115 がオンであるとき、増幅トランジスタ 114 と垂直信号線 119 とは電氣的に接続される。増幅トランジスタ 114 と垂直信号線 119 とが電氣的に接続されたとき、選択トランジスタ 115 は、増幅トランジスタ 114 から出力された画素信号を垂

直信号線 119 に出力する。選択トランジスタ 115 のオンと選択トランジスタ 115 のオフとは、垂直走査回路 3 から供給される選択パルス S115 に基づいて制御される。

[0270] リセットパルス S213 が垂直走査回路 3 からリセットトランジスタ 213 のゲートに供給される。選択パルス S215 が垂直走査回路 3 から選択トランジスタ 215 のゲートに供給される。

[0271] 図 16 は、固体撮像装置 202 の動作を示す。図 16 において、各パルスの波形が示されている。図 16 における横方向は時間を示し、かつ図 16 における縦方向は電圧を示す。図 16 に示す動作において、光電変換素子 110a, 110d が高感度信号を生成し、かつその信号が FD112 に保持される。図 16 に示す動作において、光電変換素子 110b が低感度信号を生成し、かつその信号が FD212 に保持される。図 16 に示す動作において、高感度信号および低感度信号は、ローリングシャッター動作により並列に読み出される。

[0272] 図 16 において、水平同期信号 HD の波形が示されている。1 水平期間は、水平ブランキング期間および水平有効期間を含む。水平ブランキング期間において、水平同期信号 HD のレベルは L レベルである。水平有効期間において、水平同期信号 HD のレベルは H レベルである。水平ブランキング期間において、固体撮像装置 202 は、画素グループ 1d の配列における所定の行を選択する。選択された行の画素グループ 1d において、リセット動作、蓄積動作、および信号読み出しが実行される。水平ブランキング期間において、列処理回路 4 は、ノイズ除去および増幅等を行う。列処理回路 4 によって処理された信号は、水平有効期間に固体撮像装置 202 の外部へ出力される。

[0273] 図 16 に示す各パルスは、画素グループ 1d の配列における 2 つの行に供給される。以下では、第 n 行の画素グループ 1d の動作を説明する。

[0274] 時刻 t1 よりも前では、各パルスのレベルは L レベルである。時刻 t1 において、転送パルス S111a、転送パルス S111b、転送パルス S11

1 c、転送パルス S 1 1 1 d、転送パルス S 2 1 1 a、転送パルス S 2 1 1 b、転送パルス S 2 1 1 c、転送パルス S 2 1 1 d、リセットパルス S 1 1 3、およびリセットパルス S 2 1 3 が L レベルから H レベルに変化する。そのため、転送トランジスタ 1 1 1 a、転送トランジスタ 1 1 1 b、転送トランジスタ 1 1 1 c、転送トランジスタ 1 1 1 d、転送トランジスタ 2 1 1 a、転送トランジスタ 2 1 1 b、転送トランジスタ 2 1 1 c、転送トランジスタ 2 1 1 d、リセットトランジスタ 1 1 3、およびリセットトランジスタ 2 1 3 がオンになる。時刻 t 1 において、光電変換素子 1 1 0 a、光電変換素子 1 1 0 b、光電変換素子 1 1 0 c、および光電変換素子 1 1 0 d がリセットされる。

[0275] 時刻 t 1 よりも後の時刻 t 2 において、転送パルス S 1 1 1 a、転送パルス S 1 1 1 b、転送パルス S 1 1 1 c、転送パルス S 1 1 1 d、転送パルス S 2 1 1 a、転送パルス S 2 1 1 b、転送パルス S 2 1 1 c、転送パルス S 2 1 1 d、リセットパルス S 1 1 3、およびリセットパルス S 2 1 3 が H レベルから L レベルに変化する。そのため、転送トランジスタ 1 1 1 a、転送トランジスタ 1 1 1 b、転送トランジスタ 1 1 1 c、転送トランジスタ 1 1 1 d、転送トランジスタ 2 1 1 a、転送トランジスタ 2 1 1 b、転送トランジスタ 2 1 1 c、転送トランジスタ 2 1 1 d、リセットトランジスタ 1 1 3、およびリセットトランジスタ 2 1 3 がオフになる。時刻 t 2 において光電変換素子 1 1 0 a、光電変換素子 1 1 0 b、光電変換素子 1 1 0 c、および光電変換素子 1 1 0 d は、撮像を開始する。つまり、光電変換素子 1 1 0 a、光電変換素子 1 1 0 b、光電変換素子 1 1 0 c、および光電変換素子 1 1 0 d は、電荷の蓄積すなわち画素信号の生成を開始する。

[0276] 光電変換素子 1 1 0 c で生成された電荷は、信号処理に使用されない。光電変換素子 1 1 0 c から溢れた電荷が他の回路に影響を与える。その影響を抑制するために光電変換素子 1 1 0 c もリセットされる。

[0277] 図 1 6 に示す動作において、各光電変換素子は、高感度信号のための転送トランジスタ (1 1 1 a ~ 1 1 1 d)、高感度信号のためのリセットラン

ジスタ（１１３）、低感度信号のための転送トランジスタ（２１１a～２１１d）、および低感度信号のためのリセットトランジスタ（２１３）によってリセットされる。各光電変換素子は、高感度信号のための転送トランジスタ（１１１a～１１１d）および高感度信号のためのリセットトランジスタ（１１３）のみによってリセットされてもよい。各光電変換素子は、低感度信号のための転送トランジスタ（２１１a～２１１d）および低感度信号のためのリセットトランジスタ（２１３）のみによってリセットされてもよい。

[0278] 時刻 t_2 よりも後の時刻 t_3 において、選択パルス S_{115} が L レベルから H レベルに変化する。そのため、選択トランジスタ 115 がオンになる。時刻 t_3 において、選択パルス S_{215} が L レベルから H レベルに変化する。そのため、選択トランジスタ 215 がオンになる。

[0279] 時刻 t_3 よりも後の時刻 t_4 において、リセットパルス S_{113} が L レベルから H レベルに変化する。そのため、リセットトランジスタ 113 がオンになる。時刻 t_4 において、FD 112 がリセットされる。増幅トランジスタ 114 は、リセットされた FD 112 の電圧を増幅し、かつ増幅された電圧をリセット信号として出力する。選択トランジスタ 115 は、増幅トランジスタ 114 から出力されたりセット信号を垂直信号線 119 に出力する。

[0280] 時刻 t_4 において、リセットパルス S_{213} が L レベルから H レベルに変化する。そのため、リセットトランジスタ 213 がオンになる。時刻 t_4 において、FD 212 がリセットされる。増幅トランジスタ 214 は、リセットされた FD 212 の電圧を増幅し、かつ増幅された電圧をリセット信号として出力する。選択トランジスタ 215 は、増幅トランジスタ 214 から出力されたりセット信号を垂直信号線 219 に出力する。

[0281] 時刻 t_4 よりも後の時刻 t_5 において、リセットパルス S_{113} が H レベルから L レベルに変化する。そのため、リセットトランジスタ 113 がオフになる。時刻 t_5 において、リセットパルス S_{213} が H レベルから L レベルに変化する。そのため、リセットトランジスタ 213 がオフになる。

[0282] 時刻 t_5 よりも後の時刻 t_6 において、転送パルス S_{111a} および転送パルス S_{111d} が L レベルから H レベルになる。そのため、転送トランジスタ $111a$ および転送トランジスタ $111d$ がオンになる。時刻 t_6 において、光電変換素子 $110a$ および光電変換素子 $110d$ の各々から出力された電荷が FD_{112} に転送される。

[0283] 時刻 t_6 において、転送パルス S_{211b} が L レベルから H レベルになる。そのため、転送トランジスタ $211b$ がオンになる。時刻 t_6 において、光電変換素子 $110b$ から出力された電荷が FD_{212} に転送される。

[0284] 時刻 t_6 よりも後の時刻 t_7 において、転送パルス S_{111a} および転送パルス S_{111d} が H レベルから L レベルになる。そのため、転送トランジスタ $111a$ および転送トランジスタ $111d$ がオフになる。時刻 t_7 において、光電変換素子 $110a$ および光電変換素子 $110d$ は、撮像を終了する。つまり、光電変換素子 $110a$ および光電変換素子 $110d$ は、電荷の蓄積すなわち画素信号の生成を終了する。光電変換素子 $110a$ から出力された電荷と、光電変換素子 $110d$ から出力された電荷とは、 FD_{112} において加算される。加算された電荷は、高感度信号として FD_{112} に保持される。

[0285] 増幅トランジスタ 114 は、 FD_{112} に保持された電荷に基づく電圧を増幅し、かつ増幅された電圧を第 1 の画素信号として出力する。選択トランジスタ 115 は、増幅トランジスタ 114 から出力された第 1 の画素信号を垂直信号線 119 に出力する。列処理回路 4 は、第 1 の画素信号とリセット信号との差を示す信号を生成する。

[0286] 時刻 t_7 において、転送パルス S_{211b} が H レベルから L レベルになる。そのため、転送トランジスタ $211b$ がオフになる。時刻 t_7 において、光電変換素子 $110b$ は、撮像を終了する。つまり、光電変換素子 $110b$ は、電荷の蓄積すなわち画素信号の生成を終了する。光電変換素子 $110b$ から出力された電荷は、低感度信号として FD_{212} に保持される。

[0287] 増幅トランジスタ 214 は、 FD_{212} に保持された電荷に基づく電圧を

増幅し、かつ増幅された電圧を第2の画素信号として出力する。選択トランジスタ215は、増幅トランジスタ214から出力された第2の画素信号を垂直信号線219に出力する。列処理回路4は、第2の画素信号とリセット信号との差を示す信号を生成する。

[0288] 時刻 t_7 よりも後の時刻 t_8 において、選択パルスS115がHレベルからLレベルに変化する。そのため、選択トランジスタ115がオフになる。時刻 t_8 において、選択パルスS215がHレベルからLレベルに変化する。そのため、選択トランジスタ215がオフになる。

[0289] 光電変換素子110a、光電変換素子110b、および光電変換素子110dは撮像を同時に開始し、かつ撮像を同時に終了する。高感度信号のための露光期間と、低感度信号のための露光期間とは同じである。

[0290] 時刻 t_8 よりも後の時刻 t_9 から始まる水平有効期間において、固体撮像装置202は、第 n 行の第1の画素信号に基づく第1の画像信号と、第 n 行の第2の画素信号に基づく第2の画像信号とを固体撮像装置202の外部へ出力する。

[0291] 固体撮像装置202は、上記の動作を画素グループ1dの配列における行毎に実行する。各行の動作のタイミングは、1水平期間ずつずれている。そのため、ローリングシャッター動作が実現される。

[0292] 時刻 t_7 において、2つの第1の光電変換素子で生成された2つの第1の電荷はFD112に転送される。第1の光電変換素子は、光電変換素子110aおよび光電変換素子110dである。2つの第1の電荷はFD112において加算され、かつFD112に保持される。時刻 t_7 において、第2の光電変換素子で生成された第2の電荷はFD212に転送され、かつFD212に保持される。第2の光電変換素子は、光電変換素子110bである。FD112に保持された第1の電荷に基づく第1の画素信号は、時刻 t_7 において垂直信号線119に出力される。FD212に保持された第2の電荷に基づく第2の画素信号は、時刻 t_7 において垂直信号線219に出力される。

[0293] 3つ以上の第1の光電変換素子で3つ以上の第1の電荷が生成されてもよい。2つ以上の第2の光電変換素子で2つ以上の第2の電荷が生成されてもよい。

[0294] 図16に示す動作において、光電変換素子110a, 110dが高感度信号の取得に使用され、かつ光電変換素子110bが低感度信号の取得に使用される。2つの光電変換素子10a, 10dの行位置は互いに異なり、かつ2つの光電変換素子10a, 10dの列位置は互いに異なる。FD112およびFD212が各光電変換素子で共有される限り、任意の光電変換素子の組み合わせで高感度信号および低感度信号の各々を得ることができる。そのため、電荷の加算に係わる複数の画素の配置方向は水平方向または垂直方向に限らない。

[0295] 光電変換素子110aの電荷と光電変換素子110dの電荷とを加算することにより高感度信号が得られる。光電変換素子110bのみの電荷に基づいて低感度信号が得られる。また、高感度信号を生成するための露光期間と、低感度信号を生成するための露光期間とは、同じである。

[0296] したがって、第1の画像信号と第2の画像信号とを合成することにより、画質の劣化が抑制された高ダイナミックレンジの画像を得ることができる。第1の画像信号は、高感度信号に基づいて生成される。第2の画像信号は、低感度信号に基づいて生成される。固体撮像装置202および撮像システム200は画質の劣化を抑制することができる。

[0297] 以上、本発明の好ましい実施形態を説明したが、本発明はこれら実施形態およびその変形例に限定されることはない。本発明の趣旨を逸脱しない範囲で、構成の付加、省略、置換、およびその他の変更が可能である。また、本発明は前述した説明によって限定されることはなく、添付のクレームの範囲によってのみ限定される。

産業上の利用可能性

[0298] 本発明の各実施形態によれば、固体撮像装置および撮像システムは画質の劣化を抑制することができる。

符号の説明

- [0299] 1 画素
- 1 a, 1 b, 1 c, 1 d 画素グループ
- 2 画素部
- 3 垂直走査回路
- 4 列処理回路
- 5 水平読み出し回路
- 6 出力アンプ
- 7 制御回路
- 8 a, 8 b, 8 c, 8 d, 8 e, 8 f メモリユニット
- 1 0 a, 1 0 b, 1 0 c, 1 0 d, 1 1 0 a, 1 1 0 b, 1 1 0 c, 1 1 0 d 光電変換素子
- 1 1 a, 1 1 b, 1 1 c, 1 1 d, 1 1 1 a, 1 1 1 b, 1 1 1 c, 1 1 1 d, 2 1 1 a, 2 1 1 b, 2 1 1 c, 2 1 1 d 転送トランジスタ
- 1 2, 1 1 2, 2 1 2 FD
- 1 3 第1のリセットトランジスタ
- 1 4 第1の増幅トランジスタ
- 1 6 第1の電流源
- 1 7 クランプ容量
- 1 8 a, 1 8 b, 1 8 c, 1 8 d, 1 8 e, 1 8 f サンプルトランジスタ
- 1 9 a, 1 9 b, 1 9 c, 1 9 d, 1 9 e, 1 9 f メモリ
- 2 0 a, 2 0 b, 2 0 c, 2 0 d, 2 0 e, 2 0 f 第2のリセットトランジスタ
- 2 1 a, 2 1 b, 2 1 c, 2 1 d, 2 1 e, 2 1 f 第2の増幅トランジスタ
- 2 2 a, 2 2 b, 2 2 c, 2 2 d, 2 2 e, 2 2 f, 1 1 5, 2 1 5 選択トランジスタ

- 2 3 第2の電流源
- 3 0 第1の基板
- 3 1 第2の基板
- 3 2, 3 3, 3 5, 3 6 マイクロパッド
- 3 4, 3 7 マイクロバンプ
- 3 8 パッド
- 1 1 3, 2 1 3 リセットトランジスタ
- 1 1 4, 2 1 4 増幅トランジスタ
- 1 2 3, 2 2 3 電流源
- 2 0 0 撮像システム
- 2 0 1 レンズ
- 2 0 2 固体撮像装置
- 2 0 3 信号処理部
- 2 0 3 a 第1の画像処理部
- 2 0 3 b 第2の画像処理部
- 2 0 4 表示部
- 2 0 5 駆動制御部
- 2 0 6 レンズ制御部
- 2 0 7 カメラ制御部
- 2 0 8 カメラ操作部
- 2 0 9 記憶部

請求の範囲

[請求項1]

行列状に配置された複数の光電変換素子と、

複数の画素グループと、

を有し、

前記複数の光電変換素子の各々は、前記複数の画素グループのいずれか1つに属し、

前記複数の画素グループの各々は、前記複数の光電変換素子に含まれる少なくとも3つの前記光電変換素子を含み、

前記少なくとも3つの前記光電変換素子は、第1の電荷を生成する少なくとも2つの第1の光電変換素子と、第2の電荷を生成する少なくとも1つの第2の光電変換素子とからなり、

前記少なくとも3つの前記光電変換素子は、少なくとも2行および少なくとも2列に配置され、

前記複数の画素グループの各々は、

フローティングディフュージョンと、

第1のメモリと、

第2のメモリと、

を有し、

第1の露光期間に前記第1の光電変換素子で前記第1の電荷が生成され、

前記第1の電荷は第1のタイミングで前記フローティングディフュージョンに転送され、

少なくとも2つの前記第1の光電変換素子で生成された2つの前記第1の電荷は前記フローティングディフュージョンにおいて加算され、かつ前記フローティングディフュージョンに保持され、

前記第1のメモリは、前記フローティングディフュージョンに保持された前記第1の電荷に基づく第1の画素信号を記憶し、

第2の露光期間に前記第2の光電変換素子で前記第2の電荷が生成

され、前記第2の露光期間の少なくとも一部は前記第1の露光期間と重なり、

前記第2の電荷は第2のタイミングで前記フローティングディフュージョンに転送され、かつ前記フローティングディフュージョンに保持され、前記第2のタイミングは前記第1のタイミングと異なり、

前記第2のメモリは、前記フローティングディフュージョンに保持された前記第2の電荷に基づく第2の画素信号を記憶する固体撮像装置。

[請求項2]

前記複数の光電変換素子を有する第1の基板と、

前記第1の基板に積層され、かつ前記第1のメモリおよび前記第2のメモリを有する第2の基板と、

を有する

請求項1に記載の固体撮像装置。

[請求項3]

前記複数の画素グループの各々は、

前記第1の電荷および前記第2の電荷を前記フローティングディフュージョンに転送する転送トランジスタと、

前記フローティングディフュージョンおよび前記第1のメモリに接続された第1のスイッチと、

前記フローティングディフュージョンおよび前記第2のメモリに接続された第2のスイッチと、

を有し、

前記第1のスイッチがオンであるとき、前記第1のスイッチは、前記フローティングディフュージョンに保持された前記第1の電荷を前記第1のメモリに転送し、かつ前記第2のスイッチはオフであり、

前記第2のスイッチがオンであるとき、前記第2のスイッチは、前記フローティングディフュージョンに保持された前記第2の電荷を前記第2のメモリに転送し、かつ前記第1のスイッチはオフである

請求項1または請求項2に記載の固体撮像装置。

- [請求項4] 前記複数の画素グループの各々は、前記複数の光電変換素子に含まれる少なくとも4つの前記光電変換素子を含み、
前記少なくとも4つの前記光電変換素子は、連続する少なくとも2行および連続する少なくとも2列に配置されている
請求項1または請求項2に記載の固体撮像装置。
- [請求項5] 前記複数の画素グループの各々は、前記複数の光電変換素子に含まれる少なくとも4つの前記光電変換素子を含み、
前記少なくとも4つの前記光電変換素子は、連続する少なくとも2行および連続する少なくとも2列に配置されている
請求項3に記載の固体撮像装置。
- [請求項6] 前記少なくとも4つの前記光電変換素子は、少なくとも2つの前記第1の光電変換素子と、少なくとも2つの前記第2の光電変換素子とからなり、
前記転送トランジスタは、前記第2の光電変換素子で生成された前記第2の電荷を前記フローティングディフュージョンに順次転送し、
前記第2のスイッチは、前記フローティングディフュージョンに保持された前記第2の電荷を前記第2のメモリに順次転送し、
前記第2のメモリは、少なくとも2組の前記第2の電荷に基づく少なくとも2組の前記第2の画素信号を別々に記憶する
請求項5に記載の固体撮像装置。
- [請求項7] 前記固体撮像装置は、複数回の撮像を実行し、
前記複数回の撮像の各々において、前記第1の光電変換素子は前記第1の電荷を生成し、
前記複数回の撮像の各々において、前記第2の光電変換素子は前記第2の電荷を生成し、
前記複数回の撮像の各々において、前記転送トランジスタは、前記第1の電荷および前記第2の電荷を前記フローティングディフュージョンに転送し、

前記複数回の撮像の各々において、前記第1のスイッチは、前記フローティングディフュージョンに保持された前記第1の電荷を前記第1のメモリに転送し、

前記複数回の撮像の各々において、前記第2のスイッチは、前記フローティングディフュージョンに保持された前記第2の電荷を前記第2のメモリに転送し、

前記複数回の撮像の各々において、前記第1のメモリは、前記第1の画素信号を記憶し、

前記複数回の撮像の各々において、前記第2のメモリは、前記第2の画素信号を記憶し、

前記複数の画素グループの各々において、少なくとも2つの前記第1の光電変換素子の組み合わせは前記撮像毎に異なり、

前記複数の画素グループの各々において、少なくとも2つの前記第2の光電変換素子の組み合わせは前記撮像毎に異なる

請求項6に記載の固体撮像装置。

[請求項8]

行列状に配置された複数の光電変換素子と、

複数の画素グループと、

を有し、

前記複数の光電変換素子の各々は、前記複数の画素グループのいずれか1つに属し、

前記複数の画素グループの各々は、前記複数の光電変換素子に含まれる少なくとも3つの前記光電変換素子を含み、

前記少なくとも3つの前記光電変換素子は、第1の電荷を生成する少なくとも2つの第1の光電変換素子と、第2の電荷を生成する少なくとも1つの第2の光電変換素子とからなり、

前記少なくとも3つの前記光電変換素子は、少なくとも2行および少なくとも2列に配置され、

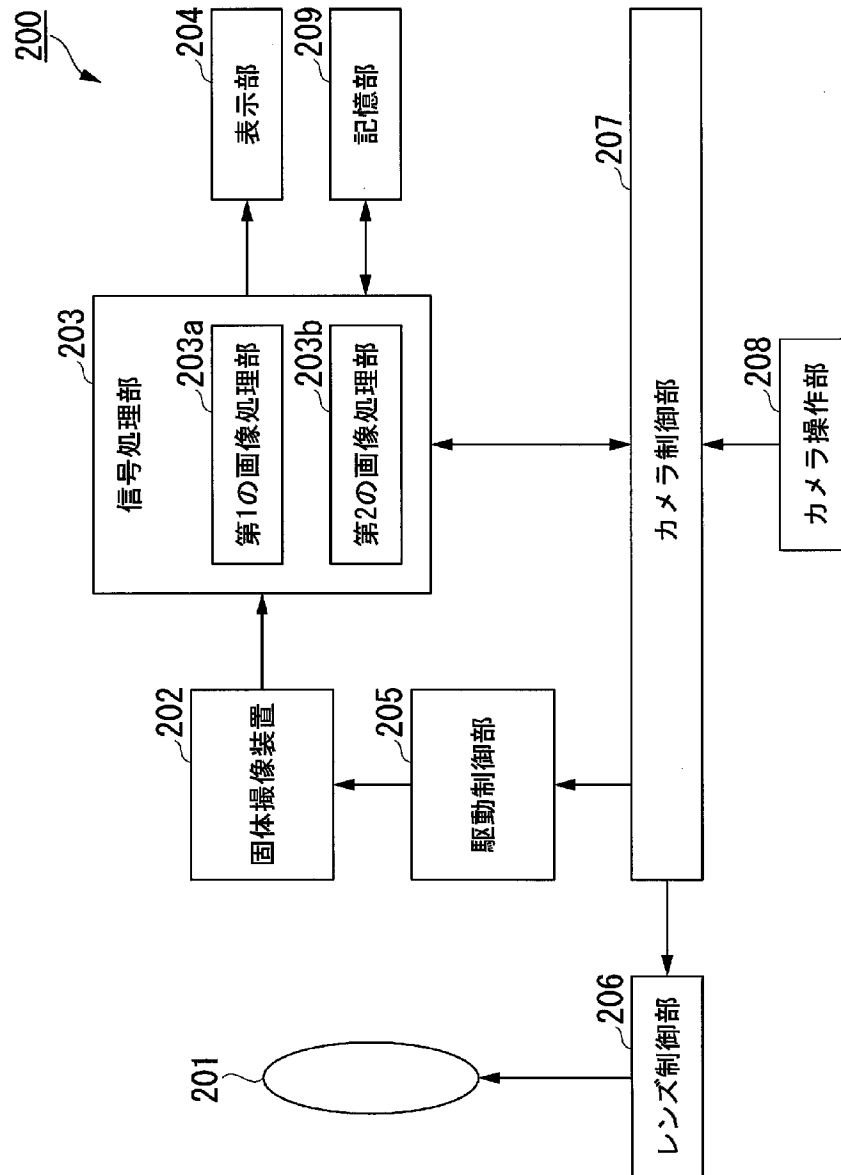
前記複数の画素グループの各々は、

第1のフローティングディフュージョンと、
第2のフローティングディフュージョンと、
を有し、
露光期間に前記第1の光電変換素子で前記第1の電荷が生成され、
前記第1の電荷は第1のタイミングで前記第1のフローティングディフュージョンに転送され、
少なくとも2つの光電変換素子で生成された2つの前記第1の電荷は前記第1のフローティングディフュージョンにおいて加算され、かつ前記第1のフローティングディフュージョンに保持され、
前記露光期間に前記第2の光電変換素子で前記第2の電荷が生成され、
前記第2の電荷は第2のタイミングで前記第2のフローティングディフュージョンに転送され、かつ前記第2のフローティングディフュージョンに保持され、前記第2のタイミングは前記第1のタイミングと同じであり、
前記第1のフローティングディフュージョンに保持された前記第1の電荷に基づく第1の画素信号は第1の信号線に出力され、
前記第2のフローティングディフュージョンに保持された前記第2の電荷に基づく第2の画素信号は、前記第1の信号線と異なる第2の信号線に出力される
固体撮像装置。

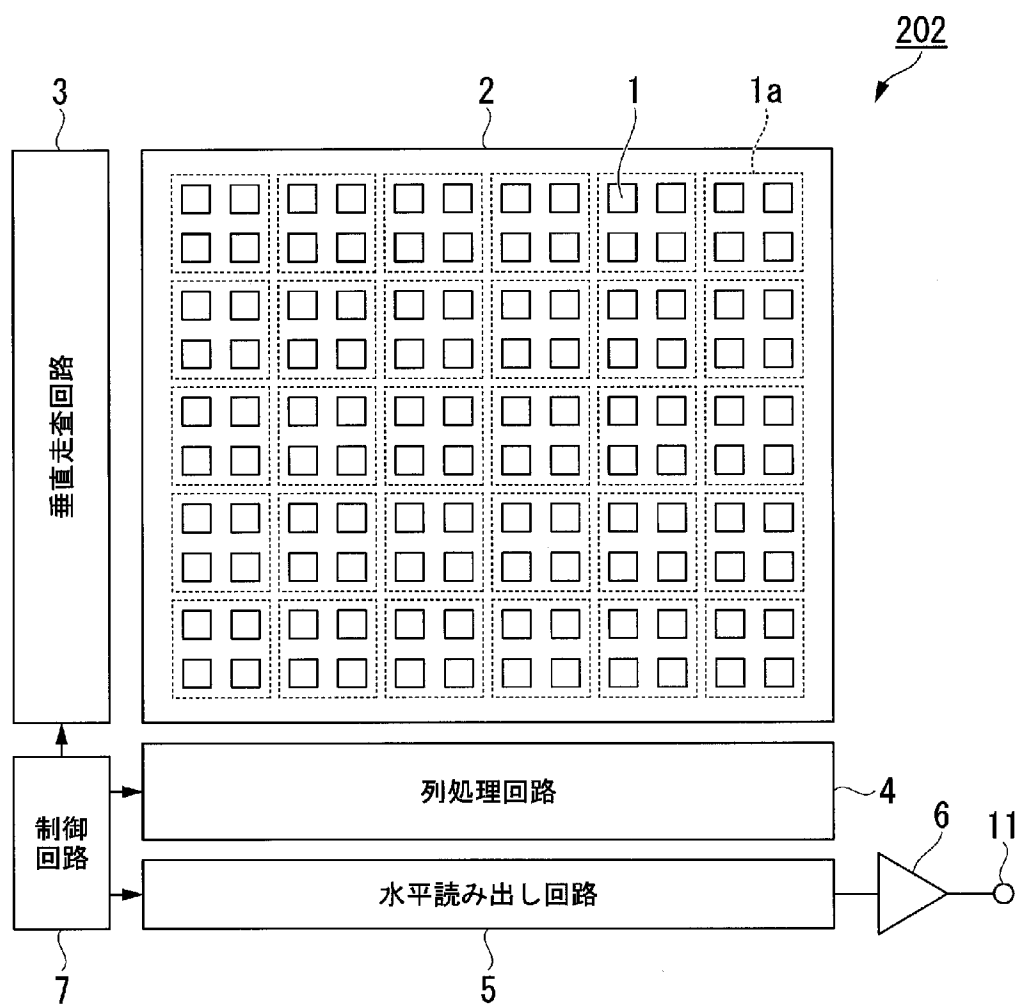
[請求項9]

請求項1から請求項8のいずれか一項に記載の固体撮像装置と、
前記第1の画素信号に基づく第1の画像信号と、前記第2の画素信号に基づく第2の画像信号とを合成する信号処理回路と、
を有する撮像システム。

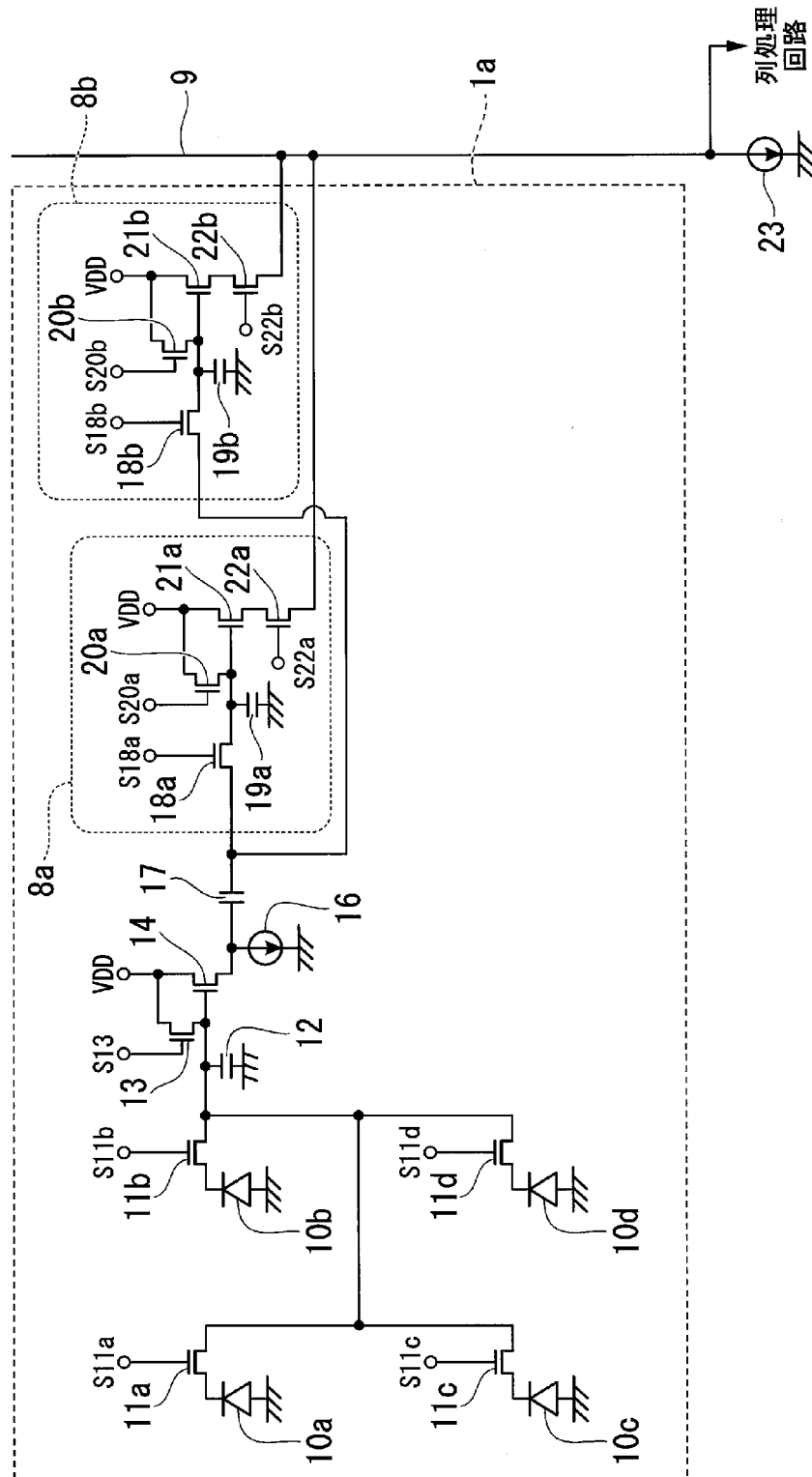
[図1]



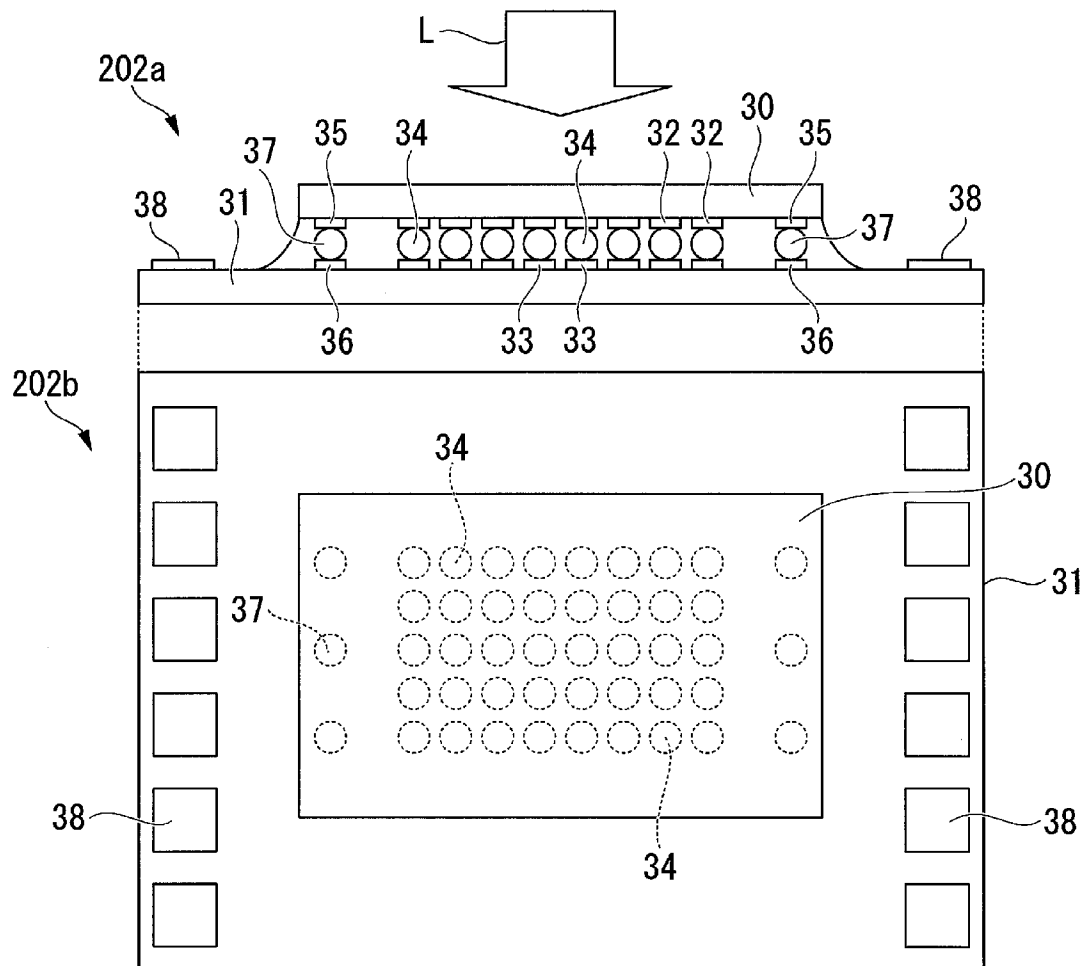
[図2]



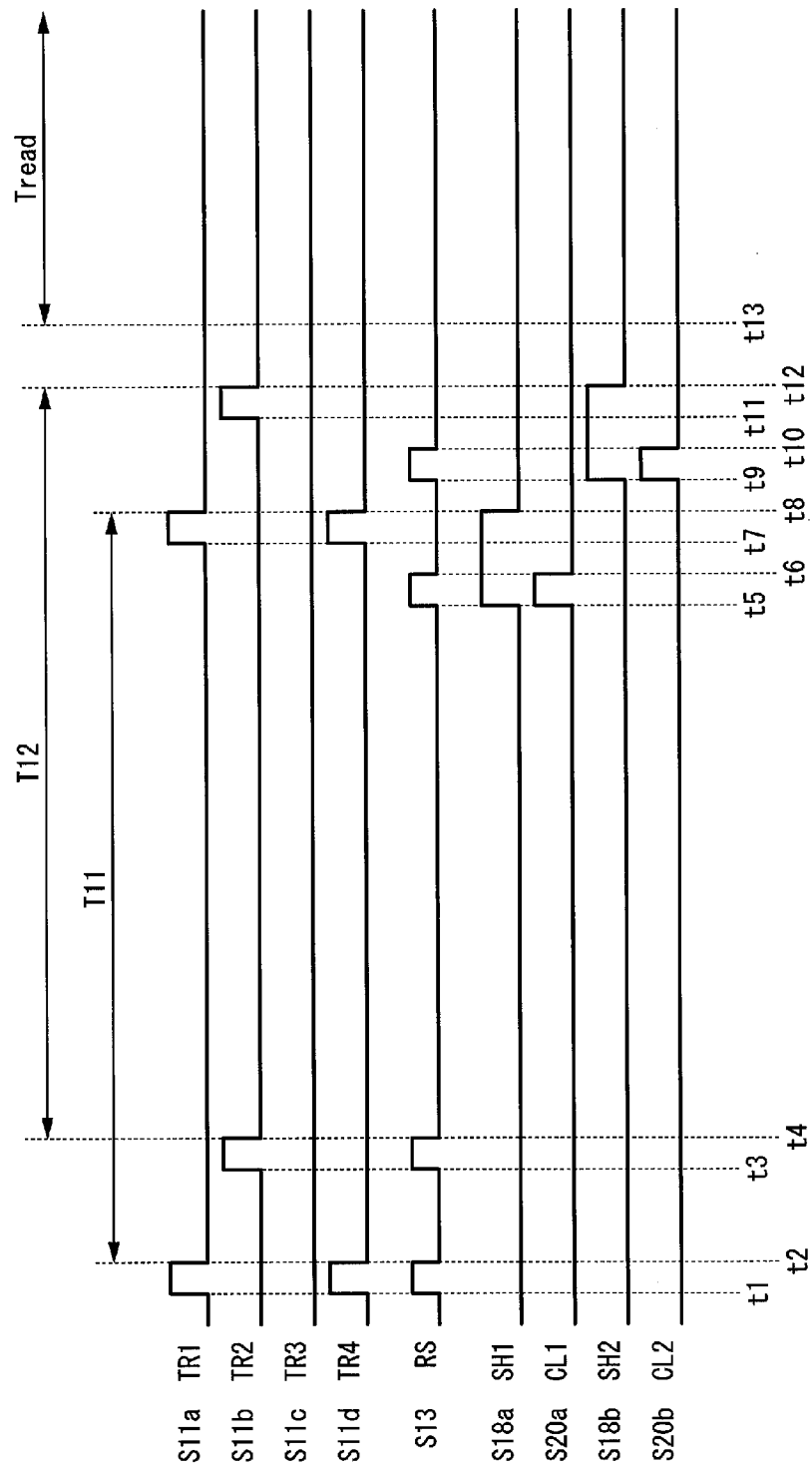
[図3]



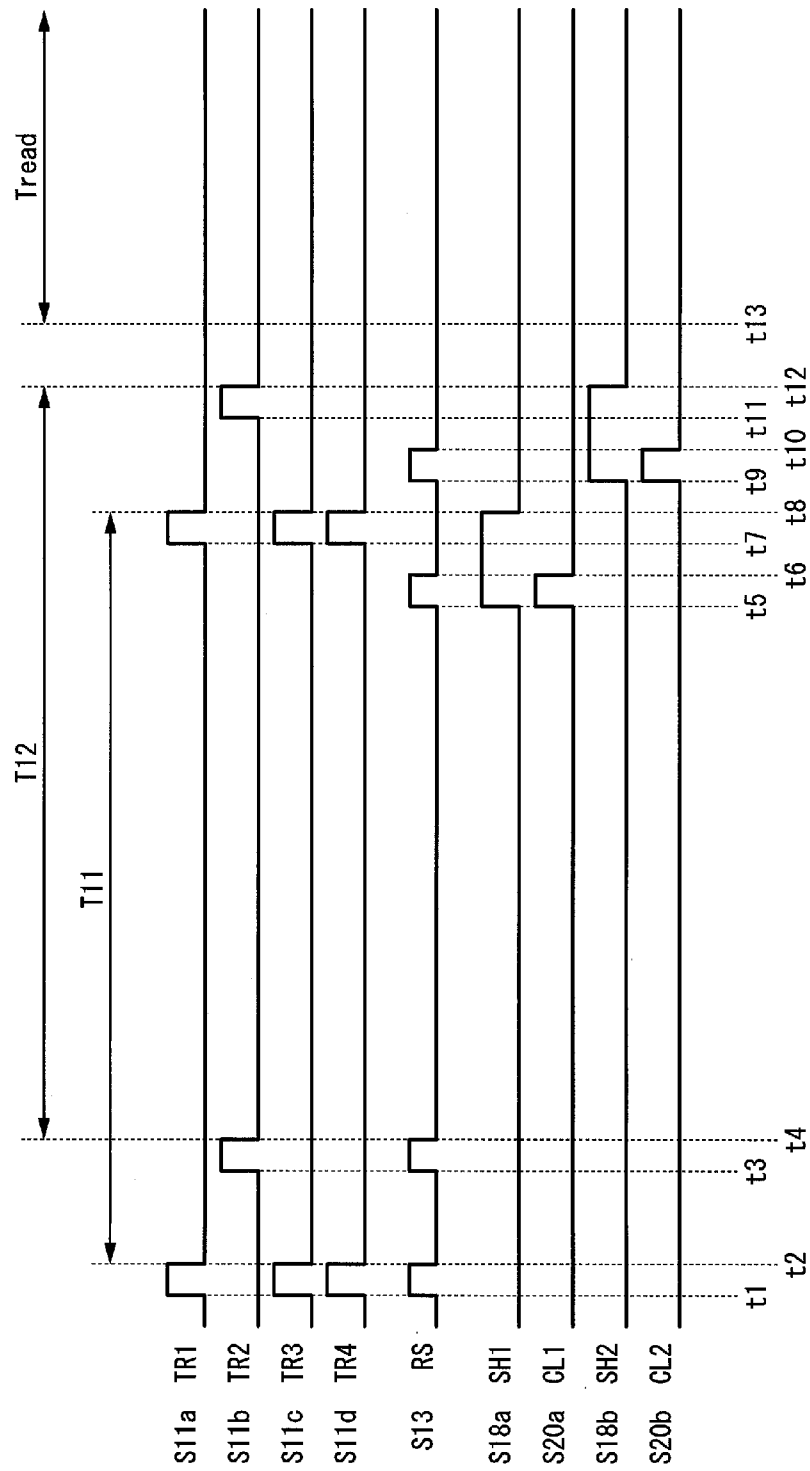
[図4]



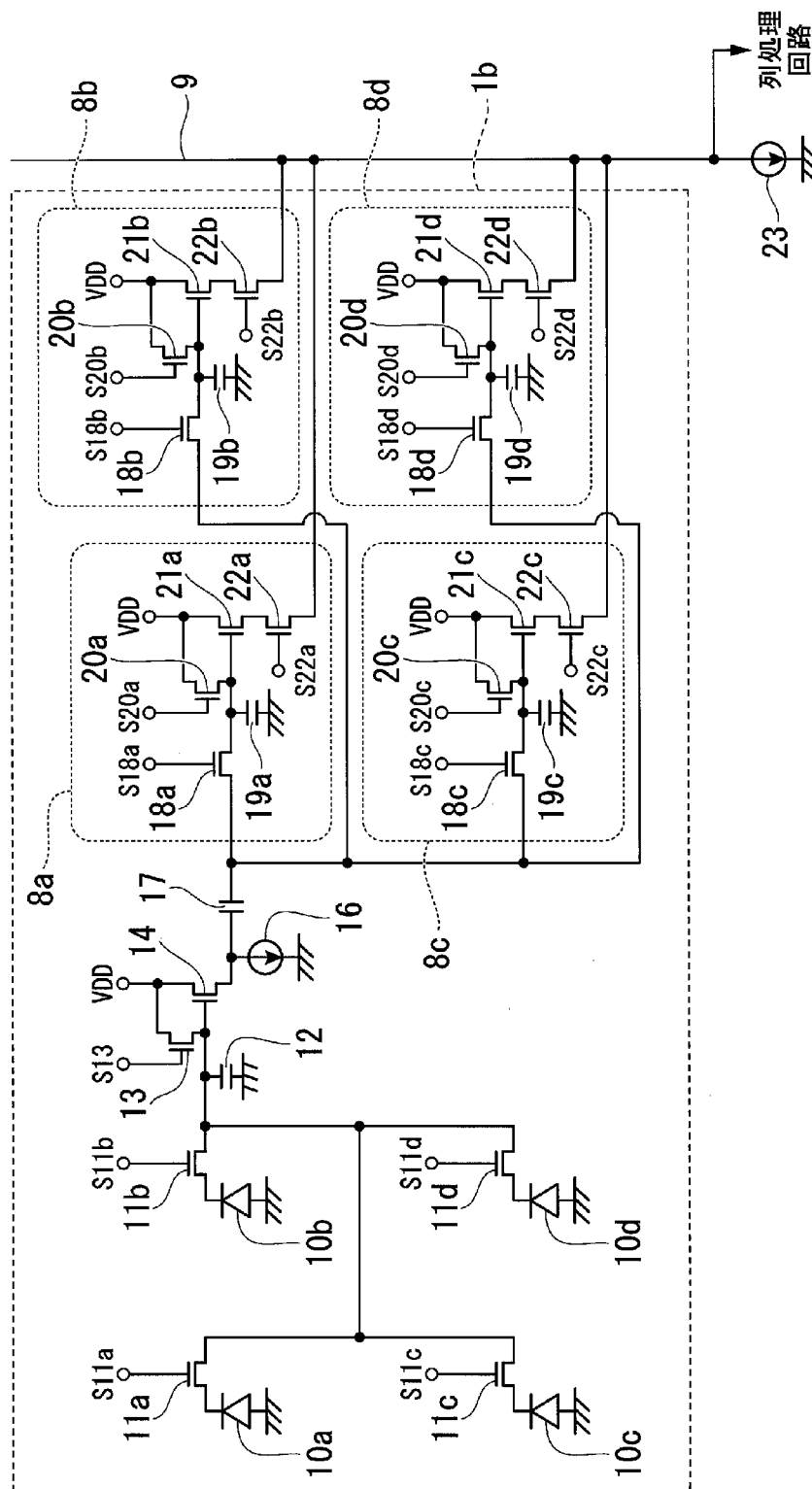
[図5]



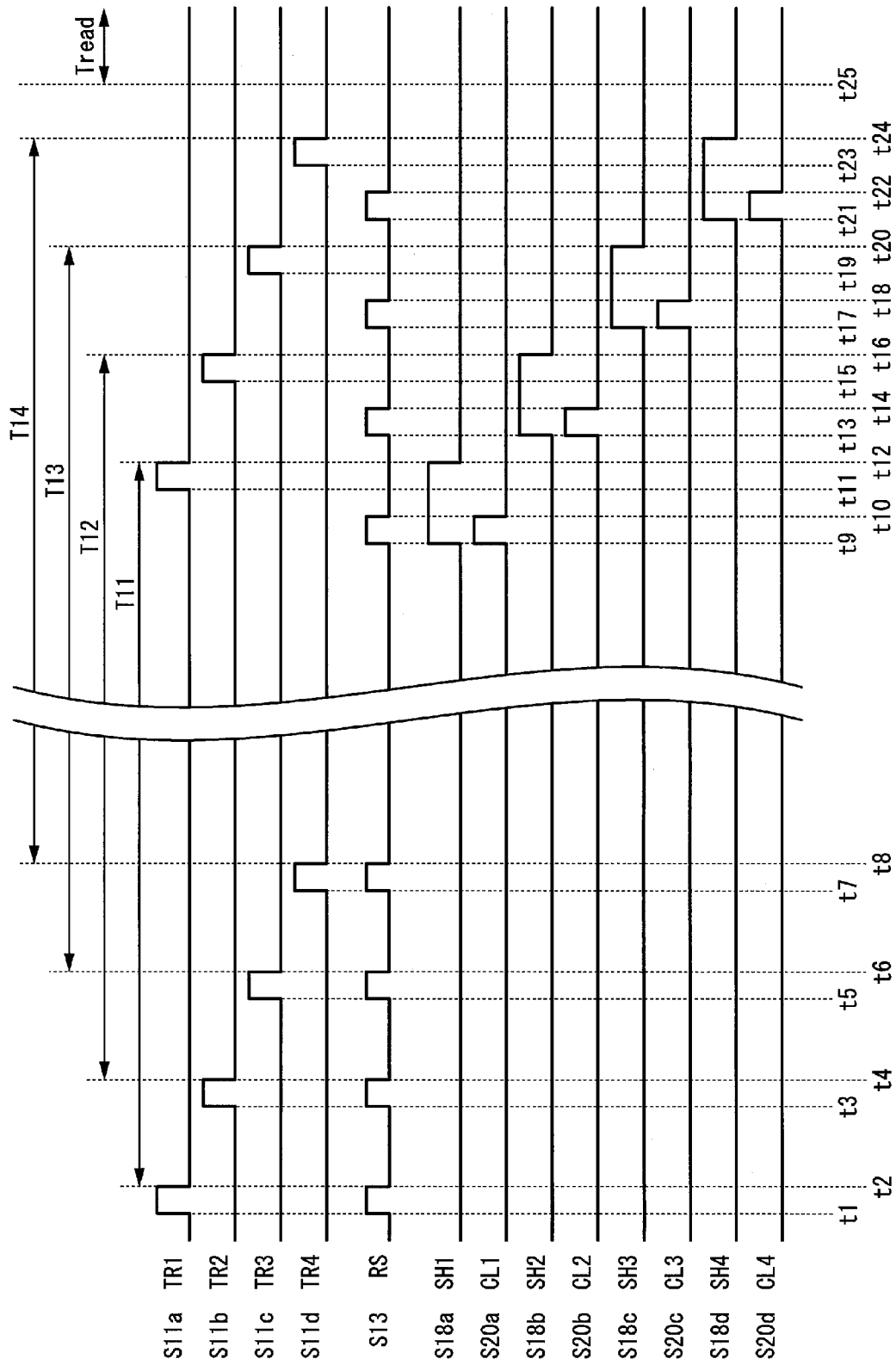
[図6]



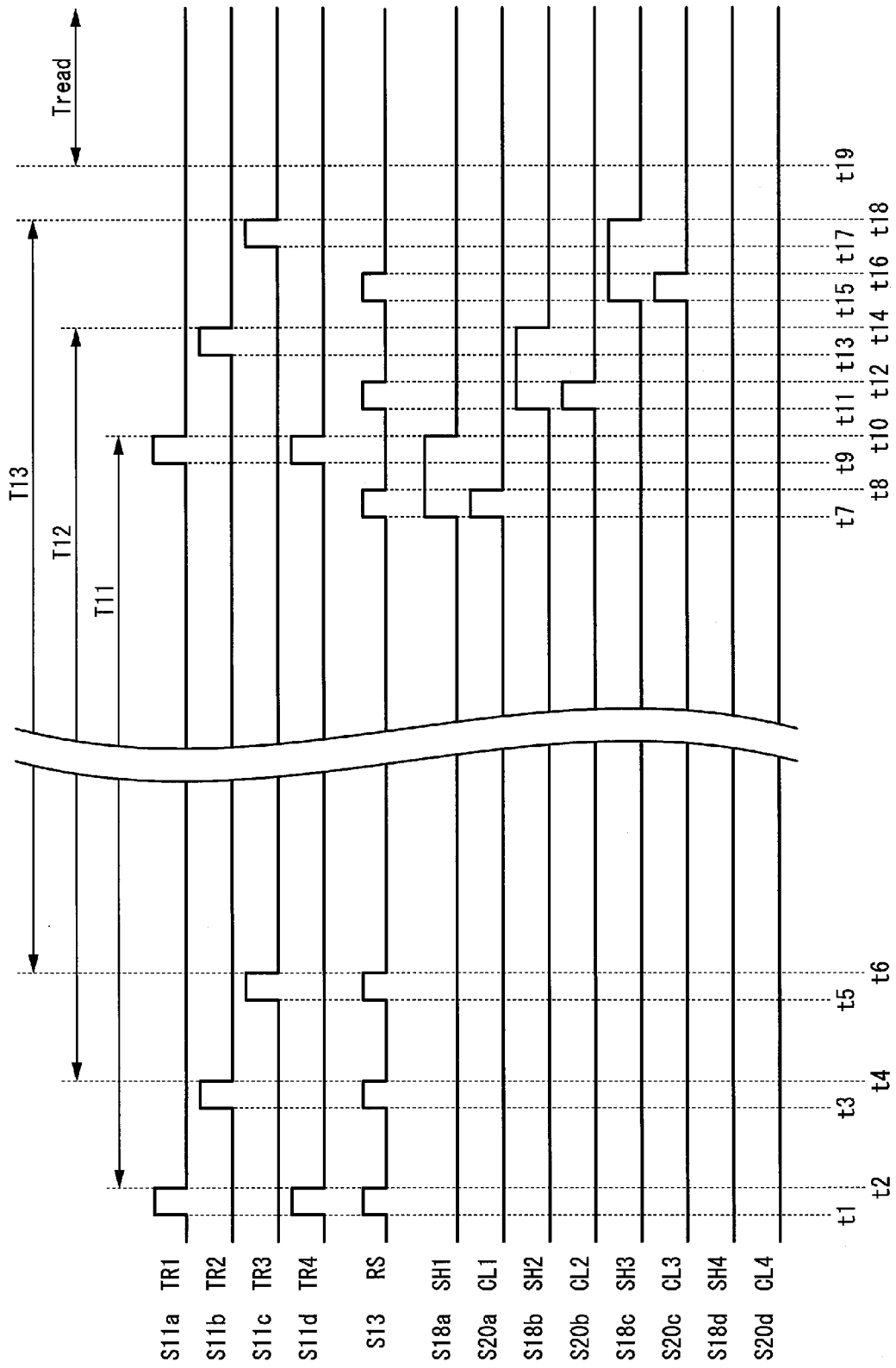
[図7]



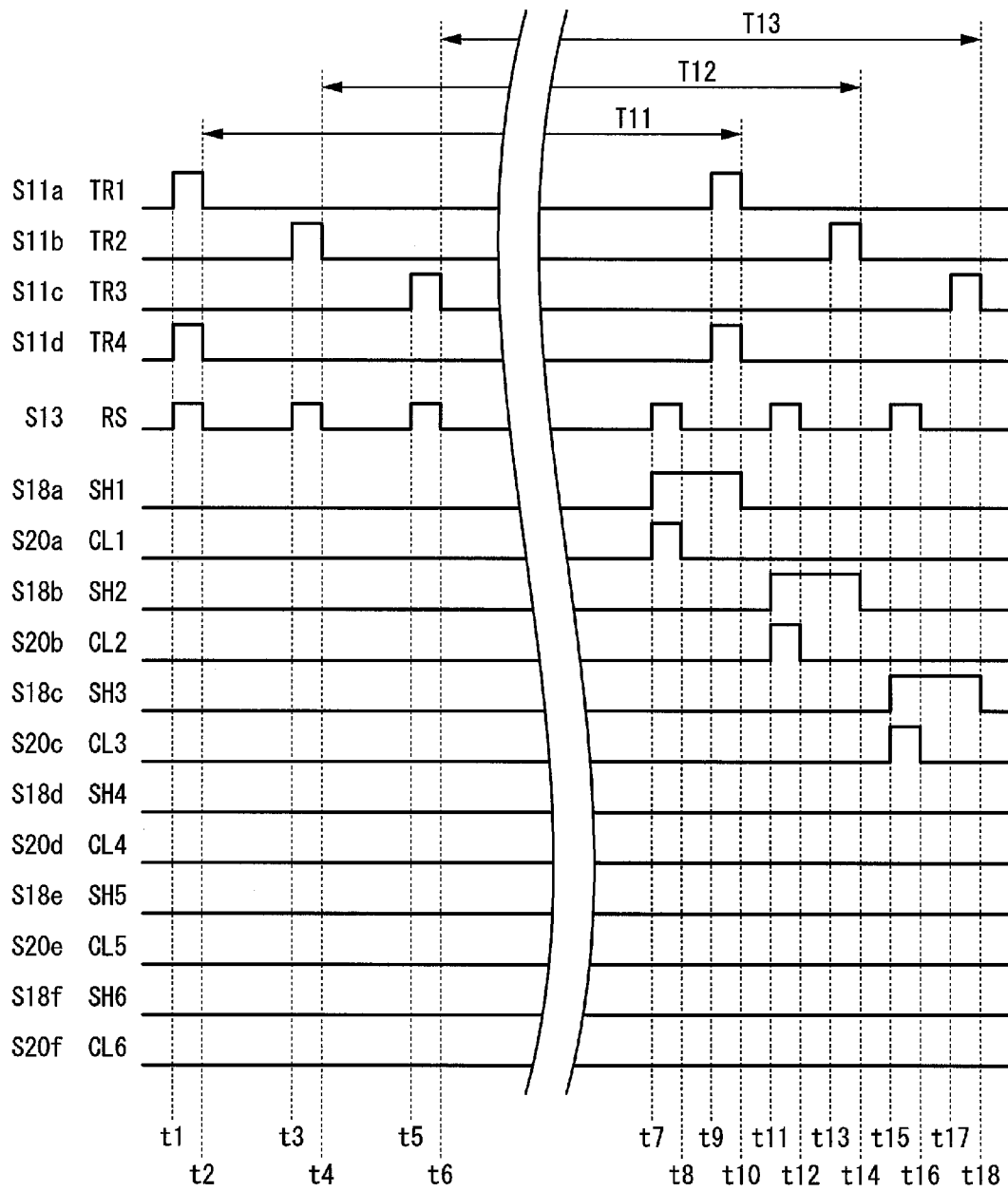
[図8]



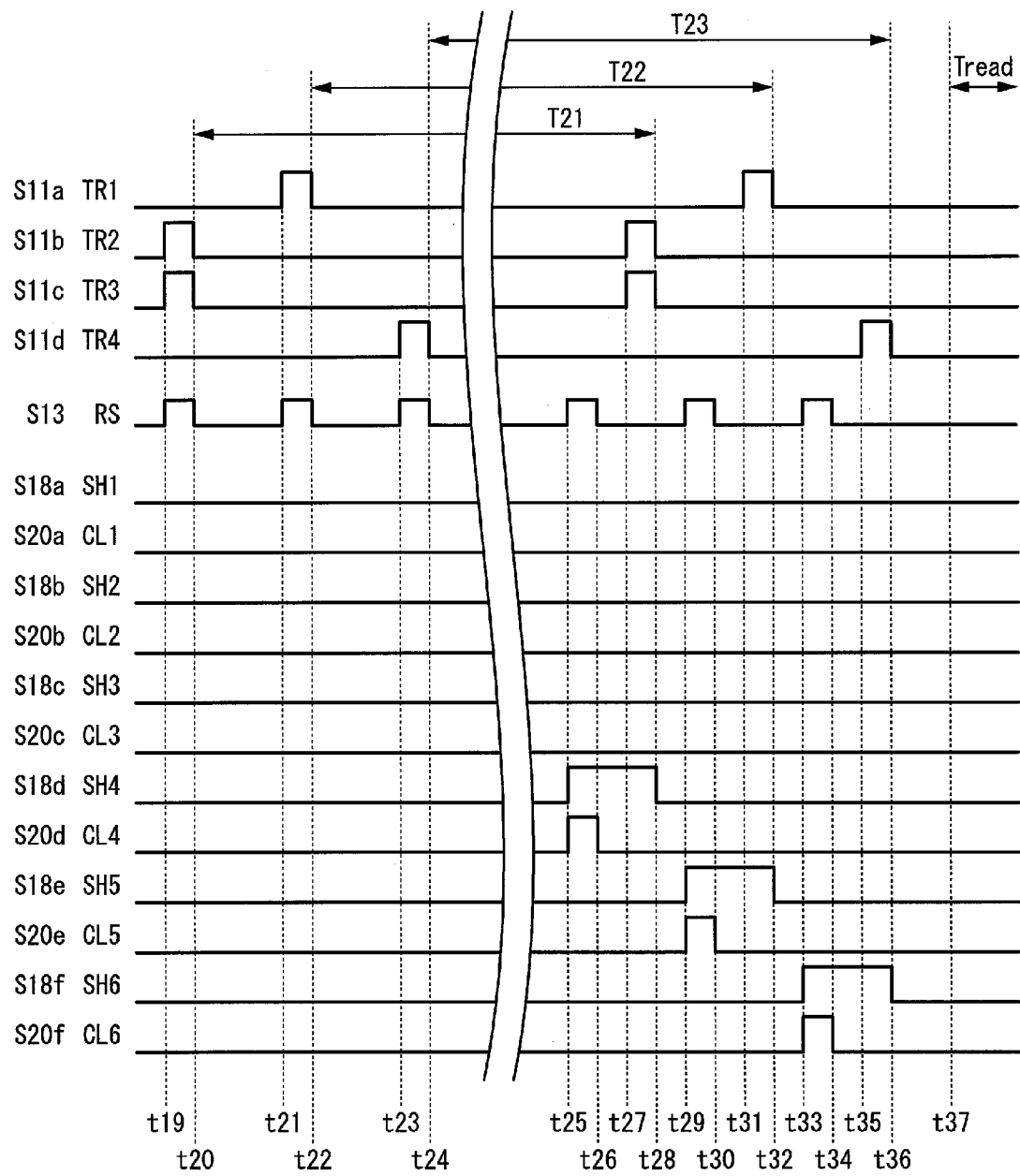
[図9]



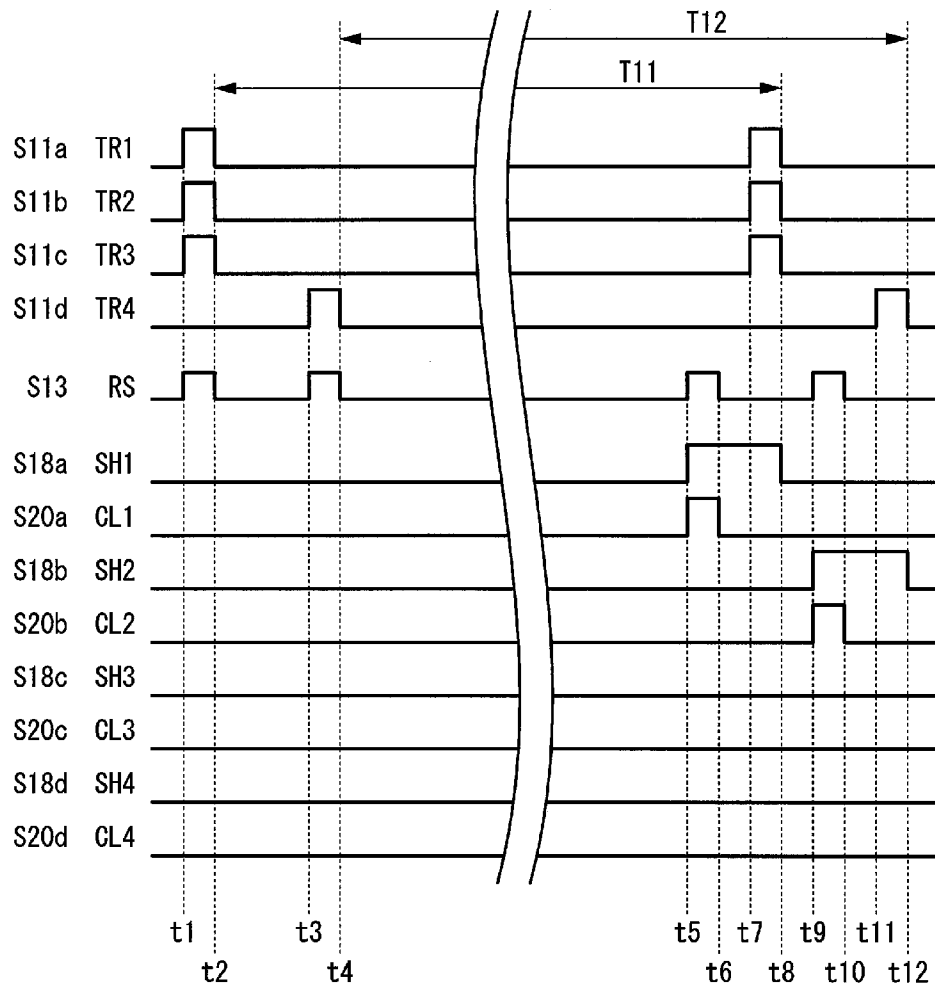
[図11]



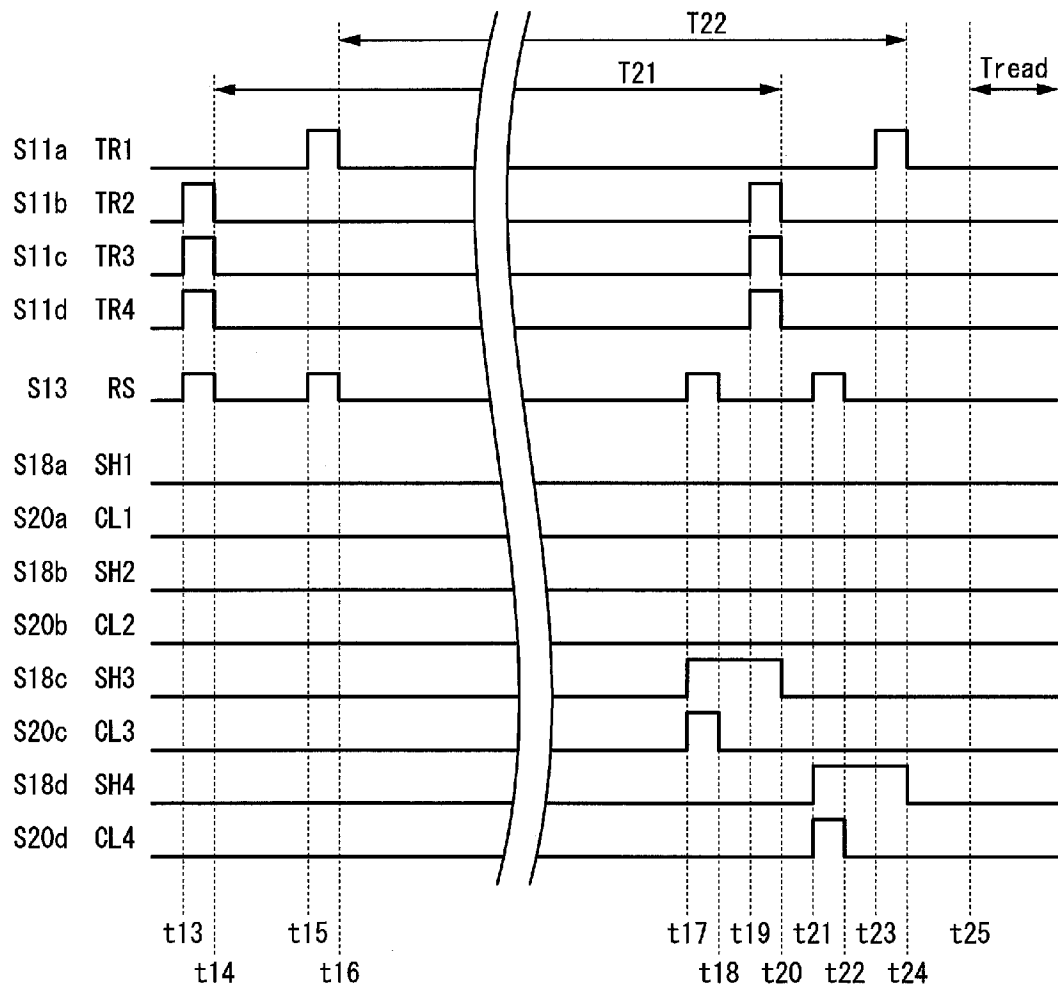
[図12]



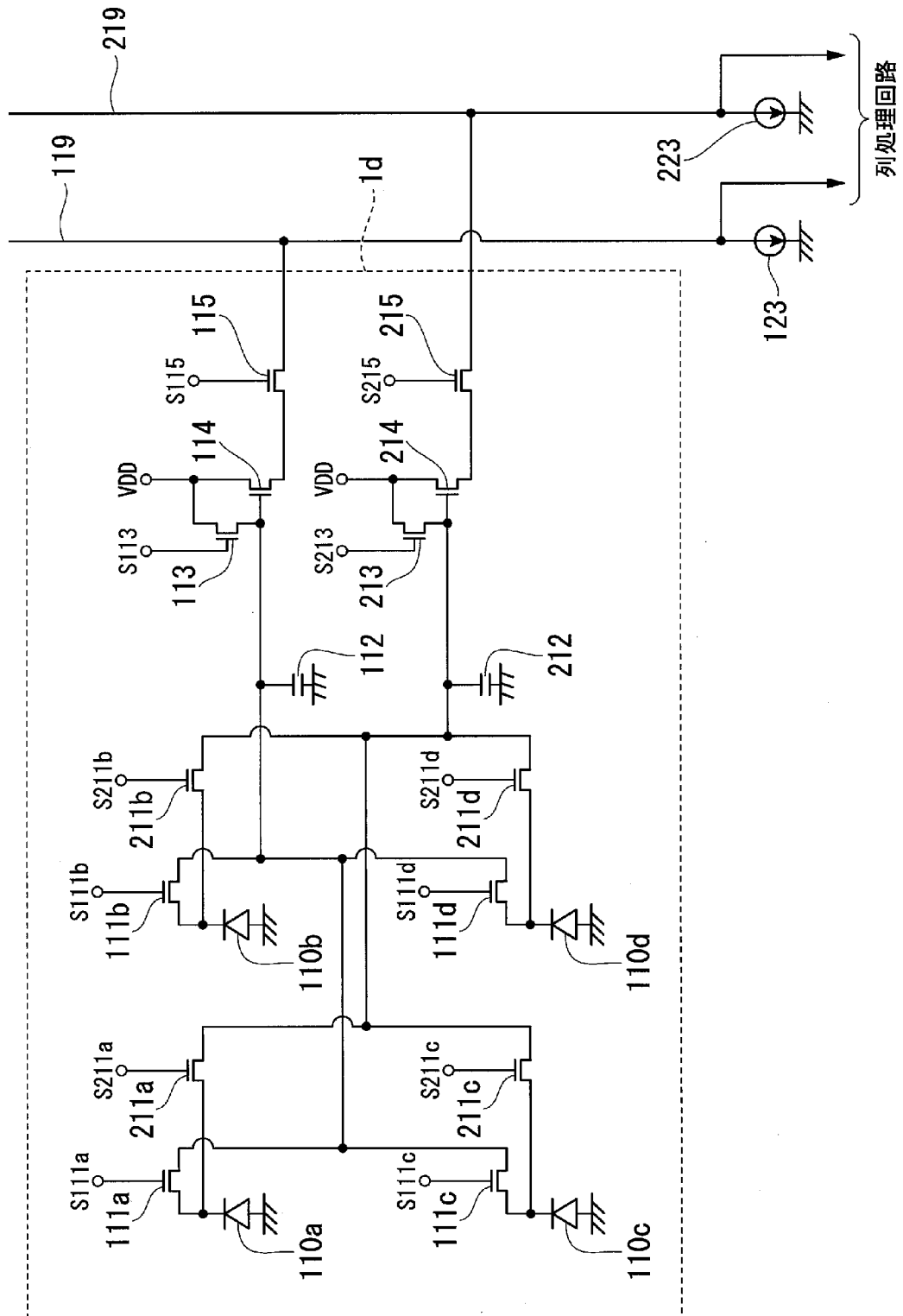
[図13]



[図14]



[図15]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/020497

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl. H04N5/3745 (2011.01) i, H01L27/146 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl. H04N5/3745, H01L27/146

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2018

Registered utility model specifications of Japan 1996-2018

Published registered utility model applications of Japan 1994-2018

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2010-283573 A (NIKON CORP.) 16 December 2010, paragraphs [0010]-[0042], fig. 1-4 & US 2010/0328479 A1, paragraphs [0013]-[0045], fig. 1-4	1-9
A	JP 2013-168720 A (OLYMPUS CORP.) 29 August 2013, paragraphs [0035]-[0080], fig. 4, 5 (Family: none)	1-9
A	JP 2015-89036 A (RICOH IMAGING COMPANY, LTD.) 07 May 2015, entire text & US 2015/0116538 A1, entire text	1-9
A	JP 2017-55350 A (TOSHIBA CORP.) 16 March 2017, entire text (Family: none)	1-9

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
25.07.2018

Date of mailing of the international search report
07.08.2018

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H04N5/3745(2011.01)i, H01L27/146(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H04N5/3745, H01L27/146

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2018年
日本国実用新案登録公報	1996-2018年
日本国登録実用新案公報	1994-2018年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2010-283573 A（株式会社ニコン） 2010.12.16, 段落[0010]-[0042], 図 1-4 & US 2010/0328479 A1, 段落[0013]-[0045], 図 1-4	1-9
A	JP 2013-168720 A（オリンパス株式会社） 2013.08.29, 段落[0035]-[0080], 図 4-5 (ファミリーなし)	1-9

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

25.07.2018

国際調査報告の発送日

07.08.2018

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

橘 高志

5 V

8391

電話番号 03-3581-1101 内線 3571

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2015-89036 A (リコーイメージング株式会社) 2015.05.07, 全文 & US 2015/0116538 A1, 全文	1-9
A	JP 2017-55350 A(株式会社東芝) 2017.03.16, 全文 (ファミリーなし)	1-9