

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号
特許第5649416号
(P5649416)

(45) 発行日 平成27年1月7日(2015.1.7)

(24) 登録日 平成26年11月21日(2014.11.21)

(51) Int.Cl.
G06F 13/36 (2006.01)

F I
G06F 13/36 520C

請求項の数 4 (全 12 頁)

(21) 出願番号	特願2010-261299 (P2010-261299)	(73) 特許権者	000006013
(22) 出願日	平成22年11月24日 (2010.11.24)		三菱電機株式会社
(65) 公開番号	特開2012-113481 (P2012-113481A)		東京都千代田区丸の内二丁目7番3号
(43) 公開日	平成24年6月14日 (2012.6.14)	(74) 代理人	100073759
審査請求日	平成25年1月11日 (2013.1.11)		弁理士 大岩 増雄
		(74) 代理人	100093562
			弁理士 児玉 俊英
		(74) 代理人	100088199
			弁理士 竹中 岑生
		(74) 代理人	100094916
			弁理士 村上 啓吾
		(72) 発明者	清水 利彦
			東京都千代田区丸の内二丁目7番3号 三
			菱電機株式会社内
最終頁に続く			

(54) 【発明の名称】 バスシステム

(57) 【特許請求の範囲】

【請求項1】

複数のバスモジュールがシステムバスに接続され、上記バスモジュールがバス使用权を与えられたバスマスタまたはこのバスマスタからアクセスされるバススレーブとして、アドレスによりデータの送受信を行うバスシステムであって、

上記バスモジュールに対し、異常検出を行うことを要求するシステムバス異常検出実行信号を有意にするバス調整部を備え、

上記バスモジュールは、

上記データを入出力するためのアドレスを制御するとともに上記アドレスのパリティチェックを行うアドレス制御部と、

上記入出力するデータを制御するとともに上記データのパリティチェックを行うデータ制御部とを有し、

上記バスマスタの場合には、

上記アドレス制御部は、上記バススレーブにアクセスするために上記システムバスに送出したアドレスを取り込み、この取り込んだアドレスと上記送出した元のアドレスを照合し、

上記バススレーブにライトアクセスを行う場合には、上記データ制御部は、上記システムバスに送出したデータを取り込み、この取り込んだデータと上記送出した元のデータを照合し、

上記バススレーブの場合には、

上記バスマスタのアクセスがリードアクセスの場合に、上記データ制御部は、上記バスマスタから上記アドレスの送信を受けて上記システムバスに送出したデータを取り込み、この取り込んだデータと上記送出した元のデータを照合し、

上記バスマスタまたはバススレーブである場合、もしくは上記バスマスタ及びバススレーブのいずれでもない場合でかつ上記バス調整部から異常検出を行うことを要求された場合に、

上記システムバスから入力されるアドレスを上記アドレス制御部でパリティチェックするとともに、上記システムバスから入力されるデータを上記データ制御部でパリティチェックし、

上記バス調整部は、上記システムバス異常検出実行信号を有意にするバスモジュールを固定するか、または任意にバスモジュールを選択できるように構成されていることを特徴とするバスシステム。

10

【請求項 2】

上記バスモジュールは、

上記システムバスへ出力するアドレスをラッチする出力アドレスレジスタと、

上記システムバスから入力されるアドレスをラッチする入力アドレスレジスタと、

上記システムバスへ出力するデータをラッチする出力データレジスタと、

上記システムバスから入力されるデータをラッチする入力データレジスタとを有し、

上記バスマスタとして、上記バススレーブにアクセスする場合に、上記システムバスに出力した上記アドレスを上記システムバスから上記入力アドレスレジスタに取り込み、上記出力アドレスレジスタ及び上記入力アドレスレジスタの内容を上記アドレス制御部で比較するとともに、

20

上記バスマスタまたは上記バススレーブとして、上記システムバスへのデータ送信時には、上記システムバスに出力したデータを上記システムバスから上記入力データレジスタに取り込み、上記出力データレジスタ及び上記入力データレジスタの内容を上記データ制御部で比較し、これらの比較で、一致しない場合に自バスモジュールのエラーを判定することを特徴とする請求項 1 記載のバスシステム。

【請求項 3】

上記出力アドレスレジスタ、上記入力アドレスレジスタ、上記出力データレジスタ及び上記入力データレジスタは他のバスモジュールから参照されるように各レジスタにアドレスが割り付けられていることを特徴とする請求項 2 記載のバスシステム。

30

【請求項 4】

上記バス調整部は、いずれかの上記バスモジュールで異常が検出された場合に、上記各バスモジュールの健全性を確認するために上記各バスモジュールに対してアクセスを行うことを特徴とする請求項 1～請求項 3 のいずれか一項記載のバスシステム。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、システムバスを介してバスモジュール間でデータ授受を行う場合に、異常検出を行うバスシステムに関するものである。

40

【背景技術】

【0002】

複数のモジュール間でデータの送受信を行うために、それぞれのモジュール間を複数の信号線の集まりであるシステムバスで接続する方式が一般に用いられる。システムバスはアドレス、データ及び制御信号から構成され、あるモジュールから別のモジュールに対してデータの送受信を行う場合に、アドレス信号でアクセスするモジュールを区別し、制御信号によりデータの授受が行われる。

システムバスに異常が発生する状況としては、あるモジュールに対してアクセスを行った場合に、システムバスに接続される各モジュールのバッファ回路の故障により、システムバス信号が固着してしまい、アドレスを正常に送信できなくなってしまうことや、デー

50

タを正常に出力あるいは入力できなくなってしまう場合がある。

また、モジュールが実装されるバックボードの断線等によるシステムバス自体の故障や一時的な外部ノイズの印加による誤動作等がある。

【0003】

このようなシステムバス信号の誤りを検出するために、通常パリティビットを付加してシステムバス信号の誤りを検出することが行われている。しかし、パリティビットだけでは、故障箇所の特定が困難であることから、故障箇所の特定を行う方法として特許文献1の方法が提案されている。

特許文献1では、バスマスタの機能部がバスにアクセスしたときに、該アクセスに係わるアドレスのバススレーブの機能部が自身のデータバッファをイネーブル化するバスバッファ制御信号を、バス以外の信号線を介してバス調停部に取り込み監視するバスバッファ制御信号監視ステップと、バスバッファ制御信号を出力したバススレーブの機能部と、バスに送出されたアドレス信号により特定される機能部とが一致するか否かを判定し、一致しない場合に、バススレーブの機能部を故障箇所として特定する方法が示されている。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2009-3613号公報（第5～7頁、図1）

【発明の概要】

【発明が解決しようとする課題】

【0005】

特許文献1に示されている方法は、バスマスタの機能部がバスにアクセスした時に、当該アクセスに係るアドレスのバススレーブの機能部が自身のデータバッファをイネーブルするバスバッファ制御信号と、バスに送出されたアドレス信号により特定される機能部とが一致するかどうかを判定し、一致しない場合にバススレーブの機能部を故障箇所として特定するので、バススレーブの故障しか検出できず、バスマスタの故障を検出できない、といった問題があった。

また、故障発生有無しかわからないため、いずれのアドレス及びデータビットの故障かどうか判別する手段がなく、故障部位の解析性が悪いといった問題があった。

【0006】

この発明は、上述のような課題を解決するためになされたものであり、システムバスを介してデータ授受を行う場合に、異常箇所の検出を容易に行うことができるバスシステムを得ることを目的とする。

【課題を解決するための手段】

【0007】

この発明に係わるバスシステムにおいては、複数のバスモジュールがシステムバスに接続され、バスモジュールがバス使用权を与えられたバスマスタまたはこのバスマスタからアクセスされるバススレーブとして、アドレスによりデータの送受信を行うバスシステムであって、バスモジュールに対し、異常検出を行うことを要求するシステムバス異常検出実行信号を有意にするバス調整部を備え、バスモジュールは、データを入出力するためのアドレスを制御するとともにアドレスのパリティチェックを行うアドレス制御部と、入出力するデータを制御するとともにデータのパリティチェックを行うデータ制御部とを有し、バスマスタの場合には、アドレス制御部は、バススレーブにアクセスするためにシステムバスに送出したアドレスを取り込み、この取り込んだアドレスと送出した元のアドレスを照合し、バススレーブにライトアクセスを行う場合には、データ制御部は、システムバスに送出したデータを取り込み、この取り込んだデータと送出した元のデータを照合し、バススレーブの場合には、バスマスタのアクセスがリードアクセスの場合に、データ制御部は、バスマスタからアドレスの送信を受けてシステムバスに送出したデータを取り込み、この取り込んだデータと送出した元のデータを照合し、バスマスタまたはバススレーブである場合、もしくはバスマスタ及びバススレーブのいずれでもない場合でかつバス調整

部から異常検出を行うことを要求された場合に、システムバスから入力されるアドレスをアドレス制御部でパリティチェックするとともに、システムバスから入力されるデータをデータ制御部でパリティチェックし、バス調整部は、システムバス異常検出実行信号を有意にするバスモジュールを固定するか、または任意にバスモジュールを選択できるように構成されているものである。

【発明の効果】

【0008】

この発明は、以上説明したように、複数のバスモジュールがシステムバスに接続され、バスモジュールがバス使用権を与えられたバスマスタまたはこのバスマスタからアクセスされるバススレーブとして、アドレスによりデータの送受信を行うバスシステムであって、バスモジュールに対し、異常検出を行うことを要求するシステムバス異常検出実行信号を有意にするバス調整部を備え、バスモジュールは、データを入出力するためのアドレスを制御するとともにアドレスのパリティチェックを行うアドレス制御部と、入出力するデータを制御するとともにデータのパリティチェックを行うデータ制御部とを有し、バスマスタの場合には、アドレス制御部は、バススレーブにアクセスするためにシステムバスに送出したアドレスを取り込み、この取り込んだアドレスと送出した元のアドレスを照合し、バススレーブにライトアクセスを行う場合には、データ制御部は、システムバスに送出したデータを取り込み、この取り込んだデータと送出した元のデータを照合し、バススレーブの場合には、バスマスタのアクセスがリードアクセスの場合に、データ制御部は、バスマスタからアドレスの送信を受けてシステムバスに送出したデータを取り込み、この取り込んだデータと送出した元のデータを照合し、バスマスタまたはバススレーブである場合、もしくはバスマスタ及びバススレーブのいずれでもない場合でかつバス調整部から異常検出を行うことを要求された場合に、システムバスから入力されるアドレスをアドレス制御部でパリティチェックするとともに、システムバスから入力されるデータをデータ制御部でパリティチェックし、バス調整部は、システムバス異常検出実行信号を有意にするバスモジュールを固定するか、または任意にバスモジュールを選択できるように構成されているので、異常箇所の検出を容易に行うことができる。

【図面の簡単な説明】

【0009】

【図1】この発明の実施の形態1によるバスシステムを示す構成図である。

【図2】この発明の実施の形態2によるバスシステムのアドレスマップを示す図である。

【図3】この発明の実施の形態3によるバスシステムのバス調整部と各モジュール間のバス使用権要求信号、バス使用権許可信号及びバス異常検出実行信号を示す図である。

【図4】この発明の実施の形態4によるバスシステムを示す説明図である。

【発明を実施するための形態】

【0010】

実施の形態1.

以下、この発明の実施の形態1を図に基づいて説明する。

図1は、この発明の実施の形態1によるバスシステムを示す構成図である。

図1において、モジュール1、2、3、n（バスモジュール）と、バス調整部10とは、システムバス20に接続されている。

モジュール1は、次のように構成されている。モジュール2、3、nも同じ構成である。

アドレス入出力バッファ101は、システムバス20に入出力するアドレスを一時保持する。データ入出力バッファ102は、システムバス20に入出力するデータを一時保持する。

出力アドレスレジスタ103は、システムバス20に出力するアドレスをラッチするレジスタである。入力アドレスレジスタ104は、システムバス20から入力されたアドレスをラッチするレジスタである。

出力データレジスタ105は、システムバス20に出力するデータをラッチするレジスタである。入力データレジスタ106は、システムバス20から入力されたデータをラッチするレジスタである。

マスタ／スレーブ制御部107は、自モジュールをマスタまたはスレーブとして動作させるための制御を行う。アドレス制御部108は、アドレスの入出力を制御するとともに、アドレスのチェックを行う。データ制御部109は、データの入出力を制御するとともにデータのチェックを行う。

【0011】

出力アドレス信号110は、アドレス入出力バッファ101を介してシステムバス20に出力されるアドレスである。入力アドレス信号111は、システムバス20から、アドレス入出力バッファ101を介して入力されるアドレスである。

10

出力データ信号112は、データ入出力バッファ102を介してシステムバス20に出力されるデータである。入力データ信号113は、データ入出力バッファ102を介してシステムバス20から入力されたデータである。

出力アドレスレジスタ信号114は、出力アドレスレジスタ103からアドレス制御部108に取り込まれるアドレスである。入力アドレスレジスタ信号115は、入力アドレスレジスタ104からアドレス制御部108に取り込まれるアドレスである。

出力データレジスタ信号116は、出力データレジスタ105からアドレス制御部108に取り込まれるデータである。入力データレジスタ信号117は、入力データレジスタ106からアドレス制御部108に取り込まれるデータである。

20

【0012】

アドレス出力イネーブル信号120は、システムバス20にアドレスの出力を許可する信号である。データ出力イネーブル信号121は、システムバス20にデータの出力を許可する信号である。

出力アドレスラッチ信号122は、出力アドレス信号110を出力アドレスレジスタ103にラッチするための信号である。入力アドレスラッチ信号123は、入力アドレス信号111を入力アドレスレジスタ104にラッチするための信号である。

出力データラッチ信号124は、出力データ信号112を出力データレジスタ105にラッチするための信号である。入力データラッチ信号125は、入力データ信号113を入力データレジスタ106にラッチするための信号である。

30

【0013】

バス使用権要求信号130は、マスタ／スレーブ制御部107からバス調停部10に出力されるバス使用権を要求する信号である。バス使用権許可信号131は、バス調停部10からマスタ／スレーブ制御部107に入力されるバス使用権許可の信号である。システムバス異常検出実行信号132は、バス調停部10からマスタ／スレーブ制御部107に入力され、アクセスにおけるバスマスタ、スレーブ以外のモジュールに対し、システムバスの異常検出を行うことを要求する信号である。

バス使用権要求信号130とバス使用権許可信号131とシステムバス異常検出実行信号132は、マスタ／スレーブ制御部107とバス調停部10の間をシステムバス20以外の信号線を介してやり取りされる。

40

【0014】

次に、動作について説明する。

まず、モジュール1がバスマスタになる場合について説明する。

モジュール1がバスマスタになる場合、マスタ／スレーブ制御部107により、バス調停部10に対してバス使用権要求信号130を有意にする。バス調停部10は、他モジュールからのバス使用権要求信号との調停を行い、モジュール1に対してバス使用権を許可する場合に、バス使用権許可信号131を有意にする。バス使用権許可信号131は、マスタ／スレーブ制御部107により、受信される。

バス使用権許可信号131が有意になると、モジュール1は、システムバス20を介していずれかのモジュールに対してアドレスを出力し、リードまたはライトアクセスを行う

50

。

このとき、アドレス制御部108から出力アドレス信号110がアドレス入出力バッファ101に出力される。同時に出力アドレスラッチ信号122により、出力アドレスレジスタ103にラッチされる。ラッチされたアドレスは、出力アドレスレジスタ信号114として、アドレス制御部108に取り込まれる。

【0015】

その後、マスタ／スレーブ制御部107からアドレス出力イネーブル信号120が出力され、アドレス入出力バッファ101からアドレスがシステムバス20に出力される。この時同時に、システムバス20に出力されたアドレスがアドレス入出力バッファ101を経由して、入力アドレス信号111として取り込まれ、入力アドレスラッチ信号123が有意となり、入力アドレスレジスタ104にラッチされる。

10

ラッチされたアドレスは、入力アドレスレジスタ信号115としてアドレス制御部108に取り込まれ、パリティチェックを行うとともに、出力アドレスレジスタ信号114と一致しているか否かの比較を行う。比較の結果、一致しなければ、自モジュールのエラーと判断する。

【0016】

ライトアクセスの場合、アドレス出力後、データが出力される。データ制御部109から出力データ信号112がデータ入出力バッファ102に出力される。同時に出力データラッチ信号124により、出力データレジスタ105にラッチされる。出力データレジスタ信号116は、データ制御部109に取り込まれる。

20

【0017】

その後、マスタ／スレーブ制御部107からデータ出力イネーブル信号121が出力され、データ入出力バッファ102からデータがシステムバス20に出力される。この時同時に、システムバスに出力されたデータが、データ入出力バッファ102を経由して入力データ信号113として取り込まれ、入力データラッチ信号125が有意となり、入力データレジスタ106にラッチされる。

入力データレジスタ信号117は、データ制御部109に取り込まれ、パリティチェックを行うとともに、出力データレジスタ信号116と一致しているか否かの比較を行う。比較の結果、一致しなければ、自モジュールのエラーと判断する。

【0018】

30

次に、バススレーブの動作について説明する。

モジュール1がバススレーブになる場合、アドレスは、アドレス入出力バッファ101を経由して入力アドレス信号111に取り込まれ、アドレス制御部108に入力され、そこで、パリティチェックを行い、自モジュールへのアクセスか否かが判断される。

また、アドレスは、入力アドレスラッチ信号123により、入力アドレスレジスタ104にラッチされる。ライトアクセスの場合、アドレス入力後、データが入力され、入力データ信号113がデータ制御部109に入力され、そこで、パリティチェックを行い、処理が行われる。同時に入力データラッチ信号125により、入力データレジスタ106にラッチされる。入力データレジスタ信号117は、データ制御部109に取り込まれ、パリティチェックが行われる。

40

【0019】

また、マスタ及びスレーブ以外のモジュールにおいても、バススレーブと同様の動作を行い、アドレスが、アドレス入出力バッファ101を経由して入力アドレス信号111に取り込まれ、アドレス制御部108に入力され、パリティチェックを行い、自モジュールへのアクセスか否かを判断する。

また、アドレスは、入力アドレスラッチ信号123により入力アドレスレジスタ104にラッチされる。ライトアクセスの場合、アドレス入力後、データが入力されるが、自アクセスでないため、入力データ信号113は、データ入力制御部109では処理が行われないが、入力データラッチ信号125により、入力データレジスタ106にラッチされる。入力データレジスタ信号117は、データ制御部109に取り込まれ、パリティチェッ

50

クが行われる。

【0020】

リードアクセスの場合、バススレーブでは、データ制御部109から出力データ信号112が出力される。その時、出力データラッチ信号124により出力データレジスタ105にラッチされる。出力データレジスタ信号116は、データ制御部109に取り込まれる。

【0021】

その後、データ出力イネーブル信号121が出力され、データ入出力バッファ102を介してシステムバス20にデータが出力される。この時同時に、システムバス20に出力されたデータが、データ入出力バッファ102を経由して入力データ信号113として取り込まれ、入力データラッチ信号125が有意となり、入力データレジスタ106にラッチされる。入力データレジスタ信号117は、データ制御部109に取り込まれ、パリティチェックを行うとともに、出力データレジスタ信号116と一致しているか否か比較を行う。比較の結果、一致しなければ、自モジュールのエラーと判断される。

【0022】

バスマスタでは、システムバス20からデータ入出力バッファ102を介して入力データ信号113が、データ制御部109に取り込まれる。同時に入力データレジスタ117に入力データラッチ信号125によりラッチされる。入力データレジスタ信号117は、データ制御部109に取り込まれ、パリティチェックが行われる。

【0023】

バスマスタ及びスレーブ以外のモジュールにおいても、システムバス20からデータ入出力バッファ102を介して入力データ信号113が、入力データレジスタ117に入力データラッチ信号125によりラッチされる。入力データレジスタ信号117は、データ制御部109に取り込まれ、パリティチェックが行われる。

【0024】

以上のように、アドレスとデータのパリティチェックに加えて、バスマスタでは、アドレス比較及びライトデータ比較、バススレーブでは、リードデータ比較を行うとともに、バスマスタ／スレーブ以外のモジュールにおいても、アドレス及びデータのパリティチェックを行う。

【0025】

実施の形態1によれば、アクセスを行うバスマスタ及びバススレーブ以外のモジュールにおいても、システムバスの異常検出を行うことができるので、複数モジュール間の異常検出結果の多数決によって、異常検出の精度を向上することが可能となる。

また、複数のモジュールで異常検出を行うことができるので、異常箇所の検出を容易に行うことができる。

また、アドレス出力及びデータ出力を自モジュール内に取り込み、それらと出力しようとしたアドレス及びデータとの比較を行い、不一致の場合に自モジュールのエラーと判断するように構成しているので、システムバスのパリティチェックだけの場合と比較してエラーの解析性が向上する。

【0026】

実施の形態2.

以下、この発明の実施の形態2を図に基づいて説明する。

図2は、この発明の実施の形態2によるバスシステムのアドレスマップを示す図である。

図2において、アドレスは、モジュールごと、及びレジスタごとに付与されている。

【0027】

実施の形態2の構成は、図1と同じである。図1は、出力アドレスレジスタ103、入力アドレスレジスタ104、出力データレジスタ105、入力データレジスタ106が、それぞれアドレス制御部108、データ制御部109、アドレス入出力バッファ101、データ入出力バッファ102を介して、システムバス20に接続された構成である。

実施の形態 2 は、図 2 のように、モジュール毎、レジスタ毎にアドレスを付与し、他のモジュールからデータとして参照することができるような構成としたものである。

これにより、他のモジュールからレジスタの内容をデータとして参照することができるようになる。

【0028】

実施の形態 2 によれば、出力アドレスレジスタ、入力アドレスレジスタ、出力データレジスタ、入力データレジスタの各内容を、他のモジュールからシステムバス経由で参照できるように構成したので、異常発生アドレス及びデータの異常発生ビットの特定を行うことが可能となる。

【0029】

実施の形態 3.

以下、この発明の実施の形態 3 を図に基づいて説明する。

図 3 は、この発明の実施の形態 3 によるバスシステムのバス調停部と各モジュール間のバス使用権要求信号、バス使用権許可信号及びバス異常検出実行信号を示す図である。

図 3 において、1 ~ 3、n、10 は図 1 におけるものと同一のものである。バス使用権要求信号 130、133、136、139 は、モジュール 1、2、3、n からそれぞれバス調停部 10 に出力され、バス使用権を要求する信号である。バス使用権許可信号 131、134、137、140 は、バス調停部 10 からそれぞれモジュール 1、2、3、n に出力され、バス使用権を許可する信号である。システムバス異常検出実行信号 132、135、138、141 は、バス調停部 10 からそれぞれモジュール 1、2、3、n に出力され、当該モジュールに、アクセスにおけるバスマスタ、スレーブ以外にシステムバスの異常検出を行うことを要求する信号である。

【0030】

次に、動作について説明する。

モジュール 1 がバスマスタになる場合、バス調停部 10 に対してバス使用権要求信号 130 を有意にする。バス調停部 10 は、他モジュールからのバス使用権要求信号との調停を行い、モジュール 1 に対してバス使用権を許可する場合に、バス使用権許可信号 131 を有意にする。

バス使用権許可信号 131 が有意になると、モジュール 1 はシステムバス 20 を介していずれかのモジュールに対してアドレスを出力し、リードまたはライトアクセスを行う。

【0031】

バス異常検出実行信号は、バス調停部 10 が制御を行い、バス使用権を要求したモジュール以外のモジュールに対して、バス異常検出実行信号を有意にする。バス異常検出実行信号を有意にされたモジュールは、実施の形態 1 で示したシステムバス異常検出機能を実施する。

バス調停部 10 は、バス使用権を要求したモジュール以外の 2 つ以上のモジュールに対して、バス異常検出実行信号を有意にする。

これにより、バス異常検出実行信号を有意にされたモジュールがバススレーブとなった場合においても、最低 1 つ以上のバスマスタ及びバススレーブ以外のモジュールがシステムバス異常検出機能を実施できる。

【0032】

実施の形態 3 によれば、アクセスを許可されたバスマスタ及びバススレーブ以外のモジュールが、システムバスの異常検出を行うことが可能となるため、複数モジュール間の異常検出結果の多数決によって、異常検出の精度を向上することが可能となる。

【0033】

実施の形態 4.

以下、この発明の実施の形態 4 を図に基づいて説明する。

図 4 は、この発明の実施の形態 4 によるバスシステムを示す説明図であり、バス調停部 10 内のバス異常検出実行信号を有意にするロジックについて示したものである。

図 4 において、各モジュールに対応して、AND 回路 201 と、OR 回路 202 を用い

10

20

30

40

50

て、バス異常検出実行信号を有意にするロジックを示している。

【0034】

次に、動作について説明する。

各モジュールに、各モジュール対応バス異常検出実行信号固定ビットを持たせ、このビットが1の場合、バス使用権要求とは関係なく、該当するモジュールに対し、バス異常検出を行わせるためのバス異常検出実行信号を有意にする。

それ以外の場合、バス使用権許可がなく、かつバス異常検出実行を許可するモジュールに対して、バス異常検出実行信号を有意にし、バス異常検出を行わせるようにする。

【0035】

実施の形態4によれば、バス異常検出実行を行うモジュールを選択することや、バス異常検出実行を行うモジュールを固定することができるので、システムバスの動作状況に応じて臨機応変に運用することが可能となる。

10

【0036】

実施の形態5.

実施の形態5の構成は、図1の構成と同じである。図1では、バス調停部10もシステムバス20に接続しており、各モジュールに対してアクセスを行うことができる構成になっている。

【0037】

次に、動作について説明する。

通常、バス調停部10は、各モジュールへのアクセスは行わないが、システムバス20の異常を検出した後、システムバス20及び各モジュールの健全性を確認するために、バス調停部10が各モジュールに対してアクセスを行う。

20

この時、各モジュールのアクセスに影響がないように、バス使用権要求がない場合にアクセスを行うとともに、異常の状態によっては、バス使用権要求があってもバス使用権許可を付与せずに、バス調停部10のみアクセスを行うようにする。

これにより、システムバスの診断を優先させることも可能である。

【0038】

実施の形態5によれば、システムバスに接続されているモジュールで異常を検出した後、バス調停部が、各モジュールに対してライトアクセスまたはリードアクセスを行うように構成しているので、システムバス及びモジュールの診断を優先させることができる。

30

【符号の説明】

【0039】

1、2、3、n モジュール

10 バス調停部

20 システムバス

101 アドレス入出力バッファ

102 データ入出力バッファ

103 出力アドレスレジスタ

104 入力アドレスレジスタ

105 出力データレジスタ

40

106 入力データレジスタ

107 マスタ／スレーブ制御部

108 アドレス制御部

109 データ制御部

110 出力アドレス信号

111 入力アドレス信号

112 出力データ信号

113 入力データ信号

114 出力アドレスレジスタ信号

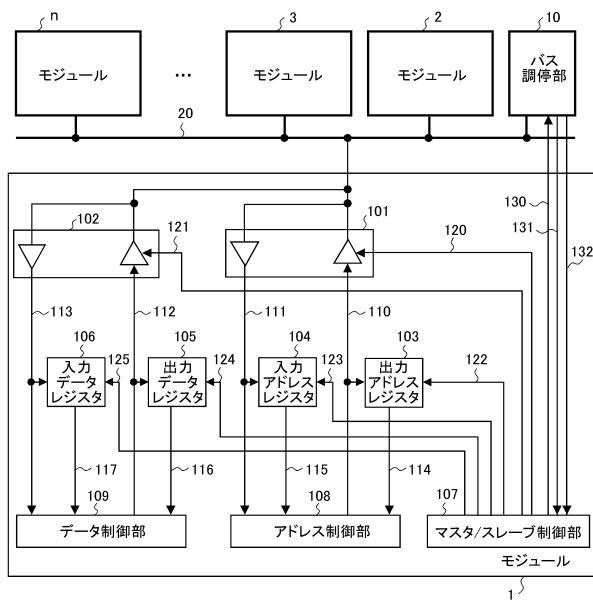
115 入力アドレスレジスタ信号

50

- 1 1 6 出力データレジスタ信号
 1 1 7 入力データレジスタ信号
 1 2 0 アドレス出力イネーブル信号
 1 2 1 データ出力イネーブル信号
 1 2 2 出力アドレスラッチ信号
 1 2 3 入力アドレスラッチ信号
 1 2 4 出力データラッチ信号
 1 2 5 入力データラッチ信号
 1 3 0、1 3 3、1 3 6、1 3 9 バス使用権要求信号
 1 3 1、1 3 4、1 3 7、1 4 0 バス使用権許可信号
 1 3 2、1 3 5、1 3 8、1 4 1 システムバス異常検出実行信号

10

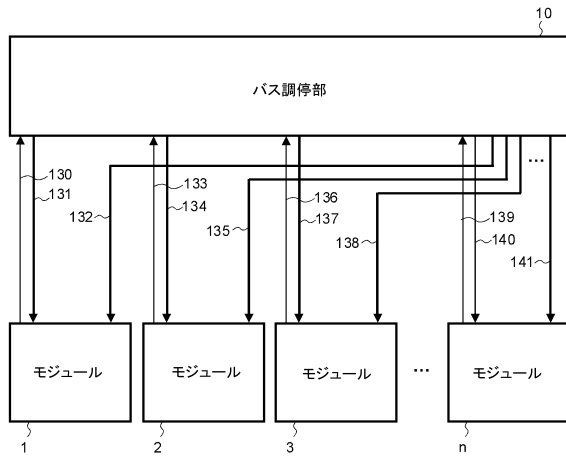
【図 1】



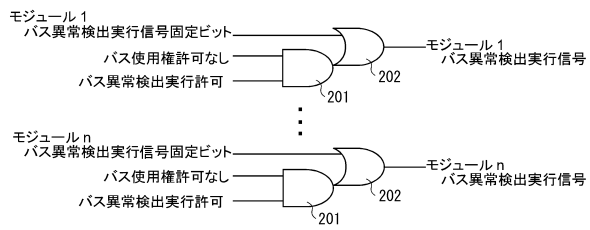
【図 2】

アドレス A	モジュール 1 出力アドレスレジスタ
アドレス B	モジュール 1 入力アドレスレジスタ
アドレス C	モジュール 1 出力データレジスタ
アドレス D	モジュール 1 入力データレジスタ
アドレス E	モジュール 2 出力アドレスレジスタ
アドレス F	モジュール 2 入力アドレスレジスタ
アドレス G	モジュール 2 出力データレジスタ
アドレス H	モジュール 2 入力データレジスタ
アドレス I	モジュール 3 出力アドレスレジスタ
アドレス J	モジュール 3 入力アドレスレジスタ
アドレス C	モジュール 3 出力データレジスタ
アドレス D	モジュール 3 入力データレジスタ
.	.
.	.
アドレス W	モジュール n 出力アドレスレジスタ
アドレス X	モジュール n 入力アドレスレジスタ
アドレス Y	モジュール n 出力データレジスタ
アドレス Z	モジュール n 入力データレジスタ

【図 3】



【図 4】



フロントページの続き

審査官 稲葉 崇

- (56)参考文献 特開2009-026080 (JP, A)
特開平05-282218 (JP, A)
特開平01-187660 (JP, A)
特開昭63-168757 (JP, A)
特開平02-075043 (JP, A)
特開平10-214207 (JP, A)
特開平02-032445 (JP, A)

- (58)調査した分野(Int.Cl., DB名)
G06F 13/20-13/378
G06F 13/10-13/14
G06F 13/38-13/42
G06F 13/00
G06F 11/00