(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2023年6月22日(22.06.2023)

WIPO | PCT

(10) 国際公開番号
WO 2023/112249 A1

(51) 国際特許分類:
H03H 11/20 (2006.01)

(21) 国際出願番号： PCT/JP2021/046503

(22) 国際出願日： 2021年12月16日(16.12.2021)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

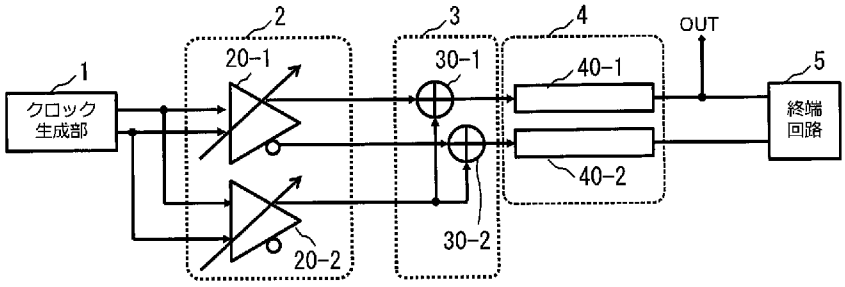
(71) 出願人: 日本電信電話株式会社 (**NIPPON TELEGRAPH AND TELEPHONE CORPORATION**) [JP/JP]; 〒1008116 東京都千代田区大手町一丁目５番１号 Tokyo (JP).

(72) 発明者: 竹谷 勉(**TAKEYA, Tsutomu**); 〒1808585 東京都武蔵野市緑町３丁目９－１１ ＮＴＴ 知的財産センタ内 Tokyo (JP). 長谷 宗彦(**NAGATANI, Munehiko**); 〒1808585 東京都武蔵野市緑町３丁目９－１１ ＮＴＴ 知的財産センタ内 Tokyo (JP). 徐 照男(**JO, Teruo**); 〒1808585 東京都武蔵野市緑町３丁目９－１１ ＮＴＴ 知的財産センタ内 Tokyo (JP). 脇田 斉(**WAKITA, Hitoshi**); 〒1808585 東京都武蔵野市緑町３丁目９－１１ ＮＴＴ 知的財産センタ内 Tokyo (JP). 高橋 宏行(**TAKAHASHI, Hiroyuki**); 〒1808585 東京都武蔵野市緑町３丁目９－１１ ＮＴＴ 知的財産センタ内 Tokyo (JP).

(74) 代理人: 山川 茂樹, 外(**YAMAKAWA, Shigeki** et al.); 〒1006104 東京都千代田区永田町２丁

(54) **Title:** PHASE ADJUSTMENT CIRCUIT

(54) 発明の名称： 位相調整回路



1 Clock generation unit
5 Termination circuit

(57) **Abstract:** This phase adjustment circuit comprises: a clock generation unit (1) that generates a sinusoidal differential clock signal; a variable amplifier (2) to which the differential clock signal outputted from the clock generation unit (1) is inputted and which outputs a differential clock signal adjusted in amplitude simultaneously with an in-phase signal adjusted in amplitude; an addition unit (3) that adds the in-phase signal to both the positive phase side and the reverse phase side of the differential clock signal outputted from the variable amplifier (2); a differential transmission line (4)

WO 2023/112249 A1

［続葉有］

目１１番１号 山王パークタワー４階 山川国際特許事務所内 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

— 国際調査報告（条約第21条(3)）

through which a differential signal outputted from the addition unit (3) is transmitted; and a termination circuit (5) that terminates the differential transmission line (4).

(57) 要約：位相調整回路は、正弦波状の差動クロック信号を生成するクロック生成部（１）と、クロック生成部（１）から出力された差動クロック信号を入力とし、振幅調整した差動クロック信号を出力すると同時に、振幅調整した同相信号を出力する可変増幅器（２）と、可変増幅器（２）から出力された差動クロック信号の正相側と逆相側のそれぞれに同相信号を加算する加算部（３）と、加算部（３）から出力された差動信号を伝送する差動伝送線路（４）と、差動伝送線路（４）を終端する終端回路（５）を備える。

明　細　書

発明の名称 ： 位相調整回路

技術分野

[0001]　本発明は、正弦波の位相調整回路に関するものである。

背景技術

[0002]　現代において、正弦波は重要な役割を果たしている。通信において、搬送波の生成に正弦波を用いることもあれば、正弦波をクロックとして使用することもある。通信においては、搬送波として用いられるだけでなく、データを判定するタイミング基準としてもクロックが使用される。

[0003]　こういったデータ判定のタイミング基準としてクロックを使用する場合、クロックの位相を調整し、適切なタイミングでデータ判定を行うことが必要である。適切なタイミングでデータ判定を行う方法として、クロック・データ・リカバリがある。クロック・データ・リカバリを実現する手段としては、位相比較器と位相調整回路を用いる構成が知られている。この構成では、何らかの手段で位相を比較し、その比較結果に基づき、所望する位相を生成する。

[0004]　従来、位相調整回路として、非特許文献１に開示された構成が知られていた。従来の位相調整回路の構成を図９に示す。図９の構成では、基準となる正弦波ｓｉｎωｔと、正弦波ｓｉｎωｔに対してπ／２の固定位相差を持つ正弦波ｃｏｓωｔとを加算することで、任意の中間位相の波形を生成する。正弦波ｓｉｎωｔ，ｃｏｓωｔには、それぞれ乗算器１０１，１０２によって定数Ａ，Ｂが乗算される。三角関数合成の式より、次式が成立する。

[0005] [数1]

$$A\sin\omega t + B\cos\omega t = \sqrt{A^2 + B^2}\sin(\omega t + \alpha) \qquad \cdots (1)$$

[0006]　式（１）におけるαは以下のようになる。

[0007] [数2]

$$\cos\alpha = \frac{A}{\sqrt{A^2+B^2}}, \sin\alpha = \frac{B}{\sqrt{A^2+B^2}} \qquad \cdots (2)$$

[0008] 図９の構成では、Ｑｕａｄｒａｔｕｒｅ－ＶＣＯ（Voltage Controlled Oscillator）１００を用いることで、正弦波ｓｉｎωｔ，ｃｏｓωｔを生成している。しかしながら、Ｑｕａｄｒａｔｕｒｅ－ＶＣＯ１００は、構造上、発振周波数が低くなるため、デバイスの限界領域で用いることが難しい、という課題があった。また、正弦波からπ／２の固定位相差を持つ正弦波を作成する方法として、９０度ハイブリッドを使用する方法が知られているが、９０度ハイブリッドを使用する場合、特定の周波数においてしか動作しない、という課題があった。

先行技術文献

非特許文献

[0009] 非特許文献1：Arun Goyal, et al., “A High-Resolution Digital Phase Interpolator Based CDR with a Half-Rate Hybrid Phase Detector”, 2019 IEEE International Symposium on Circuits and Systems (ISCAS), May 2019

発明の概要

発明が解決しようとする課題

[0010] 本発明は、上記課題を解決するためになされたもので、幅広い周波数で利用が可能な位相調整回路を提供することを目的とする。

課題を解決するための手段

[0011] 本発明の位相調整回路は、正弦波状のクロック信号を生成するように構成されたクロック生成部と、前記クロック生成部から出力されたクロック信号を入力とし、振幅調整した正弦波状の差動クロック信号を出力すると同時に、振幅調整した同相信号を出力するように構成された可変増幅器と、前記可変増幅器から出力された差動クロック信号の正相側と逆相側のそれぞれに前記同相信号を加算した差動信号を出力するように構成された加算部と、前記加算部から出力された差動信号を伝送するように構成された差動伝送線路と、前記差動伝送線路を終端するように構成された終端回路とを備え、前記差動伝送線路を構成する２本の伝送線路のうちのいずれか一方の終端から信号

を出力することを特徴とするものである。

また、本発明の位相調整回路の１構成例において、前記終端回路は、一端が前記２本の伝送線路のうちの第１の伝送線路の終端に接続された第１の抵抗と、一端が前記２本の伝送線路のうちの第２の伝送線路の終端に接続された第２の抵抗と、一端が前記第１、第２の抵抗の接続点に接続され、他端が固定電位またはグラウンドに接続された第３の抵抗とから構成されることを特徴とするものである。

[0012] また、本発明の位相調整回路の１構成例において、前記加算部は、前記可変増幅器から出力された差動クロック信号のうち逆相側のクロック信号がベースまたはゲートに入力され、コレクタまたはドレインから差動信号の正相側の信号を出力する第１のトランジスタと、前記可変増幅器から出力された差動クロック信号のうち正相側のクロック信号がベースまたはゲートに入力され、コレクタまたはドレインから差動信号の逆相側の信号を出力する第２のトランジスタと、前記可変増幅器から出力された同相信号がベースまたはゲートに入力された第３のトランジスタと、一端が電源電圧に接続された第４の抵抗と、一端が前記第４の抵抗の他端に接続され、他端が前記第１のトランジスタのコレクタまたはドレインに接続された第５の抵抗と、一端が前記第４の抵抗の他端に接続され、他端が前記第２のトランジスタのコレクタまたはドレインに接続された第６の抵抗と、一端が前記第１のトランジスタのエミッタまたはソースに接続され、他端が前記第３のトランジスタのコレクタまたはドレインに接続された第７の抵抗と、一端が前記第２のトランジスタのエミッタまたはソースに接続され、他端が前記第３のトランジスタのコレクタまたはドレインに接続された第８の抵抗と、一端が前記電源電圧に接続され、他端が前記第３のトランジスタのベースまたはゲートに接続された第９の抵抗と、一端が前記第３のトランジスタのベースまたはゲートに接続され、他端がグラウンドに接続された第１０の抵抗と、一端が前記第３のトランジスタのエミッタまたはソースに接続され、他端がグラウンドに接続された第１１の抵抗とから構成されることを特徴とするものである。

[0013] また、本発明の位相調整回路の１構成例において、前記可変増幅器は、前記差動クロック信号を振幅調整して出力するギルバートセル型の第１の可変増幅器と、前記同相信号を振幅調整して出力するギルバートセル型の第２の可変増幅器とから構成されることを特徴とするものである。

また、本発明の位相調整回路の１構成例において、前記第１の可変増幅器は、ベースまたはゲートに第１の利得制御信号が入力され、コレクタまたはドレインから差動クロック信号の正相側の信号を出力する第４のトランジスタと、ベースまたはゲートに第２の利得制御信号が入力され、コレクタまたはドレインから差動クロック信号の逆相側の信号を出力する第５のトランジスタと、ベースまたはゲートに前記第１の利得制御信号が入力され、コレクタまたはドレインから差動クロック信号の逆相側の信号を出力する第６のトランジスタと、ベースまたはゲートに前記第２の利得制御信号が入力され、コレクタまたはドレインから差動クロック信号の正相側の信号を出力する第７のトランジスタと、外部から入力された差動クロック信号の正相側の信号がベースまたはゲートに入力され、コレクタまたはドレインが前記第４、第５のトランジスタのエミッタまたはソースに接続された第８のトランジスタと、外部から入力された差動クロック信号の逆相側の信号がベースまたはゲートに入力され、コレクタまたはドレインが前記第６、第７のトランジスタのエミッタまたはソースに接続された第９のトランジスタと、ベースまたはゲートにバイアス電圧が与えられた第１０のトランジスタと、一端が電源電圧に接続され、他端が前記第４、第７のトランジスタのコレクタまたはドレインに接続された第１２の抵抗と、一端が前記電源電圧に接続され、他端が前記第５、第６のトランジスタのコレクタまたはドレインに接続された第１３の抵抗と、一端が前記第８のトランジスタのエミッタまたはソースに接続され、他端が前記第１０のトランジスタのコレクタまたはドレインに接続された第１４の抵抗と、一端が前記第９のトランジスタのエミッタまたはソースに接続され、他端が前記第１０のトランジスタのコレクタまたはドレインに接続された第１５の抵抗と、一端が第１０のトランジスタのエミッタまた

はソースに接続され、他端がグラウンドに接続された第１６の抵抗とから構成され、前記第２の可変増幅器は、ベースまたはゲートに第３の利得制御信号が入力され、コレクタまたはドレインから同相信号を出力する第１１のトランジスタと、ベースまたはゲートに第４の利得制御信号が入力された第１２のトランジスタと、ベースまたはゲートに前記第３の利得制御信号が入力された第１３のトランジスタと、ベースまたはゲートに前記第４の利得制御信号が入力され、コレクタまたはドレインから同相信号を出力する第１４のトランジスタと、外部から入力された差動クロック信号の正相側の信号がベースまたはゲートに入力され、コレクタまたはドレインが前記第１１、第１２のトランジスタのエミッタまたはソースに接続された第１５のトランジスタと、外部から入力された差動クロック信号の逆相側の信号がベースまたはゲートに入力され、コレクタまたはドレインが前記第１３、第１４のトランジスタのエミッタまたはソースに接続された第１６のトランジスタと、ベースまたはゲートにバイアス電圧が与えられた第１７のトランジスタと、一端が前記電源電圧に接続され、他端が前記第１１、第１４のトランジスタのコレクタまたはドレインに接続された第１７の抵抗と、一端が前記電源電圧に接続され、他端が前記第１２、第１３のトランジスタのコレクタまたはドレインに接続された第１８の抵抗と、一端が前記第１５のトランジスタのエミッタまたはソースに接続され、他端が前記第１７のトランジスタのコレクタまたはドレインに接続された第１９の抵抗と、一端が前記第１６のトランジスタのエミッタまたはソースに接続され、他端が前記第１７のトランジスタのコレクタまたはドレインに接続された第２０の抵抗と、一端が第１７のトランジスタのエミッタまたはソースに接続され、他端がグラウンドに接続された第２１の抵抗とから構成されることを特徴とするものである。

[0014] また、本発明の位相調整回路の１構成例において、前記差動伝送線路を構成する２本の伝送線路は、それぞれの信号線路が隣接して配置されることを特徴とするものである。

また、本発明の位相調整回路の１構成例において、前記差動伝送線路を構

成する２本の伝送線路のそれぞれの長さＬは、前記差動伝送線路の差動モードに対する伝搬速度をv_d、同相モードに対する伝搬速度をv_c、位相調整の対象となる正弦波状のクロック信号の最高の角周波数をωとしたとき、$L < \pi / \{\omega | (1/V_d) - (1/V_c) |\}$を満たすように設定される。

また、本発明の位相調整回路の１構成例は、前記差動伝送線路を構成する２本の伝送線路のうちのいずれか一方の終端から出力された信号の振幅調整を行うように構成されたレベル調整部をさらに備えることを特徴とするものである。

発明の効果

[0015] 本発明によれば、クロック生成部と可変増幅器と加算部と差動伝送線路と終端回路とを設け、差動伝送線路を構成する２本の伝送線路のうちのいずれか一方の終端から信号を出力することにより、クロック生成部として従来のようなＱｕａｄｒａｔｕｒｅ－ＶＣＯを使う必要がなくなり、クロック生成部として一般的なＬＣ発振器からなるＬＣ－ＶＣＯを使用することができる。また、本発明では、クロック生成部として９０度ハイブリッドを用いる構成と異なり、幅広い周波数で利用が可能となる。

図面の簡単な説明

[0016] [図1]図１は、本発明の第１の実施例に係る位相調整回路の構成を示すブロック図である。

[図2]図２は、本発明の第１の実施例に係る位相調整回路のシミュレーション結果を示す図である。

[図3]図３は、本発明の第２の実施例に係る終端回路の構成を示す回路図である。

[図4]図４は、本発明の第３の実施例に係る加算部の構成を示す回路図である。

[図5]図５は、本発明の第３の実施例に係る可変増幅器の構成を示す回路図である。

[図6]図６は、本発明の第３の実施例に係る可変増幅器の構成を示す回路図で

ある。

[図7A-7C]図７Ａ－図７Ｃは、本発明の第４の実施例に係る差動伝送線路の構成を示す断面図である。

[図8]図８は、本発明の第５の実施例に係る位相調整回路の構成を示すブロック図である。

[図9]図９は、従来の位相調整回路の構成を示すブロック図である。

発明を実施するための形態

[0017] ［第１の実施例］

以下、本発明の実施例について図面を参照して説明する。図１は本発明の第１の実施例に係る位相調整回路の構成を示すブロック図である。位相調整回路は、正弦波状の差動クロック信号を生成するクロック生成部１と、クロック生成部１から出力された差動クロック信号を入力とし、振幅調整した差動クロック信号を出力すると同時に、振幅調整した同相信号を出力する可変増幅器２と、可変増幅器２から出力された差動クロック信号の正相側と逆相側のそれぞれに同相信号を加算した差動信号を出力する加算部３と、加算部３から出力された差動信号を伝送する差動伝送線路４と、差動伝送線路４を終端する終端回路５とを備えている。

[0018] 差動クロック信号と同相信号は、各々に用意された可変増幅器２０－１，２０－２により振幅が調整されるようになっている。図１では、詳細を省略しているが、可変増幅器２０－１，２０－２の入力の形式は、同相、差動を問わない。すなわち、クロック生成部１の出力は単相のクロック信号であってもよい。

[0019] 加算部３は、差動クロック信号の正相側と同相信号とを加算して出力する加算部３０－１と、差動クロック信号の逆相側と同相信号とを加算して出力する加算部３０－２とから構成される。加算部３０－１，３０－２については、差動伝送線路４の特性インピーダンスに応じた設計をしてもよい。

[0020] 差動伝送線路４とは、正相側の伝送線路４０－１と逆相側の伝送線路４０－２とが電磁界的に結合した伝送線路のことを言う。また、本実施例の差動

伝送線路４は、同相信号と差動信号の伝搬速度が異なる。差動伝送線路４の終端には終端回路５が接続されている。本実施例では、正相側の伝送線路４０－１の終端から中間位相の正弦波を取り出すことができる。後述のように、逆相側の伝送線路４０－２の終端から正弦波を取り出してもよい。

[0021] 差動伝送線路４においては、差動信号と同相信号で伝搬速度差が生じることが知られている。差動モードに対する伝搬速度をv_d、同相モードに対する伝搬速度をv_cとする。伝送線路４０－１，４０－２の長さをＬ、正弦波の角周波数をωとしたとき、伝搬遅延を位相に変換すると、差動モードにおける正弦波の位相は（Ｌ／v_d）ωとなり、同相モードにおける正弦波の位相は（Ｌ／v_c）ωとなる。

[0022] 加算部３の出力端における差動信号を$\alpha \sin \omega T$、同相信号を$\beta \sin(\omega T+\delta)$とすると、差動伝送線路４の終端における差動信号は$\alpha \sin(\omega T+(\omega L/v_d))$、差動伝送線路４の終端における同相信号は$\beta \sin(\omega T+(\omega L/v_c)+\delta)$となる。なお、$\delta$は製造誤差や何らかの影響により、同相信号と差動信号に遅延が付与された場合のケースを想定した位相の遅れまたは進みを示している。

[0023] 本実施例では、差動伝送線路４を構成する伝送線路４０－１，４０－２のうちいずれか一方から出力信号ＯＵＴを取り出しているので、出力信号ＯＵＴは次式のようになる。

[0024] [数3]

$$OUT=\pm\frac{\alpha}{2}\sin\left(\omega T+\frac{\omega L}{v_d}\right)+\beta\sin\left(\omega T+\frac{\omega L}{v_c}+\delta\right) \quad \cdots(3)$$

[0025] 伝送線路４０－１の終端から出力信号ＯＵＴを取り出す場合には、式（３）の右辺第１項は＋（α／２）ｓｉｎ（ωＴ＋（ωＬ／v_d））となり、伝送線路４０－２から出力信号ＯＵＴを取り出す場合には、－（α／２）ｓｉｎ（ωＴ＋（ωＬ／v_d））となる。

ここで、Ａ＝±α／２，Ｂ＝β，$\omega t=\omega T+(\omega L/v_d)$，$\phi=(\omega L/v_c)+\delta$と新たに定義すると、出力信号ＯＵＴは次式のようになる。

[0026] [数4]

$$OUT = A\sin\omega t + B\sin(\omega t + \varphi) \qquad \cdots(4)$$

[0027] ωＴはωｔを平行移動したものに過ぎないから、本実施例の構成で中間位相が生成できることを、式（４）により説明することと式（３）により説明することは同義である。式（４）を整理すると、式（５）が得られる。

[0028] [数5]

$$OUT = A\sin\omega t + B\sin(\omega t + \varphi) = \mathrm{Im}\left[Ae^{j\omega t} + Be^{j(\omega t+\varphi)}\right]$$

$$= \mathrm{Im}\left[\left(A + Be^{j\varphi}\right)e^{j\omega t}\right] = \mathrm{Im}\left[re^{j\rho}e^{j\omega t}\right] \qquad \cdots(5)$$

[0029] 式（５）の$e^{j\omega t}$は基準となるｓｉｎ波を示す。式（５）より、基準周波数のｓｉｎ波と任意位相φだけ異なるｓｉｎ波とを加算することで、基準位相からρだけ位相の異なるｓｉｎ波を生成できることが分かる。

以下に詳細を説明する。出力位相の変化量は$re^{j\rho}$を計算すれば良いため、式（５）を整理すると、次式のようになる。

[0030] [数6]

$$re^{j\rho} = A + Be^{j\varphi} = A + B\cos(\varphi) + jB\sin(\varphi)$$

$$= B\left[\frac{A}{B} + \cos(\varphi) + j\sin(\varphi)\right] = B[x + \cos(\varphi) + j\sin(\varphi)] \qquad \cdots(6)$$

[0031] 式（６）より、位相角ρは式（７）で与えられる。

[0032] [数7]

$$\rho = \arg(B[x + \cos(\varphi) + j\sin(\varphi)]) = \arg(x + \cos(\varphi) + j\sin(\varphi)) \qquad \cdots(7)$$

[0033] 振幅ＡとＢにより、位相角ρを制御する場合の値域について考える。回路上の出力振幅Ａ，Ｂの範囲は０を中心として有限であるが、ＡとＢは独立であることにより、ｘ＝Ａ／Ｂ∈［－∞，＋∞］であり、振幅Ａ，Ｂとして任意の実数を選択できる。ｘの符号は振幅Ａ，Ｂの符号の組み合わせで決めることができ、ｘの値を大きくするためには分母Ｂを極力小さくすることで実現できる。

[0034] さらに、ｙ＝ｘ＋ｃｏｓ（φ）とした時、明らかにｙ＝（Ａ／Ｂ）＋ｃｏｓ（φ）∈［－∞，＋∞］である。したがって、ρ＝ａｒｇ（ｘ＋ｃｏｓ（φ）＋ｊｓｉｎ（φ））＝ａｒｇ（ｙ＋ｊｓｉｎ（φ））は、ｓｉｎ（φ）≠０の条件下において０～π［ｒａｄ］の値をとることができる。また、Ｂの極性を反転させた時を想定すれば、ρ＝ａｒｇ（ｘ＋ｃｏｓ（φ）＋ｊｓｉｎ（φ））＝ａｒｇ（ｙ＋ｊｓｉｎ（φ））は、－π～０［ｒａｄ］をとることができるのは明らかである。すなわち、本実施例によれば、入力の正弦波を任意位相に調整した信号を出力することができる。

[0035] 本実施例の位相調整回路によって正弦波の位相が変化することを回路シミュレーションによって確認した結果を図２に示す。ここでは、クロック生成部１から入力される正弦波２０の周波数を５０ＧＨｚ（周期２０ｐｓ）とし、可変増幅器２０－１，２０－２の制御電圧（利得）を変化させることで、式（４）～式（７）の振幅Ａ，Ｂの値を変化させ、位相を凡そ４ｐｓ変化させた正弦波２１，２２を示している。なお、図２の例では、位相の変化を分かり易くするため、正弦波２０～２２の振幅を揃える調整は実施していない。

[0036] 本実施例においては、同相信号と差動信号に伝搬速度差を生じさせることが必要ではあるものの、伝送線路４０－１，４０－２の種類、構造は問わない。すなわち、伝送線路４０－１，４０－２として、コプレーナ線路を用いてもよいし、マイクロストリップ線路を用いてもよい。

[0037] なお、伝送線路４０－１，４０－２の長さＬが、（Ｌ／v_d）ω－（Ｌ／v_c）ω＝πｎ（ｎは任意の整数）を満たす場合、ｓｉｎωｔとｓｉｎ（ωｔ＋φ）に位相差が発生しないため、位相調整を実現することができない。すなわち、φ＝πの時、－ｓｉｎになるだけで、位相差無しでＢの符号が変わるだけとなる。

そこで、本実施例の位相調整回路で位相調整の対象となる正弦波信号の想定される最高の周波数において、式（８）が成立するように設計する。

[0038]

[数8]

$$\left|\frac{L}{v_d}\omega-\frac{L}{v_c}\omega\right|<\pi \Rightarrow L<\frac{\pi}{\omega\left|\frac{1}{v_d}-\frac{1}{v_c}\right|} \quad \cdots(8)$$

[0039] 式（８）が成立するように設計することで、利用する周波数範囲においてｓｉｎωｔとｓｉｎ（ωｔ＋φ）に必ず位相差が発生するように設計できる。式（８）が成立する範囲の場合、伝送線路長を最小化できることから、回路面積およびコストを低減することができる。

[0040] ［第２の実施例］

次に、本発明の第２の実施例について説明する。本実施例は、第１の実施例の終端回路５の具体例を示すものである。図３に示すように、終端回路５は、一端が伝送線路４０－１の終端に接続された抵抗Ｒ１と、一端が伝送線路４０－２の終端に接続された抵抗Ｒ２と、一端が抵抗Ｒ１，Ｒ２の接続点に接続され、他端が固定電位ＶＴＴに接続された抵抗Ｒ３とから構成される。

[0041] 第１の実施例では、差動伝送線路４を用いて、同相信号と差動信号の両方を伝送しているため、各信号に対するインピーダンス設定が必要となる。図３に示したＴ型の終端回路５によれば、各信号モードに対してインピーダンスを設定することができる。

なお、終端回路５の抵抗Ｒ３をグラウンドに接続してもよいが、加算部３のバイアス点の都合などにより、図３の例のようにグラウンド以外の固定電位ＶＴＴに接続してもよい。

[0042] ［第３の実施例］

次に、本発明の第３の実施例について説明する。本実施例は、第１の実施例の加算部３と可変増幅器２の具体例を示すものである。図４に示すように、加算部３は、可変増幅器２から出力された差動クロック信号の逆相側の信号ＩＮ３ｎがベースに入力され、コレクタから差動信号の正相側の信号ＯＵＴ３ｐを出力するＮＰＮバイポーラトランジスタＱ１と、可変増幅器２から出力された差動クロック信号の正相側の信号ＩＮ３ｐがベースに入力され、

コレクタから差動信号の逆相側の信号ＯＵＴ３ｎを出力するＮＰＮバイポーラトランジスタＱ２と、可変増幅器２から出力された同相信号ＩＮ４がベースに入力されたＮＰＮバイポーラトランジスタＱ３と、一端が電源電圧ＶＣＣに接続された抵抗Ｒ４と、一端が抵抗Ｒ４の他端に接続され、他端がトランジスタＱ１のコレクタに接続された抵抗Ｒ５と、一端が抵抗Ｒ４の他端に接続され、他端がトランジスタＱ２のコレクタに接続された抵抗Ｒ６と、一端がトランジスタＱ１のエミッタに接続され、他端がトランジスタＱ３のコレクタに接続された抵抗Ｒ７と、一端がトランジスタＱ２のエミッタに接続され、他端がトランジスタＱ３のコレクタに接続された抵抗Ｒ８と、一端が電源電圧ＶＣＣに接続され、他端がトランジスタＱ３のベースに接続された抵抗Ｒ９と、一端がトランジスタＱ３のベースに接続され、他端がグラウンドに接続された抵抗Ｒ１０と、一端がトランジスタＱ３のエミッタに接続され、他端がグラウンドに接続された抵抗Ｒ１１とから構成される。

[0043] トランジスタＱ３は、トランジスタＱ１，Ｑ２に電流を供給するテール電流源であり、適切なバイアス電圧が必要となる。図４の例では、抵抗Ｒ９，Ｒ１０からなる抵抗分圧型の回路によってテール電流源のバイアス電圧を生成している。

[0044] 可変増幅器２０－１，２０－２としては、ギルバートセルを用いることができる。図５に示すように、可変増幅器２０－１は、ベースに利得制御信号ＩＮ１ｎが入力され、コレクタから差動クロック信号の正相側の信号ＯＵＴ２ｐを出力するＮＰＮバイポーラトランジスタＱ４と、ベースに利得制御信号ＩＮ１ｐが入力され、コレクタから差動クロック信号の逆相側の信号ＯＵＴ２ｎを出力するＮＰＮバイポーラトランジスタＱ５と、ベースに利得制御信号ＩＮ１ｎが入力され、コレクタから差動クロック信号の逆相側の信号ＯＵＴ２ｎを出力するＮＰＮバイポーラトランジスタＱ６と、ベースに利得制御信号ＩＮ１ｐが入力され、コレクタから差動クロック信号の正相側の信号ＯＵＴ２ｐを出力するＮＰＮバイポーラトランジスタＱ７と、クロック生成部１から出力された差動クロック信号の正相側の信号ＩＮ２ｐがベースに入

力され、コレクタがトランジスタＱ４，Ｑ５のエミッタに接続されたＮＰＮバイポーラトランジスタＱ８と、クロック生成部１から出力された差動クロック信号の逆相側の信号ＩＮ２ｎがベースに入力され、コレクタがトランジスタＱ６，Ｑ７のエミッタに接続されたＮＰＮバイポーラトランジスタＱ９と、ベースにバイアス電圧ＶＢが与えられたＮＰＮバイポーラトランジスタＱ１０と、一端が電源電圧ＶＣＣに接続され、他端がトランジスタＱ４，Ｑ７のコレクタに接続された抵抗Ｒ１２と、一端が電源電圧ＶＣＣに接続され、他端がトランジスタＱ５，Ｑ６のコレクタに接続された抵抗Ｒ１３と、一端がトランジスタＱ８のエミッタに接続され、他端がトランジスタＱ１０のコレクタに接続された抵抗Ｒ１４と、一端がトランジスタＱ９のエミッタに接続され、他端がトランジスタＱ１０のコレクタに接続された抵抗Ｒ１５と、一端がトランジスタＱ１０のエミッタに接続され、他端がグラウンドに接続された抵抗Ｒ１６とから構成される。

利得制御信号ＩＮ１ｐとＩＮ１ｎの電圧差によって可変増幅器２０－１の利得を制御することができる。

[0045] 図６に示すように、可変増幅器２０－２は、ベースに利得制御信号ＩＮ５ｎが入力され、コレクタから同相信号ＯＵＴ４を出力するＮＰＮバイポーラトランジスタＱ１１と、ベースに利得制御信号ＩＮ５ｐが入力されたＮＰＮバイポーラトランジスタＱ１２と、ベースに利得制御信号ＩＮ５ｎが入力されたＮＰＮバイポーラトランジスタＱ１３と、ベースに利得制御信号ＩＮ５ｐが入力され、コレクタから同相信号ＯＵＴ４を出力するＮＰＮバイポーラトランジスタＱ１４と、クロック生成部１から出力された差動クロック信号の正相側の信号ＩＮ２ｐがベースに入力され、コレクタがトランジスタＱ１１，Ｑ１２のエミッタに接続されたＮＰＮバイポーラトランジスタＱ１５と、クロック生成部１から出力された差動クロック信号の逆相側の信号ＩＮ２ｎがベースに入力され、コレクタがトランジスタＱ１３，Ｑ１４のエミッタに接続されたＮＰＮバイポーラトランジスタＱ１６と、ベースにバイアス電圧ＶＢが与えられたＮＰＮバイポーラトランジスタＱ１７と、一端が電源電

圧ＶＣＣに接続され、他端がトランジスタＱ１１，Ｑ１４のコレクタに接続された抵抗Ｒ１７と、一端が電源電圧ＶＣＣに接続され、他端がトランジスタＱ１２，Ｑ１３のコレクタに接続された抵抗Ｒ１８と、一端がトランジスタＱ１５のエミッタに接続され、他端がトランジスタＱ１７のコレクタに接続された抵抗Ｒ１９と、一端がトランジスタＱ１６のエミッタに接続され、他端がトランジスタＱ１７のコレクタに接続された抵抗Ｒ２０と、一端がトランジスタＱ１７のエミッタに接続され、他端がグラウンドに接続された抵抗Ｒ２１とから構成される。

[0046] 利得制御信号ＩＮ５ｐとＩＮ５ｎの電圧差によって可変増幅器２０－１の利得を制御することができる。図６に示すように、単相出力の可変増幅器２０－２の場合には、図５の差動クロック信号の正相側の信号ＯＵＴ２ｐの代わりに同相信号ＯＵＴ４を出力し、逆相側の信号ＯＵＴ２ｎの出力端子を開放とするか、ダミー負荷を接続すればよい。

[0047] なお、図４～図６では、トランジスタＱ１～Ｑ１７としてバイポーラトランジスタを使用した例を示しているが、ＭＯＳトランジスタを使用してもよい。ＭＯＳトランジスタを使用する場合には、上記の説明において、ベースをゲートに置き換え、コレクタをドレインに置き換え、エミッタをソースに置き換えるようにすればよい。

[0048] また、トランジスタのエミッタまたはソースに対し、ゲイン調整や周波数応答調整のための抵抗または容量を挿入してもよいし、抵抗と容量の両方を挿入してもよい。また、レベル調整などのために、必要に応じてエミッタフォロワなどの任意の増幅回路を設けることも可能である。

[0049] ［第４の実施例］

次に、本発明の第４の実施例について説明する。本実施例は、第１の実施例の差動伝送線路４の具体例を示すものである。上記のとおり、差動伝送線路４は、差動モードと同相モードで伝搬速度差が発生する構造でなければならない。差動モードと同相モードの伝搬速度差を発生させるには、差動ポート間で電磁界の結合がなされている方が効率的である。

[0050] そこで、本発明で用いる差動伝送線路４は、伝送線路４０－１，４０－２の間にグラウンドプレーンを入れずに伝送線路４０－１，４０－２が電磁界的に結合するように隣接させる形態がよい。

[0051] 差動伝送線路４の断面図を図７Ａ～図７Ｃに示す。図７Ａの例は、マイクロストリップ線路の例を示している。伝送線路４０－１は、誘電体４００と、誘電体４００の表面に形成された導体からなる信号線路４０１と、誘電体４００の裏面に形成された導体からなるグラウンドプレーン４０３とから構成される。伝送線路４０－２は、誘電体４００と、誘電体４００の表面に形成された導体からなる信号線路４０２と、グラウンドプレーン４０３とから構成される。

[0052] 図７Ｂの例は、コプレーナ線路の例を示している。伝送線路４０－１は、誘電体４００と、信号線路４０１と、信号線路４０１を間に挟んで信号線路４０２と反対側の誘電体４００の表面に形成された導体からなるグラウンドプレーン４０４とから構成される。伝送線路４０－２は、誘電体４００と、信号線路４０２と、信号線路４０２を間に挟んで信号線路４０１と反対側の誘電体４００の表面に形成された導体からなるグラウンドプレーン４０５とから構成される。

[0053] 図７Ｃの例は、図７Ａの構造と図７Ｂの構造を組み合わせた裏面グラウンド付きコプレーナ線路の例を示している。伝送線路４０－１は、誘電体４００と、信号線路４０１と、グラウンドプレーン４０３，４０４とから構成される。伝送線路４０－２は、誘電体４００と、信号線路４０２と、グラウンドプレーン４０３，４０５とから構成される。

[0054] 図７Ａ～図７Ｃの例では、信号線路４０１，４０２を横に並べてレイアウトしたが、縦積みして、信号線路４０１，４０２間の結合を強くする構造としてもよい。

また、図７Ａ～図７Ｃにおけるグラウンドプレーン４０３～４０５を設けなくてもよい。ただし、本発明では、同相信号も併せて伝送する必要があることから、信号線路４０１，４０２の横または上下に最低１本のグラウンド

プレーンを設けることで、インピーダンスの設計が容易となる。

[0055] ［第５の実施例］

次に、本発明の第５の実施例について説明する。図８は本発明の第５の実施例に係る位相調整回路の構成を示すブロック図である。本実施例の位相調整回路は、第１の実施例の位相調整回路の出力端子にレベル調整部６を加えたものである。

[0056] 本発明の位相調整回路の出力振幅は、原理上、調整した位相に応じて変化する。このため、変化する出力振幅に対応するようにレベル調整部６を設けるようにしてもよい。レベル調整部６としては、出力振幅の調整が可能なＶＧＡ（Variable Gain Amplifier）、あるいは出力振幅調整を自動で行うＡＧＣ（Automatic Gain Control）回路がある。ＶＧＡやＡＧＣ回路の構成は問わない。ＡＧＣ回路を用いる場合、位相調整回路の出力端子（伝送線路４０－１または４０－２の終端）にピーク検出器もしくはパワー検出器を接続し、検出結果を増幅器にフィードバックして利得を調整する。

産業上の利用可能性

[0057] 本発明は、正弦波の位相を調整する技術に適用することができる。

符号の説明

[0058] １…クロック生成部、２，２０－１，２０－２…可変増幅器、３…加算部、４…差動伝送線路、５…終端回路、６…レベル調整部、３０－１，３０－２…加算部、４０－１，４０－２…伝送線路、４００…誘電体、４０１，４０２…信号線路、４０３～４０５…グラウンドプレーン、Ｑ１～Ｑ１７…トランジスタ、Ｒ１～Ｒ２１…抵抗。

請求の範囲

[請求項1] 正弦波状のクロック信号を生成するように構成されたクロック生成部と、

前記クロック生成部から出力されたクロック信号を入力とし、振幅調整した正弦波状の差動クロック信号を出力すると同時に、振幅調整した同相信号を出力するように構成された可変増幅器と、

前記可変増幅器から出力された差動クロック信号の正相側と逆相側のそれぞれに前記同相信号を加算した差動信号を出力するように構成された加算部と、

前記加算部から出力された差動信号を伝送するように構成された差動伝送線路と、

前記差動伝送線路を終端するように構成された終端回路とを備え、

前記差動伝送線路を構成する２本の伝送線路のうちのいずれか一方の終端から信号を出力することを特徴とする位相調整回路。

[請求項2] 請求項１記載の位相調整回路において、

前記終端回路は、

一端が前記２本の伝送線路のうちの第１の伝送線路の終端に接続された第１の抵抗と、

一端が前記２本の伝送線路のうちの第２の伝送線路の終端に接続された第２の抵抗と、

一端が前記第１、第２の抵抗の接続点に接続され、他端が固定電位またはグラウンドに接続された第３の抵抗とから構成されることを特徴とする位相調整回路。

[請求項3] 請求項１または２記載の位相調整回路において、

前記加算部は、

前記可変増幅器から出力された差動クロック信号のうち逆相側のクロック信号がベースまたはゲートに入力され、コレクタまたはドレインから差動信号の正相側の信号を出力する第１のトランジスタと、

前記可変増幅器から出力された差動クロック信号のうち正相側のクロック信号がベースまたはゲートに入力され、コレクタまたはドレインから差動信号の逆相側の信号を出力する第２のトランジスタと、

前記可変増幅器から出力された同相信号がベースまたはゲートに入力された第３のトランジスタと、

一端が電源電圧に接続された第４の抵抗と、

一端が前記第４の抵抗の他端に接続され、他端が前記第１のトランジスタのコレクタまたはドレインに接続された第５の抵抗と、

一端が前記第４の抵抗の他端に接続され、他端が前記第２のトランジスタのコレクタまたはドレインに接続された第６の抵抗と、

一端が前記第１のトランジスタのエミッタまたはソースに接続され、他端が前記第３のトランジスタのコレクタまたはドレインに接続された第７の抵抗と、

一端が前記第２のトランジスタのエミッタまたはソースに接続され、他端が前記第３のトランジスタのコレクタまたはドレインに接続された第８の抵抗と、

一端が前記電源電圧に接続され、他端が前記第３のトランジスタのベースまたはゲートに接続された第９の抵抗と、

一端が前記第３のトランジスタのベースまたはゲートに接続され、他端がグラウンドに接続された第１０の抵抗と、

一端が前記第３のトランジスタのエミッタまたはソースに接続され、他端がグラウンドに接続された第１１の抵抗とから構成されることを特徴とする位相調整回路。

[請求項4] 請求項１乃至３のいずれか１項に記載の位相調整回路において、

前記可変増幅器は、

前記差動クロック信号を振幅調整して出力するギルバートセル型の第１の可変増幅器と、

前記同相信号を振幅調整して出力するギルバートセル型の第２の可

変増幅器とから構成されることを特徴とする位相調整回路。

[請求項5] 請求項４記載の位相調整回路において、

前記第１の可変増幅器は、

ベースまたはゲートに第１の利得制御信号が入力され、コレクタまたはドレインから差動クロック信号の正相側の信号を出力する第４のトランジスタと、

ベースまたはゲートに第２の利得制御信号が入力され、コレクタまたはドレインから差動クロック信号の逆相側の信号を出力する第５のトランジスタと、

ベースまたはゲートに前記第１の利得制御信号が入力され、コレクタまたはドレインから差動クロック信号の逆相側の信号を出力する第６のトランジスタと、

ベースまたはゲートに前記第２の利得制御信号が入力され、コレクタまたはドレインから差動クロック信号の正相側の信号を出力する第７のトランジスタと、

外部から入力された差動クロック信号の正相側の信号がベースまたはゲートに入力され、コレクタまたはドレインが前記第４、第５のトランジスタのエミッタまたはソースに接続された第８のトランジスタと、

外部から入力された差動クロック信号の逆相側の信号がベースまたはゲートに入力され、コレクタまたはドレインが前記第６、第７のトランジスタのエミッタまたはソースに接続された第９のトランジスタと、

ベースまたはゲートにバイアス電圧が与えられた第１０のトランジスタと、

一端が電源電圧に接続され、他端が前記第４、第７のトランジスタのコレクタまたはドレインに接続された第１２の抵抗と、

一端が前記電源電圧に接続され、他端が前記第５、第６のトランジ

スタのコレクタまたはドレインに接続された第１３の抵抗と、

一端が前記第８のトランジスタのエミッタまたはソースに接続され、他端が前記第１０のトランジスタのコレクタまたはドレインに接続された第１４の抵抗と、

一端が前記第９のトランジスタのエミッタまたはソースに接続され、他端が前記第１０のトランジスタのコレクタまたはドレインに接続された第１５の抵抗と、

一端が第１０のトランジスタのエミッタまたはソースに接続され、他端がグラウンドに接続された第１６の抵抗とから構成され、

前記第２の可変増幅器は、

ベースまたはゲートに第３の利得制御信号が入力され、コレクタまたはドレインから同相信号を出力する第１１のトランジスタと、

ベースまたはゲートに第４の利得制御信号が入力された第１２のトランジスタと、

ベースまたはゲートに前記第３の利得制御信号が入力された第１３のトランジスタと、

ベースまたはゲートに前記第４の利得制御信号が入力され、コレクタまたはドレインから同相信号を出力する第１４のトランジスタと、

外部から入力された差動クロック信号の正相側の信号がベースまたはゲートに入力され、コレクタまたはドレインが前記第１１、第１２のトランジスタのエミッタまたはソースに接続された第１５のトランジスタと、

外部から入力された差動クロック信号の逆相側の信号がベースまたはゲートに入力され、コレクタまたはドレインが前記第１３、第１４のトランジスタのエミッタまたはソースに接続された第１６のトランジスタと、

ベースまたはゲートにバイアス電圧が与えられた第１７のトランジスタと、

一端が前記電源電圧に接続され、他端が前記第１１、第１４のトランジスタのコレクタまたはドレインに接続された第１７の抵抗と、

一端が前記電源電圧に接続され、他端が前記第１２、第１３のトランジスタのコレクタまたはドレインに接続された第１８の抵抗と、

一端が前記第１５のトランジスタのエミッタまたはソースに接続され、他端が前記第１７のトランジスタのコレクタまたはドレインに接続された第１９の抵抗と、

一端が前記第１６のトランジスタのエミッタまたはソースに接続され、他端が前記第１７のトランジスタのコレクタまたはドレインに接続された第２０の抵抗と、

一端が第１７のトランジスタのエミッタまたはソースに接続され、他端がグラウンドに接続された第２１の抵抗とから構成されることを特徴とする位相調整回路。

[請求項6] 請求項１乃至５のいずれか１項に記載の位相調整回路において、

前記差動伝送線路を構成する２本の伝送線路は、それぞれの信号線路が隣接して配置されることを特徴とする位相調整回路。

[請求項7] 請求項１乃至６のいずれか１項に記載の位相調整回路において、

前記差動伝送線路を構成する２本の伝送線路のそれぞれの長さＬは、前記差動伝送線路の差動モードに対する伝搬速度をv_d、同相モードに対する伝搬速度をv_c、位相調整の対象となる正弦波状のクロック信号の最高の角周波数をωとしたとき、

[数1]

$$L < \frac{\pi}{\omega\left|\frac{1}{v_d} - \frac{1}{v_c}\right|}$$

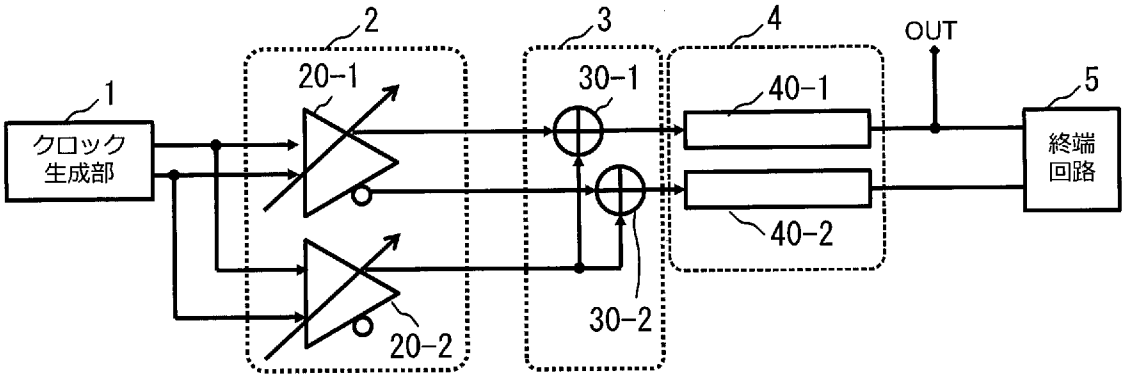
を満たすように設定されることを特徴とする位相調整回路。

[請求項8] 請求項１乃至７のいずれか１項に記載の位相調整回路において、

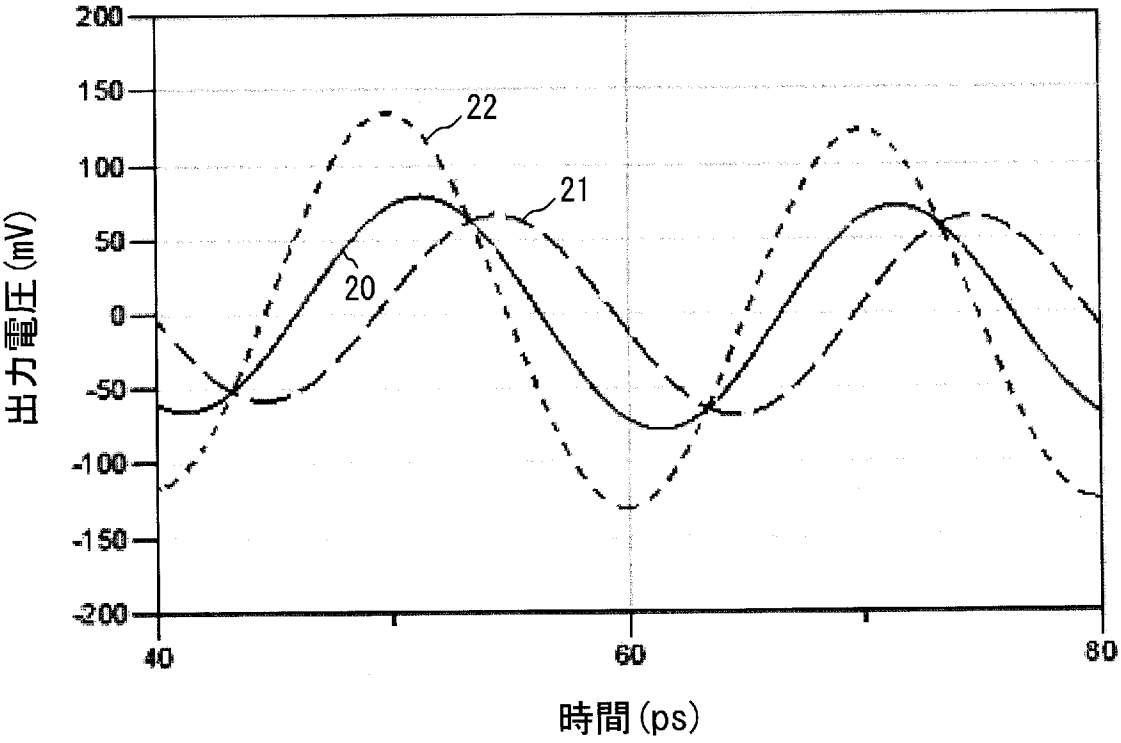
前記差動伝送線路を構成する２本の伝送線路のうちのいずれか一方の終端から出力された信号の振幅調整を行うように構成されたレベル

調整部をさらに備えることを特徴とする位相調整回路。

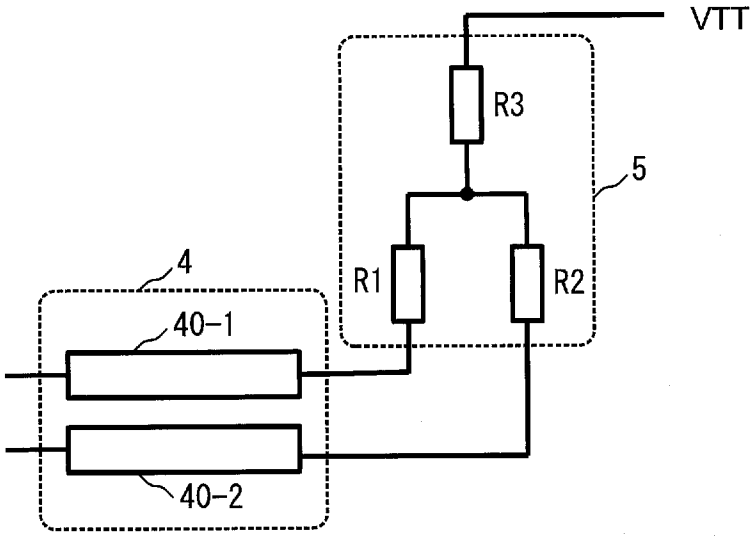
[図1]


1
クロック
生成部
2
20-1
20-2
3
30-1
30-2
4
40-1
40-2
OUT
5
終端
回路

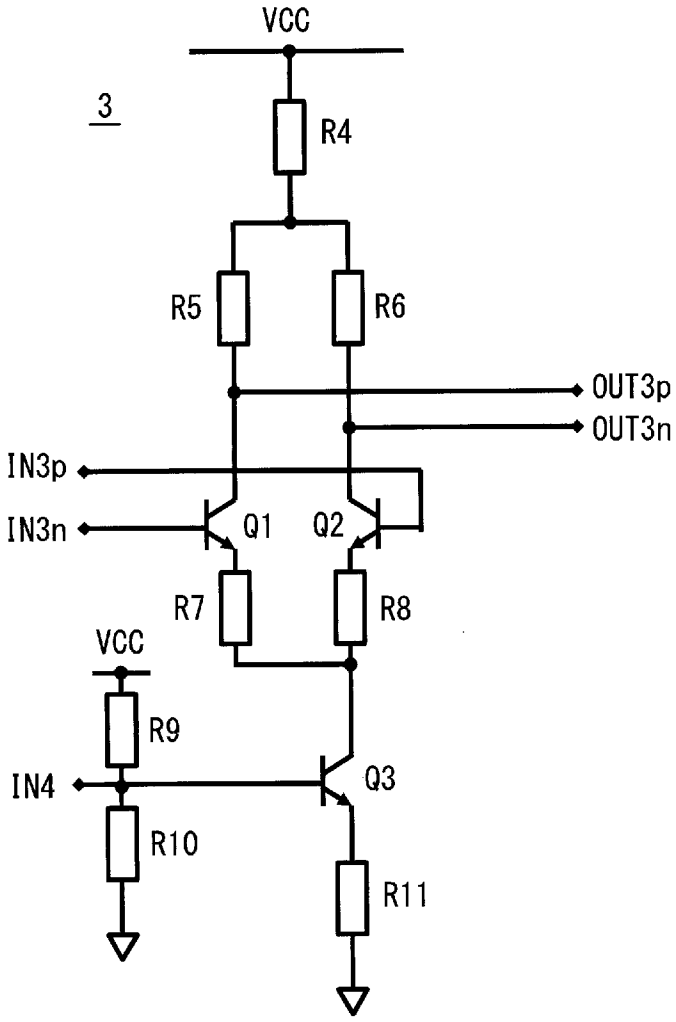
[図2]


200
150
100
50
0
-50
-100
-150
-200
40
60
80
出力電圧(mV)
時間(ps)
22
21
20

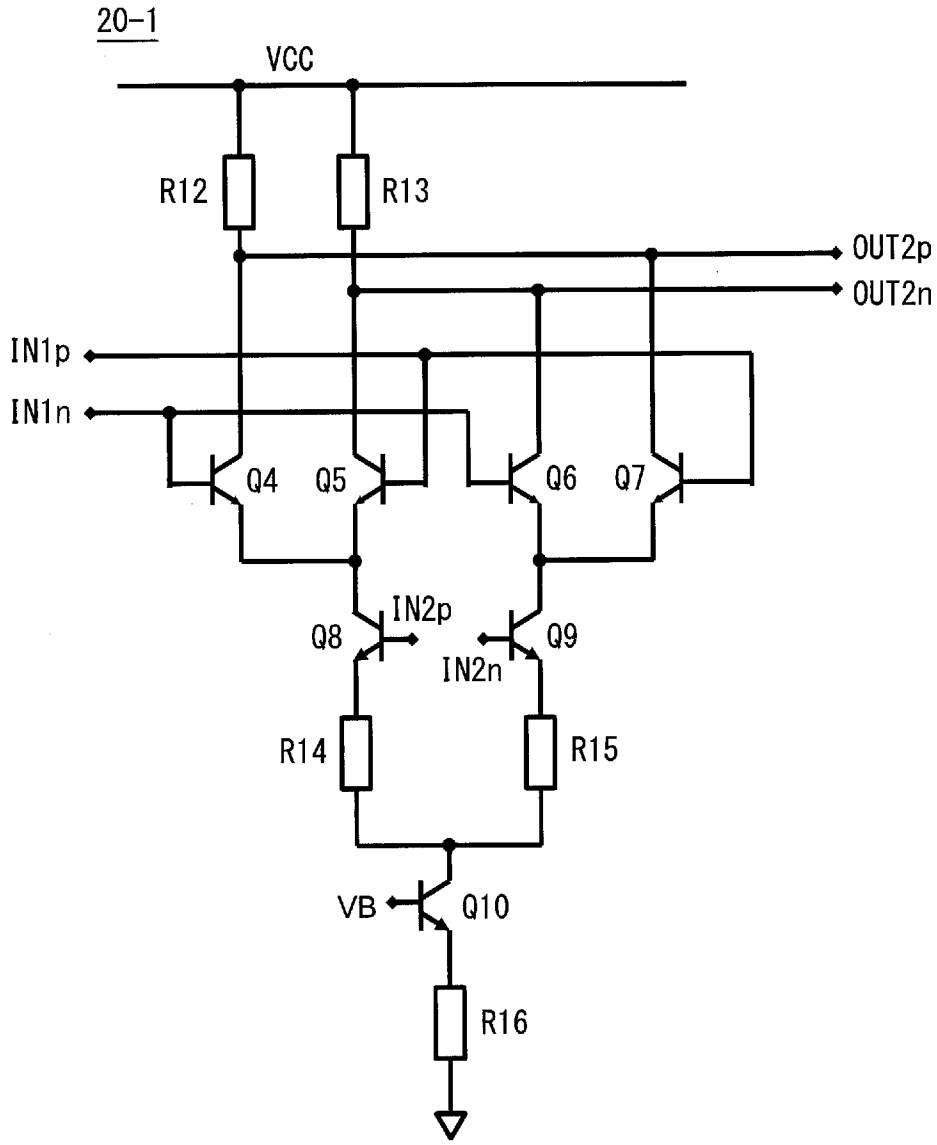
[図3]


VTT
R3
5
R1
R2
4
40-1
40-2

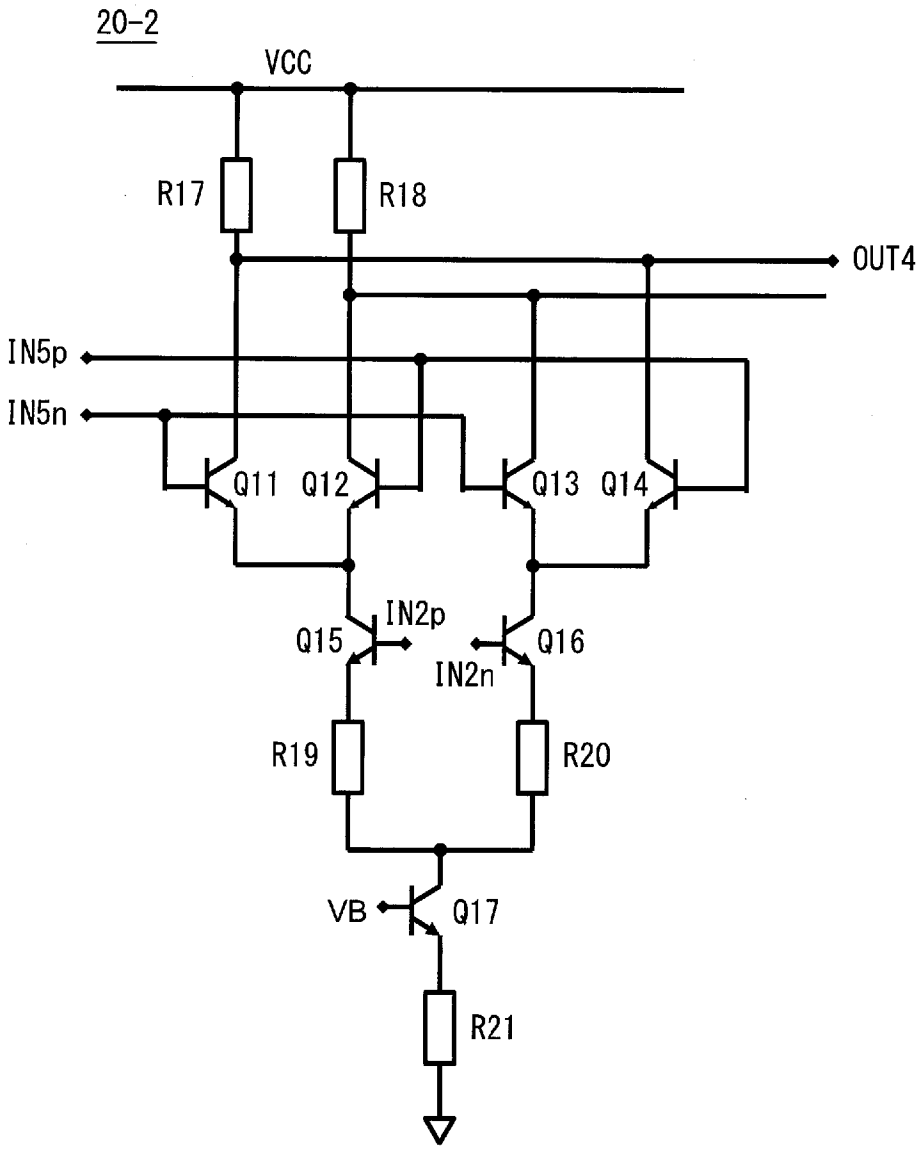
[図4]


VCC
3
R4
R5
R6
OUT3p
OUT3n
IN3p
IN3n
Q1
Q2
R7
R8
VCC
R9
IN4
Q3
R10
R11

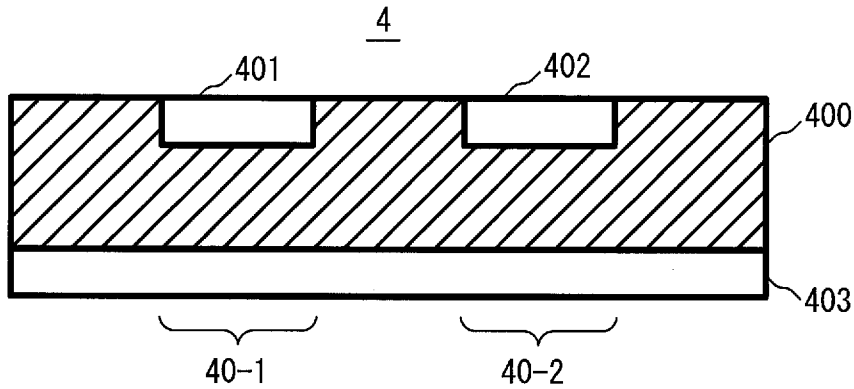
[図5]


20-1
VCC
R12
R13
OUT2p
OUT2n
IN1p
IN1n
Q4
Q5
Q6
Q7
IN2p
Q8
Q9
IN2n
R14
R15
VB
Q10
R16

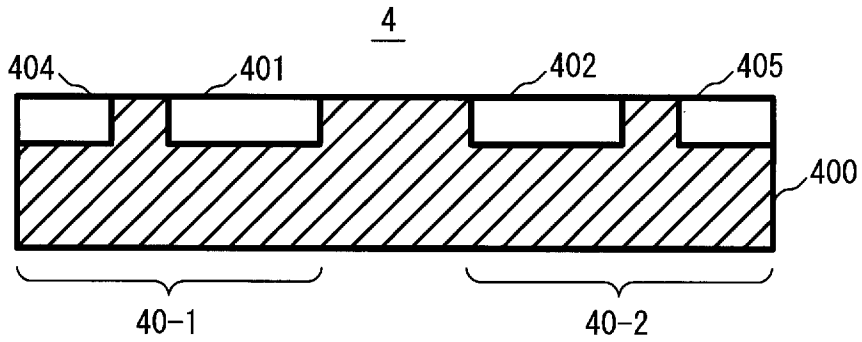
[図6]


20-2
VCC
R17
R18
OUT4
IN5p
IN5n
Q11
Q12
Q13
Q14
IN2p
Q15
Q16
IN2n
R19
R20
VB
Q17
R21

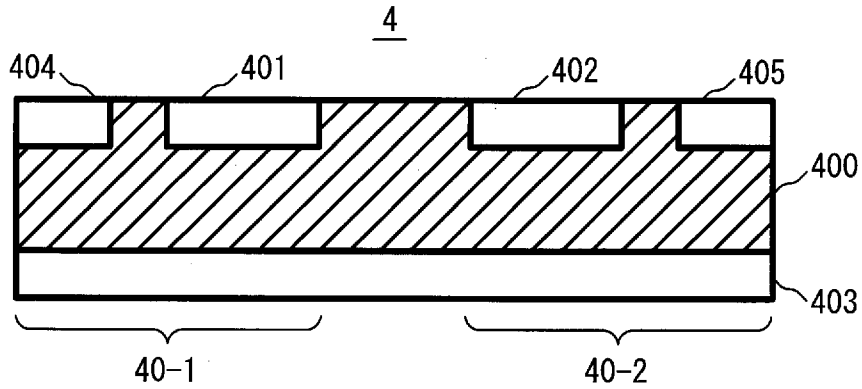
[図7A]


4
401
402
400
403
40-1
40-2

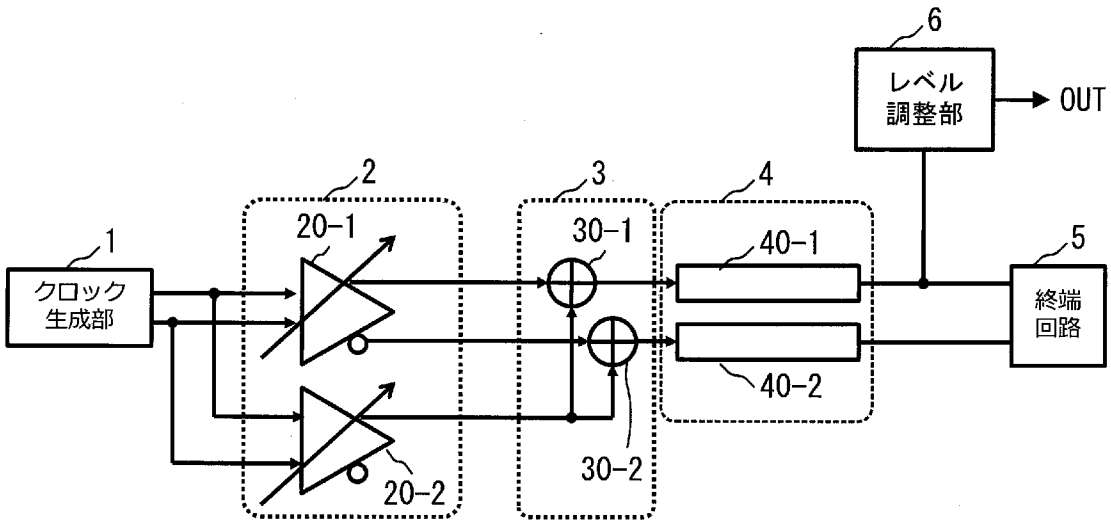
[図7B]


4
404
401
402
405
400
40-1
40-2

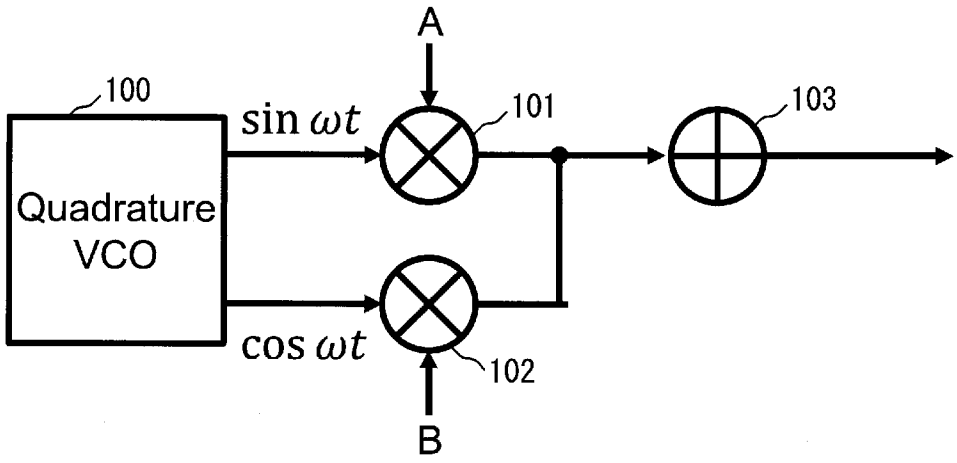
[図7C]


4
404
401
402
405
400
403
40-1
40-2

[図8]


6
レベル
調整部
OUT
2
3
4
1
20-1
30-1
40-1
5
クロック
生成部
終端
回路
40-2
30-2
20-2

[図9]



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2021/046503

A. CLASSIFICATION OF SUBJECT MATTER

H03H 11/20(2006.01)i
FI: H03H11/20 A

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03H11/20

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2022
Registered utility model specifications of Japan 1996-2022
Published registered utility model applications of Japan 1994-2022

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2019/159246 A1 (MITSUBISHI ELECTRIC CORP) 22 August 2019 (2019-08-22) paragraphs [0088]-[0103], fig. 4	1-8
A	US 9093984 B1 (HAGEMAN, Michael) 28 July 2015 (2015-07-28) column 1, line 66 to column 3, line 32, fig. 1A	1-8
A	JP 2018-078391 A (FUJITSU LTD) 17 May 2018 (2018-05-17) paragraph [0067], fig. 12	1-8

☐ Further documents are listed in the continuation of Box C. ☑ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
31 January 2022	**08 February 2022**
Name and mailing address of the ISA/JP **Japan Patent Office (ISA/JP)** **3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915** **Japan**	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2021/046503

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
WO 2019/159246 A1	22 August 2019	US 2020/0350886 A1 paragraphs [0097]-[0112], fig. 4 EP 3742606 A1	
US 9093984 B1	28 July 2015	(Family: none)	
JP 2018-078391 A	17 May 2018	US 2018/0131338 A1 paragraph [0086], fig. 12	

国際調査報告

国際出願番号
PCT/JP2021/046503

A. 発明の属する分野の分類（国際特許分類（ＩＰＣ））

H03H 11/20(2006.01)i
FI: H03H11/20 A

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

H03H11/20

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０２２年
日本国実用新案登録公報	１９９６－２０２２年
日本国登録実用新案公報	１９９４－２０２２年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	WO 2019/159246 A1 (三菱電機株式会社) 22.08.2019 (2019-08-22) 段落[0088]-[0103], 図4	1-8
A	US 9093984 B1 (HAGEMAN, Michael) 28.07.2015 (2015-07-28) 第1欄第66行-第3欄第32行, 図1A	1-8
A	JP 2018-078391 A (富士通株式会社) 17.05.2018 (2018-05-17) 段落[0067], 図12	1-8

☐ C欄の続きにも文献が列挙されている。

☑ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
“A” 特に関連のある文献ではなく、一般的技術水準を示すもの
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
“O” 口頭による開示、使用、展示等に言及する文献
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
“Y” 特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
“&” 同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
31.01.2022	08.02.2022

名称及びあて先

日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目４番３号

権限のある職員（特許庁審査官）

竹内　亨 5W 8388

電話番号 03-3581-1101 内線 3576

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/JP2021/046503

引用文献	公表日	パテントファミリー文献	公表日
WO 2019/159246 A1	22.08.2019	US 2020/0350886 A1 段落[0097]-[0112], 図4 EP 3742606 A1	
US 9093984 B1	28.07.2015	（ファミリーなし）	
JP 2018-078391 A	17.05.2018	US 2018/0131338 A1 段落[0086], 図12	