

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.  
H01L 21/00 (2006.01)



# [12] 发明专利说明书

专利号 ZL 200510008258.7

[45] 授权公告日 2008 年 4 月 30 日

[11] 授权公告号 CN 100385615C

[22] 申请日 2005.2.7

[21] 申请号 200510008258.7

[30] 优先权

[32] 2004.7.23 [33] US [31] 10/710,608

[73] 专利权人 国际商业机器公司

地址 美国纽约

[72] 发明人 程慷果 拉马查恩德拉·德瓦卡鲁尼

[56] 参考文献

US6483171B1 2002.11.19

US6228694B1 2001.5.8

US20010003364A1 2001.6.14

审查员 陈 凯

[74] 专利代理机构 中国国际贸易促进委员会专利  
商标事务所

代理人 王永刚

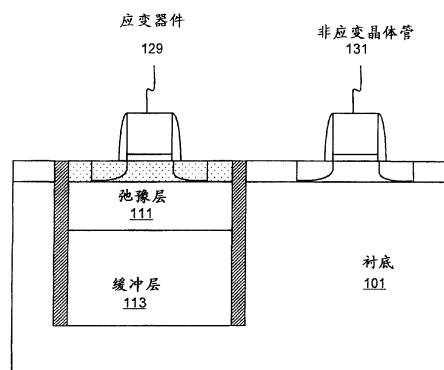
权利要求书 6 页 说明书 15 页 附图 39 页

[54] 发明名称

图形化应变的半导体衬底和器件

[57] 摘要

公开了一种方法，它包括在衬底上形成应变材料和弛豫材料的图形；在应变材料中形成应变器件；以及在弛豫材料中形成非应变器件。在一个实施方案中，应变材料是处于拉伸或压缩状态的硅 (Si)，而弛豫材料是处于正常状态的 Si。硅锗 (SiGe)、碳化硅 (SiC)、或相似材料的缓冲层被形成在衬底上，且具有与衬底的晶格常数/结构失配。SiGe、SiC、或相似材料的弛豫层被形成在缓冲层上，并使应变材料处于拉伸或压缩状态。在另一实施方案中，掺碳的硅或掺锗的硅被用来形成应变材料。此结构包括其上图形化有应变材料和非应变材料的多层衬底。



1. 一种方法，它包含：

在衬底上形成应变材料和弛豫材料的图形；

在应变材料中形成应变器件；以及

在弛豫材料中形成非应变器件。

2. 权利要求 1 的方法，其中，在衬底上形成应变材料和弛豫材料的图形的步骤还包含：

在衬底中形成凹陷，此凹陷具有侧壁；

在凹陷中形成缓冲层，它具有与衬底的晶格常数/结构失配；

在缓冲层上形成弛豫层；

在弛豫层上形成应变材料并在衬底上形成弛豫材料，其中，弛豫层具有与应变材料的晶格常数/结构失配。

3. 权利要求 2 的方法，还包含在形成缓冲层之前，在侧壁上形成绝缘层。

4. 权利要求 2 的方法，其中，弛豫层和缓冲层各选自碳化硅；硅锗； $\text{Al}_{X1}\text{Ga}_{X2}\text{In}_{X3}\text{As}_{Y1}\text{P}_{Y2}\text{N}_{Y3}\text{Sb}_{Y4}$ ，其中， $X1$ 、 $X2$ 、 $X3$ 、 $Y1$ 、 $Y2$ 、 $Y3$ 、 $Y4$  表示各大于或等于 0 的相对比例，且  $X1+X2+X3+Y1+Y2+Y3+Y4=1$ ，1 是总的相对克分子量；以及  $\text{Zn}_{A1}\text{Cd}_{A2}\text{Se}_{B1}\text{Te}_{B2}$ ，其中， $A1$ 、 $A2$ 、 $B1$ 、 $B2$  是各大于或等于 0 的相对比例，且  $A1+A2+B1+B2=1$ ，1 是总的相对克分子量。

5. 权利要求 2 的方法，其中，应变材料和弛豫材料各选自以下材料之一：硅；碳化硅；硅锗； $\text{Al}_{X1}\text{Ga}_{X2}\text{In}_{X3}\text{As}_{Y1}\text{P}_{Y2}\text{N}_{Y3}\text{Sb}_{Y4}$ ，其中， $X1$ 、 $X2$ 、 $X3$ 、 $Y1$ 、 $Y2$ 、 $Y3$ 、 $Y4$  表示各大于或等于 0 的相对比例，且  $X1+X2+X3+Y1+Y2+Y3+Y4=1$ ；以及  $\text{Zn}_{A1}\text{Cd}_{A2}\text{Se}_{B1}\text{Te}_{B2}$ ，其中， $A1$ 、 $A2$ 、 $B1$ 、 $B2$  是各大于或等于 0 的相对比例，且  $A1+A2+B1+B2=1$ 。

6. 权利要求 2 的方法，其中，形成缓冲层的步骤还包含：

外延生长多个形成缓冲层的材料层，使形成缓冲层的材料在衬底附近具有本底浓度，并在弛豫层附近具有提高了的基准浓度。

7. 权利要求 6 的方法, 其中, 形成弛豫层的步骤还包含:

外延生长多个形成弛豫层的材料层, 使形成弛豫层的材料在缓冲层附近具有第二本底浓度, 此第二本底浓度大致等于缓冲层材料的基准浓度。

8. 权利要求 1 的方法, 其中, 在衬底上形成应变材料和弛豫材料的图形的步骤还包含:

在衬底上形成缓冲层, 此缓冲层具有与衬底的晶格常数/结构失配;

在缓冲层上形成弛豫层;

形成穿过弛豫层和缓冲层的凹陷, 此凹陷具有侧壁;

在凹陷中形成弛豫材料; 以及

在凹陷范围以外的弛豫层上形成应变材料, 此应变材料具有与弛豫层的晶格常数/结构失配。

9. 权利要求 8 的方法, 还包含在凹陷中形成弛豫层之前, 在侧壁上形成绝缘层。

10. 权利要求 8 的方法, 其中, 弛豫层和缓冲层选自碳化硅; 硅锗;  $\text{Al}_{X1}\text{Ga}_{X2}\text{In}_{X3}\text{As}_{Y1}\text{P}_{Y2}\text{N}_{Y3}\text{Sb}_{Y4}$ , 其中,  $X1$ 、 $X2$ 、 $X3$ 、 $Y1$ 、 $Y2$ 、 $Y3$ 、 $Y4$  表示各大于或等于 0 的相对比例, 且  $X1+X2+X3+Y1+Y2+Y3+Y4=1$ ; 以及  $\text{Zn}_{A1}\text{Cd}_{A2}\text{Se}_{B1}\text{Te}_{B2}$ , 其中,  $A1$ 、 $A2$ 、 $B1$ 、 $B2$  是各大于或等于 0 的相对比例, 且  $A1+A2+B1+B2=1$ 。

11. 权利要求 8 的方法, 其中, 形成缓冲层的步骤还包含外延生长多个形成缓冲层的材料层, 使形成缓冲层的材料在衬底附近具有本底浓度, 并在弛豫层附近具有提高了的基准浓度。

12. 权利要求 11 的方法, 其中, 形成弛豫层的步骤还包含外延生长多个形成弛豫层的材料层, 使形成弛豫层的材料在缓冲层附近具有第二本底浓度, 此第二本底浓度大致等于缓冲层材料的基准浓度。

13. 权利要求 1 的方法, 其中, 应变材料由掺碳的硅或掺锗的硅组成。

14. 权利要求 1 的方法, 其中, 应变材料是掺碳或掺锗的半导体

材料。

15. 一种用来形成电子器件的方法，此方法包含：

形成与部分衬底接触的缓冲层，此缓冲层具有与衬底的晶格常数/结构失配；

在缓冲层上形成弛豫层；

在弛豫层的顶部表面上形成应变材料，此弛豫层使应变材料处于拉伸或压缩状态的其中之一；

对应变材料附近的非应变材料进行图形化；

在应变材料中形成应变器件；以及

在非应变材料中形成非应变器件。

16. 权利要求 15 的方法，其中，弛豫层包含具有与应变材料的晶格常数/结构失配的材料。

17. 权利要求 15 的方法，其中，缓冲层选自碳化硅；硅锗； $\text{Al}_{X1}\text{Ga}_{X2}\text{In}_{X3}\text{As}_{Y1}\text{P}_{Y2}\text{N}_{Y3}\text{Sb}_{Y4}$ ，其中， $X1$ 、 $X2$ 、 $X3$ 、 $Y1$ 、 $Y2$ 、 $Y3$ 、 $Y4$  表示各大于或等于 0 的相对比例，且  $X1+X2+X3+Y1+Y2+Y3+Y4=1$ ；以及  $\text{Zn}_{A1}\text{Cd}_{A2}\text{Se}_{B1}\text{Te}_{B2}$ ，其中， $A1$ 、 $A2$ 、 $B1$ 、 $B2$  是各大于或等于 0 的相对比例，且  $A1+A2+B1+B2=1$ 。

18. 权利要求 15 的方法，其中，形成缓冲层的步骤还包含外延生长多个形成缓冲层的材料层，使形成缓冲层的材料在衬底附近具有本底浓度，并在弛豫层附近具有提高了的基准浓度。

19. 权利要求 15 的方法，其中，弛豫层选自碳化硅；硅锗； $\text{Al}_{X1}\text{Ga}_{X2}\text{In}_{X3}\text{As}_{Y1}\text{P}_{Y2}\text{N}_{Y3}\text{Sb}_{Y4}$ ，其中， $X1$ 、 $X2$ 、 $X3$ 、 $Y1$ 、 $Y2$ 、 $Y3$ 、 $Y4$  表示各大于或等于 0 的相对比例，且  $X1+X2+X3+Y1+Y2+Y3+Y4=1$ ；以及  $\text{Zn}_{A1}\text{Cd}_{A2}\text{Se}_{B1}\text{Te}_{B2}$ ，其中， $A1$ 、 $A2$ 、 $B1$ 、 $B2$  是各大于或等于 0 的相对比例，且  $A1+A2+B1+B2=1$ 。

20. 一种电器件，它包含：

形成在衬底上的应变材料和弛豫材料的图形；

形成在衬底上且具有与衬底的晶格常数/结构失配的缓冲层；

形成在缓冲层上的弛豫层，此弛豫层的顶部表面使应变材料处于

拉伸状态或压缩状态的其中之一;

形成在应变材料中的应变器件; 以及

形成在弛豫材料中的非应变器件,

其中, 弛豫层包含具有与应变材料的晶格常数/结构失配的材料,

其中, 形成缓冲层的材料的浓度从衬底附近的本底浓度提高到弛豫层附近的基准浓度。

21. 权利要求 20 的电器件, 还包含形成在衬底中且包围缓冲层的凹陷, 此凹陷具有侧壁。

22. 权利要求 21 的电器件, 还包含形成在侧壁上的绝缘层。

23. 权利要求 20 的电器件, 其中, 弛豫层和缓冲层选自碳化硅; 硅锗;  $\text{Al}_{\text{X1}}\text{Ga}_{\text{X2}}\text{In}_{\text{X3}}\text{As}_{\text{Y1}}\text{P}_{\text{Y2}}\text{N}_{\text{Y3}}\text{Sb}_{\text{Y4}}$ , 其中,  $\text{X1}$ 、 $\text{X2}$ 、 $\text{X3}$ 、 $\text{Y1}$ 、 $\text{Y2}$ 、 $\text{Y3}$ 、 $\text{Y4}$  表示各大于或等于 0 的相对比例, 且  $\text{X1}+\text{X2}+\text{X3}+\text{Y1}+\text{Y2}+\text{Y3}+\text{Y4}=1$ ; 以及  $\text{Zn}_{\text{A1}}\text{Cd}_{\text{A2}}\text{Se}_{\text{B1}}\text{Te}_{\text{B2}}$ , 其中,  $\text{A1}$ 、 $\text{A2}$ 、 $\text{B1}$ 、 $\text{B2}$  是各大于或等于 0 的相对比例, 且  $\text{A1}+\text{A2}+\text{B1}+\text{B2}=1$ 。

24. 权利要求 20 的电器件, 其中, 形成弛豫层的材料在缓冲层附近具有第二本底浓度, 此第二本底浓度大致等于基准浓度。

25. 权利要求 22 的电器件, 其中, 形成绝缘层的材料是氧化物和氮化物之一。

26. 权利要求 22 的电器件, 其中, 部分衬底形成了弛豫材料并位于绝缘材料范围以外。

27. 权利要求 22 的电器件, 其中, 弛豫材料被形成在绝缘层范围内的凹陷中。

28. 权利要求 27 的电器件, 其中, 弛豫层和缓冲层各选自碳化硅; 硅锗;  $\text{Al}_{\text{X1}}\text{Ga}_{\text{X2}}\text{In}_{\text{X3}}\text{As}_{\text{Y1}}\text{P}_{\text{Y2}}\text{N}_{\text{Y3}}\text{Sb}_{\text{Y4}}$ , 其中,  $\text{X1}$ 、 $\text{X2}$ 、 $\text{X3}$ 、 $\text{Y1}$ 、 $\text{Y2}$ 、 $\text{Y3}$ 、 $\text{Y4}$  表示各大于或等于 0 的相对比例, 且  $\text{X1}+\text{X2}+\text{X3}+\text{Y1}+\text{Y2}+\text{Y3}+\text{Y4}=1$ ; 以及  $\text{Zn}_{\text{A1}}\text{Cd}_{\text{A2}}\text{Se}_{\text{B1}}\text{Te}_{\text{B2}}$ , 其中,  $\text{A1}$ 、 $\text{A2}$ 、 $\text{B1}$ 、 $\text{B2}$  是各大于或等于 0 的相对比例, 且  $\text{A1}+\text{A2}+\text{B1}+\text{B2}=1$ 。

29. 一种电器件, 它包含:

形成在衬底上的应变材料和弛豫材料的图形;

形成在第一应变材料中的第一器件；以及  
形成在弛豫材料中的第二器件。

30. 权利要求 29 的电器件，还包含：

形成为与部分衬底接触的缓冲层，此缓冲层具有与衬底的晶格常数/结构失配；

形成在缓冲层上的弛豫层；

形成在弛豫层顶部表面上的应变材料，其中，此弛豫层使应变材料处于拉伸或压缩状态的其中之一；以及

在应变材料附近的图形化的非应变材料。

31. 权利要求 29 的电器件，其中，形成在第一应变材料中的第一器件是逻辑器件，且形成在非应变材料中的第二器件是对缺陷敏感的器件。

32. 权利要求 30 的电器件，其中，弛豫材料包含具有与应变材料的晶格常数/结构失配的材料。

33. 权利要求 30 的电器件，其中，缓冲层和弛豫层选自碳化硅；硅锗； $\text{Al}_{X1}\text{Ga}_{X2}\text{In}_{X3}\text{As}_{Y1}\text{P}_{Y2}\text{N}_{Y3}\text{Sb}_{Y4}$ ，其中， $X1$ 、 $X2$ 、 $X3$ 、 $Y1$ 、 $Y2$ 、 $Y3$ 、 $Y4$  表示各大于或等于 0 的相对比例，且  $X1+X2+X3+Y1+Y2+Y3+Y4=1$ ；以及  $\text{Zn}_{A1}\text{Cd}_{A2}\text{Se}_{B1}\text{Te}_{B2}$ ，其中， $A1$ 、 $A2$ 、 $B1$ 、 $B2$  是各大于或等于 0 的相对比例，且  $A1+A2+B1+B2=1$ 。

34. 权利要求 30 的电器件，其中，形成缓冲层的材料的浓度从衬底附近的本底浓度提高到弛豫层附近的基准浓度。

35. 权利要求 30 的电器件，其中，应变材料是掺碳的半导体材料或掺锗的半导体材料。

36. 权利要求 29 的电器件，还包含：

形成在应变材料和非应变材料附近的第二应变材料，其中，应变材料处于拉伸或压缩状态，分别对应地，第二应变材料处于压缩或拉伸状态。

37. 权利要求 29 的电器件，其中，应变材料是掺碳的材料或掺锗的材料。

38. 权利要求 29 的电器件，还包含：

形成在衬底中的凹陷，此凹陷具有侧壁，其中，应变材料被形成在侧壁范围内，并且是掺碳的材料或掺锗的材料。

39. 权利要求 38 的电器件，其中，侧壁具有绝缘层，且应变材料被形成在绝缘层范围内。

## 图形化应变的半导体衬底和器件

### 技术领域

本发明涉及到制造具有改进了的器件性能的半导体器件的方法和结构，更确切地说是涉及到用来在衬底上形成应变的和非应变的区域的方法和结构。

### 背景技术

诸如埋置动态随机存取存储器（eDRAM）、专用集成电路（ASIC）、以及芯片上系统（SoC）之类的正在涌现的技术要求在同一个芯片上组合高性能的逻辑器件和存储器件。对于某些应用，还希望在同一个芯片上具有数字电路和模拟电路。已经表明，当逻辑器件形成在外延生长于已经弛豫的另一外延生长的硅锗（SiGe）层上的张应变的硅层上时，此逻辑器件表现出更好的性能。

完全弛豫的 SiGe 层具有比硅更大的晶格常数。于是，当硅层被外延生长在其上时，硅层就遵从弛豫的 SiGe 层的较大晶格常数，这就将物理双轴应力施加到形成在其上的硅层。施加到硅层的这一物理双轴应力提高了形成在应变硅中的逻辑器件的性能。

通过失配位错的形成而出现硅衬底上 SiGe 中的弛豫，当位错等距离分隔来释放应力时，这些位错就使衬底完全弛豫。此外，失配位错提供了衬底中硅的额外的半平面。这使 SiGe 层中的晶格常数能够找到其本征值。以这种方式，随着跨越 SiGe/硅界面的失配应变被适应，SiGe 的晶格常数变大。

这种方法的问题在于要求非常厚的多层 SiGe 层。此外，形成在 SiGe 层与外延硅层之间的失配位错是无序的，密度高度不均匀，且由于不容易控制的异质成核而相当不可控制。因此，施加到硅层的物理应力有不良倾向。在失配密度高的位置处，就在应变硅层中形成缺陷。

这些缺陷使器件各个端子短路，引起其它的泄漏问题。因此，虽然当逻辑器件被形成在应变硅区域中时，逻辑器件的性能得到了提高，但当诸如 DRAM 器件之类的对缺陷敏感的器件被形成在其中时，其性能就退化。当对缺陷敏感的器件被形成在应变区中时，生产成品率也受到损害。于是，对于在同一个芯片上制造应变的和非应变的硅区，以便能够在应变的硅区中制作高性能的逻辑器件并能够在非应变区中制作高性能的对缺陷敏感的器件的方法（及其衬底），就存在着需求。

### 发明内容

在本发明的一种情况下，提供了一种形成电子器件的方法。此方法包括在衬底上形成应变材料和非应变（弛豫）材料的图形。此方法还包括在应变材料中形成应变器件。此方法还包括在非应变材料中形成非应变器件。

在本发明的另一情况下，提供了另一种形成电子器件的方法。此方法包括形成与部分衬底接触的缓冲层。此缓冲层具有与衬底的晶格常数/结构失配。此方法还包括在缓冲层上形成弛豫层。此方法还包括在弛豫层的顶部表面上形成应变材料。此弛豫层使应变材料处于其中之一的拉伸或压缩状态。此方法还包括对应变材料附近的非应变（弛豫）材料进行图形化。

在本发明的再一种情况下，提供了一种电子器件。此器件包括衬底。此器件还包括形成在衬底上的应变材料和弛豫材料的图形。此器件还包括形成在应变材料中的应变器件。此器件还包括形成在弛豫材料中的非应变器件。

在本发明的另一情况下，提供了另一种电子器件。此电子器件包括形成为与部分衬底接触的缓冲层。

此缓冲层具有与衬底的晶格常数/结构失配。此器件还包括形成在缓冲层上的弛豫层。此器件还包括形成在弛豫层顶部表面上的应变材料。此弛豫层使应变材料处于其中之一的拉伸或压缩状态。此器件还包括在应变材料附近的图形化的非应变材料。

## 附图说明

图 1-4 示出了制造根据本发明第一实施方案的电子器件的各个制造步骤;

图 5 示出了根据本发明第一实施方案的电子器件的最终结构;

图 6-10 示出了制造根据本发明第二实施方案的电子器件的各个制造步骤;

图 11 示出了根据本发明第二实施方案的电子器件的最终结构;

图 12-15 示出了制造根据本发明第三实施方案的电子器件的各个制造步骤;

图 16 示出了根据本发明第三实施方案的电子器件的最终结构;

图 17-21 示出了制造根据本发明第四实施方案的电子器件的各个制造步骤;

图 22 示出了根据本发明第四实施方案的电子器件的最终结构;

图 23-26 示出了制造根据本发明第五实施方案的电子器件的各个制造步骤;

图 27 示出了根据本发明第五实施方案的电子器件的最终结构;

图 28-31 示出了制造根据本发明第六实施方案的电子器件的各个制造步骤;

图 32 示出了根据本发明第六实施方案的电子器件的最终结构;

图 33 是用图 1-32 所示方法和材料的组合而形成的根据本发明第七实施方案的电子器件的剖面图;

图 34 是流程图, 表示了制造图 1-5 所示的电子器件的各个制造步骤;

图 35 是流程图, 表示了制造图 6-11 所示的电子器件的各个制造步骤;

图 36 是流程图, 表示了制造图 12-16 所示的电子器件的各个制造步骤;

图 37 是流程图, 表示了制造图 17-22 所示的电子器件的各个制

造步骤;

图 38 是流程图, 表示了制造图 23-27 所示的电子器件的各个制造步骤;

图 39 是流程图, 表示了制造图 28-32 所示的电子器件的各个制造步骤。

### 具体实施方式

本发明的目标是一种电子、数字、半导体、或其它的器件, 它具有其上形成了应变材料和非应变 (亦即弛豫) 材料的图形的衬底。应变材料可以处于与下方弛豫材料层的晶格常数/结构差异所造成的拉伸或压缩中。弛豫材料又被形成在与部分衬底接触的缓冲层上。

形成缓冲层的材料的浓度在整个层中变化, 并具有与形成衬底的材料晶格常数/结构失配。由于形成缓冲层的材料的浓度随着缓冲层从衬底的延伸而增大, 故通常由晶格失配引起的缺陷最终被消除。在缓冲层上形成弛豫层, 将缺陷进一步降低和/或消除到这样一种程度, 以至于应变材料最终无缺陷。应变材料中缺陷的大幅度减少或消除, 使形成在其中的电子器件或数字器件能够非常快速而有效地运行。故还使得诸如动态随机存取存储器 (DRAM) 之类的器件能够被形成在相邻的弛豫材料中, 因为这种器件通常对缺陷非常敏感。于是, 本发明的各个实施方案允许在同一个衬底上并列形成应变的逻辑器件和非应变的存储器件。

现在参照图 1-5, 示出了部分电子器件 100 的剖面。“电子器件”指的是电子、电机械、半导体、数字、或相似的器件。说明性的电子器件类型包括但不限于晶体管、电容器、电阻器、逻辑器件、存储器件、计算机处理器、记录线、通道、半导体晶片、计算机芯片、专用集成电路 (ASIC)、芯片上系统 (SoC) 等。如图 1 所示, 电子器件 100 包括覆盖有衬垫层 103 的衬底 101。

衬底 101 由例如硅 (Si) 的适当材料组成。其它适当变通的衬底类型包括锗 (Ge)、硅锗 (SiGe)、碳化硅 (SiC)、以及主要由具

有下列公式所定义的组分的一种或多种化合物半导体组成的材料： $\text{Al}_{X1}\text{Ga}_{X2}\text{In}_{X3}\text{As}_{Y1}\text{P}_{Y2}\text{N}_{Y3}\text{Sb}_{Y4}$ ，其中， $X1$ 、 $X2$ 、 $X3$ 、 $Y1$ 、 $Y2$ 、 $Y3$ 、 $Y4$ 表示各大于或等于0的相对比例，且 $X1+X2+X3+Y1+Y2+Y3+Y4=1$ （1是总的相对克分子量）。其它适当的衬底的组分为 $\text{Zn}_{A1}\text{Cd}_{A2}\text{Se}_{B1}\text{Te}_{B2}$ ，其中， $A1$ 、 $A2$ 、 $B1$ 、 $B2$ 表示各大于或等于0的相对比例，且 $A1+A2+B1+B2=1$ （1是总的相对克分子量）。或者，衬底具有绝缘体上半导体类型的结构，例如绝缘体上硅（SOI）衬底。在一个实施方案中，衬底的厚度接近本技术领域熟知的标准半导体晶片的厚度。

衬垫层103用来防止直接位于其下方的各个层被任何后续工艺清除。如下面所述，借助于在衬垫层中选择性地图形化窗口，能够形成穿过所有或部分下方衬底层的凹陷。此外，衬垫层的使用使得能够外延生长（以及淀积）具体的材料，例如Si、Ge、SiGe、SiC，主要由具有下列公式所定义的组分的一种或多种化合物半导体组成的材料： $\text{Al}_{X1}\text{Ga}_{X2}\text{In}_{X3}\text{As}_{Y1}\text{P}_{Y2}\text{N}_{Y3}\text{Sb}_{Y4}$ ，其中， $X1$ 、 $X2$ 、 $X3$ 、 $Y1$ 、 $Y2$ 、 $Y3$ 、 $Y4$ 表示各大于或等于0的相对比例，且 $X1+X2+X3+Y1+Y2+Y3+Y4=1$ （1是总的相对克分子量），以及组分为 $\text{Zn}_{A1}\text{Cd}_{A2}\text{Se}_{B1}\text{Te}_{B2}$ 的材料，其中， $A1$ 、 $A2$ 、 $B1$ 、 $B2$ 表示各大于或等于0的相对比例，且 $A1+A2+B1+B2=1$ （1是总的相对克分子量）。这些示例性材料中的每一种可以被应用于此处所述的所有实施方案。

形成衬垫层103的材料将依赖于所用工艺的类型而变化。示例性的衬垫层材料包括但不限于氮化硅和/或氧化硅。但本技术领域的熟练人员可以容易地理解能够用来形成衬垫层的其它材料类型。示例性地说，当希望形成深度约为2.0微米的凹陷时，衬垫层的总厚度约为0.2微米。此示例性厚度可以应用于此处所述的所有实施方案。

在图2中，衬底101被示为其中形成有用反应离子刻蚀或干法腐蚀工艺形成的凹陷105。凹陷105的准确宽度不是关键的，但深度被形成在大约1.0-3.0微米的范围内。示例性宽度约为100微米。这些示例性凹陷测量结果可以被应用于此处公开的所有实施方案。然后，用

本技术领域所知的任何适当的淀积或生长工艺，将氧化物或氮化物材料组成的绝缘层 107 共形淀积在凹陷 105 的侧壁和底部 109 上。示例性地说，此绝缘层被形成为厚度约为 10-100 埃。此示例性测量结果可以应用于此处所述的所有实施方案。在形成绝缘层 107 之后，用诸如反应离子刻蚀（RIE）之类的各向异性腐蚀方法，从凹陷清除掉其横向部分而不是垂直部分。亦即，形成在凹陷底部 109 上的绝缘层 107 部分被清除；但形成在凹陷侧壁上的绝缘层仍然保留在其上。最终的结果是凹陷底部 109 被暴露，而凹陷侧壁被绝缘层 107 共形地覆盖。如所示，在此示例性实施方案中，绝缘层 107 还被形成在衬垫层的内部暴露边沿上。

在图 3 中，缓冲层 113 与衬底 101 形成晶格常数/结构失配 121，并用来约束失配引起的大多数位错。示例性地说，缓冲层的总厚度可以从小于大约 0.5 微米到大于大约 2.0 微米。弛豫层 111 被形成在缓冲层上，且保持相对无缺陷。示例性地说，弛豫层 111 的总厚度可以约为 0.2 微米。这些示例性厚度测量结果可以被应用于此处所述的所有实施方案。

缓冲层 113 和弛豫层 111 被外延生长在绝缘层 107 范围内的凹陷 105 中。首先形成缓冲层 113，然后形成弛豫层 111。缓冲层 113 的生长过程从凹陷底部开始，并逐层向上生长，直至达到约为 0.5-2.0 微米的总厚度。在一个实施方案中，硅锗（SiGe）被用来形成缓冲层 113 和弛豫层 111，以便随后形成弛豫层 111 顶部的具有张应力的诸如硅的半导体层。在一个变通实施方案中，碳化硅（SiC）可以被用来在随后形成的硅层中提供压应变。

可以用诸如化学气相淀积方法之类的常规技术来淀积或生长缓冲层 113 和弛豫层 111。例如，可以以常规方式使用超高真空化学气相淀积（UHVCVD）来生长器件质量的 SiGe 或 SiC 层。其它的常规技术包括快速热化学气相淀积（RTCVD）、低压化学气相淀积（LPCVD）、有限反应加工 CVD（LRPCVD）、以及分子束外延（MBE）。可以在形成 SiGe 或 SiC 之前，将薄的硅缓冲层（未示出）可选地形

成在凹陷 105 的内壁上。

以材料（例如 Ge）的浓度从凹陷底部附近的本底浓度 119 逐渐增大到缓冲层顶部表面附近的基准浓度 117 的方式，构成了多层缓冲层 113。浓度的这种逐渐增大可以以任何部进的方式进行，例如每个新的淀积或生长层增大 10%。但依赖于所希望的应用和所要求的成本，可以采用任何百分比的增大。理论上 Ge 的浓度范围可以从小于大约 1%的本底浓度到 100%的基准浓度。但由于成本和其它的理由，可以采用大约 40%的基准浓度。为了防止在弛豫层中出现缺陷，用来形成弛豫层 111 的材料的第二本底浓度 115（亦即若用 SiGe，则是 Ge 浓度）被选择来大致地匹配缓冲层 113 中的 Ge 基准浓度 117。

参照图 4，衬垫层被清除，且材料（例如硅，但不局限于硅）层被外延生长在绝缘层 107 范围内以形成应变材料 125 和不在绝缘层 107 的范围内以形成弛豫材料 123。材料 123 被描述为弛豫的（或非应变的），因为其晶格常数大致等于衬底 101 的晶格常数。材料 125 被描述为应变的，因为其晶格常数不同于用来形成弛豫层 111 的材料的晶格常数。因此，在应变材料 125 与缓冲层 113 的界面处出现晶格失配 127。依赖于用来形成弛豫层 111 的材料类型，应变材料 125 可以被置于拉伸状态或压缩状态的其中之一。示例性地说，当应变材料 125 由硅组成且弛豫层由 SiGe 组成时，应变材料 125 被张应变。或者，当应变材料 125 由硅组成且弛豫层 111 由 SiC 组成时，应变材料 125 被压应变。但由于各种材料的不同的晶格结构/常数会施加压应变或张应变，故可以采用任何二种不同的半导体材料。在一个实施方案中，应变材料 125 和弛豫材料 123 各具有从小于大约 20nm 到大于大约 100nm 的总厚度。这些示例性厚度可以被应用于此处所述的各种实施方案。

参照图 5，分别在应变材料 125 和弛豫材料 123 中形成应变器件 129 和非应变器件 131。示例性地说，应变器件 129 是一逻辑器件或第一晶体管；而非应变器件 131 是 DRAM 或第二晶体管。

现在参照图 6-11 来描述变通实施方案和制造方法。由于用来形

成图 6-11 的实施方案的材料、腐蚀方法、外延生长方法、以及淀积方法与上述的相同，故为了不使本发明的各种情况不必要地难以理解，故这些特点将更简单地加以描述。

在图 6 中示出了电子器件 100 的剖面。器件 100 包括被衬垫层 103 覆盖的衬底 101。如图 7 所示，凹陷 105 如上所述被腐蚀穿过衬垫层 103 进入到衬底 101 预定深度。然后，氧化物或氮化物绝缘层 107 被共形地涂敷在凹陷 105 内部。绝缘层 107 的底部然后被清除，留下粘合到凹陷侧壁的部分实际上原封不动。

图 8 示出了在绝缘层 107 的范围内的凹陷 105 中形成缓冲层 113 和弛豫层 111。如上所述，形成缓冲层的材料的浓度从本底浓度 119 变化到基准浓度 117。形成弛豫层 111 的第二本底浓度 115 被选择成大致匹配缓冲层 113 的基准浓度 117。如前面公开的那样，缓冲层 113 用来包含晶格失配 121 引起的位错。图 9 示出了在绝缘层 107 的范围内的凹陷 105 中，并在弛豫层 111 顶部上分立和选择性形成应变材料 125。如前面所公开的那样，用来形成弛豫层 111 的材料类型决定了是张力还是压力被施加到应变材料 125。

图 10 示出了衬垫层 103 的清除以及衬底 101 的后续整平。此图还示出了应变材料 125 与弛豫层 111 之间的晶格失配 127。用来清除衬垫层的工艺的类型依赖于用来形成这些层的材料的类型。例如，若氮化硅被用作衬垫层，则可以采用热磷酸 ( $\text{H}_3\text{PO}_4$ ) 的湿法腐蚀。所使用的整平方法的类型可以是任何适当的整平技术。例如，在一个实施方案中，可以采用化学机械抛光 (CMP)。在另一实施方案中，可以采用存在氢的高温回流工艺。

图 11 示出了在衬底 101 的应变材料 125 和非应变区中形成电子器件 129 和 131。在此实施方案中，处于绝缘层 107 的范围之外的衬底 101 部分构成了图 4 所示的弛豫材料 123。如前面所述，应变器件 129 可以示例性地是但不局限于逻辑器件或第一晶体管；非应变器件 131 可以示例性地是但不局限于 DRAM 或第二晶体管。

第三实施方案被示于图 12-16。图 12 示出了电子器件 100 (亦即

硅晶片)的剖面,此电子器件包括其上按上升顺序形成缓冲层 113、弛豫层 111、以及应变材料 125 的衬底 101。此图还示出了形成在衬底 101 与缓冲层下表面之间的晶格失配 121 以及形成在弛豫层 111 与应变材料 125 之间的晶格失配 127。可以以任何熟知的方式来生长或淀积这些层,在一个实施方案中,以最靠近应变层的缓冲层 113 具有较高的材料浓度,并逐渐减小浓度。这将消除或减少最终产品的缺陷形成。

图 13 示出了延伸穿过衬垫层 103、应变材料 125、弛豫层 111、以及缓冲层 113,但衬底 101 的顶部表面作为其底部的凹陷 105。

图 14 示出了绝缘层 107 在凹陷 105 侧壁上的形成。如前面所述,用淀积或生长工艺随之以腐蚀工艺来形成绝缘层 107。图 15 示出了在绝缘材料范围内的凹陷中选择性地外延生长在弛豫材料(例如硅)以完全填充凹陷。然后,衬垫层被清除,且衬底被整平成使应变材料 125、绝缘材料、以及弛豫材料 123 的暴露表面大致齐平。在此实施方案中,应变材料 125 在绝缘材料 107 的范围之外,而弛豫材料 123 在绝缘材料 107 的范围之内。亦即,弛豫材料被形成在凹陷内。

参照图 16,示出了应变材料 125 中应变器件 129 的形成以及弛豫材料 123 中非应变器件 131 的形成。如所示,应变器件 129 位于绝缘材料范围之外,而非应变器件位于绝缘材料范围之内。

图 17-22 示出了第四实施方案。图 17 示出了根据第四实施方案的电子器件 100 的剖面图。器件 100 包括其上形成 SiGe 缓冲层 113 的衬底 101。在一个变通实施方案中,也可以形成 SiC。也由 SiGe(或 SiC)组成的弛豫层 111 覆盖着缓冲层的顶部表面。缓冲层与硅衬底 101 之间的晶格失配在 2%或以下的示例性范围内。这意味着最下面的 SiGe 缓冲层的晶格常数不同于硅衬底的晶格常数大约 2%或以下。此同一个百分比也可以被应用于此处所公开的任何一个实施方案。

图 18 示出了延伸穿过衬垫层 103、弛豫层 111、以及缓冲层 113 以暴露硅衬底 101 的顶部表面的凹陷 105 的形成。如前面所述,图 19 示出了凹陷 105 侧壁上绝缘层 107 的形成以及凹陷中弛豫材料 123 的

形成。在图 20 中，衬垫层已经被清除，且弛豫层 111、绝缘层 107、以及弛豫材料 123 的顶部表面已经被整平。然后，如图 21 所示，外延生长硅层，以便覆盖整个被整平了的表面。

此工艺的结果是，弛豫层与硅层之间的晶格失配在硅上形成了张应变或压应变，从而产生应变材料 125。由于硅层另一部分与弛豫材料 123 (Si) 之间的晶格失配可忽略，故在凹陷 105 的范围内产生了弛豫的（非应变的）材料 124。虽然在此实施方案中绝缘层 107 不将应变材料 125 分隔于第二弛豫材料 124，但与由弛豫层 111 加载的应变相比，应变材料 125 与非应变材料 124 之间的横向应变是最小的。

图 22 示出了应变材料 125 中应变器件 129 的形成以及弛豫材料 124 中非应变器件 131 的形成。如前面所公开的那样，应变器件 129 可以是逻辑器件，而非应变器件可以是 DRAM。但也可以使用诸如晶体管 and 电容器之类的其它电子器件。

图 23-27 是电子器件 100 的剖面图，示出了用掺杂的硅在衬底 101 上形成应变材料 125。如图 23 所示，衬垫层 103 被形成在硅衬底 101 上。然后，如图 24 所示，凹陷 105 被腐蚀穿过衬垫层并进入到衬底 101 中从衬底 101 顶部表面算起大约 0.05-1 微米的示例性深度。然后，用化学气相淀积或其它熟知的工艺，将氧化物或氮化物材料组成的可选绝缘层 107 形成在凹陷 105 的侧壁和底部上。随之以腐蚀工艺，以便从凹陷 105 的底部清除绝缘层 107，应变材料 125 被外延生长在绝缘材料 107 范围内的凹陷中，直至应变材料的顶部表面大致与衬底 101 的顶部表面一致。应变层 125 的厚度小于所谓“临界厚度”。此临界厚度被定义为实际上不产生缺陷时的应变层最大厚度。示例性地说，应变材料 125 是掺碳的硅。但也可以采用其它的掺杂半导体材料。例如，借助于在硅衬底上形成掺锗的硅层，可以形成压应变层。

图 26 表明，已经如前面所述用干法腐蚀或湿法腐蚀方法腐蚀掉了衬垫层 103，且表明衬底 101 的顶部表面被整平到了与应变材料 125、绝缘层 107、以及衬底 101 的顶部表面大致齐平。以这种方式，应变材料 125 被选择性地形成在凹陷 105 中，并被绝缘层 107 分隔于衬底

101 的非应变区 126。如图 27 所示, 诸如逻辑器件的应变器件 129 被形成在应变材料 125 中, 而非应变器件 131 被形成在衬底 101 的非应变区 126 中。

图 28-32 是电子器件 100 的剖面图, 示出了用掺杂的硅在硅衬底 101 上形成另一个应变材料 125。在图 28 中, 为加工而准备了硅衬底 101。在图 29 中, 掺碳的应变材料 125 被外延生长在衬底 101 的顶部表面上。应变层 125 的厚度小于所谓“临界厚度”。此临界厚度被定义为实际上不产生缺陷时的应变层最大厚度。示例性地说, 应变材料 125 是掺碳的硅。但也可以采用其它的掺杂半导体材料。例如, 借助于在硅衬底上形成掺锗的硅层, 可以形成压应变层。

在图 30 中, 图形化的衬垫层 103 被形成在应变材料 125 上。利用腐蚀工艺, 以便清除未被衬垫层 103 覆盖的应变掺杂材料 125 区域, 非应变的硅衬底区域被暴露。

在图 31 中, 非应变(弛豫)材料 123 被外延生长在衬底 101 的暴露区域上, 生长至大致与应变层 125 相同的高度, 以便形成基本上平坦的顶部表面。由于在本实施方案中应变材料 125 非常薄(例如小于大约 100nm), 故非应变层 123 的外延生长是可选的。然后, 如图 32 所示, 衬垫层 103 被腐蚀掉, 且应变器件 129 被形成在应变材料 125 中。非应变器件 131 被形成在弛豫材料 123 中。或者, 若不采用弛豫材料 123, 则非应变器件 131 被形成在衬底 101 的非应变区中。由于二种材料经受的横向应变都显著地小于形成应变材料 125 的掺杂半导体材料所引起的应变, 故允许应变材料 125 与相邻的弛豫材料 123 接触仍然不成问题。示例性地说, 应变材料 125 是掺碳的硅。但也可以采用其它的掺杂半导体材料。例如, 借助于在硅衬底上形成掺锗的硅层, 可以形成压应变层。

图 33 是剖面图, 示出了分别具有张应变的、压应变的、以及非应变的材料 123、124、以及 123 的电子器件 100。如所示, 用上面讨论的各种技术的任何组合, 这些材料中的每一个被形成在衬底 101 的表面上。与分别由晶格失配 127A 和 127B 施加的垂直应变相比, 在各

个结 133 处经受的横向应变最小。或者，这些层也可以被绝缘材料分隔开。在一个实施方案中，张应变材料 125A 是形成在硅上的掺碳的硅层，而压应变材料 125B 是形成在硅上的掺锗的硅层。或者，张应变材料 125A 是形成在 SiGe 缓冲层（未示出）上的硅层，而压应变材料 125B 是形成在 SiC 缓冲层（未示出）上的硅层。虽然示例性地示为一个层，但如先前参照图 31 和 32 所述那样，弛豫材料 123 也可以是衬底 101 的弛豫的顶部表面。虽然示例性地示出了这些层具有相同的厚度，但它们的厚度不一定要相同。

应该理解的是，图 1-33 能够同样表示制造的方法。在任何情况下，图 34-39 示出了用来制造根据本发明各种情况的设备的各种方法。虽然此处参照顺序的参考号进行了描述，但各种方法的各个步骤可以按任何顺序来执行。可以用任何已知的制造方法来提供为形成凹陷而对各个层的清除、各个层的形成、以及其它的工艺。例如，示例性的制造工艺包括但不局限于化学气相淀积、超高真空化学气相淀积、反应离子刻蚀（RIE）、电解腐蚀、等离子体刻蚀、干法腐蚀等。离子刻蚀是一种借助于用高能离化粒子选择性地轰击固体或液体物质区域而清除不需要的材料的工艺。在微电子制造中常常使用的等离子体刻蚀在等离子体中产生反应性物质，然后用此反应性物质来选择性地清除不需要的材料。

图 34 是流程图，示出了根据本发明一个实施方案的制造电子器件 100 的一种示例性方法。在步骤 3401 中，凹陷被图形化并形成在被衬垫层覆盖的衬底中。在步骤 3403 中，绝缘层被可选地形成在凹陷的侧壁和底部上。在步骤 3405 中，部分绝缘层被从凹陷的底部清除，以便暴露部分衬底。在步骤 3407 中，缓冲层被形成在绝缘层范围内的凹陷中，此缓冲层具有与衬底的晶格常数/结构失配。在步骤 3409 中，随着缓冲层的形成，将形成缓冲层的材料的浓度从本底浓度提高到基准浓度。在步骤 3411 中，弛豫层被形成在缓冲层上。在步骤 3413 中，衬垫层被剥离。在步骤 3415 中，应变材料被形成在绝缘层范围内的弛豫层上，且非应变材料被形成在绝缘层范围以外的衬底部分上。在步

骤 3417 中, 应变器件被形成在应变材料中。在步骤 3419 中, 非应变器件被形成在弛豫材料中。在一个实施方案中, 形成弛豫层的材料在其底部表面附近具有第二基底浓度, 此第二基底浓度大致等于缓冲层顶部表面附近的基准浓度。

图 35 是流程图, 示出了根据本发明一个实施方案的制造电子器件 100 的一种示例性方法。在步骤 3501 中, 凹陷被图形化并形成在被衬垫层覆盖的衬底中。在步骤 3503 中, 绝缘层被形成在凹陷的侧壁和底部上。在步骤 3505 中, 部分绝缘层被从凹陷的底部清除, 以便暴露部分衬底。在步骤 3507 中, 缓冲层被形成在绝缘层范围内的凹陷中, 此缓冲层具有与衬底的晶格常数/结构失配。在步骤 3509 中, 随着缓冲层的形成, 将形成缓冲层的材料的浓度从本底浓度提高到基准浓度。在步骤 3511 中, 弛豫层被形成在缓冲层上。在步骤 3513 中, 应变材料被形成在绝缘层范围内的凹陷中的弛豫层上。在步骤 3515 中, 衬垫层被剥离。在步骤 3517 中, 衬底被整平。在步骤 3519 中, 应变器件被形成在应变材料中。在步骤 3521 中, 非应变器件被形成在弛豫材料中。在一个实施方案中, 形成弛豫层的材料在其底部表面附近具有第二本底浓度, 此第二基底浓度大致等于缓冲层顶部表面附近的基准浓度。

图 36 是流程图, 示出了根据本发明一个实施方案的制造电子器件 100 的一种示例性方法。在步骤 3601 中, 衬垫层被形成在应变材料上。在步骤 3603 中, 凹陷被图形化并形成成为穿过应变材料、穿过先前形成在其附近的弛豫层、以及穿过先前形成在弛豫层附近的缓冲层且与衬底接触。在步骤 3605 中, 绝缘层被形成在凹陷的侧壁和底部上。在步骤 3607 中, 绝缘层被从凹陷的底部清除。在步骤 3609 中, 弛豫材料被形成在绝缘材料范围内的凹陷中。在步骤 3611 中, 衬垫层被剥离。在步骤 3613 中, 衬底被整平。在步骤 3615 中, 应变器件被形成在应变材料中。在步骤 3617 中, 非应变器件被形成在弛豫材料中。

图 37 是流程图, 示出了根据本发明一个实施方案的制造电子器件 100 的一种示例性方法。在步骤 3701 中, 衬垫层被图形化并形成在

先前形成在缓冲层上的弛豫层上，此缓冲层是先前形成在衬底上的。在步骤 3703 中，凹陷被形成为穿过弛豫层和缓冲层。在步骤 3705 中，绝缘层被形成在凹陷的侧壁和底部上。在步骤 3707 中，部分绝缘层被从凹陷的底部清除，以便暴露部分衬底。在步骤 3709 中，弛豫材料被形成在绝缘材料范围内的凹陷中。在步骤 3711 中，衬垫层被剥离。在步骤 3713 中，衬底被整平。在步骤 3715 中，应变材料被形成在绝缘层范围以外的弛豫层上。在步骤 3717 中，弛豫材料被形成在绝缘层范围内的凹陷中。在步骤 3719 中，应变器件被形成在应变材料中。在步骤 3721 中，非应变器件被形成在弛豫材料中。

图 38 是流程图，示出了根据本发明一个实施方案的制造电子器件 100 的一种示例性方法。在步骤 3801 中，凹陷被图形化并形成在衬垫层覆盖的衬底中。在步骤 3803 中，绝缘层被形成在凹陷的侧壁和底部上。在步骤 3805 中，部分绝缘层被从凹陷的底部清除，以便暴露部分衬底。在步骤 3807 中，应变材料被选择性地外延生长在绝缘层范围内的凹陷中。在步骤 3809 中，衬垫层被剥离。在步骤 3811 中，应变器件被形成在应变材料中。在步骤 3813 中，非应变器件被形成在绝缘层范围以外的衬底弛豫区中。在此实施方案中，应变材料可以是掺碳的材料，例如但不限于掺碳的硅。或者，应变材料可以是掺锗的材料，例如但不限于掺锗的硅。

图 39 是流程图，示出了根据本发明一个实施方案的制造电子器件 100 的一种示例性方法。在步骤 3901 中，应变材料被形成在衬底上。在步骤 3903 中，衬垫层被形成在应变材料上。在步骤 3905 中，应变材料的选择区域被清除，以便暴露相应的衬底部分。在步骤 3907 中，弛豫材料被可选地生长在暴露的衬底上，大致与应变层的高度相同。在步骤 3909 中，衬垫层被剥离。在步骤 3911 中，应变器件被形成在应变材料中。在步骤 3913 中，非应变器件被形成在弛豫材料中。在此实施方案中，应变材料可以是掺碳的材料，例如但不限于掺碳的硅。

虽然本发明的各个实施方案已经被示于图 1-22 中作为熔融 SiGe 来形成张应变材料 125，但可以理解的是，诸如 SiC 之类的其它材料

可以代替其中希望形成压应变材料的 SiGe。此外，可以借助于在硅衬底上外延生长掺碳的硅来形成张应变材料 125。依赖于所希望的应用和所要求的成本，诸如磷化镓和砷化镓之类的其它材料也可以代替 SiGe。如此处所述，根据本发明实施方案制作的电子器件可以具有如图 4、15、21、26、31、33 示例性所述的在应变材料 125、125A、以及 125B 附近图形化的非应变（弛豫）材料 123、124、126。

虽然已经详细地描述了本发明的一些示例性实施方案，但本技术领域的熟练人员可以理解的是，可以在这些示例性实施方案中进行许多可能的修正和改变而仍然保持本发明的许多新颖特点和优点。

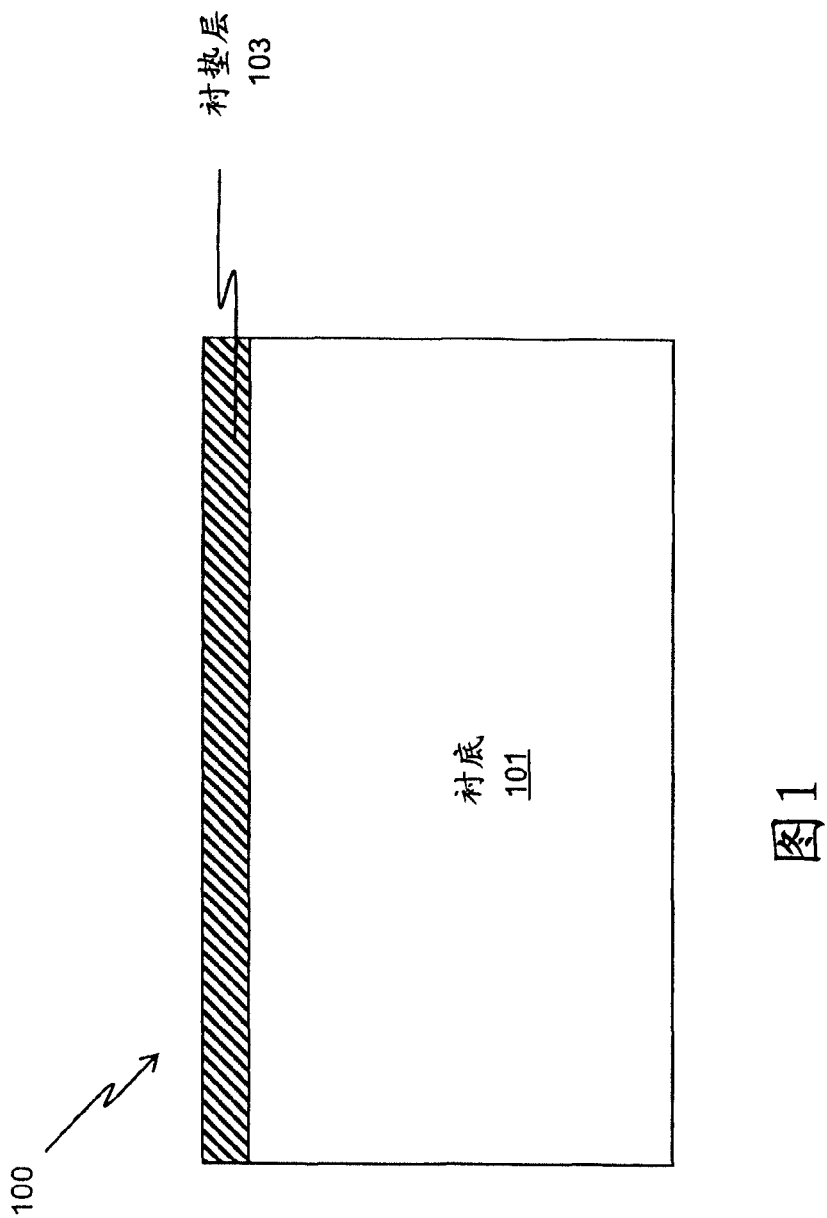
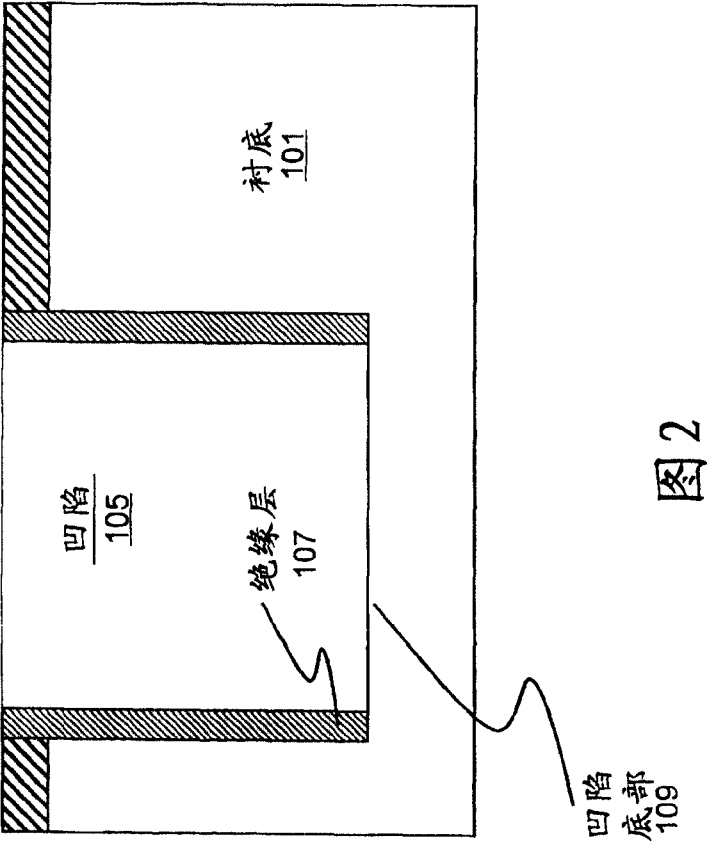


图1



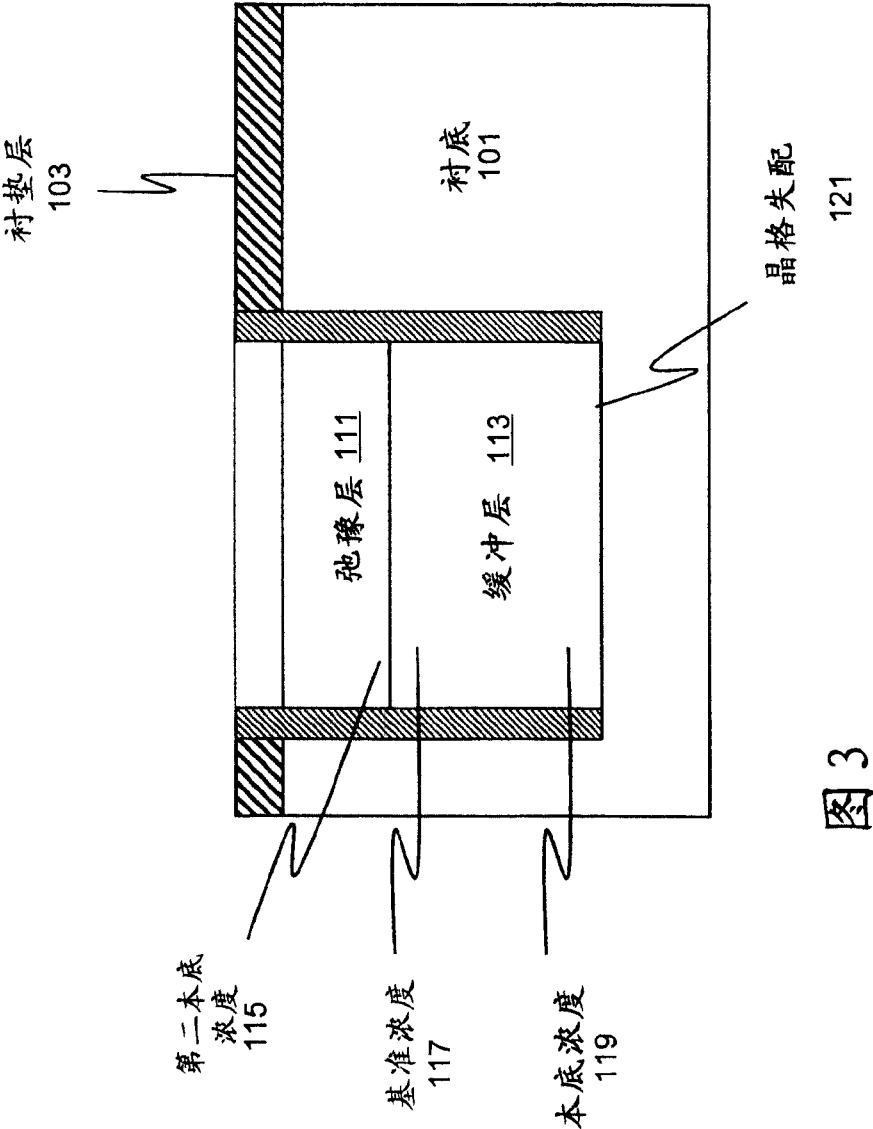


图3

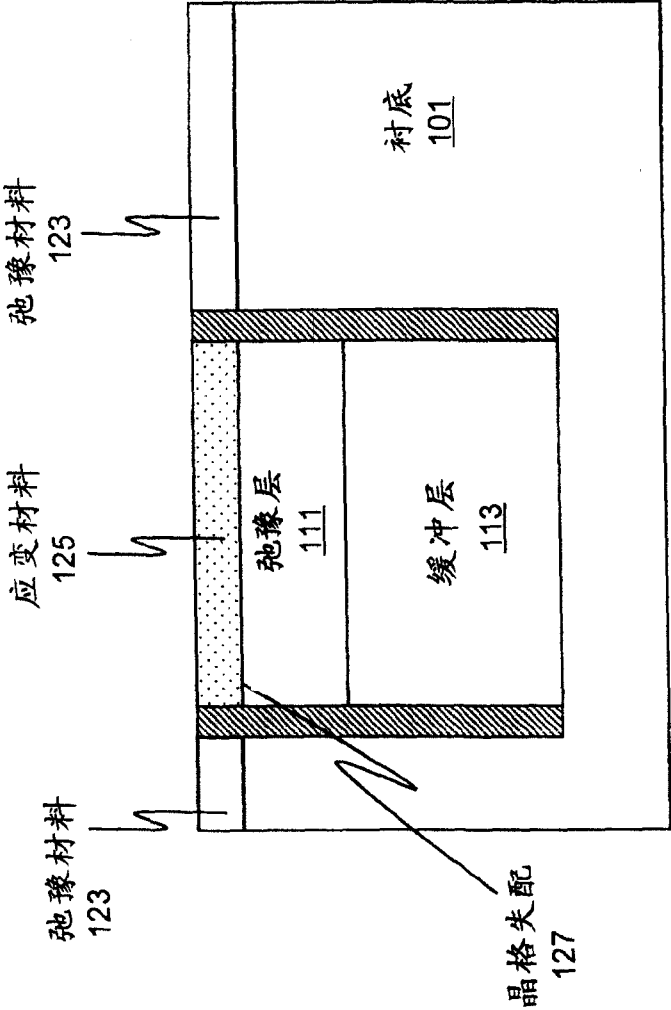


图4

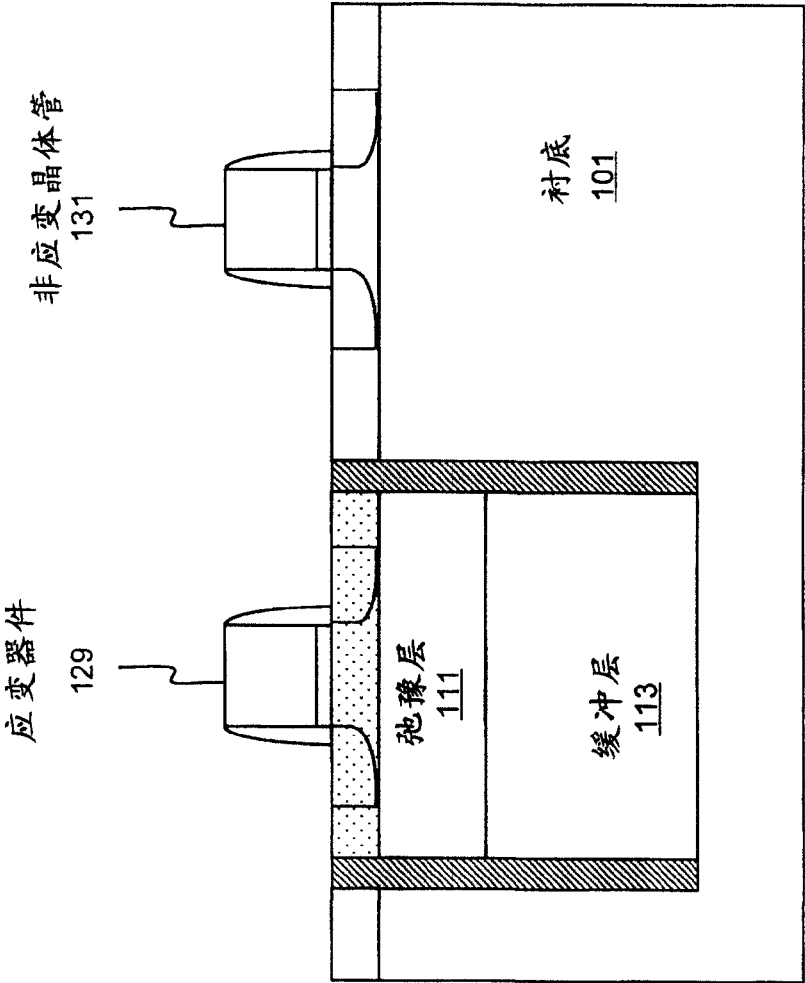


图5

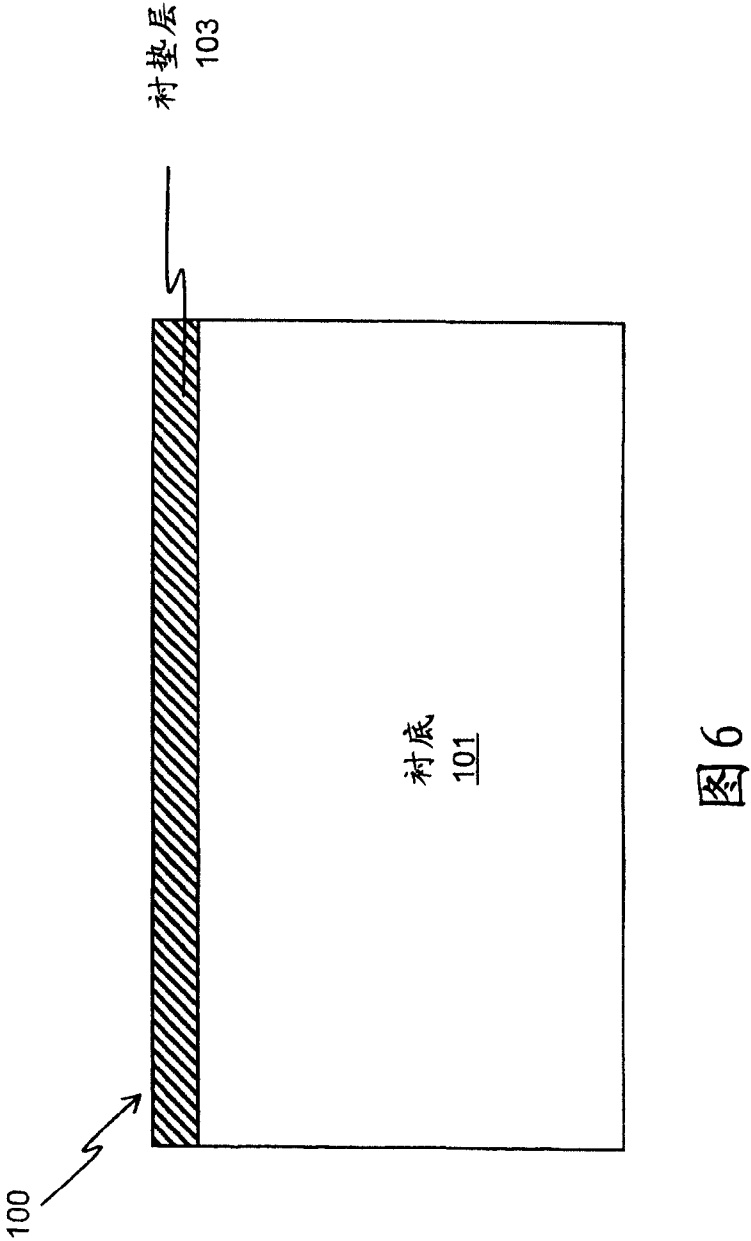


图6

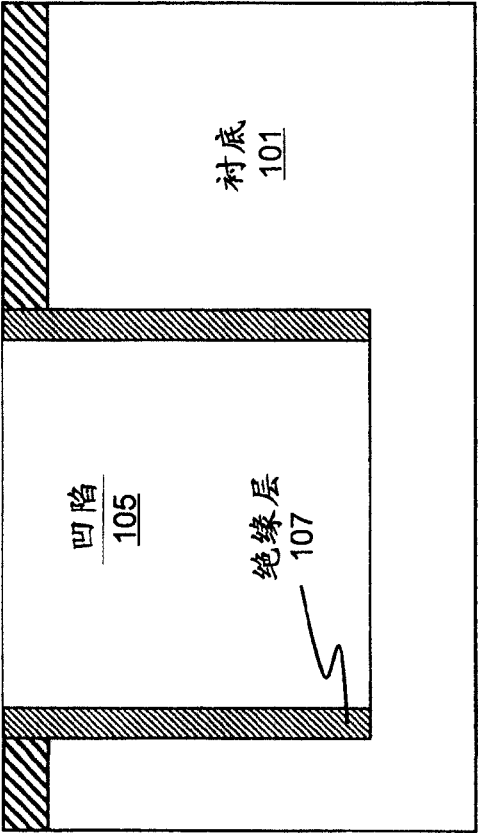
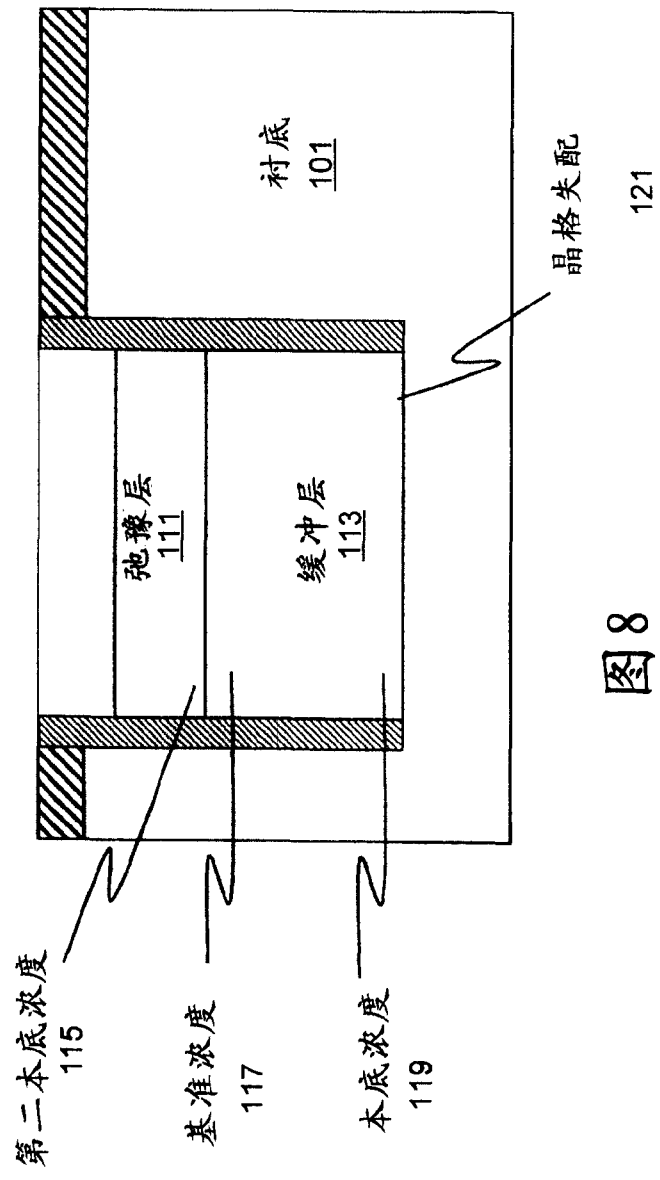


图7



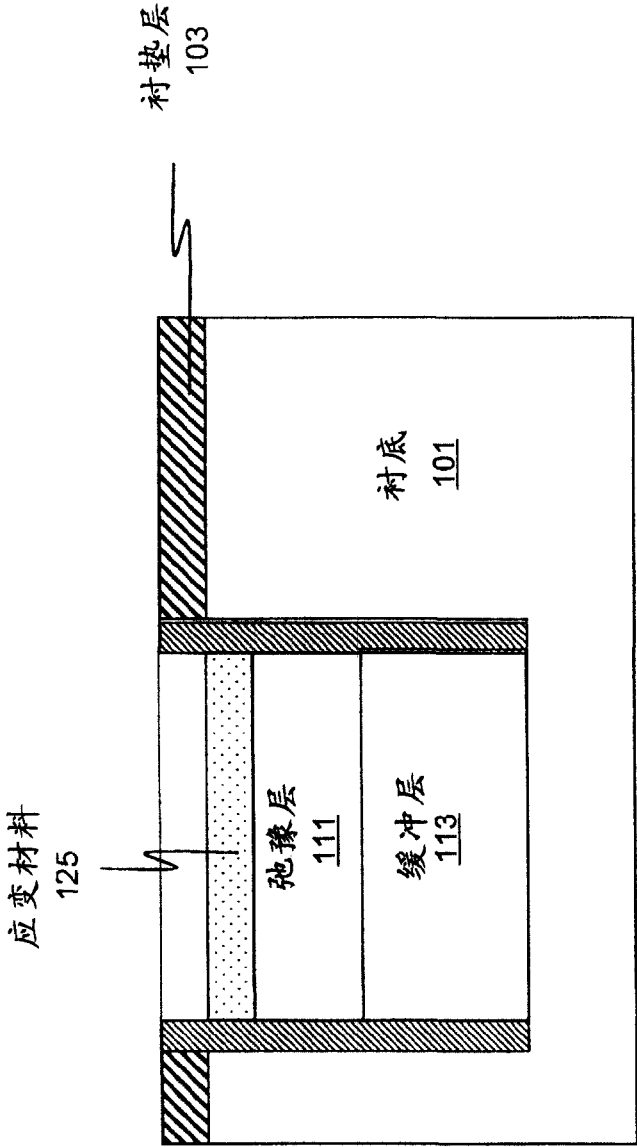


图9

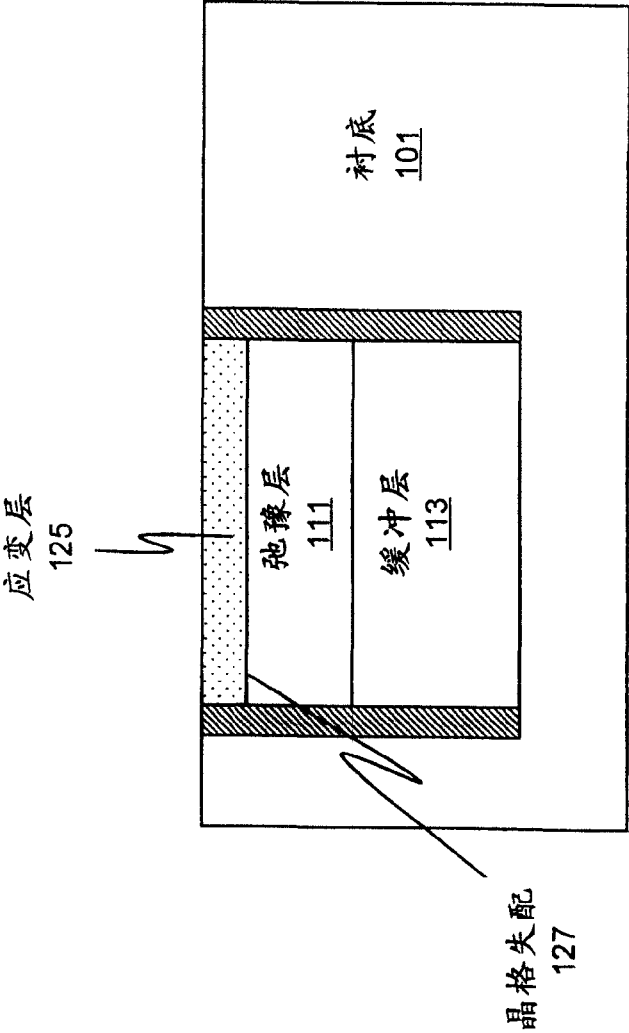


图10

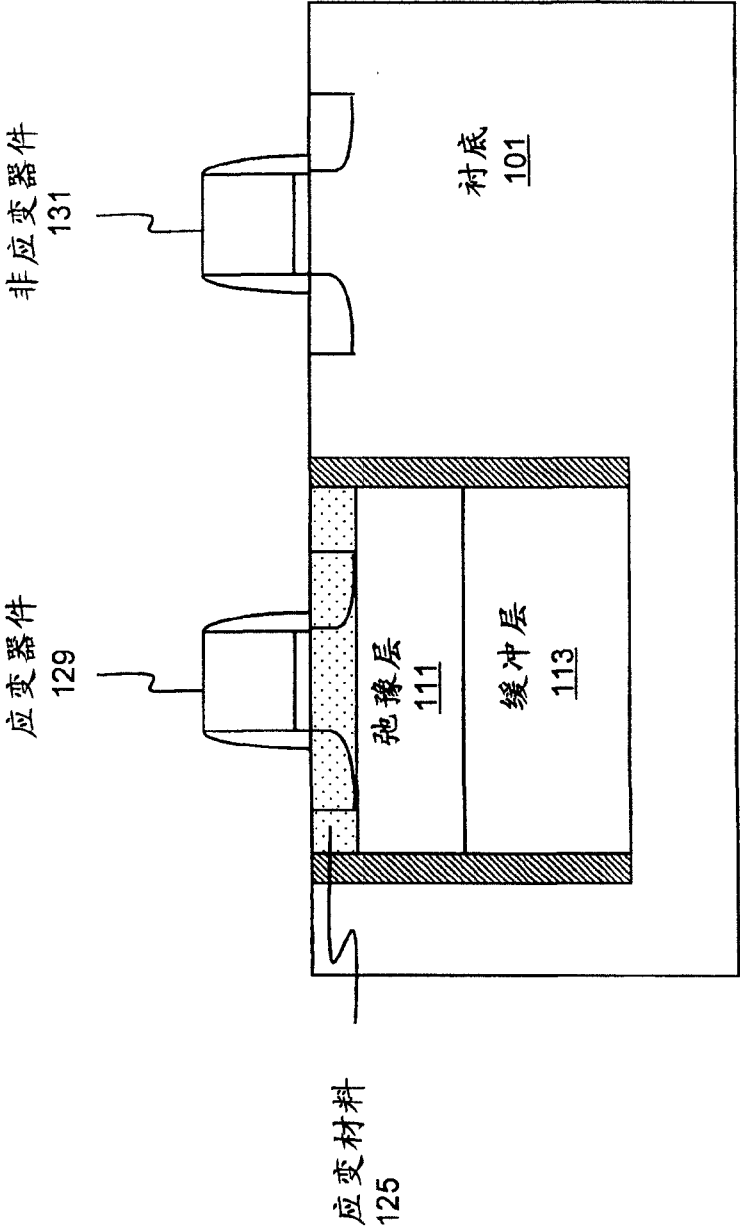


图11

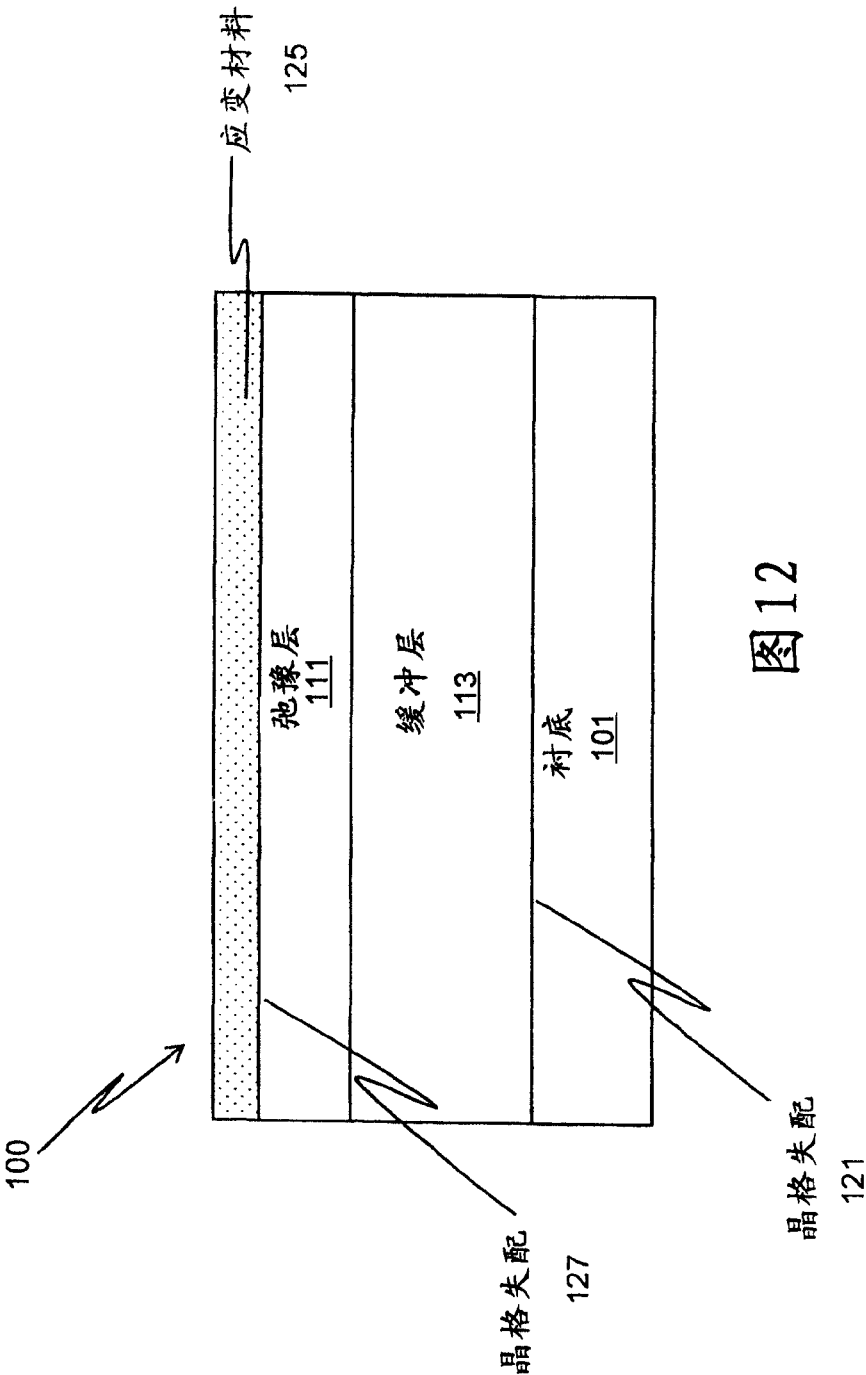


图12

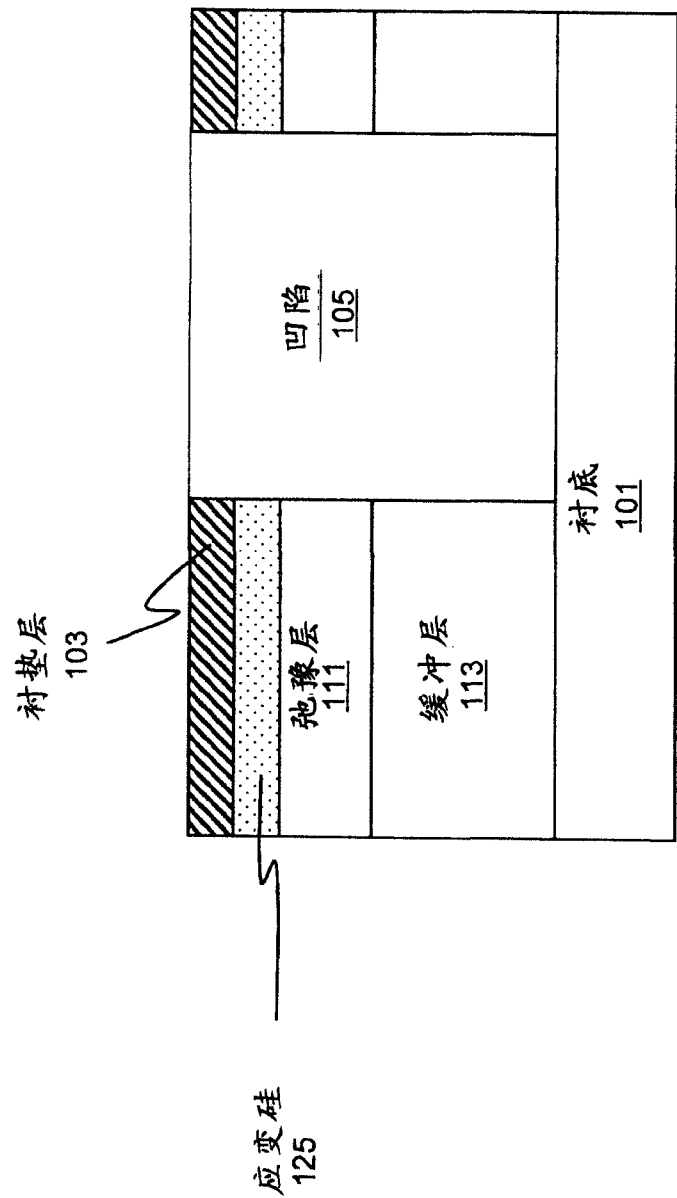


图13

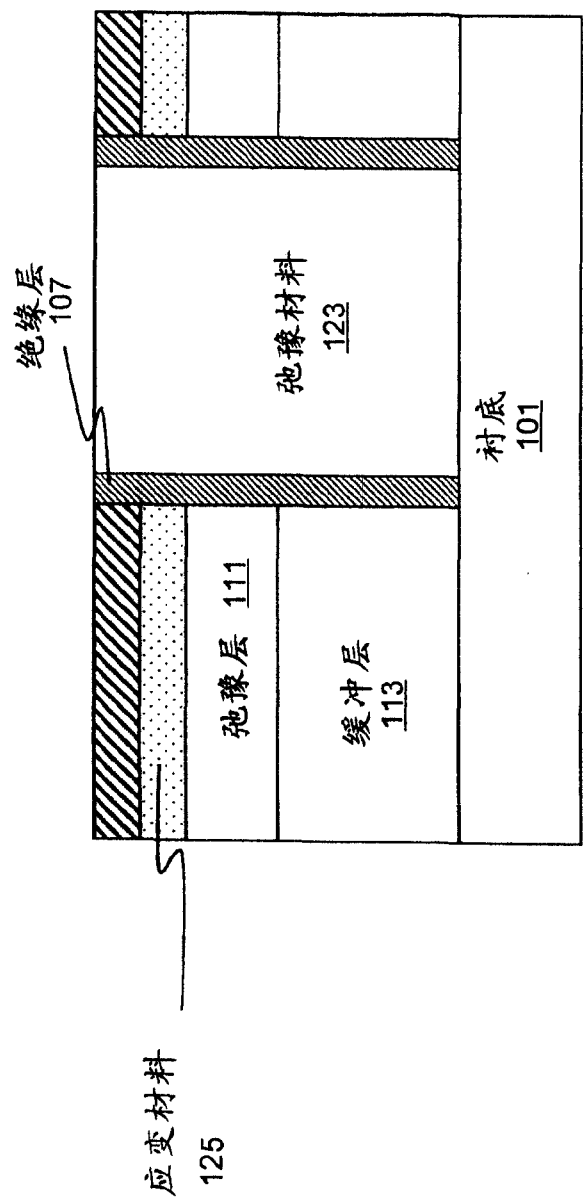


图14

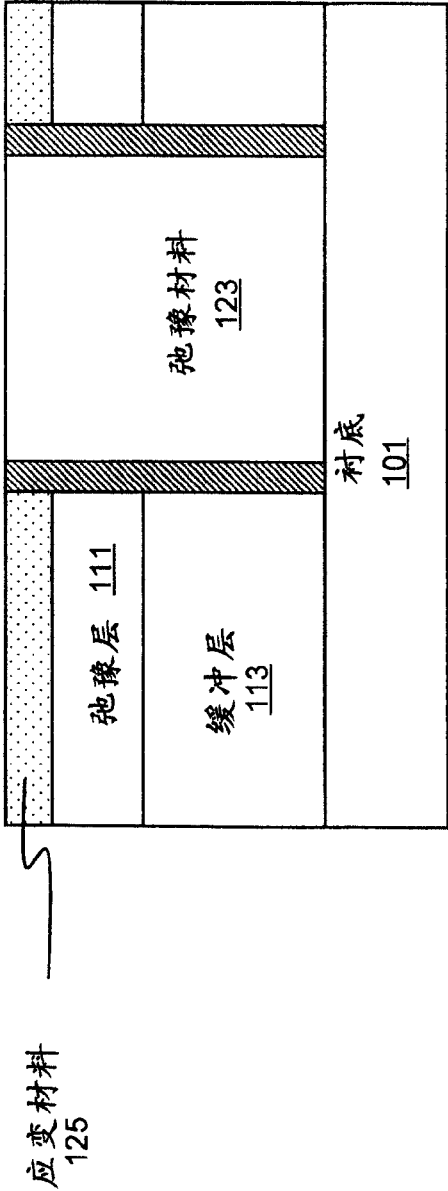


图15

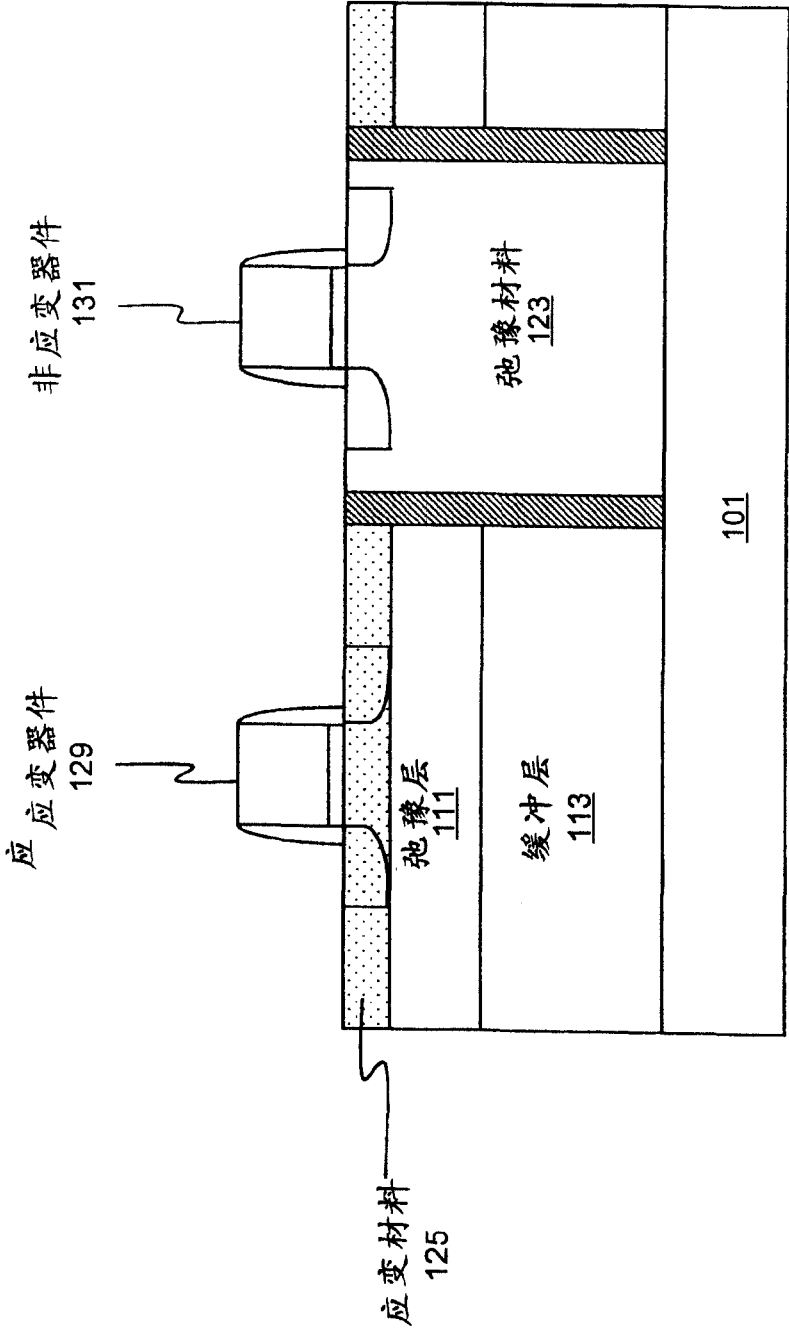


图16

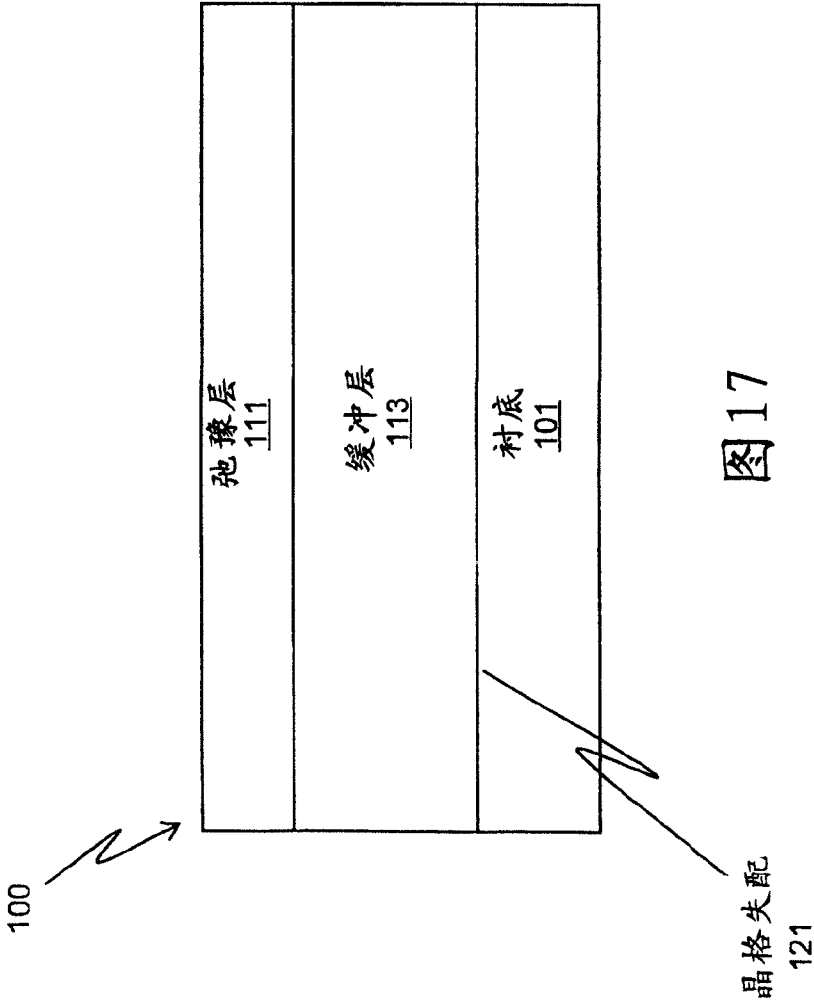


图17

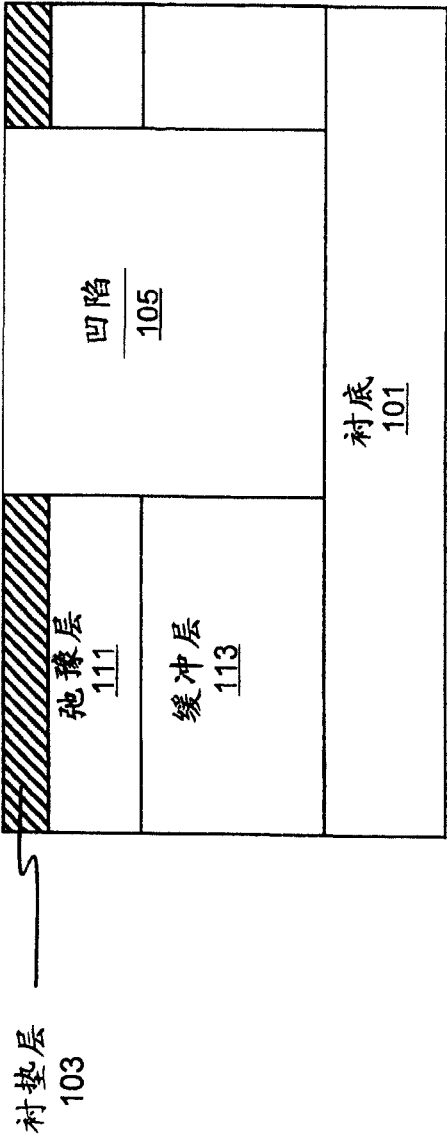


图18

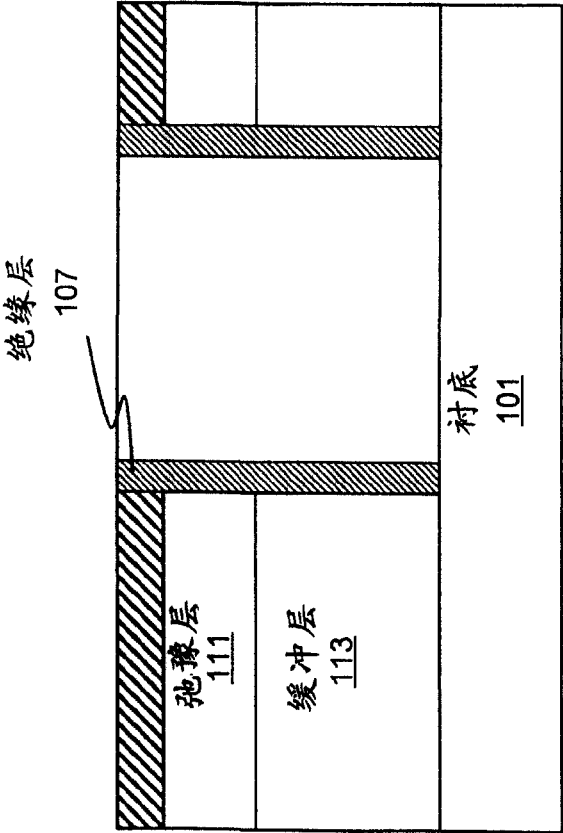


图19

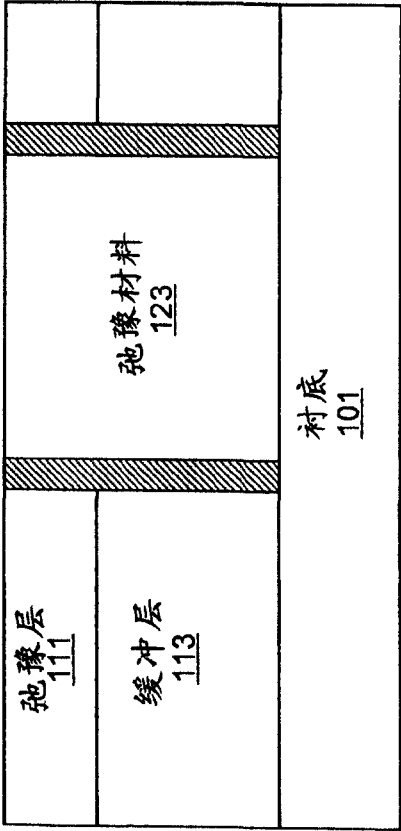


图 20

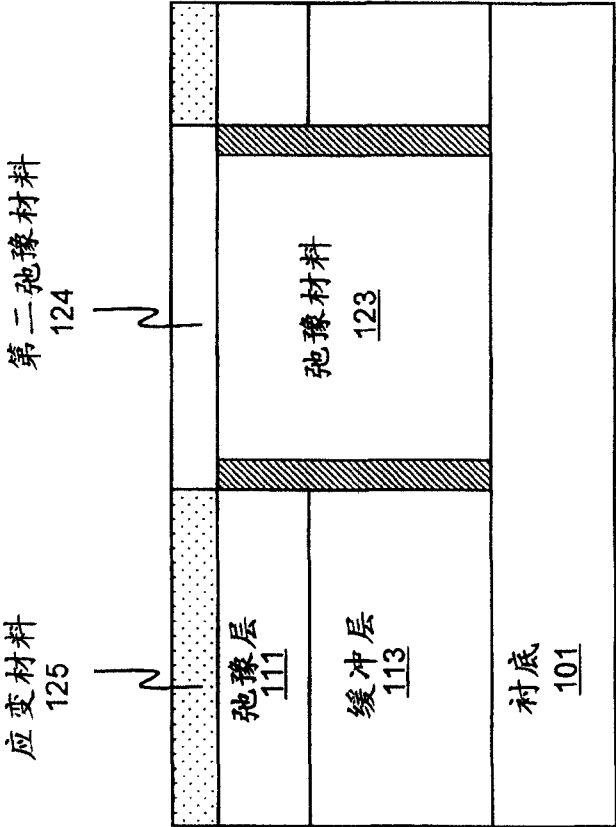


图21

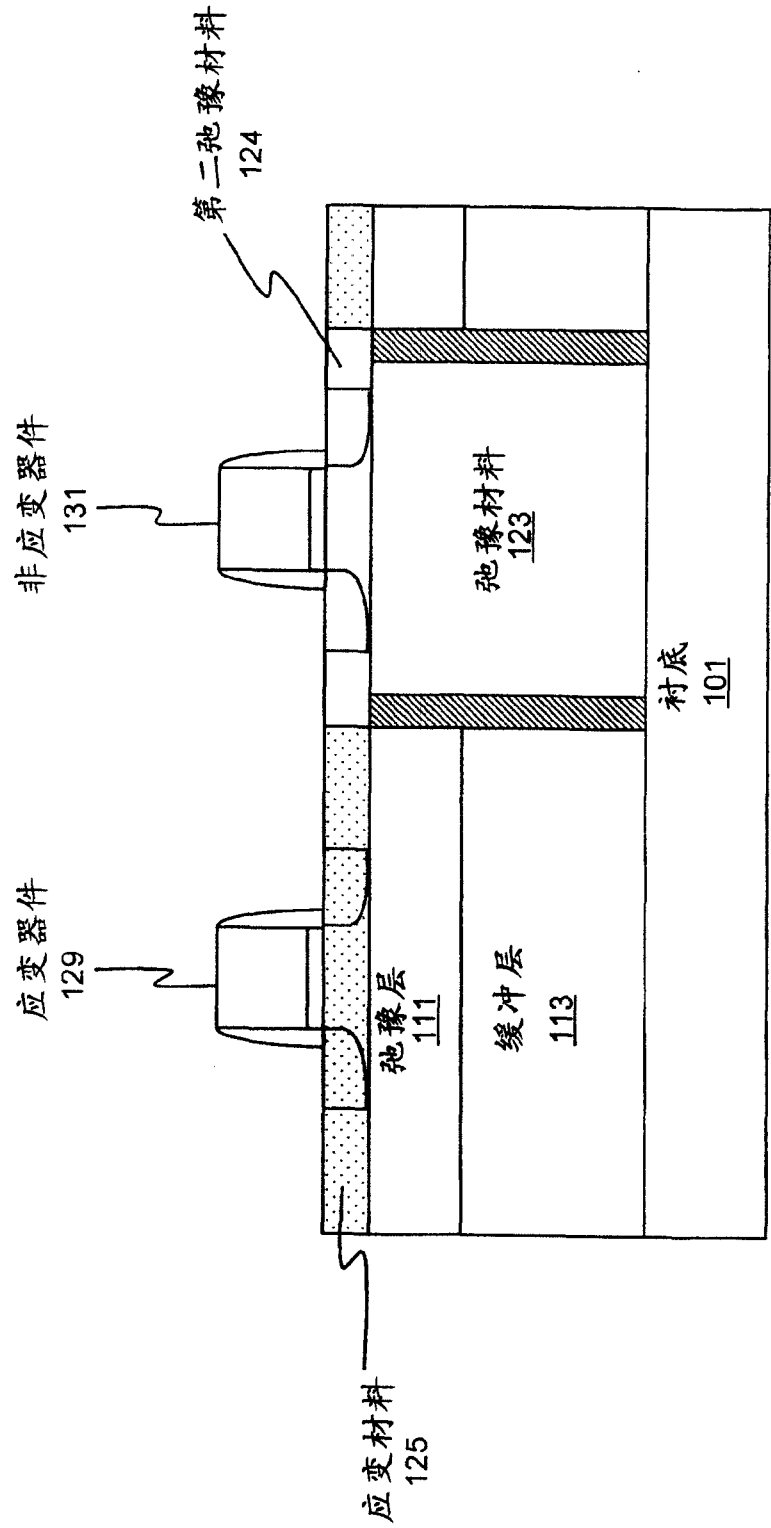


图 22

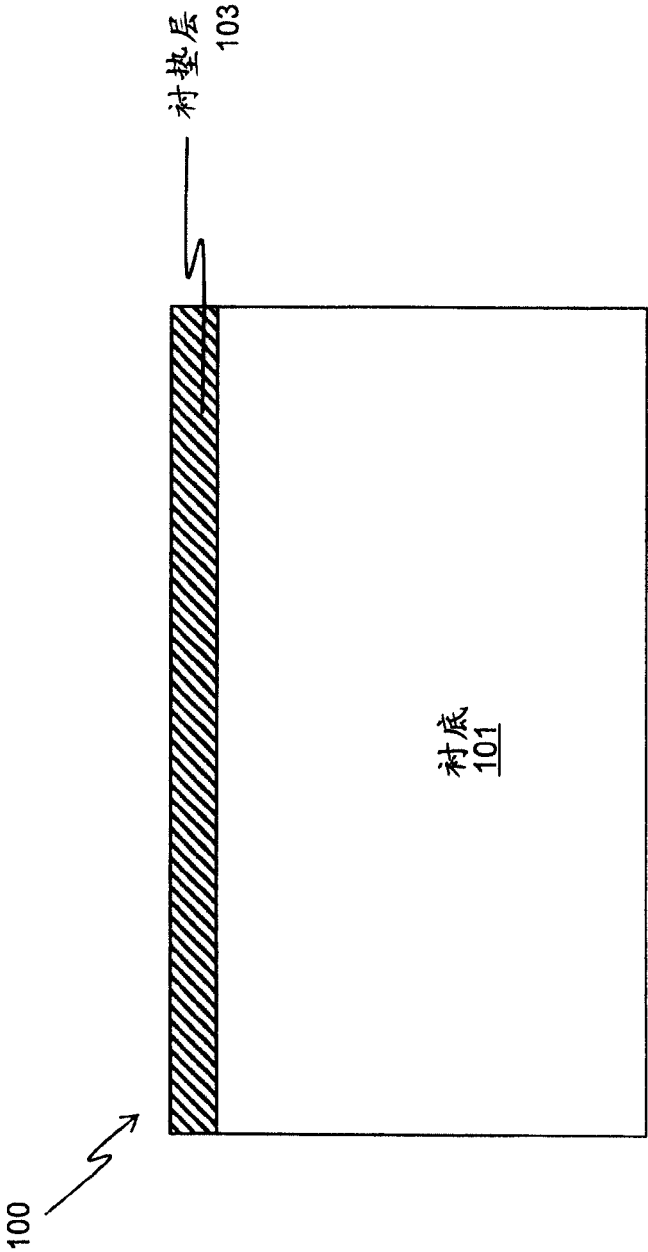


图 23

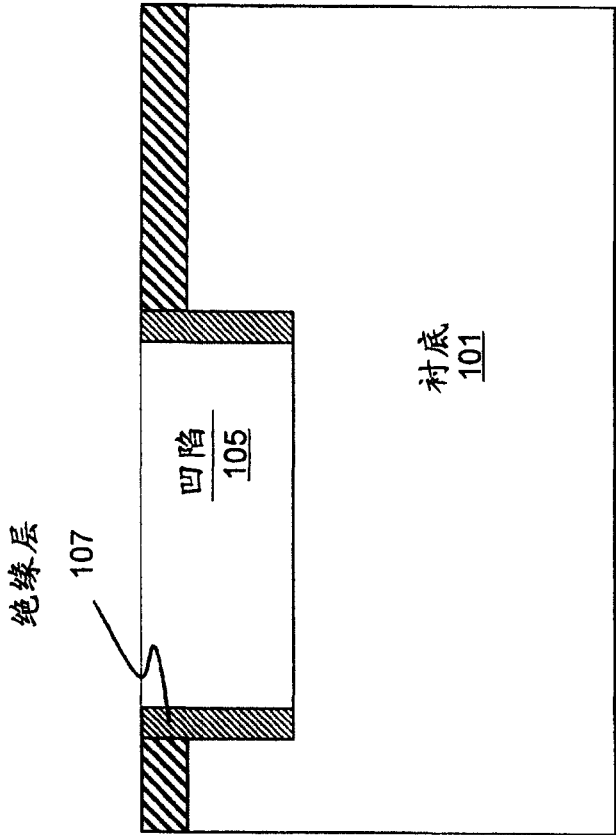


图 24

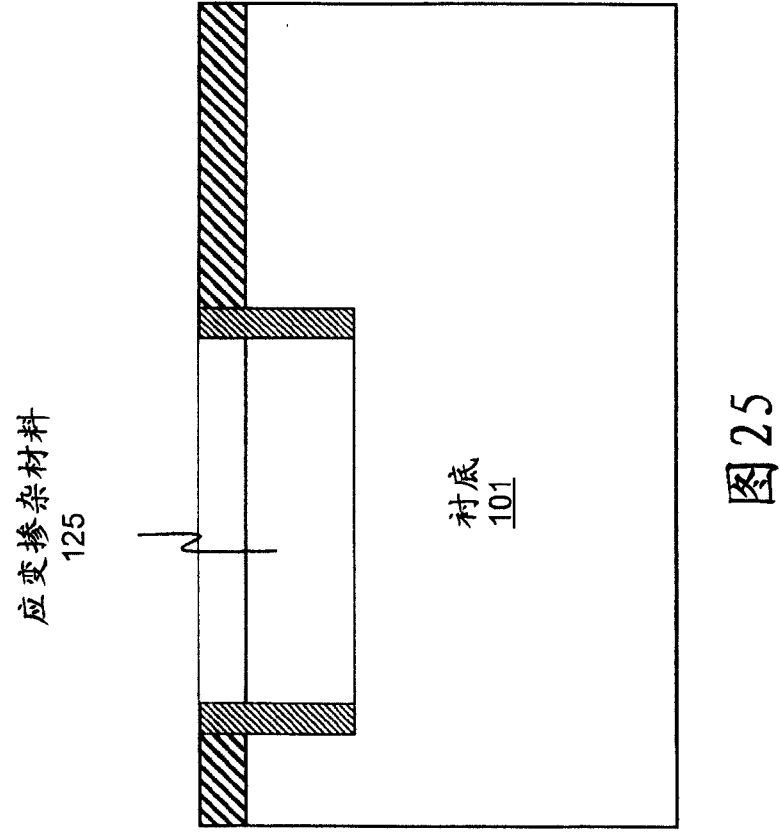


图25

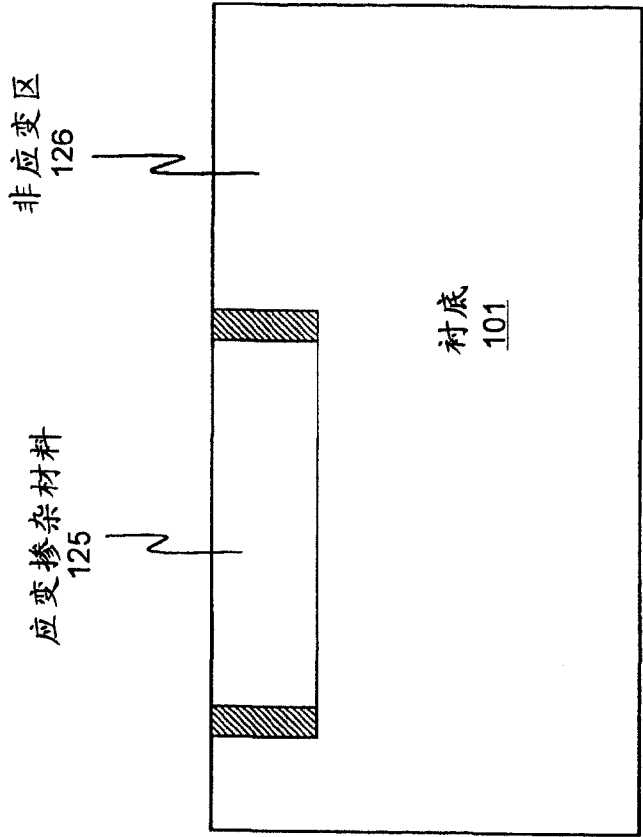


图26

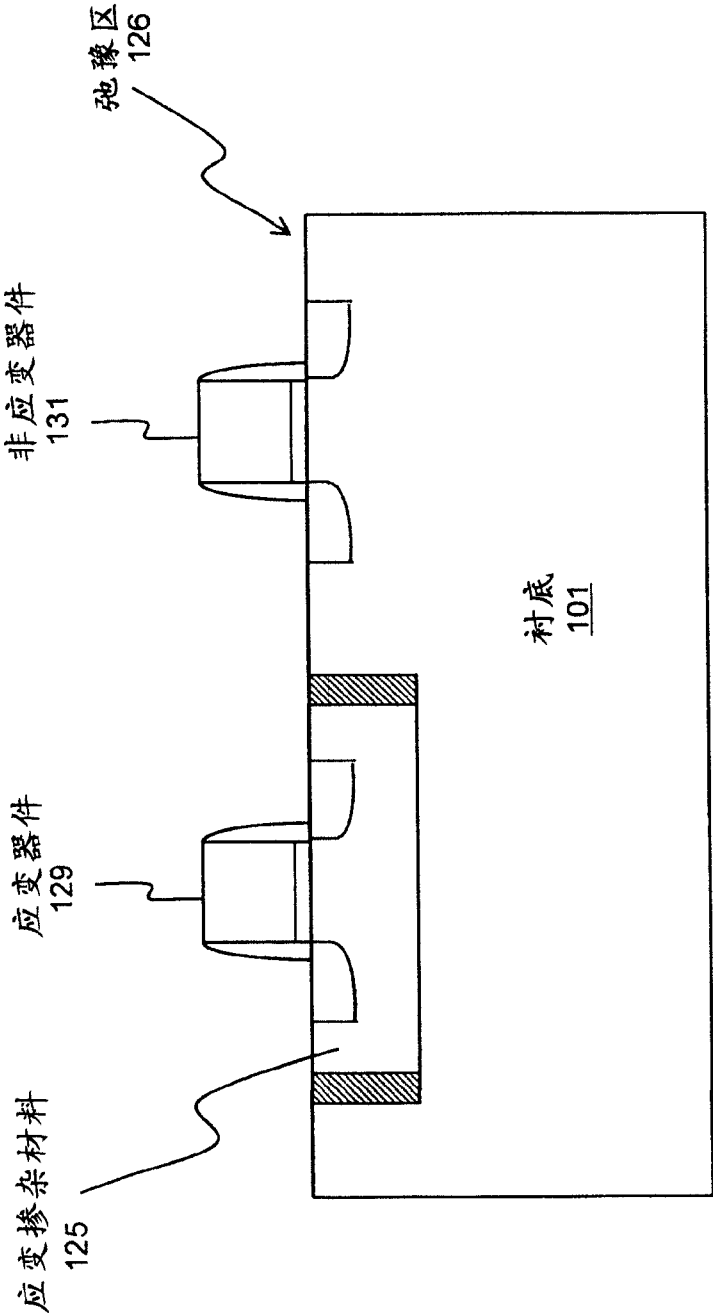
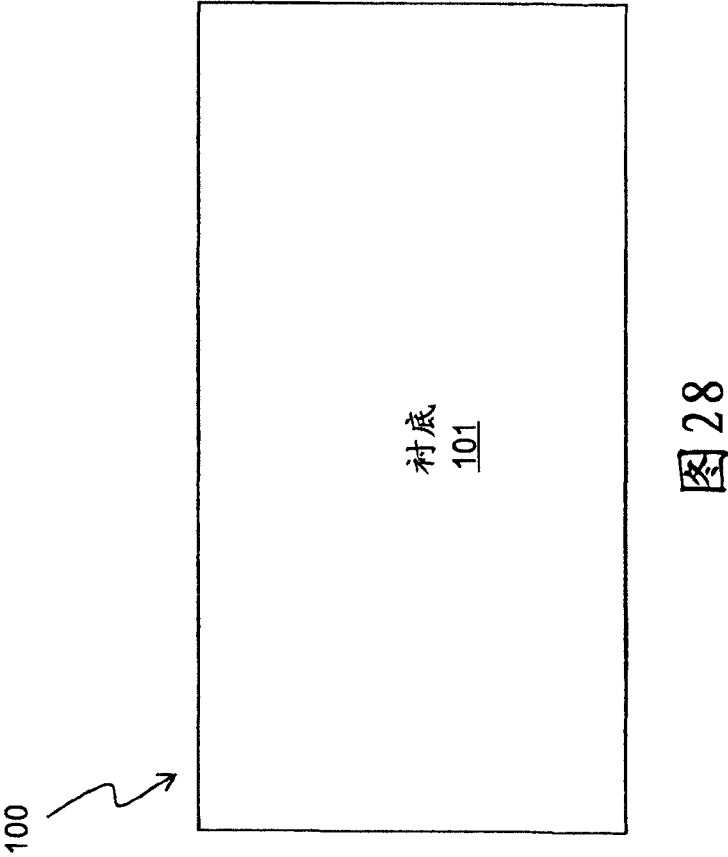


图 27



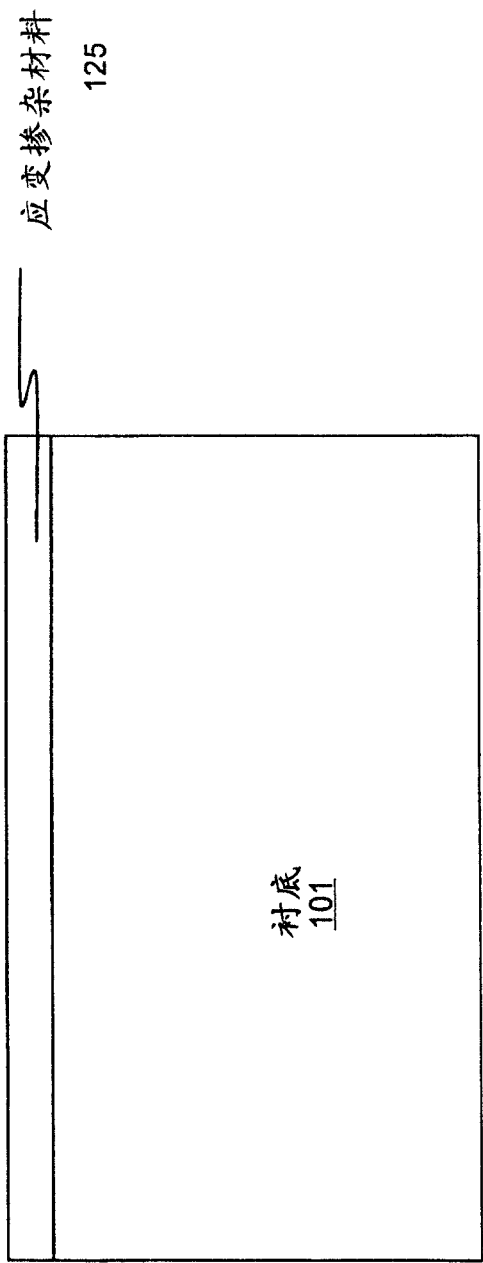


图 29

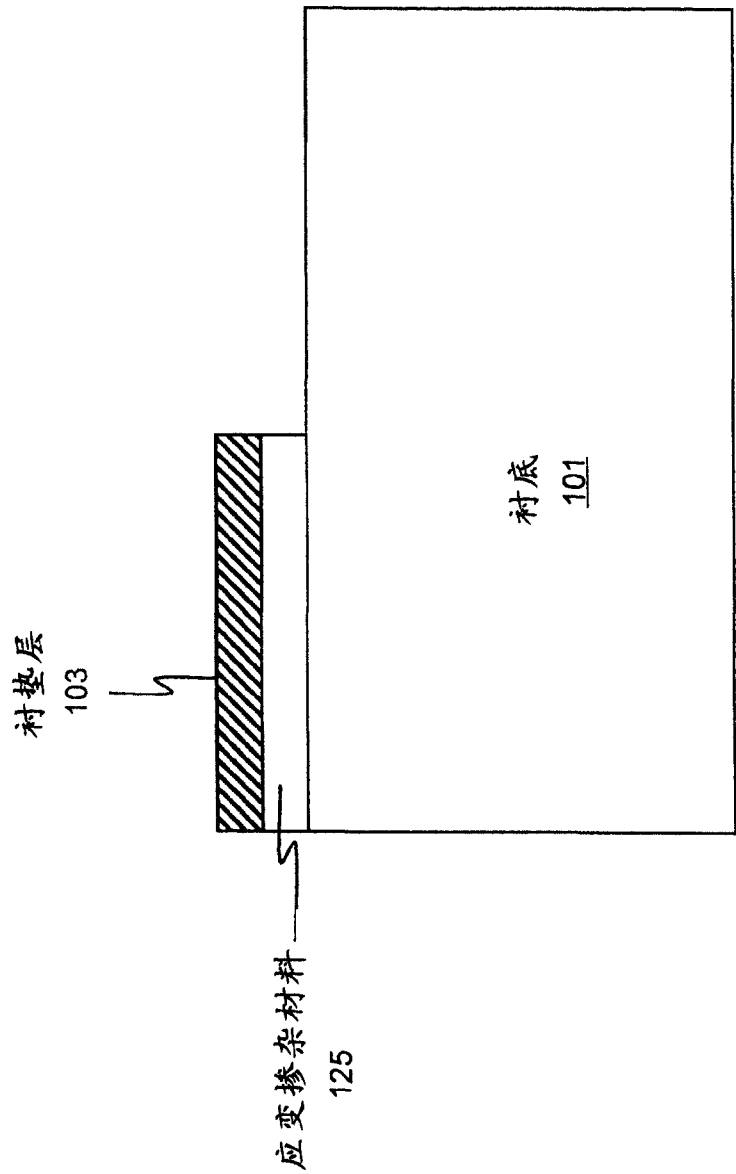


图 30

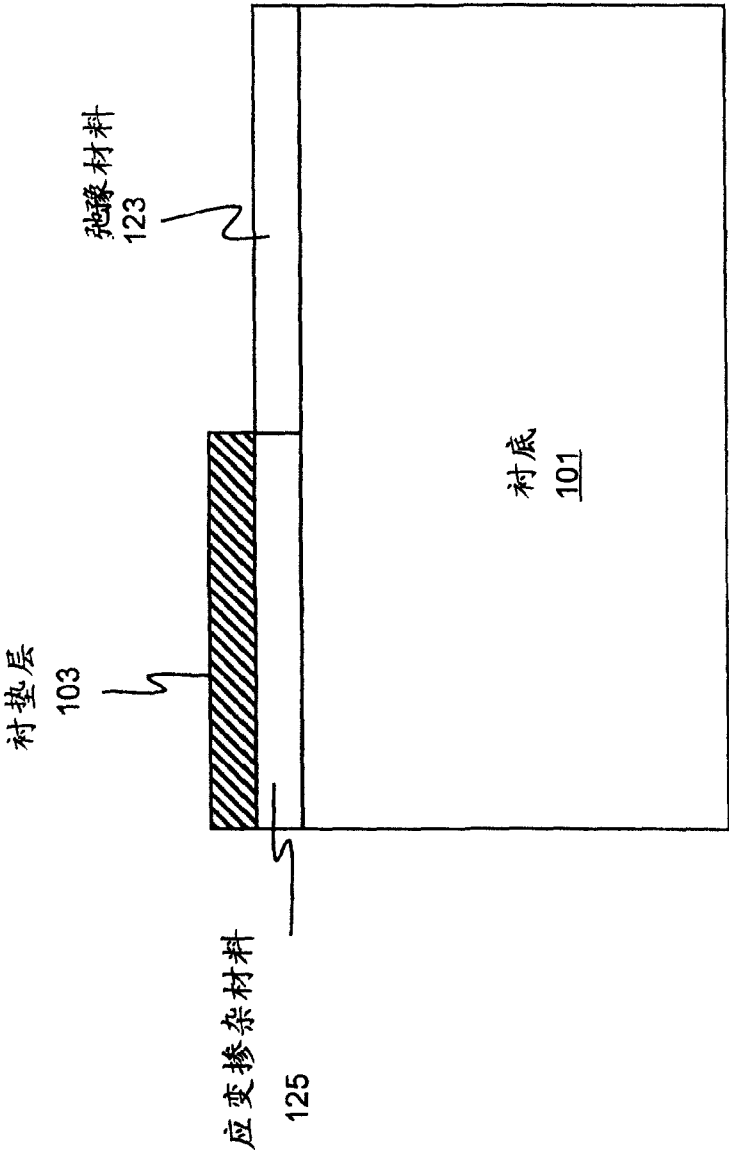


图 31

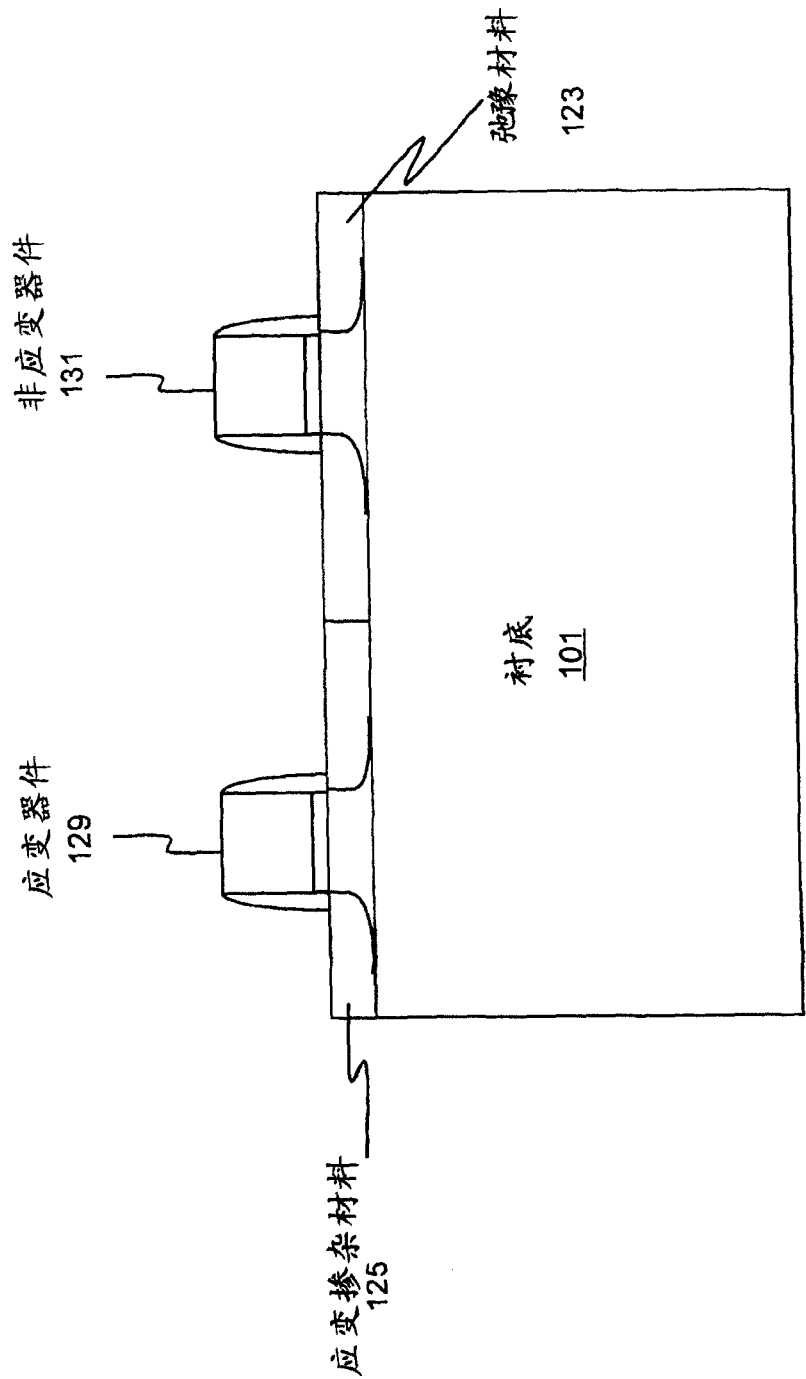


图 32

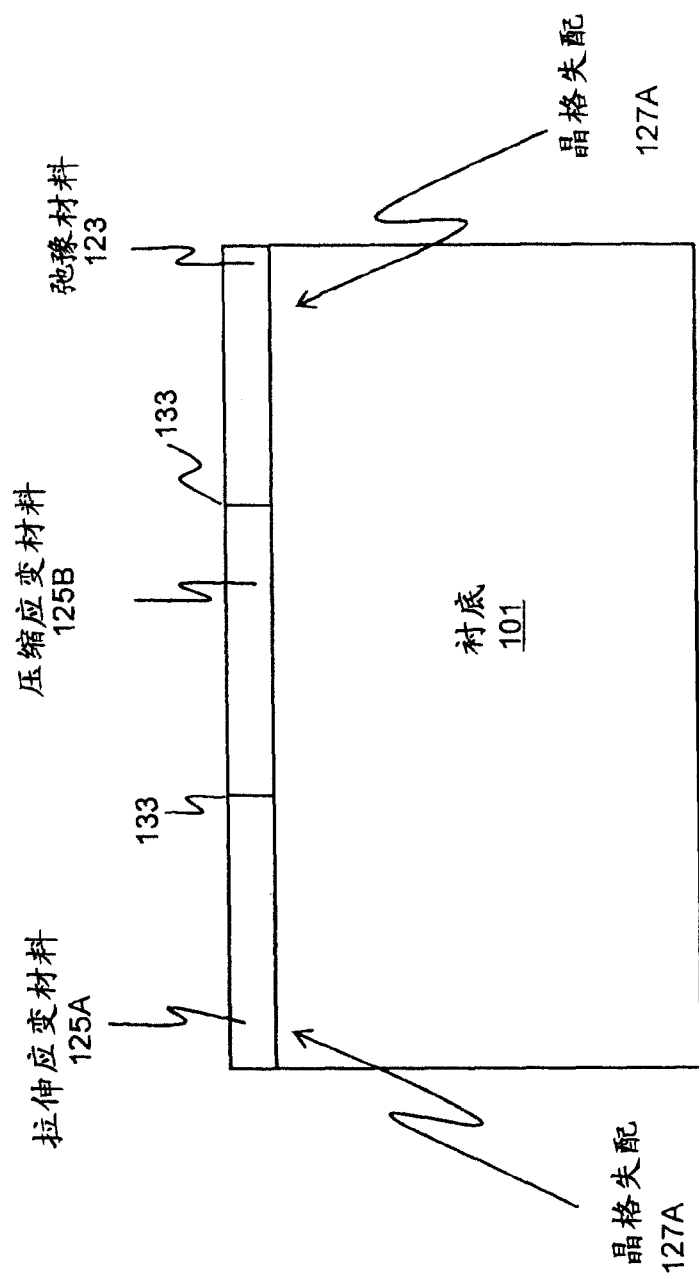


图33

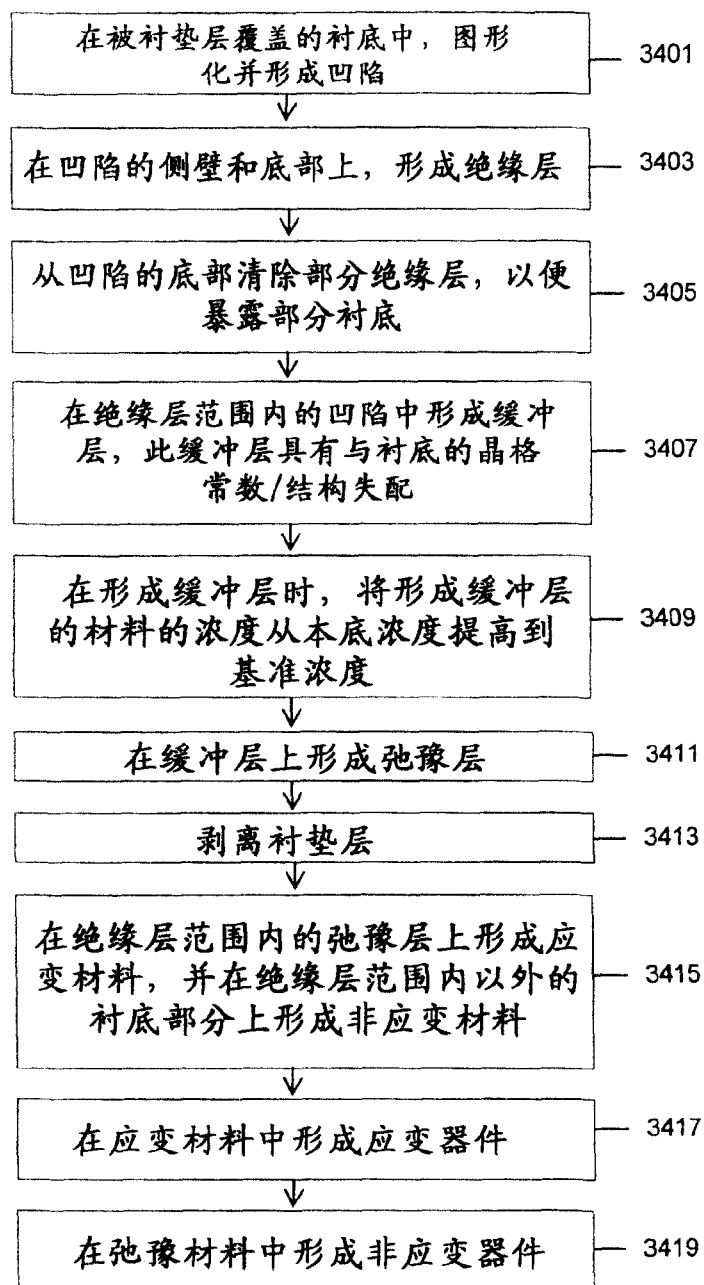


图 34

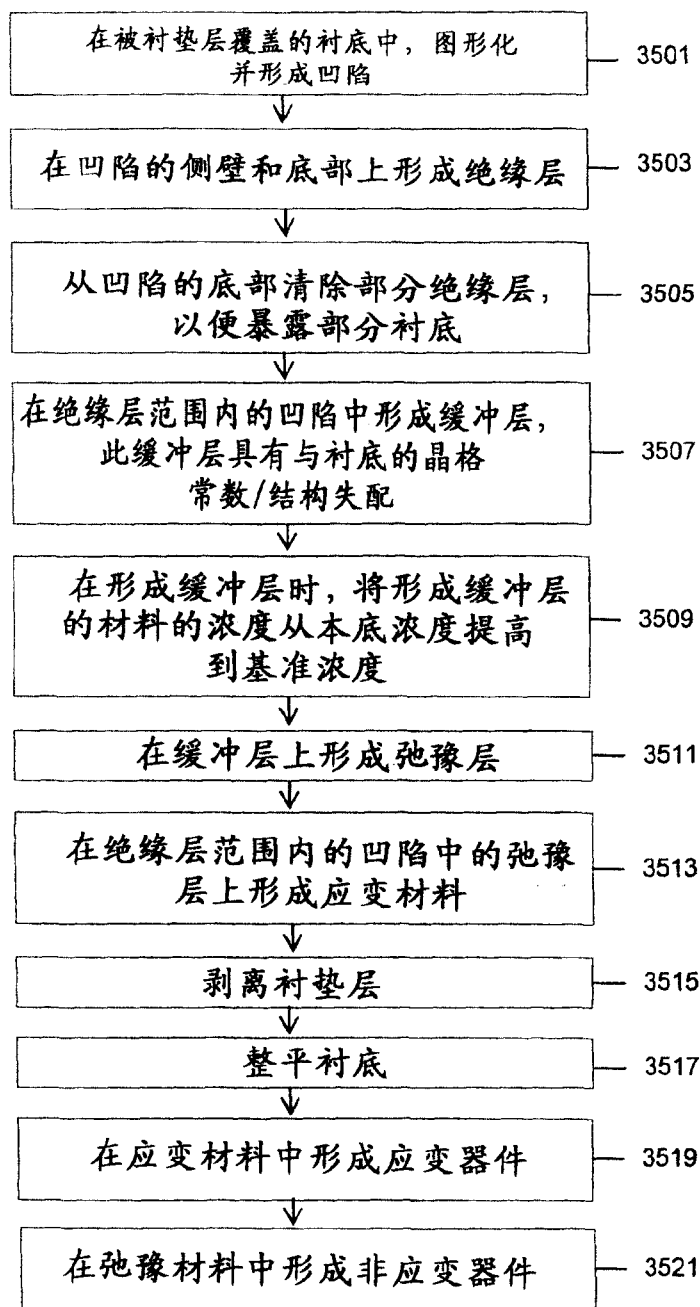


图 35

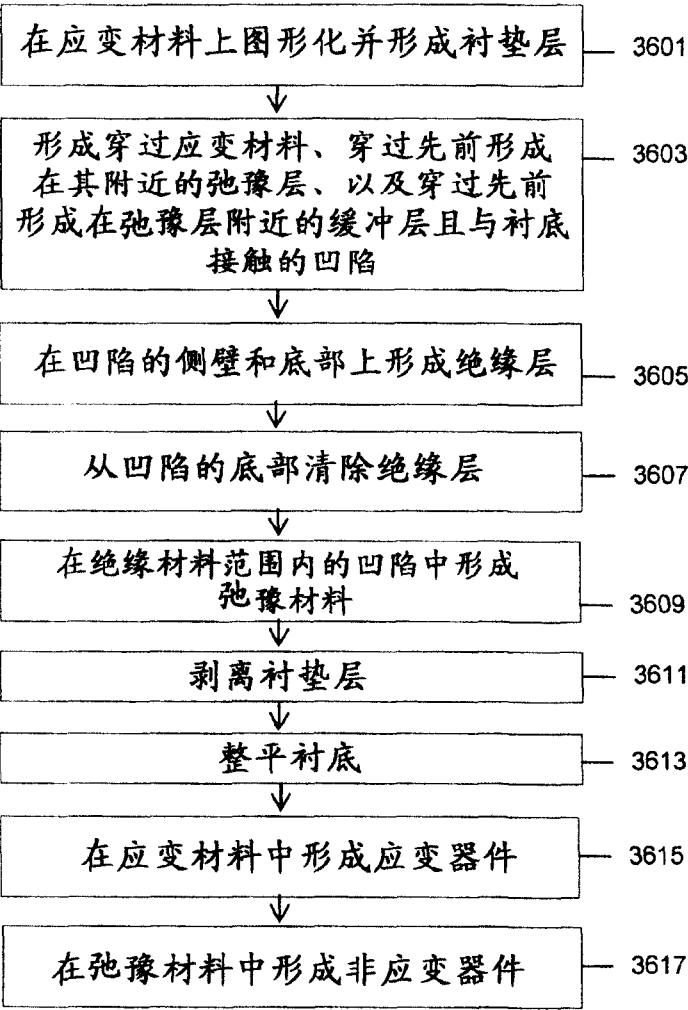


图 36

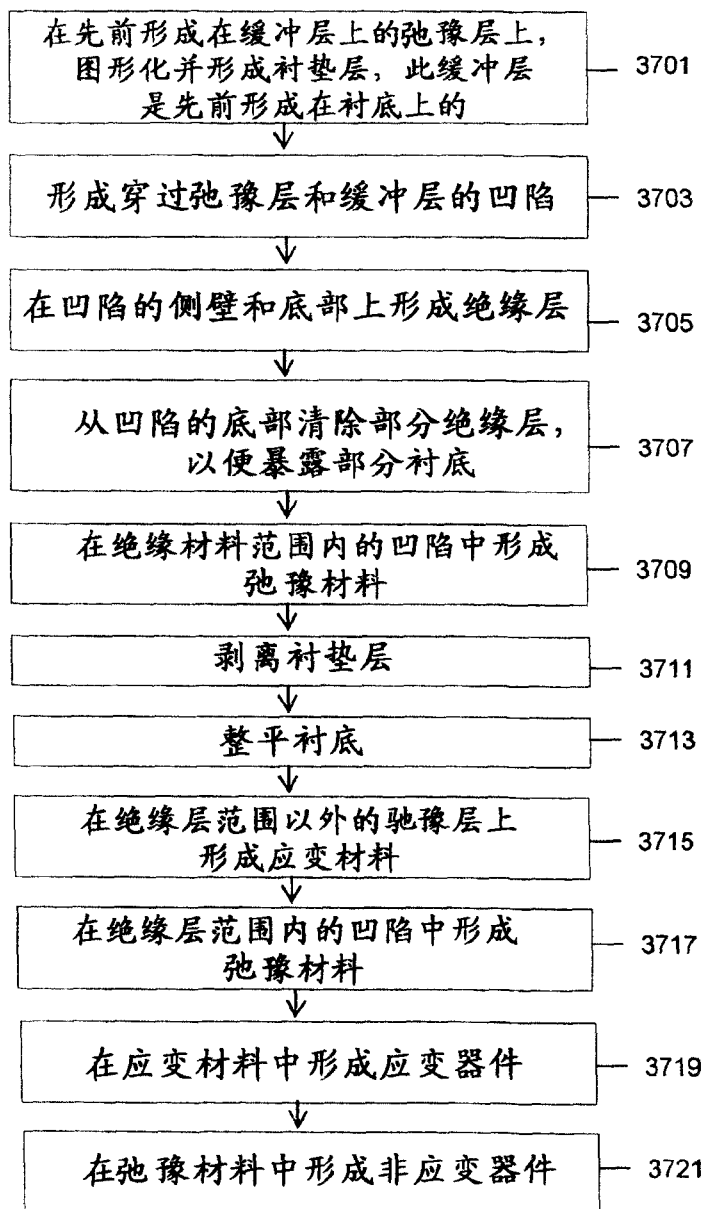


图 37

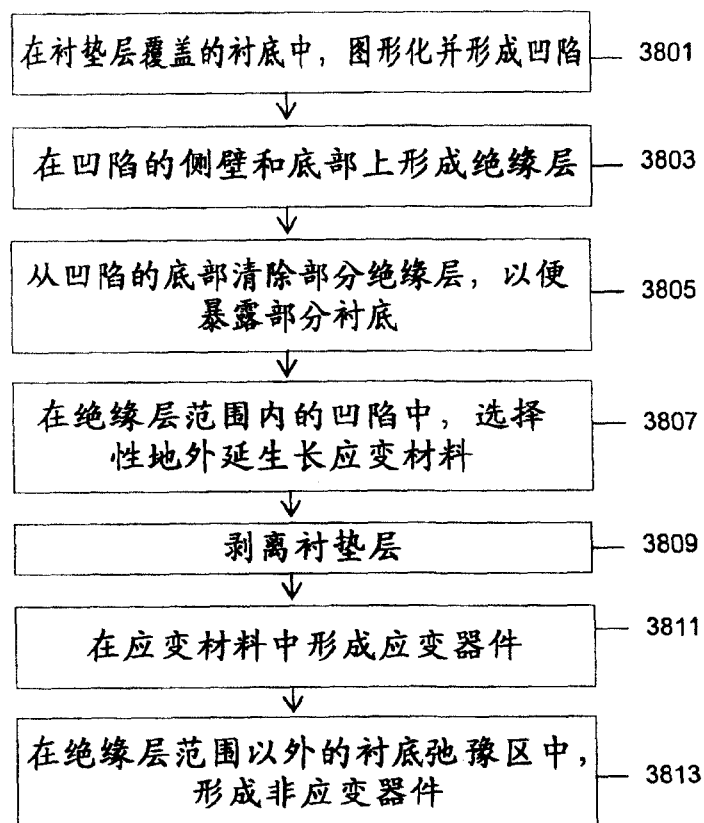


图 38

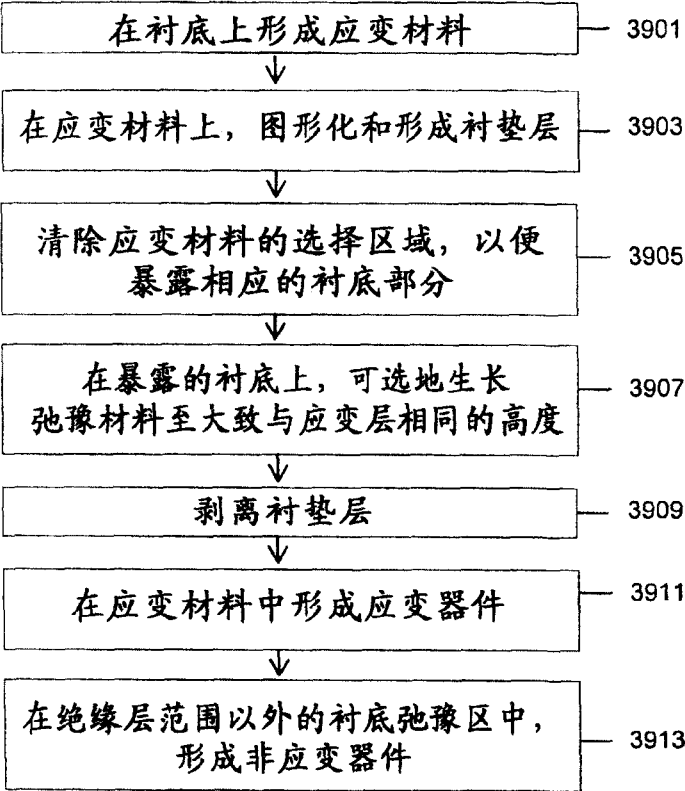


图 39