(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2025年6月19日(19.06.2025)

WIPO | PCT

(10) 国際公開番号
WO 2025/126879 A1

(51) 国際特許分類:
H01L 21/205 (2006.01) *H01L 21/26* (2006.01)
C23C 16/40 (2006.01) *H01L 21/316* (2006.01)
C23C 16/50 (2006.01) *H01L 21/324* (2006.01)

(21) 国際出願番号： PCT/JP2024/042503

(22) 国際出願日： 2024年12月2日(02.12.2024)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

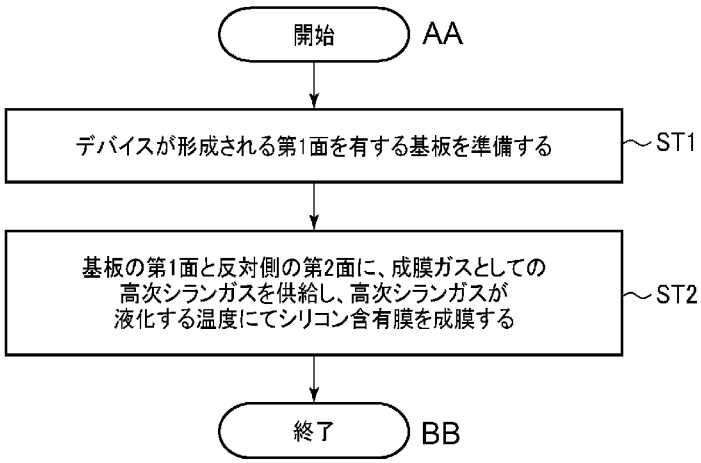
(30) 優先権データ：
特願 2023-210808 2023年12月14日(14.12.2023) JP

(71) 出願人: 東京エレクトロン株式会社(**TOKYO ELECTRON LIMITED**) [JP/JP]; 〒1076325 東京都港区赤坂五丁目３番１号 (JP).

(72) 発明者: 大内 健次(**OUCHI Kenji**); 〒4070192 山梨県韮崎市穂坂町三ツ沢６５０ 東京エレクトロン テクノロジーソリューションズ株式会社内 (JP). 宮原 孝広(**MIYAHARA Takahiro**); 12203 ニューヨーク州オールバニー スイート２１４ フラーロード２５５ ナノファブ３００ サウスティーイーエル テクノロジーセンター アメリカ エルエルシー内 (US). 山内 晋(**YAMAUCHI Susumu**); 〒4070192 山梨県韮崎市穂坂町三ツ沢６５０ 東京エレクトロン テクノロジーソリューションズ株式会社内 (JP). 荻野 嵩大(**OGINO Takahiro**); 〒4070192 山梨県韮崎市穂坂町三ツ

(54) **Title:** SUBSTRATE PROCESSING METHOD, SUBSTRATE PROCESSING DEVICE, AND SUBSTRATE PROCESSING SYSTEM

(54) 発明の名称： 基板処理方法、基板処理装置、および基板処理システム



ST1 Prepare a substrate having a first surface on which a device is formed
ST2 Form a silicon-containing film on a second surface on the reverse side of the substrate from the first surface by using a higher silane gas as a film-forming gas at a temperature at which the higher silane gas is liquefied
AA Start
BB End

(57) **Abstract:** This substrate processing method includes: preparing a substrate having a first surface on which a device is formed; and forming a silicon-containing film on a second surface on the reverse side of the substrate from the first surface by using a higher silane gas as a film-forming gas at a temperature at which the higher silane gas is liquefied.

(57) 要約：基板処理方法は、デバイスが形成される第１面を有する基板を準備することと、成膜ガスとして高次シランガスを用い、前記基板の第１面と反対側の第２面に、高次シランガスが液化する温度にてシリコン含有膜を成膜することとを有する。

WO 2025/126879 A1

［続葉有］

沢６５０ 東京エレクトロン テクノロジーソリューションズ株式会社内 (JP). 梅澤 好太 **(UMEZAWA Kota)**; 〒4070192 山梨県韮崎市穂坂町三ツ沢６５０ 東京エレクトロン テクノロジーソリューションズ株式会社内 (JP). 石井 勝利 **(ISHII Katsutoshi)**; 〒1838705 東京都府中市住吉町２－３０－７ 東京エレクトロン テクノロジーソリューションズ株式会社内 (JP). 井福 亮太 **(IFUKU Ryota)**; 〒4070192 山梨県韮崎市穂坂町三ツ沢６５０ 東京エレクトロン テクノロジーソリューションズ株式会社内 (JP). 渡部 佳優 **(WATANABE Yoshimasa)**; 〒4070192 山梨県韮崎市穂坂町三ツ沢６５０ 東京エレクトロン テクノロジーソリューションズ株式会社内 (JP).

(74) 代理人: 高 山　宏 志 **(TAKAYAMA Hiroshi)**; 〒0600054 北海道札幌市中央区南四条東１丁目４－１ フォーシーンＢＬＤ ６１０ (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一　国際調査報告（条約第21条(3)）

明　細　書

発明の名称 ：

基板処理方法、基板処理装置、および基板処理システム

技術分野

[0001]　本開示は、基板処理方法、基板処理装置、および基板処理システムに関する。

背景技術

[0002]　特許文献１には、基板の裏面にＡＬＤまたはＣＶＤによりＳｉO_2膜やＳｉＮ膜などの圧縮応力を有するダミー膜を成膜することにより、基板に応力を加える技術が記載されている。

先行技術文献

特許文献

[0003] 特許文献1：特開２０２０－１５０１３３号公報

発明の概要

発明が解決しようとする課題

[0004]　本開示は、基板のデバイスが形成される第１面の反対側の第２面に大きな応力を発生させることができる技術を提供する。

課題を解決するための手段

[0005]　本開示の一態様に係る基板処理方法は、デバイスが形成される第１面を有する基板を準備することと、前記基板の前記第１面と反対側の第２面に、成膜ガスとしての高次シランガスを供給し、前記高次シランガスが液化する温度にてシリコン含有膜を成膜することと、を有する。

発明の効果

[0006]　本開示によれば、基板のデバイスが形成される第１面の反対側の第２面に大きな応力を発生させることができる技術が提供される。

図面の簡単な説明

[0007] [図1]第１の実施形態に係る基板処理方法を示すフローチャートである。

[図2A]第１の実施形態に係る基板処理方法を示す工程断面図である。

[図2B]第１の実施形態に係る基板処理方法を示す工程断面図である。

[図3]第１の実施形態により成膜されたシリコン含有膜がシュリンクすることで基板の第２面に発生する応力を確認する実験に用いるサンプルのベースを示す断面図である。

[図4]図３のベースにシリコン含有膜を成膜して形成した、基板の第２面に発生する応力を確認する実験に用いるサンプルを示す断面図である。

[図5]図４のサンプルについてアニールを行った際のアニール温度とラマンシフトの関係を示す図である。

[図6]図５の関係を求めるにあたって用いたシリコン含有膜を成膜する前のｉｎｉｔｉａｌ（図５のＡ）での基板の第２面の応力状態を模式的に示す断面図である。

[図7]アニール温度が１００℃未満の場合（図５のＢ、Ｃ）における基板の第２面の応力を示す図である。

[図8]アニール温度が１００℃から２００℃になってラマンシフトがプラスに変化した場合（図５のＤ）における基板の第２面の応力を示す図である。

[図9]第１の実施形態の実施に用いられる基板処理装置の一例を示す断面図である。

[図10]第２の実施形態に係る基板処理方法を示すフローチャートである。

[図11A]第２の実施形態に係る基板処理方法を示す工程断面図である。

[図11B]第２の実施形態に係る基板処理方法を示す工程断面図である。

[図11C]第２の実施形態に係る基板処理方法を示す工程断面図である。

[図12]第２の実施形態の実施に用いられる基板処理システムの一例を模式的に示す平面図である。

[図13]図１２の基板処理システムに用いられるアニール装置の一例を示す断面図である。

[図14]第３の実施形態に係る基板処理方法を示すフローチャートである。

[図15A]第３の実施形態に係る基板処理方法を示す工程断面図である。

[図15B]第３の実施形態に係る基板処理方法を示す工程断面図である。

[図15C]第３の実施形態に係る基板処理方法を示す工程断面図である。

[図15D]第３の実施形態に係る基板処理方法を示す工程断面図である。

[図16]第３の実施形態の実施に用いられる基板処理システムの一例を模式的に示す平面図である。

[図17]図１６の基板処理システムに用いられる応力測定装置を模式的に示す断面図である。

発明を実施するための形態

[0008] 以下、添付図面を参照して実施の形態について具体的に説明する。

[0009] ＜第１の実施形態＞

［基板処理方法］

図１は、第１の実施形態に係る基板処理方法を示すフローチャートであり、図２Ａ～図２Ｂはその工程断面図である。

[0010] 本実施形態では、最初に、デバイスが形成される第１面２を有する基板１を準備する（ステップＳＴ１、図２Ａ）。次に、基板１の第１面２と反対側の第２面３に、成膜ガスとしての高次シランガスを供給し、高次シランガスが液化する温度にてシリコン含有膜４を成膜する（ステップＳＴ２、図２Ｂ）。

[0011] ステップＳＴ１において、基板１は特に限定されないが、典型例としては半導体基板（ウエハ）を挙げることができる。基板の第１面２には実際にデバイスが形成されていてもされていなくてもよく、また、デバイスを形成する途中の段階であってもよい。

[0012] ステップＳＴ２においては、成膜ガスとして高次シランガスを用い、基板１の第２面３に、高次シランガスが液化する温度にてシリコン含有膜４を成膜する。シリコン含有膜４は第２面３の全面に成膜されてよいが、第２面３の一部に成膜されてもよい。

[0013] 高次シランガスは、－３０℃程度の現実的な温度で液化することができる

。そして、高次シランガスが液化する温度で成膜することにより、低分子量の成分が膜中に残存した状態の膜が成膜される。このため、得られたシリコン含有膜は、熱や光のようなエネルギーが付与されると、膜中成分が多量に気化することにより凝集して膜が大きくシュリンクする。そのシュリンクにより基板１の第２面３に大きな応力を発生させることができる。すなわち、高次シランガスを用い、高次シランガスが液化する温度で成膜したシリコン含有膜４は、基板に対して高い応力発生能力を有する。

[0014] ステップＳＴ２の処理は、例えば、チャンバー内の載置台に第２面を上にした状態で基板を載置し、載置台上で基板を高次シランガスが液化する温度に保持し、高次シランガスをチャンバー内に導入し、プラズマで励起した状態で基板の第２面に供給する手法により行うことができる。このとき、載置台に冷媒を通流させることにより、基板を高次シランガスが液化する温度、例えば－３０℃に保持することができる。このときのチャンバー内の圧力は１０Ｔｏｒｒ以下の範囲、例えば１Ｔｏｒｒであってよい。

[0015] このように高次シランガスをプラズマで励起することにより、低温の状態でも気相重合により膜の骨格が形成され、成膜を進行させることができる。また、プラズマを用いることにより密着性の高い膜を得ることができる。プラズマは特に限定されず、容量結合プラズマ、誘導結合プラズマ、マイクロ波プラズマ等種々のものを用いることができる。

[0016] 高次シランは、ジシラン（Si_2H_6）、トリシラン（Si_3H_8）、テトラシラン（Si_4H_{10}）等、一般式Si_nH_{2n+2}（ｎは２以上の正の整数）で表されるものである。Si_2H_6、Si_3H_8、Si_4H_{10}の沸点は、それぞれ、－１４．５℃、５２．８℃、１０８．１℃であり、いずれもモノシラン（SiH_4）の沸点の－１１２℃より十分高く、上述したように、－３０℃程度の現実的な温度で安定して液化することができる。高次シランとしては、ｎが４以上のものがより大きなシュリンク能力を得ることができる。

[0017] 成膜の際に用いるガスとしては、高次シランガスの他、H_2ガスやプラズマ生成ガスとしての希ガス（例えばＡｒガス）を用いてもよい。成膜ガスとし

て、高次シランガスのみ、または、高次シランにH_2ガスを加えた場合には、シリコン含有膜はＳｉ系膜であり、膜中の気化成分が気化された後はＳｉ膜となる。成膜ガスとしてさらに酸素含有ガスを加えて、シリコン含有膜を最終的にSiO_2膜となるSiO_2系膜としてもよい。このようにシリコン含有膜の膜質を変化させることによりシュリンク特性が変化し、基板の第２面に応力を発生させる能力を調整することができる。

[0018] シリコン含有膜４は、大きな応力発生能力を有するため、所望の応力を発生させるのに従来のＣＶＤやＡＬＤによる膜と比較して薄くてよい。シリコン含有膜４の膜厚は、発生させようとする応力に応じて適宜設定すればよく、１～１００００ｎｍの範囲であってよい。

[0019] 実際に、成膜ガスである高次シランとしてテトラシランを用い、チャンバー内の載置台上で基板を高次シランガスが液化する－３０℃に保持し、高次シランガスをプラズマで励起した状態で基板に供給してシリコン含有膜を成膜した。そして、基板の第２面に応力を発生させる能力を調査した。

[0020] 具体的には、まず、シリコン含有膜を成膜後、ステージ上でシリコン含有膜が形成された基板を種々の温度でアニールし、その際の脱離ガスを昇温脱離ガス分析（Thermal Desorption Spectroscopy；ＴＤＳ）で分析した結果、H_2ガス、およびSiH_4、Si_2H_6、Si_3H_8等のシラン系ガスが脱離していることが確認された。また、同様に基板を種々の温度でアニールした後、フーリエ変換赤外分光（Fourier transform infrared；ＦＴ－ＩＲ）により膜構造変化を確認したところ、アニール温度が上昇するに従って、SiH_x（ＳｉＨ、SiH_2、SiH_3、$(SiH_2)_n$等）の強度が減少していることが確認された。これらの結果から、本実施形態により成膜されたシリコン含有膜のシュリンクは、H_2ガスおよびシラン系ガスが脱離することにより生じていることが確認された。

[0021] 次に、本実施形態により成膜されたシリコン含有膜がシュリンクすることで基板の第２面に発生する応力を確認した。ここでは、図３に示すように、Ｓｉ基板２００の第１面２０１および第２面２０２の両面に熱酸化膜２０３

、２０４を１００ｎｍの厚さで形成したものをベースとし、図４に示すように、Ｓｉ基板２００の第２面２０２側の熱酸化膜２０４の上にシリコン含有膜２０５を５０ｎｍの厚さで成膜したサンプルを作成した。熱酸化膜を形成したのは、シリコン含有膜がＳｉ系膜であることから、Ｓｉ基板と区別がつくようにするためである。

[0022] このサンプルについてアニールを行い、シリコン含有膜２０５のシュリンクにより基板２００の第２面２０２に発生する応力を把握した。応力の測定は断面ラマン測定（ラマン分光法）により行った。シリコン含有膜がシュリンクすることにより基板に発生する応力は、ラマン散乱光のスペクトル（ラマンスペクトル）のＳｉ結晶（応力がかかっていない結晶）のピークである５２０（cm^{-1}）からのシフト（ラマンシフト）に基づいて計算することができる。具体的には、ν：ラマンシフト（cm^{-1}）、Σ：応力（ＭＰａ）としたときに、以下の（１）式に示す関係があるため、この（１）式からラマンシフトに基づいて、シリコン含有膜のシュリンクにより基板の第２面に与えられる応力を計算することができる。

$$\nu = -1.93 \times 10^{-3} \Sigma \quad \cdots (1)$$

[0023] 図５は、上記サンプルについてアニールを行った際のアニール温度とラマンシフトの関係を示す図である。アニール時間は各温度で１時間程度とした。縦軸のラマンシフトは、シリコンのピークである５２０（cm^{-1}）を０とし、マイナスが引張方向、プラスが圧縮方向を示す。なお、熱酸化膜により基板応力が緩和されるが、ここでは熱酸化膜の影響を排除するように補正している。図５中、Ａは比較用にシリコン含有膜を形成しないｉｎｉｔｉａｌの状態のラマンシフトの値であり、他はシリコン含有膜を形成した後、所定の温度にてアニール処理を行った状態のラマンシフトの値である。

[0024] 図５に示すように、シリコン含有膜を形成しないｉｎｉｔｉａｌの状態であるＡでは、基板のラマンシフトが－０．４cm^{-1}である。すなわち、ｉｎｉｔｉａｌの状態では、図６に示すように、基板２００の第２面２０２に２００ＭＰａ程度の引張応力２１０が発生している。シリコン含有膜２０５を

形成した後は、ラマンシフトが－０．５ｃｍ$^{-1}$とわずかに大きくなり、アニール温度が１００℃未満ではラマンシフトがマイナスのままである（図５のＢ、Ｃ）。すなわち、図７に示すように、基板２００の第２面２０２には引張応力２１０が発生したままである。しかし、アニール温度が１００℃から２００℃までの間でラマンシフトが大きく変化し、２００℃ではラマンシフトがプラスになる（図５のＤ）。すなわち、図８に示すように、基板２００の第２面２０２に発生する応力が引張応力２１０から圧縮応力２２０に変化する。アニール温度が２００℃以上ではラマンシフトは大きく変化しないが、４００℃においてラマンシフトは＋０．５ｃｍ$^{-1}$以上の最大値となっている（図５のＥ）。このことから、上記シリコン含有膜を１００～４００℃程度、特に１００～２００℃程度の温度でアニールすることにより、ラマンシフトはおよそ－０．５ｃｍ$^{-1}$から＋０．５ｃｍ$^{-1}$まで変化し、その変化量は１．０ｃｍ$^{-1}$程度となることが確認された。このラマンシフトの変化量から（１）式により応力を計算すると５００ＭＰａ以上となり、５０ｎｍという比較的薄い膜厚で極めて大きな応力を発生させ得ることが確認された。

[0025] すなわち、本実施形態により成膜ガスとして高次シランガスを用い、基板上に高次シランが液化する温度で成膜されたシリコン含有膜は、基板に対して極めて大きな応力を発生させ得る膜であることが確認された。

[0026] 従来から、基板であるウエハの片面（第１面）にデバイスを形成する過程で、膜の形成やエッチングによるパターン形成を繰り返すため、基板には膜の応力がかかることが知られている。このような応力の影響を緩和するためには、基板であるウエハを厚くすることが有効であるが、近時行われているウエハボンディング技術のようなウエハを薄膜化することが必要な技術には対応が困難である。また、応力を持った膜が多数存在することによるパターンのシフト、露光時のズレ等が発生する。このため、上記特許文献１に記載されたような、基板の第１面と反対側の第２面に膜を形成して基板に応力を発生させ、基板の応力を緩和する技術が提案されている。

[0027] しかし、従来、上記特許文献１に記載されているように、第２面に形成さ

れる膜は、一般的なＣＶＤやＡＬＤで成膜されており、この場合は、基板にさほど大きな応力を発生させることはできず、膜厚を大きくすることにより対応せざるを得ない。また、ＣＶＤやＡＬＤで成膜する場合、高温で成膜することにより基板に発生させる圧縮応力を多少大きくできるが、その効果は限定的であり、かつ、高温での成膜はデバイスへの影響から制限されるのが一般的である。

[0028] これに対し、本実施形態では、成膜ガスとして高次シランガスを用い、基板の第２面に高次シランガスが液化する温度で成膜することにより、シュリンク能力の高いシリコン含有膜を得ることができ、この膜はアニール等により大きくシュリンクして、基板に対して大きな応力を付与することが可能となる。このため、一般的なＣＶＤやＡＬＤで成膜された膜のように厚膜化することなく所望の応力を基板に付与することができ、また、低温成膜なので高温成膜による不都合も生じない。

[0029] ［基板処理装置］

図９は、第１の実施形態の実施に用いられる基板処理装置の一例を示す断面図である。本実施形態では、基板処理装置１００は、容量結合プラズマにより基板Ｗのデバイスが形成される第１面と反対側の第２面に低温でシリコン含有膜を成膜する成膜装置として構成される。

[0030] 基板処理装置１００は、略円筒状をなし、処理空間１１を画成するチャンバー１０を有している。チャンバー１０は、金属、例えば、表面が陽極酸化処理されたアルミニウムで構成され、保安設置されている。

[0031] チャンバー１０の底部には、絶縁板１２を介して円柱状の金属製の支持台１４が配置され、この支持台１４の上に金属例えばアルミニウムで構成された基板Ｗを載置する載置台１６が設けられている。載置台１６は下部電極を構成する。載置台１６は上部に静電チャック１８を有している。静電チャック１８は、絶縁体の内部に電極２０が設けられた構造を有し、電極２０に吸着用直流電源２２から直流電圧を印加することにより、クーロン力等の静電力により基板Ｗが吸着保持される。載置台１６には第２面がガス供給面とな

るように基板Wが載置される。

[0032] 静電チャック１８の周囲部分には、導電性材料、例えばシリコンで構成されたフォーカスリング２４が配置されている。載置台１６および支持台１４の側面には、絶縁体、例えば石英からなる円筒状の内壁部材２６が設けられている。

[0033] 支持台１４の内部には冷媒室２８が設けられ、冷媒室２８には、外部に設けられたチラーユニット（図示せず）から配管３０ａ，３０ｂを介して低温の冷媒が循環供給され、載置台１６上の基板Wの温度が成膜ガスとして供給される高次シランガスが液化する温度、例えば－３０℃の低温に制御される。さらに、伝熱ガス、例えばＨｅガスがガス供給ライン３２を介して静電チャック１８の上面と基板Wの裏面との間に供給される。

[0034] 下部電極である載置台１６の上方には、載置台１６と対向するように上部電極３４が設けられている。上部電極３４は、絶縁性遮蔽部材４３を介して、チャンバー１０の上部に支持されている。上部電極３４は、載置台１６との対向面を構成しかつ多数のガス吐出孔３７を有する電極板３６と、電極板３６を着脱自在に支持する水冷構造の電極支持体３８とによって構成されている。電極板３６は導電体、例えば、シリコンで構成される。電極支持体３８の内部には、ガス拡散室４０が設けられ、ガス拡散室４０からはガス吐出孔３７に連通する多数のガス通流孔４１が下方に延びている。電極支持体３８にはガス拡散室４０へ成膜ガス等のガスを導くガス導入口４２が形成されており、このガス導入口４２には後述するガス供給部５０から延びるガス配管５１が接続されている。すなわち、上部電極３４は処理空間１１に成膜ガス等のガスを導入するシャワーヘッドとして構成される。

[0035] 上部電極３４には、プラズマ生成用の第１の高周波電源８８が電気的に接続されている。第１の高周波電源８８から上部電極３４に給電する給電線８９には整合器８７が介装されている。第１の高周波電源８８から上部電極３４に高周波電力が供給されることにより、下部電極である載置台１６と上部電極３４との間に容量結合プラズマが生成される。一方、下部電極である載

置台１６には、基板Ｗにイオンを引き込むためのバイアス印加用の第２の高周波電源９１が電気的に接続されている。第２の高周波電源９１から下部電極である載置台１６に給電する給電線９２には整合器９０が介装されている。整合器８７，９０は、それぞれ第１および第２の高周波電源８８，９１側のインピーダンスに負荷（プラズマ）インピーダンスを整合させるためのものである。プラズマ生成用の第１の高周波電源８８はバイアス印加用の第２の高周波電源９１よりも高い周波数を有する。

[0036] ガス供給部５０は、基板Ｗの第２面にシリコン含有膜を形成するための成膜ガスである高次シランガスを供給する。また、ガス供給部５０からは、パージガス、調圧ガスや、Ａｒガス等の希ガスからなるプラズマ生成ガスも供給される。その他にH_2ガスや酸素含有ガスを供給してもよい。高次シランは、Si_2H_6、Si_3H_8、Si_4H_{10}等、一般式Si_nH_{2n+2}（ｎは２以上の正の整数）で表されるものであり、これらのいずれも用いることができるが、ｎが４以上のものを用いることにより大きなシュリンク能力を有する膜を得ることができる。ガス供給部５０は、供給する複数のガスに対応するガス供給源を有しており、各ガス供給源から延びる個別配管はガス配管５１に接続されている。各個別配管には、開閉バルブ、流量制御器が介装されている。

[0037] チャンバー１０の底部には排気口６０が設けられ、排気口６０には排気管６２を介して排気装置６４が接続されている。排気装置６４は、自動圧力制御バルブおよび真空ポンプを含み、排気装置６４によりチャンバー１０内を排気するとともに、所望の真空度に制御するようになっている。チャンバー１０の側壁には、チャンバー１０に対して基板Ｗを搬入出するための搬入出口６５が設けられており、搬入出口６５はゲートバルブ６６により開閉される。

[0038] 基板処理装置１００は、制御部７０を有している。制御部７０はコンピュータで構成されており、ＣＰＵを備えた主制御部と、入力装置（キーボード、マウス等）、出力装置（プリンタ等）、表示装置（ディスプレイ等）、記

憶装置（記憶媒体）を有している。主制御部は、例えば、高周波電源８８，９１、ガス供給部５０の開閉バルブ、流量制御器、自動圧力制御バルブ、吸着用直流電源２２、チラーユニット、ゲートバルブ６６等の制御を行う。主制御部によるこれらの制御動作は、記憶装置に内蔵された記憶媒体（ハードディスク、光デスク、半導体メモリ等）に記憶された制御プログラムである処理レシピにより実行される。

[0039] このように構成される基板処理装置１００においては、基板Ｗをチャンバー１０内に搬入し、載置台１６上に第２面を上に向けて載置する。そして、ガス供給部５０からチャンバー１０内に不活性ガスを供給し、排気装置６４によってチャンバー１０内を減圧状態に調圧する。この状態で、ガス供給部５０からチャンバー１０内にプラズマ生成ガス、例えばＡｒガスを供給しつつ、上部電極３４に第１の高周波電源８８からのプラズマ生成用高周波電力を印加する。これにより、上部電極３４と下部電極である載置台１６の間に容量結合プラズマが形成される。なお、調圧用の不活性ガスとしてプラズマ生成ガスを用いてもよい。また、第２の高周波電源９１から載置台１６にイオン引き込み用のバイアス印加用高周波電力を印加する。

[0040] この状態で、ガス供給部５０から成膜ガスである高次シランガスをチャンバー１０内に供給することにより、高次シランガスがプラズマにより励起される。励起された高次シランガスは、高次シランが液化する温度、例えば－３０℃に保持された基板Ｗの第２面に至り、このような低温において気相重合により成膜が進行する。これにより、上述のようなシュリンク能力が高く、基板Ｗの第２面に大きな応力を発生させることができるシリコン含有膜が形成される。

[0041] ＜第２の実施形態＞

［基板処理方法］

図１０は、第２の実施形態に係る基板処理方法を示すフローチャートであり、図１１Ａ～図１１Ｃはその工程断面図である。

[0042] 本実施形態では、最初に、デバイスが形成される第１面２を有する基板１

を準備する（ステップＳＴ１１、図１１Ａ）。次に、基板１の第１面２と反対側の第２面３に、成膜ガスとしての高次シランガスを供給し、高次シランガスが液化する温度にてシリコン含有膜４を成膜する（ステップＳＴ１２、図１１Ｂ）。次に、シリコン含有膜４にエネルギー５を与えて、基板１の第２面３に応力６を発生させる（ステップＳＴ１３、図１１Ｃ）。

[0043] 本実施形態において、ステップＳＴ１１およびステップＳＴ１２は、第１の実施形態のステップＳＴ１およびステップＳＴ２と同様に行われる。

[0044] ステップＳＴ１３においては、シリコン含有膜４にエネルギー５を与えて基板１の第２面３に応力６を発生させる。すなわち、シリコン含有膜４にエネルギーを与えることによりシリコン含有膜４がシュリンクし、その際の力により基板１の第２面３に応力６が発生する。上述したように、シリコン含有膜４はシュリンク能力が高いので大きな応力を発生させることができる。このように基板１の第２面３に応力を発生させることにより、第１面２にデバイスを形成する際の膜形成により基板１に生じる応力を緩和することができる。また、基板１の第２面３に応力を発生させることにより、基板１を積極的に歪ませることもできる。

[0045] シリコン含有膜４にエネルギーを与える方法は特に限定されず、熱エネルギーや光エネルギー等を用いることができる。ステップＳＴ１３では、シリコン含有膜４に与えるエネルギー量を調整することにより、シリコン含有膜４のシュリンク量を調整して基板１の第２面３に発生させる応力を調整することができる。

[0046] シリコン含有膜にエネルギーを与える方法としてアニールを用いることができる。アニールに際しては、例えば、アニール温度および／またはアニール時間を調整することによりエネルギー量を調整して応力調整を行うことができる。アニールは熱アニールであっても光アニールであってもよい。アニールは、抵抗発熱体、加熱ランプ、ＬＥＤ、ＵＶ光源等、種々のものを用いて行うことができる。アニール温度は、１００～４００℃であってよく、特に１００～２００℃で効果が高い。また、アニール時間は１０秒～１２時間

であってよく、例えば１時間程度である。

[0047] 特許文献１のような基板の第２面に一般的なＣＶＤやＡＬＤで基板に応力を発生する膜を形成する技術の場合、膜を形成した後に応力を調整することは困難であるが、本実施形態では、アニール等の簡易な手法で基板に発生する応力を調整することができる。

[0048] ステップＳＴ１３では、シリコン含有膜４の全体にエネルギーを与えても、シリコン含有膜４に局所的にエネルギーを与えてもよい。全体にエネルギーを与えることにより、シリコン含有膜４が全体的にシュリンクし、基板１の第２面３の全面に応力を発生させることができる。また、局所的にエネルギーを与えることにより、シリコン含有膜４のエネルギーが与えられた部分のみがシュリンクし、基板１の第２面３のその部分に対応する部分のみに局部的に応力を発生させることができる。このように局所的に応力を発生させることにより、例えば、基板１の第１面２に存在する局所的な応力を緩和することができる。

[0049] シリコン含有膜４は、基板１の第２面３に応力を発生させた後、残存させてもよく、除去してもよい。すなわち、シリコン含有膜４は、基板１に応力を発生させ、第１面２にデバイスを形成した後、不要になる場合があるが、残存させてもデバイスに悪影響を与えず、また残存させることにより除去の手間が省ける。また、シリコン含有膜４は、除去する場合も容易に除去可能であり、除去することにより全体を薄くでき、また平坦性を高められるというメリットがある。したがって、デバイス形成時の要請に従って、シリコン含有膜４を残存させるか除去するかを決定すればよい。シリコン含有膜４を除去する場合には、シリコン含有膜４にエネルギー５を与えて基板１の第２面３に応力６を発生させる工程（ステップＳＴ１３）の後に、シリコン含有膜４を除去する工程を実施する。

[0050] ［基板処理システム］

図１２は、第２の実施形態の実施に用いられる基板処理システムの一例を模式的に示す平面図である。図１２に示す基板処理システム３００は、クラ

スタ構造（マルチチャンバタイプ）のシステムであり、基板処理装置３１０と、アニール装置３２０と、搬送室３３０と、搬送装置３４０と、ロードロック室３５０と、ローダーモジュール３６０と、全体制御部３７０と、を備えている。

[0051] 基板処理装置３１０は、基板Wの第２面に成膜ガスとしての高次シランガスを液化する温度で供給し、第２面にシリコン含有膜を成膜するものであり、第１の実施形態の基板処理装置１００と同様に構成されていてよい。

[0052] アニール装置３２０は、基板の第２面に形成されたシリコン含有膜をアニールしてシリコン含有膜にエネルギーを与え、基板Wの第２面に応力を発生させるためのものである。アニール装置３２０の一例については後述する。

[0053] 搬送室３３０は、所定の真空雰囲気に保持され、内部に基板Wを搬送する搬送装置３４０が設けられている。搬送室３３０には、ゲートバルブ（図示せず）を介して、上述した基板処理装置３１０およびアニール装置３２０、ならびに、ロードロック室３５０が接続されている。搬送装置３４０は、基板処理装置３１０、アニール装置３２０、および、ロードロック室３５０の間で基板Wを搬送する。

[0054] ロードロック室３５０は、ローダーモジュール３６０と搬送室３３０との間に設けられ、大気雰囲気と真空雰囲気とを切り替えることができるようになっている。ローダーモジュール３６０は、ロードロック室３５０にゲートバルブ（図示せず）を介して接続され隣接して配置され、大気雰囲気となっており、搬送装置（図示せず）が設けられている。ローダーモジュール３６０のロードロック室３５０と反対側の壁面にはロードポートが設けられ、ロードポートには、基板Wを収容したまたは空のキャリア（例えば、ＦＯＵＰ（Front Opening Unified Pod））が取り付けられる。ローダーモジュール３６０の搬送装置は、ロードロック室３５０とロードポートに取り付けられたキャリアの間で基板Wの搬送を行う。

[0055] 全体制御部３７０はコンピュータで構成されており、ＣＰＵを備えた主制御部と、入力装置（キーボード、マウス等）、出力装置（プリンタ等）、表

示装置（ディスプレイ等）、記憶装置（記憶媒体）を有している。主制御部は、基板処理装置３１０、アニール装置３２０の処理、搬送装置３４０やローダーモジュール３６０の搬送装置、ゲートバルブの開閉等を制御する。全体制御部３７０は、基板処理装置３１０、アニール装置３２０の制御部の上位制御部として構成されていてもよい。

[0056] 基板処理システム３００においては、まず、ローダーモジュール３６０内の搬送装置（図示せず）によりロードポートに接続されたキャリアから基板Ｗを取り出し、大気雰囲気のロードロック室３５０に搬入する。

[0057] そして、ロードロック室３５０を真空雰囲気とし、ロードロック室３５０内の基板Ｗを、搬送装置３４０により基板処理装置３１０に搬入する。基板処理装置３１０では、基板Ｗの第２面に成膜ガスとしての高次シランガスを液化する温度で供給し、第２面にシリコン含有膜を成膜する。その後、搬送装置３４０によりシリコン含有膜が成膜された基板Ｗを基板処理装置３１０から搬出し、アニール装置３２０に搬入する。アニール装置３２０では、基板Ｗの第２面に成膜されたシリコン含有膜をアニールしてシュリンクさせることにより基板の第２面に応力を発生させる。その後、搬送装置３４０によりアニール処理された基板Ｗを搬出し、ロードロック室３５０に搬送する。

[0058] そして、ロードロック室３５０を大気雰囲気として、ローダーモジュール３６０内の搬送装置によりロードロック室３５０内の基板Ｗをキャリアに戻す。

[0059] 以上のような処理を、複数の基板Ｗについて同時並行的に行い、キャリア内の複数枚の基板Ｗの処理を完了させる。

[0060] ［アニール装置］

図１３はアニール装置３２０の一例を示す断面図である。

アニール装置３２０は、チャンバー（図示せず）と、チャンバー内に設けられた基板Ｗを載置する載置台１１０と、ＬＥＤにより加熱する加熱機構１４０と、制御部１６０と、を有している。

[0061] 載置台１１０は、天板部としてのトッププレート１２０と流路形成部材１

３０とを有している。トッププレート１２０は流路形成部材１３０の上にシールリング１３１を介して取り付けられている。基板Wは第２面にシリコン含有膜が成膜されており、トッププレート１２０の表面にシリコン含有膜を下にして吸着保持される。

[0062] トッププレート１２０には、複数の温度センサ１２１が平面視において互いに離間した位置に埋設されている。トッププレート１２０は、基板Wと同程度の直径を有する円板状に形成されており、例えばＳｉＣで構成される。ＳｉＣは、熱伝導率およびヤング率が高く、また、後述する加熱機構１４０のＬＥＤ１４１からの光に対する吸収効率も高く、加熱機構１４０からの光により効率的に加熱することができる。

[0063] 流路形成部材１３０は、トッププレート１２０と略同径の円板状に形成されており、後述するＬＥＤからの光の波長に対して透明な材料で構成されている。流路形成部材１３０の上部には、温調媒体を流すための溝が形成されており、該溝は、トッププレート１２０に覆われて温調媒体流路Ｒとなる。流路形成部材１３０の側部には、温調媒体流路Ｒに温調媒体を供給するための供給口１３２と温調媒体を排出するための排出口１３３が形成されており、これらにはそれぞれ温調媒体供給配管１５０および温調媒体排出配管１５１が接続され、温調媒体流路Ｒに温調媒体が循環供給される。温調媒体供給配管１５０にはバルブ１５２が設けられている。温調媒体流路Ｒに所定温度の温調媒体が通流されることにより、載置台１１０のベースとなる温度が所定温度に調整される。

[0064] 加熱機構１４０は、光照射機構として構成され、載置台１１０の基板載置面と反対側の面、すなわち流路形成部材１３０の下面と対向し、トッププレート１２０上に載置された基板Wに対応するように配置されている。加熱機構１４０は、加熱源として複数のＬＥＤ１４１を有しており、載置台１１０のトッププレート１２０にＬＥＤからの光を照射し、トッププレート１２０を介してその上に載置された基板Wのシリコン含有膜を加熱する。

[0065] 各ＬＥＤ１４１は、例えば近赤外光を射出する。ＬＥＤ１４１から射出さ

れた光は、光透過部材からなる載置台１１０の流路形成部材１３０を透過する。温調媒体流路Ｒを流れる温調媒体はＬＥＤ１４１からの光を透過する材料からなり、流路形成部材１３０および温調媒体を通過した光は、トッププレート１２０に入射する。ＬＥＤ１４１からの光が近赤外光である場合、流路形成部材１３０を構成する光透過部材として、ポリカーボネート、石英、ポリ塩化ビニル、アクリル樹脂又はガラスを用いることができる。

[0066] 加熱機構１４０は、加熱源としてのＬＥＤ１４１が複数配置されてユニット化されてなるＬＥＤユニット１４３が複数、ベース部１４２上にほぼ隙間なく配列されて構成される。各ＬＥＤユニット１４３は、オン・オフ制御および光量の制御を別個独立に行えるようになっており、基板Ｗを均一に加熱することも、局所的に加熱することも可能となっている。また、ＬＥＤユニット１４３のＬＥＤ１４１の光量を制御することにより、基板Ｗのアニール温度を制御可能となっている。ベース部１４２には冷媒流路が設けられて、冷媒により冷却されるようになっていてもよい。

[0067] 制御部１６０はコンピュータで構成されており、ＣＰＵを備えた主制御部と、入力装置（キーボード、マウス等）、出力装置（プリンタ等）、表示装置（ディスプレイ等）、記憶装置（記憶媒体）を有している。主制御部は、例えば、ＬＥＤユニット１４３ごとのＬＥＤ１４１のオンオフ制御および光量の制御や、温調媒体の流量制御等を行う。主制御部によるこれらの制御動作は、記憶装置に内蔵された記憶媒体（ハードディスク、光デスク、半導体メモリ等）に記憶された制御プログラムである処理レシピにより実行される。

[0068] このように構成されるアニール装置３２０により、基板Ｗの第２面に形成されたシリコン含有膜の全体にまたは局所的にアニール処理を行い、シリコン含有膜をシュリンクさせて、基板Ｗの第２面の全体にまたは局所的に応力を発生させることができる。

[0069] なお、上記基板処理システム３００は、シリコン含有膜の成膜を行う装置と、応力発生のためのアニールを行う装置とを搬送室に連結したクラスタ構

造のものを用いて、これらによる処理をｉｎ－ｓｉｔｕで行う例であるが、これに限らず、これらの装置を別個に設けて基板処理システムを構成してもよい。また、アニール装置としては、ＬＥＤを用いるものに限らず、抵抗発熱体、加熱ランプ、ＵＶ光源を用いてもよい。また、シリコン含有膜にエネルギーを与えることができるものであればアニール装置に限らない。

[0070] ＜第３の実施形態＞

［基板処理方法］

図１４は、第３の実施形態に係る基板処理方法を示すフローチャートであり、図１５Ａ～図１５Ｄはその工程断面図である。

[0071] 本実施形態では、最初に、デバイスが形成される第１面２を有する基板１を準備する（ステップＳＴ２１、図１５Ａ）。次に、基板１の第１面２の反対側の第２面３の応力分布を測定する（ステップＳＴ２２）。この応力分布の測定は基板１の第２の面３の全面であってもよいし、一部であってもよい。応力分布の測定は、例えば、図１５Ｂに示すように、応力測定部７を、基板１の第２面３上でスキャンさせることより行うことができる。次に、基板１の第２面３に、成膜ガスとしての高次シランガスを供給し、高次シランガスが液化する温度にてシリコン含有膜４を成膜する（ステップＳＴ２３、図１５Ｃ）。次に、ステップＳＴ２２で測定された応力分布に応じて、シリコン含有膜４に局所的にエネルギー５を与えて、基板１の第２面３に、測定された応力分布が緩和されるように局所的に応力６を発生させる（ステップＳＴ２４、図１５Ｄ）。

[0072] 本実施形態において、ステップＳＴ２１およびステップ２３は、第１の実施形態のステップＳＴ１およびステップＳＴ２と同様に行われる。

[0073] ステップＳＴ２２において、基板１の第２面３の応力分布を測定する手法は特に限定されないが、ラマン分光法による測定を用いることができる。基板が例えばＳｉ基板である場合、基板１の応力は、基板１にレーザー光を照射してラマン散乱光のスペクトル（ラマンスペクトル）を求め、Ｓｉ結晶（応力がかかっていない結晶）のピークである５２０（cm^{-1}）からのシフト

量（ラマンシフト）から、上記（１）式により計算することができる。基板１の第２面３の応力分布は、応力測定部としてレーザー光源や対物レンズ、分光器、検出器等を有するものを用い、レーザー光を第２面３上でスキャンすることにより測定することができる。すなわち、応力分布は、基板１の第２面３上でレーザー光をスキャンし、ラマン散乱光からラマンスペクトルを測定し、基板１の第２面３上の各位置でのシリコンピークのラマンシフトを求め、各位置の応力を算出することにより求めることができる。

[0074] ステップＳＴ２４では、ステップＳＴ２２で測定された基板１の第２面３の応力分布に基づいて、シリコン含有膜４に局所的にエネルギーを与えてシュリンクさせ、測定された応力分布が緩和されるように、基板１の第２面３に応力を発生させる。すなわち、ステップＳＴ２４では、基板１の第２面３で応力が測定された箇所に、その応力分布が緩和されるような応力が発生するように、シリコン含有膜４に局所的にエネルギーを与える。このような局所的にエネルギーを与える手法としては、例えば、上述したようなＬＥＤによる局所的なアニールを用いることができる。また、ＵＶ光源や加熱ランプをスキャンさせることによって局所的なアニールを行う手法であってもよい。

[0075] 上述したように、従来から、基板であるウエハの片面（第１面）にデバイスを形成する際には、膜の形成やエッチングによるパターン形成を繰り返す。近時、形成されるパターンは複雑化しており、所望のパターンのデバイスを形成後または形成途中には、パターンを構成する膜に複雑な応力が生じ、それにともない基板にも複雑で不均一な応力分布が発生する。

[0076] このため、本実施形態では、基板１の第２面３の応力分布を測定し、その後、上述したようなシュリンク能力が大きいシリコン含有膜４を成膜し、その応力分布に応じてシリコン含有膜４に対して局所的にアニール等を行う。この局所的なアニール等により、シリコン含有膜４のアニール等が行われた部分がシュリンクし、これにより、基板１の第２面３に、測定された基板の応力分布を緩和するように、局所的な応力が発生する。

[0077] 特許文献１に記載されたような、一般的なＣＶＤやＡＬＤで基板の第２面に成膜される応力緩和膜だけでは、このようなパターンに起因する複雑で不均一な応力分布には対応できない。このような技術を不均一な応力分布の緩和に用いるためには、応力緩和膜に例えばフォトリソグラフィ技術を用いたパターン形成が必要となり、極めて複雑な工程となり、その効果も限定的である。これに対して、本実施形態では、測定した応力分布に応じてアニール等を行うだけの簡易な手法で不均一な分布の応力を緩和することができる。また、本実施形態ではシリコン含有膜をシュリンクさせることにより大きな応力を発生させることができ、かつ、発生させる応力の大きさを調整できるので、不均一な応力分布に対応する応力緩和効果が大きい。

[0078] ［基板処理システム］

図１６は、第３の実施形態の実施に用いられる基板処理システムの一例を模式的に示す平面図である。図１６に示す基板処理システム４００は、クラスタ構造（マルチチャンバタイプ）のシステムであり、基板処理装置４１０と、アニール装置４２０と、応力測定装置４８０と、搬送室４３０と、搬送装置４４０と、ロードロック室４５０と、ローダーモジュール４６０と、全体制御部４７０と、を備えている。

[0079] 基板処理装置４１０は、基板Ｗの第２面に成膜ガスとしての高次シランガスを液化する温度で供給し、基板Ｗの第２面にシリコン含有膜を成膜するものであり、第１の実施形態の基板処理装置１００と同様に構成されていてよい。

[0080] アニール装置４２０は、以下に説明する応力測定装置４８０で測定された応力分布に応じて、基板Ｗの第２面に形成されたシリコン含有膜を局所的にアニールして、基板Ｗの第２面に、測定された応力が緩和されるように局所的に応力を発生させるものである。アニール装置４２０は、局所的なアニールが可能である、第２の実施形態のアニール装置３２０と同様に構成されていてよい。

[0081] 応力測定装置４８０は、例えば図１７に示すように、基板Ｗを載置するス

テージ５０１と、レーザー光源５０２と、対物レンズ５０３と、分光器５０４と、スペクトルを測定するマルチチャンネル検出器５０５と、制御部５０６とを有している。基板Wは第２面を上にしてステージ５０１に載置される。ステージ５０１は平面内で自在に移動可能であり、レーザー光を基板Wの第２面上でスキャン可能となっている。光学系を移動させてレーザー光をスキャンしてもよい。レーザー光源５０２からのレーザー光は、対物レンズ５０３を介して基板Wの第２面に照射される。そして、それにより基板Wの第２面から発生したラマン散乱光が対物レンズ５０３により集光されて分光器５０４に導かれ、マルチチャンネル検出器５０５によりラマンスペクトルが測定される。制御部５０６は、応力測定装置４８０の各構成部を制御するとともに演算部として機能し、制御部５０６によりラマンスペクトルからシリコンのピークのラマンシフトを求め、応力を算出する。

[0082] 搬送室４３０は、所定の真空雰囲気に保持され、内部に基板Wを搬送する搬送装置４４０が設けられている。搬送室４３０には、ゲートバルブ（図示せず）を介して、上述した基板処理装置４１０、アニール装置４２０、応力測定装置４８０、ならびに、ロードロック室４５０が接続されている。搬送装置４４０は、基板処理装置４１０、アニール装置４２０、応力測定装置４８０、および、ロードロック室４５０の間で基板Wを搬送する。

[0083] ロードロック室４５０、ローダーモジュール４６０は、第２の実施形態の基板処理システム３００のロードロック室３５０、ローダーモジュール３６０と同様に構成されている。ローダーモジュール４６０には搬送装置が設けられおり、その搬送装置は、ロードロック室４５０とロードポートに取り付けられたキャリアの間で基板Wの搬送を行う。

[0084] 全体制御部４７０はコンピュータで構成されており、第２の実施形態の基板処理システム３００における全体制御部３７０と同様に構成されており、基板処理装置４１０、アニール装置４２０、応力測定装置４８０の処理、搬送装置４４０やローダーモジュール４６０の搬送装置、ゲートバルブの開閉等を制御する。また、全体制御部４７０は、応力測定装置４８０で測定され

た応力分布を記憶し、それに応じてアニール装置４２０にアニールする部位の指令を与える。全体制御部４７０は、基板処理装置４１０、アニール装置４２０、応力測定装置４８０の制御部の上位制御部として構成されていてもよい。

[0085] 基板処理システム４００においては、まず、ローダーモジュール４６０内の搬送装置（図示せず）によりロードポートに接続されたキャリアから基板Ｗを取り出し、大気雰囲気のロードロック室４５０に搬入する。基板Ｗは第１面にデバイスが形成されていてもよいし、デバイスが形成される途中のパターンが形成されていてもよい。

[0086] そして、ロードロック室４５０を真空雰囲気とし、ロードロック室４５０内の基板Ｗを、搬送装置４４０により応力測定装置４８０に第２面を上にして搬入する。応力測定装置４８０では、基板Ｗの第２面の全面または一部の応力分布を測定する。このとき応力分布の測定結果は、全体制御部４７０に記憶される。その後、搬送装置４４０により応力分布が測定された基板Ｗを応力測定装置４８０から搬出し、基板処理装置４１０に搬入する。基板処理装置４１０では、基板Ｗの第２面に成膜ガスとしての高次シランガスを液化する温度で供給し、第２面にシリコン含有膜を成膜する。その後、搬送装置４４０によりシリコン含有膜が成膜された基板Ｗを基板処理装置４１０から搬出し、アニール装置４２０に搬入する。アニール装置４２０では、全体制御部４７０に記憶された応力測定装置４８０の応力分布測定結果に応じてシリコン含有膜４に対して局所的にアニールを行う。この局所的なアニールにより、シリコン含有膜のアニールされた部分がシュリンクし、基板Ｗの第２面に、応力測定装置４８０で測定された基板Ｗの応力分布を緩和するように、局所的な応力を発生させる。その後、搬送装置４４０によりアニール処理された基板Ｗを搬出し、ロードロック室４５０に搬送する。

[0087] そして、ロードロック室４５０を大気雰囲気として、ローダーモジュール４６０内の搬送装置によりロードロック室４５０内の基板Ｗをキャリアに戻す。

[0088] 以上のような処理を、複数の基板Wについて同時並行的に行い、キャリア内の複数枚の基板Wの処理を完了させる。

[0089] なお、上記基板処理システム４００は、シリコン含有膜の成膜を行う装置と、応力発生のためのアニールを行う装置と、応力測定装置とを搬送室に連結したクラスタ構造のものを用いて、これらによる処理をｉｎ－ｓｉｔｕで行う例であるが、これに限らず、これらの装置を別個に設けて基板処理システムを構成してもよい。また、アニール装置としては、ＬＥＤを用いるものに限らず、局所的な加熱を行えるものであればよく、ＵＶ光源や加熱ランプを用いてもよい。また、シリコン含有膜にエネルギーを与えることができるものであればアニール装置に限らない。

[0090] ＜他の適用＞

以上、実施形態について説明したが、今回開示された実施形態は、全ての点において例示であって制限的なものではないと考えられるべきである。上記の実施形態は、添付の特許請求の範囲およびその主旨を逸脱することなく、様々な形態で省略、置換、変更されてもよい。

[0091] 例えば、上記実施形態では、基板の第２面に成膜されるシリコン含有膜としてＳｉ膜およびＳｉO_2膜を例示したが、これに限定されるものではなくＳｉＮ膜等の他のＳｉ含有膜であってもよい。

[0092] また、上記実施形態では、シリコン含有膜を成膜する基板処理装置として、載置台により基板を冷却し、容量結合プラズマを用いて処理する装置を例示したが、これに限るものではない。例えば、基板の冷却手法に関しては、高次シランガスが液化する温度で成膜できれば載置台により冷却する手法に限定されない。また、プラズマについても、容量結合プラズマに限らず、誘導結合プラズマやマイクロ波プラズマであってもよく、また、リモートプラズマであってもよい。さらに、高次シランガスが液化する温度で成膜できれば、プラズマを用いない手法で成膜してもよい。

[0093] さらに、アニール装置や応力測定装置も例示に過ぎず、所期の目的を達成できるものであればそれらの構成は限定されるものではない。

符号の説明

[0094] １；基板、２；第１面、３；第２面、４；シリコン含有膜、５；エネルギー、６；応力、７；応力測定部、１０；チャンバー、１６；載置台（下部電極）、２８；冷媒室、３４；上部電極、５０；ガス供給部、７０，１６０，５０６；制御部、８８，９１；高周波電源、１００，３１０，４１０；基板処理装置、３００，４００；基板処理システム、３２０，４２０；アニール装置、３３０，４３０；搬送室、３４０，４４０；搬送装置、３５０，４５０；ロードロック室、３６０，４６０；ローダーモジュール、３７０，４７０；全体制御部、４８０；応力測定装置、Ｗ；基板

請求の範囲

[請求項1] デバイスが形成される第１面を有する基板を準備することと、

成膜ガスとして高次シランガスを用い、前記基板の前記第１面と反対側の第２面に、前記高次シランガスが液化する温度にてシリコン含有膜を成膜することと、

を有する、基板処理方法。

[請求項2] 前記シリコン含有膜を成膜することは、チャンバー内の載置台に前記基板を載置し、前記載置台を前記高次シランガスが液化する温度に保持し、前記チャンバー内に前記高次シランガスを導入して前記基板の前記第２面に供給することにより、前記第２面に前記シリコン含有膜を成膜する、請求項１に記載の基板処理方法。

[請求項3] 前記高次シランガスをプラズマで励起した状態で前記基板の前記第２面に供給する、請求項２に記載の基板処理方法。

[請求項4] 前記シリコン含有膜を成膜することの後に、前記シリコン含有膜にエネルギーを与えて前記基板の前記第２面に応力を発生させることをさらに有する、請求項１に記載の基板処理方法。

[請求項5] 前記シリコン含有膜にエネルギーを与えた際に、前記シリコン含有膜がシュリンクし、それにより前記基板の前記第２面に応力を発生させる、請求項４に記載の基板処理方法。

[請求項6] 前記基板の前記第２面に応力を発生させることを実施する際に、前記シリコン含有膜に与えるエネルギーの量によって、前記シリコン含有膜のシュリンク量を制御し、前記基板の前記第２面に発生する応力を制御する、請求項５に記載の基板処理方法。

[請求項7] 前記基板の前記第２面に応力を発生させることを実施する際に、前記シリコン含有膜をアニールすることにより前記シリコン含有膜にエネルギーを与える、請求項５に記載の基板処理方法。

[請求項8] 前記基板の前記第２面に応力を発生させることを実施する際に、前記アニールの温度および／または時間により、前記シリコン含有膜の

シュリンク量を制御し、前記基板の前記第２面に発生する応力を制御する、請求項７に記載の基板処理方法。

[請求項9] 前記シリコン含有膜を成膜することの前に、前記第２面の応力分布を測定することをさらに有し、

前記シリコン含有膜にエネルギーを与えて前記基板の前記第２面に応力を発生させることは、測定された前記応力分布に応じて、前記シリコン含有膜に局所的にエネルギーを与えて、前記基板の前記第２面に、測定された前記応力分布が緩和されるように局所的に応力を発生させる、請求項４に記載の基板処理方法。

[請求項10] 前記応力分布を測定することは、ラマン分光法によるラマンスペクトルの結晶ピークのシフト量から前記基板の前記第２面の応力を算出する、請求項９に記載の基板処理方法。

[請求項11] 前記シリコン含有膜にエネルギーを与えて前記基板の前記第２面に応力を発生させることは、加熱源として、ＬＥＤが複数配置されてユニット化されてなるＬＥＤユニットを、前記基板の前記第２面に成膜された前記シリコン含有膜に対応するように複数配列したものを用い、前記ＬＥＤユニットをオン・オフして、前記シリコン含有膜を局所的に加熱することにより行う、請求項９に記載の基板処理方法。

[請求項12] デバイスが形成される第１面を有する基板を収容するチャンバーと、

前記基板の前記第１面と反対側の第２面がガス供給面となるように前記基板を載置する載置台と、

前記基板に成膜ガスとして高次シランガスを供給するガス供給部と、

前記基板を、前記載置台を介して前記高次シランガスが液化する温度に冷却する冷却手段と、

を有し、

前記基板の前記第２面に前記高次シランガスを供給し、前記基板の

前記第２面にシリコン含有膜を成膜する、基板処理装置。

[請求項13] 前記高次シランガスを励起するプラズマ生成手段をさらに有する、請求項１２に記載の基板処理装置。

[請求項14] 請求項１２に記載の基板処理装置と、

前記基板処理装置により成膜された前記シリコン含有膜にエネルギーを与えて前記基板の前記第２面に応力を発生させる装置と、

を有する、基板処理システム。

[請求項15] 前記シリコン含有膜にエネルギーを与えて前記基板の前記第２面に応力を発生させる装置は、アニール装置である、請求項１４に記載の基板処理システム。

[請求項16] 前記アニール装置は、アニールの温度および／または時間により、前記基板の前記第２面に発生する応力を制御する、請求項１５に記載の基板処理システム。

[請求項17] 前記基板処理装置によりシリコン含有膜を成膜する前に、前記第２面の応力分布を測定する応力測定装置をさらに有し、

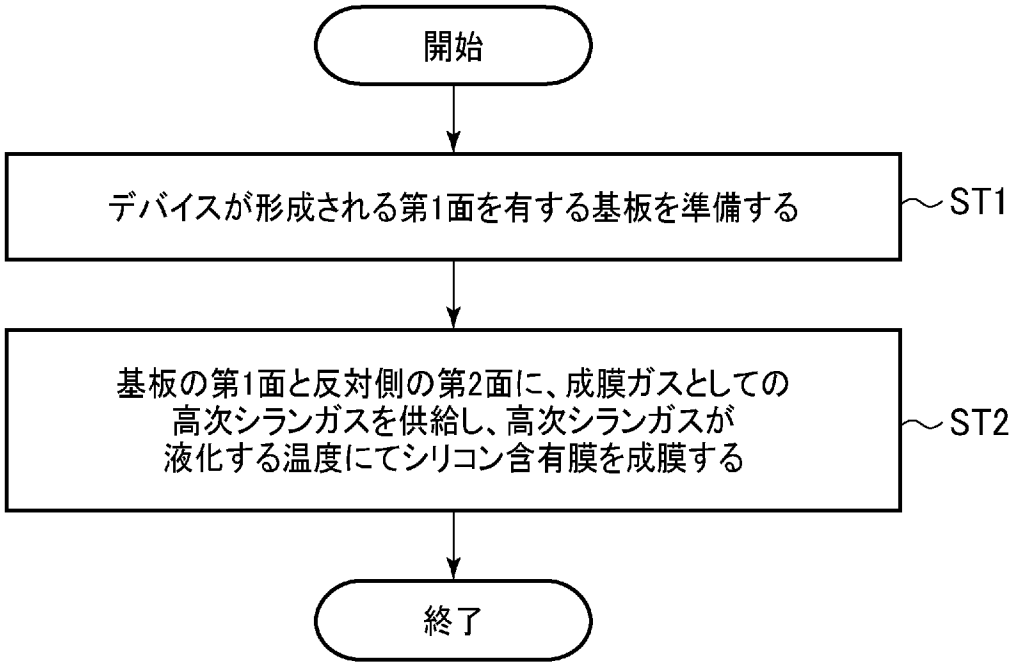
前記シリコン含有膜にエネルギーを与えて前記基板の前記第２面に応力を発生させる装置は、測定された前記応力分布に応じて、前記シリコン含有膜に局所的にエネルギーを与えて、前記基板の前記第２面に、測定された前記応力分布が緩和されるように局所的に応力を発生させる、請求項１４に記載の基板処理システム。

[請求項18] 前記応力測定装置は、ラマン分光法によるラマンスペクトルの結晶ピークのシフト量から前記基板の前記第２面の応力を算出する、請求項１７に記載の基板処理システム。

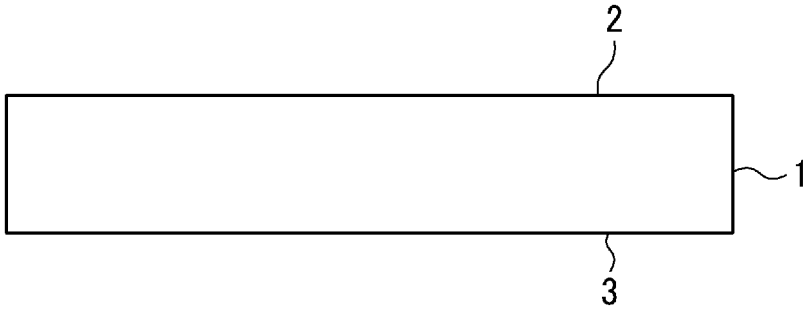
[請求項19] 前記シリコン含有膜にエネルギーを与えて前記基板の前記第２面に応力を発生させる装置は、ＬＥＤが複数配置されてユニット化されてなるＬＥＤユニットを、前記基板の前記第２面に成膜された前記シリコン含有膜に対応するように複数配列して設けた加熱源を有し、前記ＬＥＤユニットをオン・オフすることにより、前記シリコン含有膜を

局所的に加熱する、請求項１７に記載の基板処理システム。

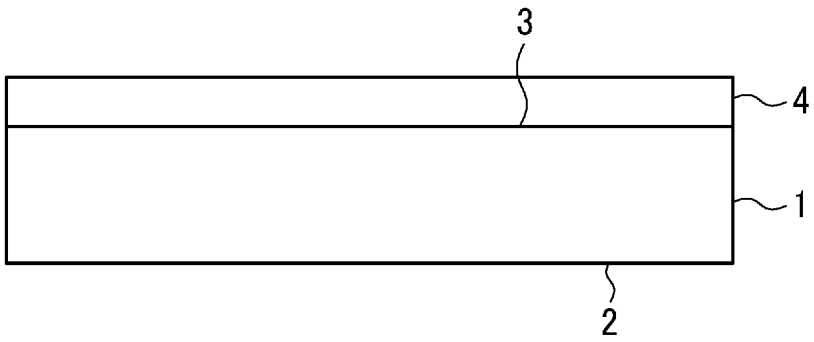
[図1]


開始
デバイスが形成される第1面を有する基板を準備する
ST1
基板の第1面と反対側の第2面に、成膜ガスとしての
高次シランガスを供給し、高次シランガスが
液化する温度にてシリコン含有膜を成膜する
ST2
終了

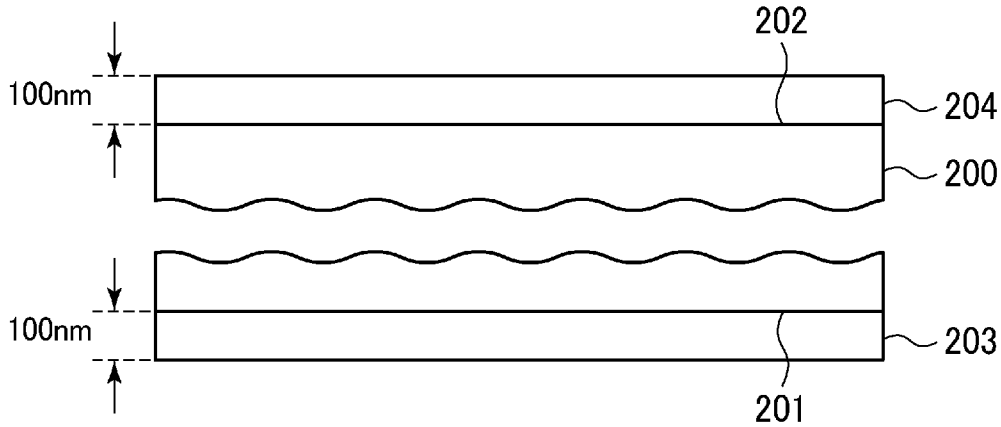
[図2A]


2
1
3

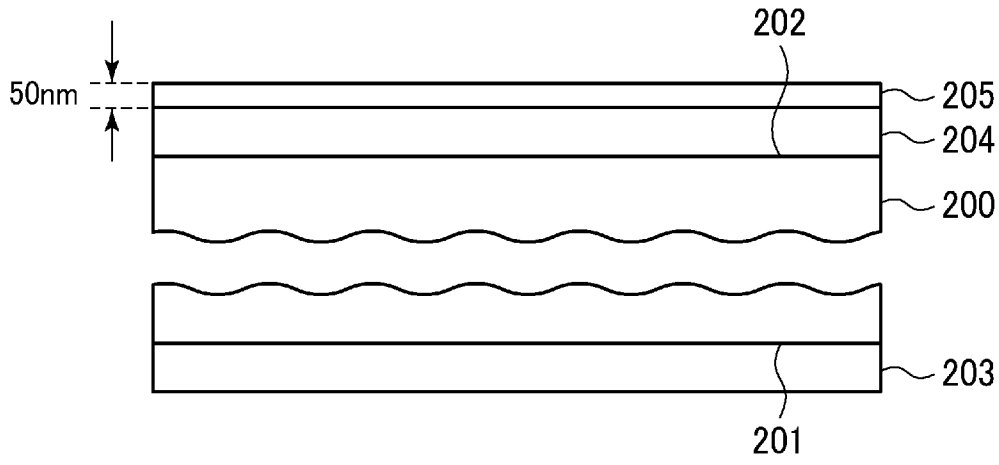
[図2B]


3
4
1
2

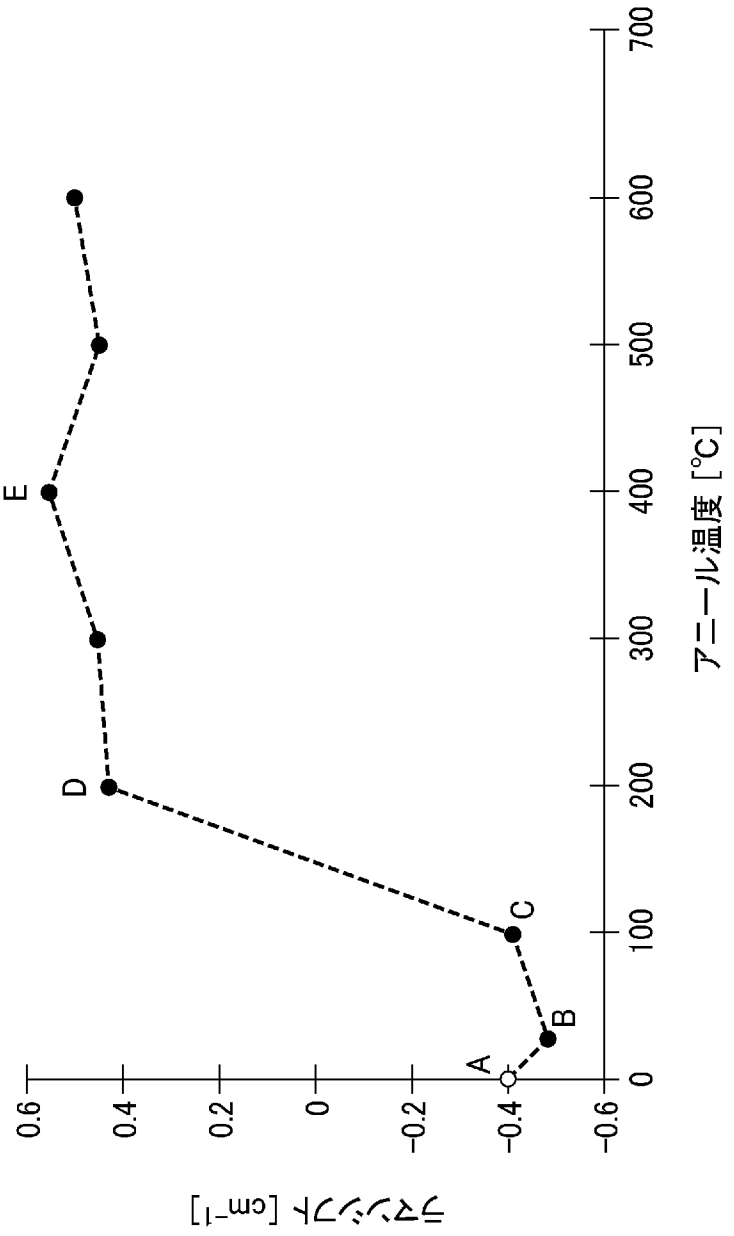
[図3]


202
100nm
204
200
100nm
203
201

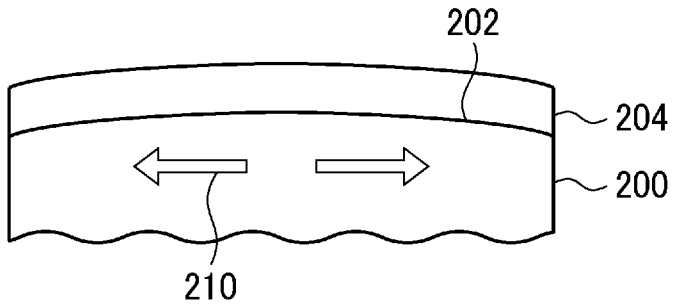
[図4]


202
50nm
205
204
200
203
201

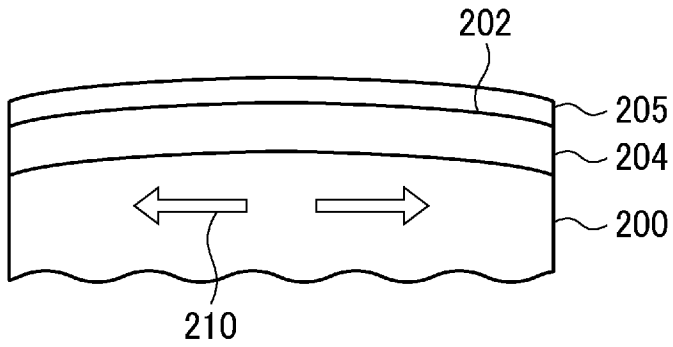
[図5]


シフト量 [cm⁻¹]
0.6
0.4
0.2
0
−0.2
−0.4
−0.6
0
100
200
300
400
500
600
700
アニール温度 [°C]
A
B
C
D
E

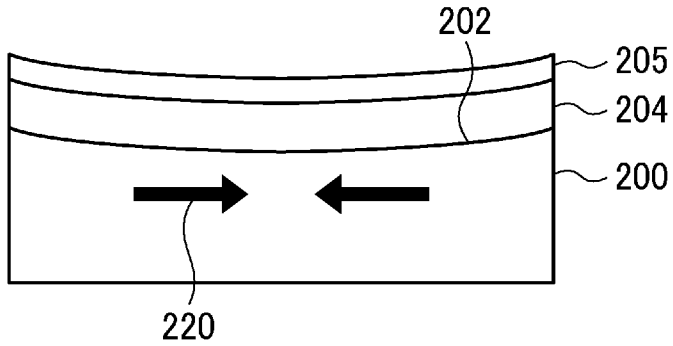
[図6]



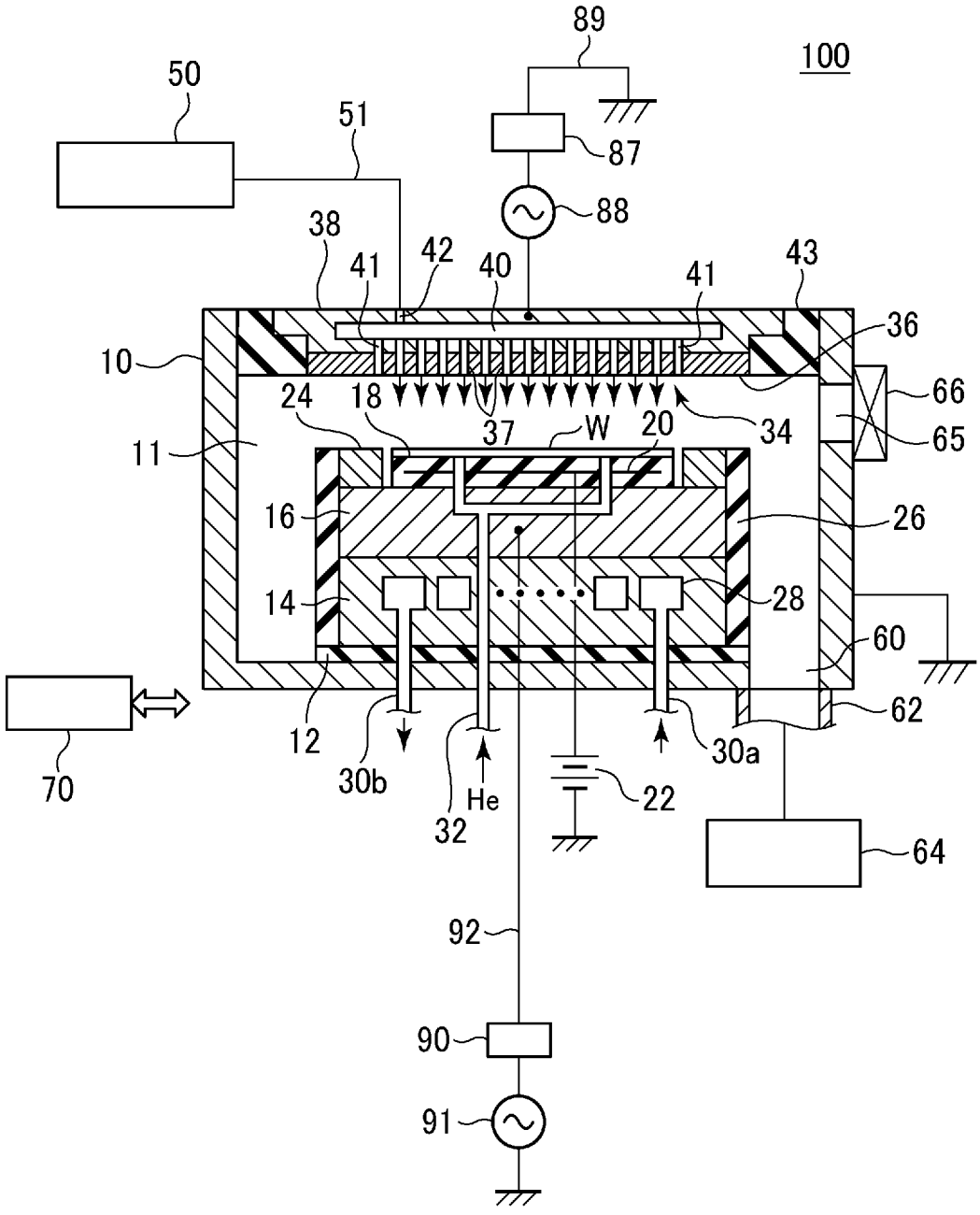
[図7]



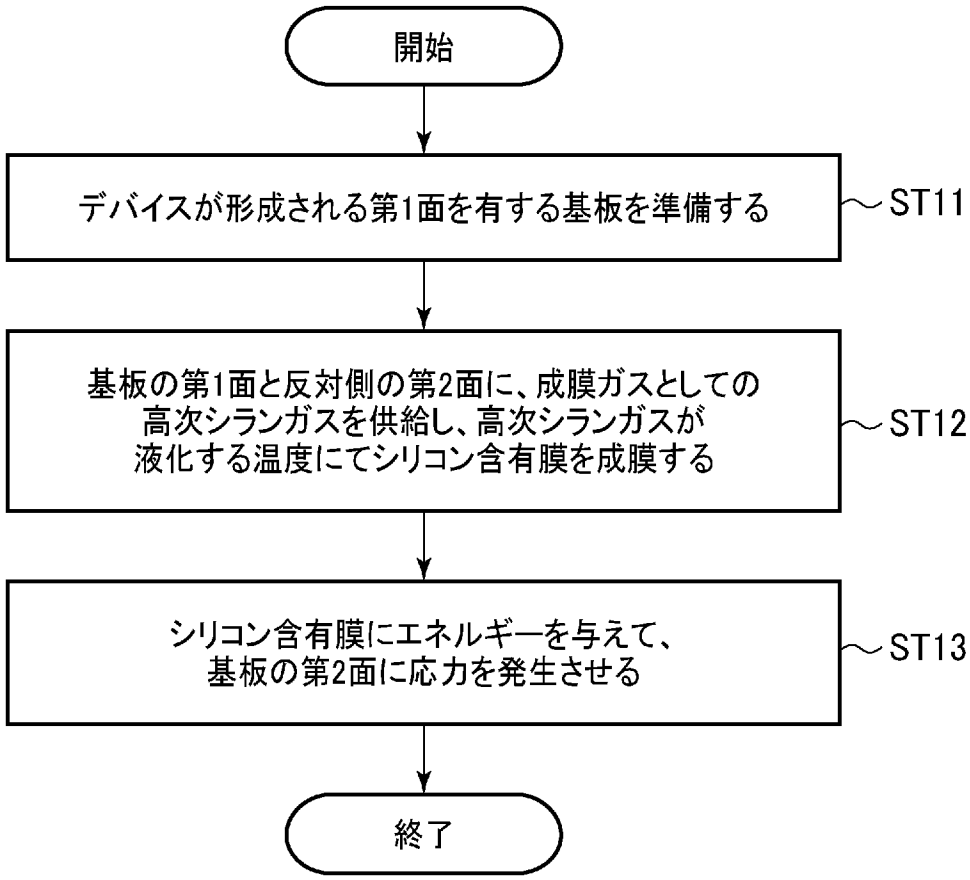
[図8]



[図9]


89
100
50
51
87
88
38
41
42
40
41
43
36
10
66
24
18
37
W
20
34
65
11
16
26
14
28
60
62
12
30b
He
32
22
30a
70
64
92
90
91

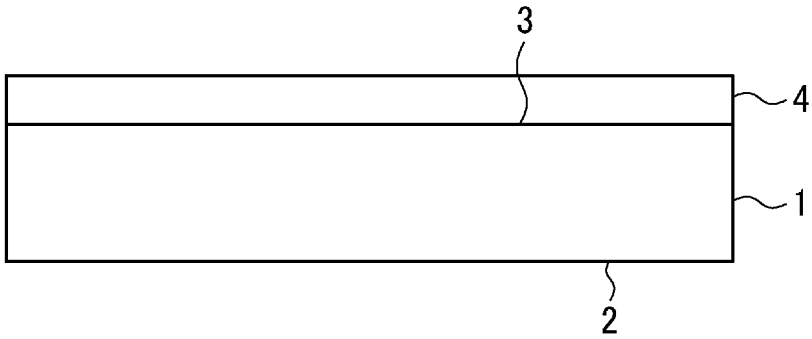
[図10]


開始
デバイスが形成される第1面を有する基板を準備する
ST11
基板の第1面と反対側の第2面に、成膜ガスとしての
高次シランガスを供給し、高次シランガスが
液化する温度にてシリコン含有膜を成膜する
ST12
シリコン含有膜にエネルギーを与えて、
基板の第2面に応力を発生させる
ST13
終了

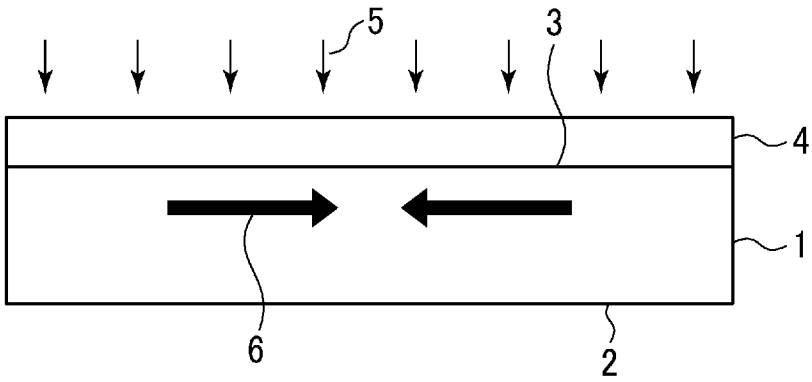
[図11A]



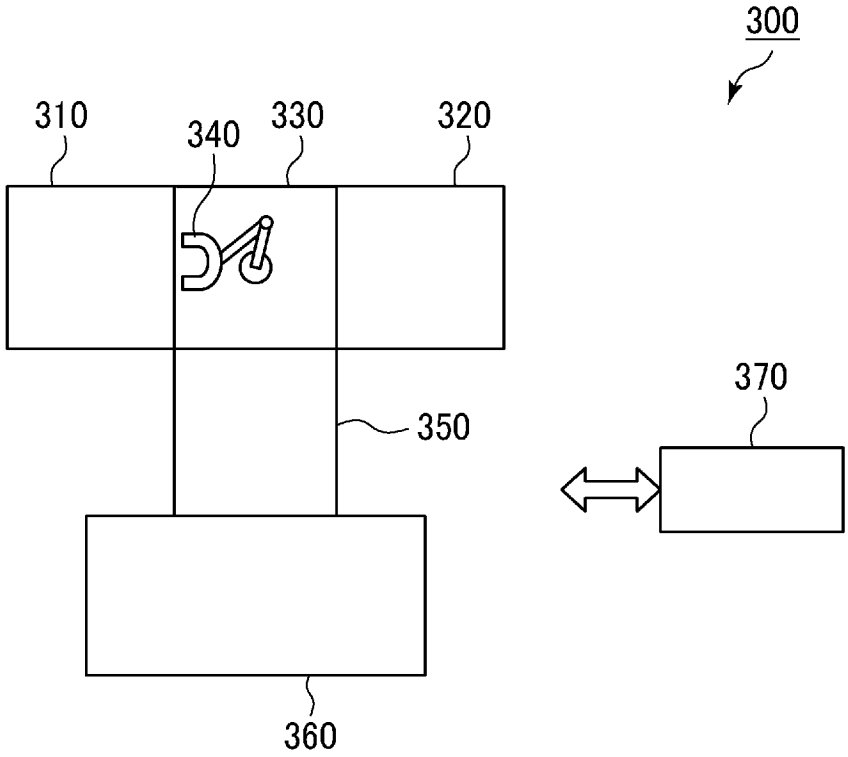
[図11B]



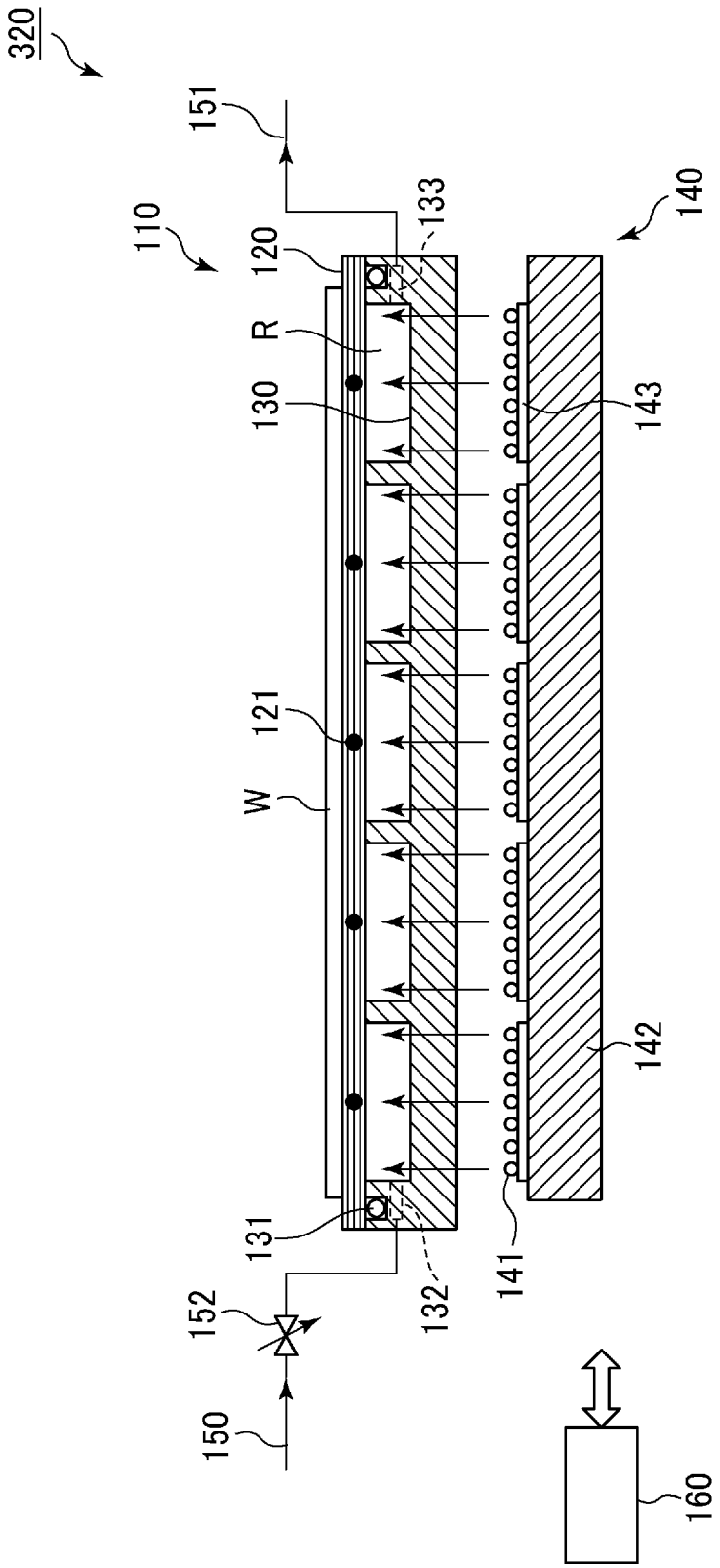
[図11C]



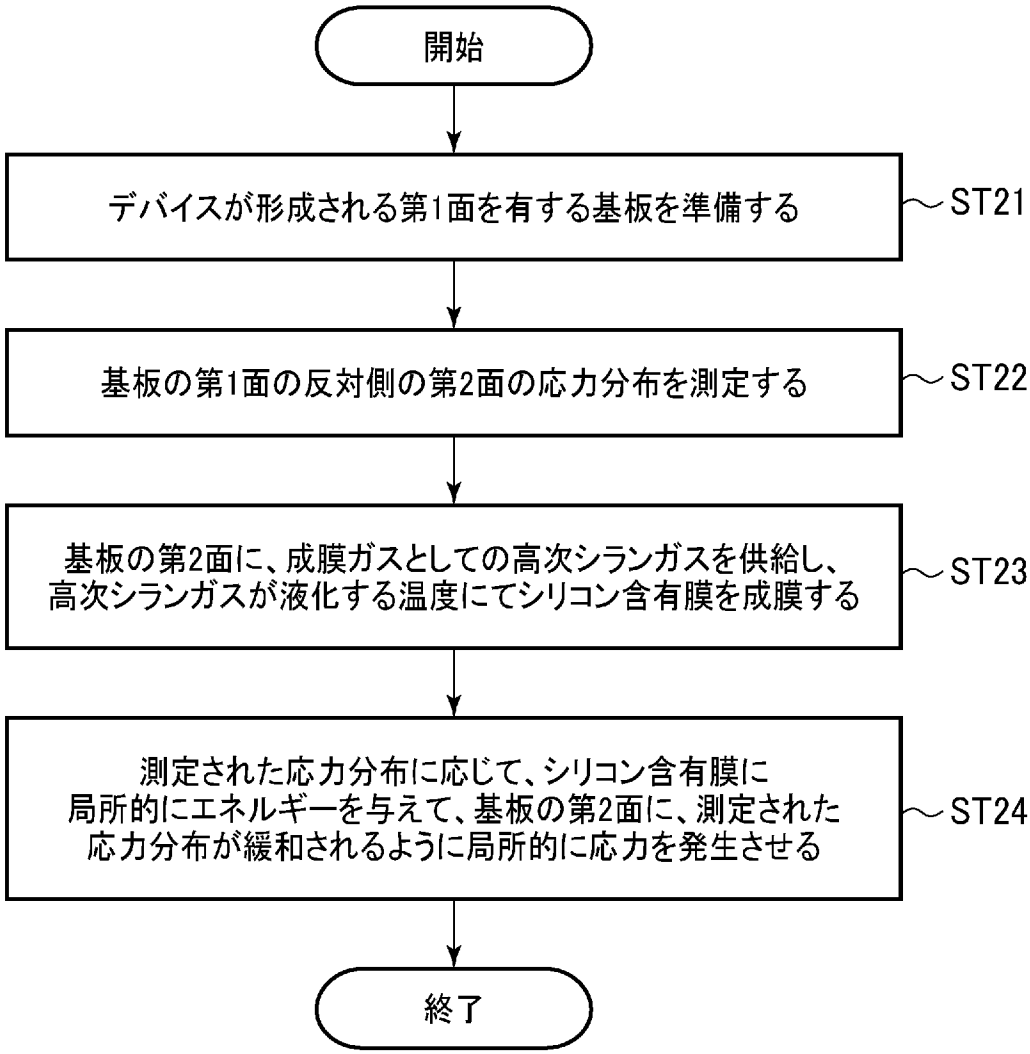
[図12]



[図13]


320
151
110
120
133
140
R
130
143
121
W
142
131
141
152
132
150
160

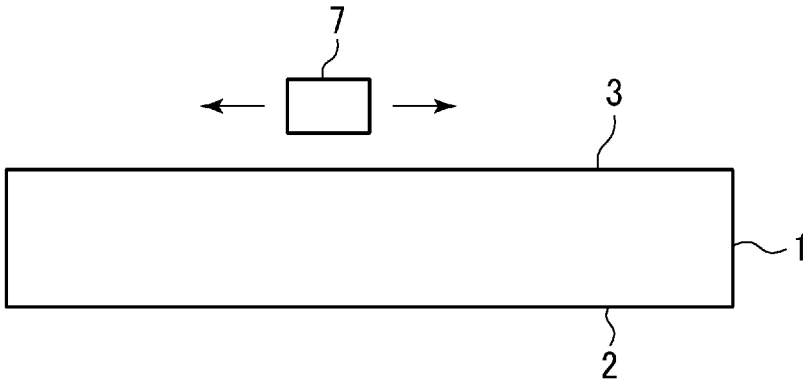
[図14]


開始
デバイスが形成される第1面を有する基板を準備する
ST21
基板の第1面の反対側の第2面の応力分布を測定する
ST22
基板の第2面に、成膜ガスとしての高次シランガスを供給し、
高次シランガスが液化する温度にてシリコン含有膜を成膜する
ST23
測定された応力分布に応じて、シリコン含有膜に
局所的にエネルギーを与えて、基板の第2面に、測定された
応力分布が緩和されるように局所的に応力を発生させる
ST24
終了

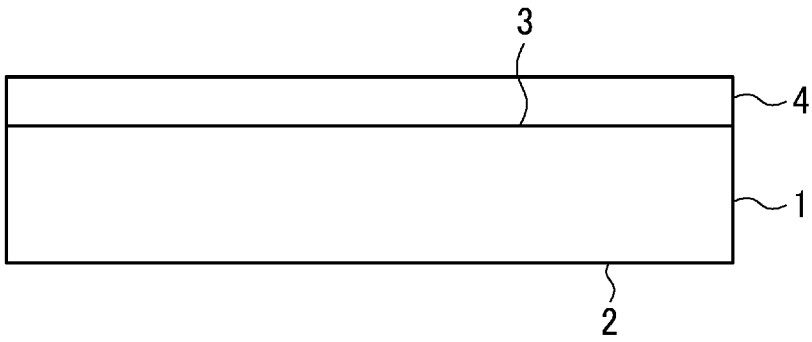
[図15A]



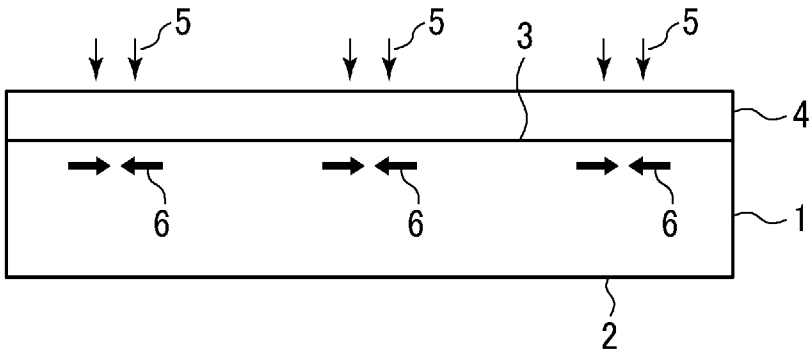
[図15B]



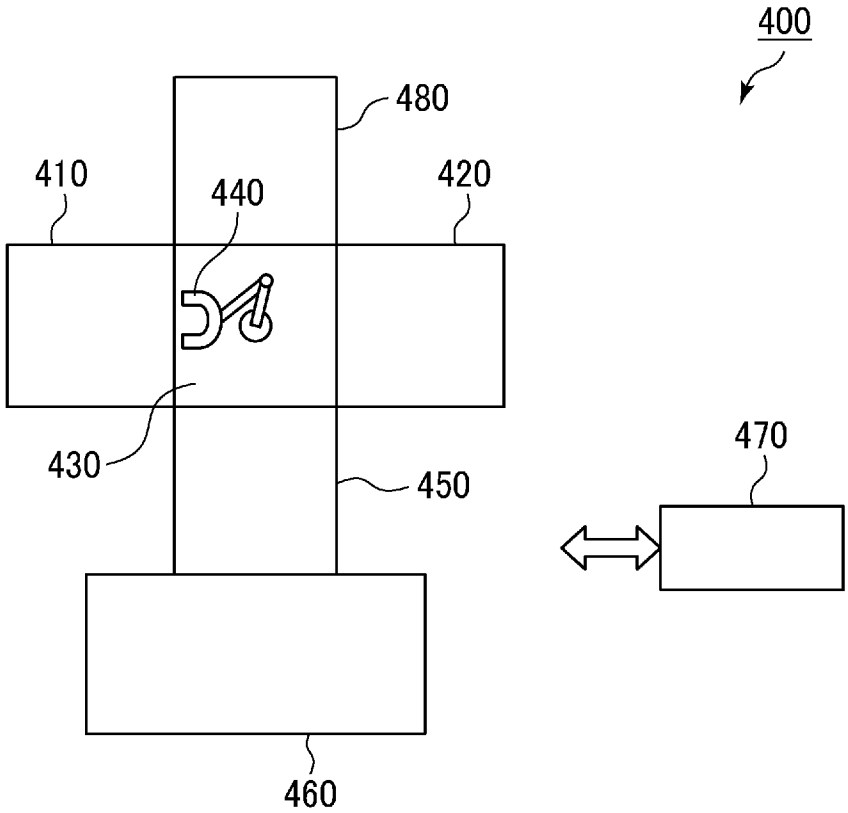
[図15C]



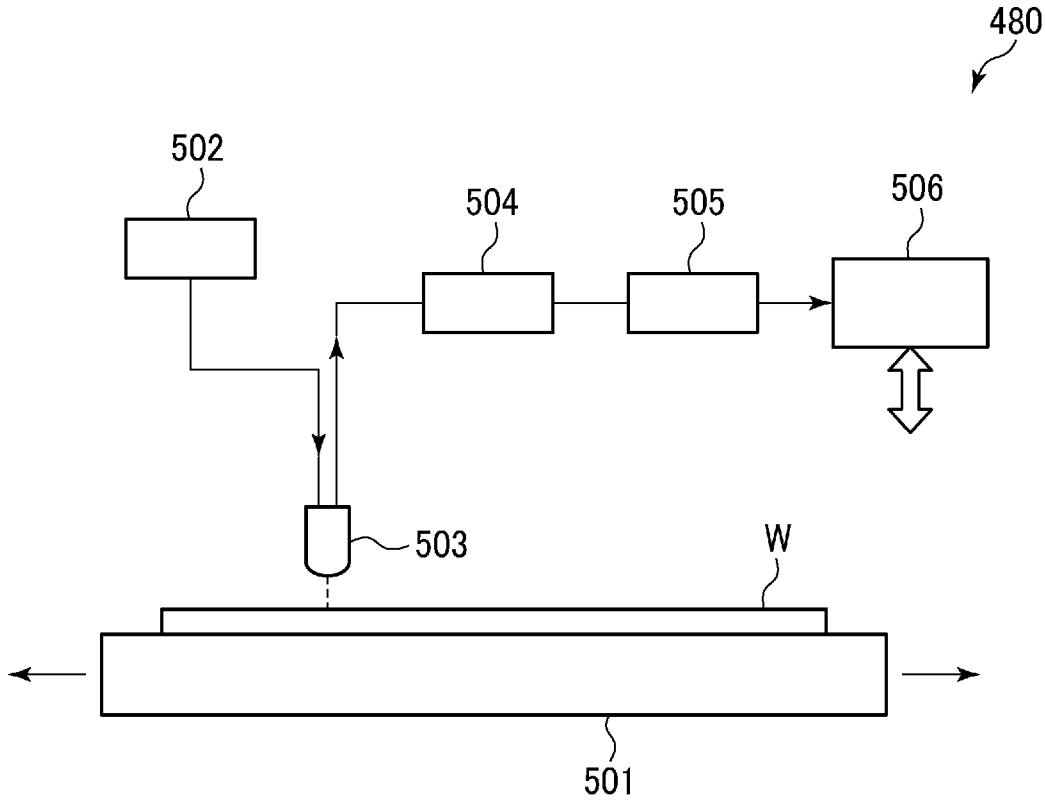
[図15D]



[図16]



[図17]



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2024/042503

A. CLASSIFICATION OF SUBJECT MATTER

H01L 21/205(2006.01)i; ***C23C 16/40***(2006.01)i; ***C23C 16/50***(2006.01)i; ***H01L 21/26***(2006.01)i; ***H01L 21/316***(2006.01)i; ***H01L 21/324***(2006.01)i
FI: H01L21/205; H01L21/26 J; H01L21/324 X; H01L21/316 B; C23C16/40; C23C16/50

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/205; C23C16/40; C23C16/50; H01L21/26; H01L21/316; H01L21/324

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2024
Registered utility model specifications of Japan 1996-2024
Published registered utility model applications of Japan 1994-2024

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 63-207121 A (NIKON CORPORATION) 26 August 1988 (1988-08-26) entire text	1-19
A	JP 2016-510507 A (APPLIED MATERIALS, INCORPORATED) 07 April 2016 (2016-04-07) entire text	1-19
A	JP 2004-318165 A (SEIKO EPSON CORPORATION) 11 November 2004 (2004-11-11) entire text	1-19
A	JP 2016-86152 A (SPP TECH CO., LTD.) 19 May 2016 (2016-05-19) entire text	1-19
A	JP 2016-21503 A (INST NATIONAL COLLEGES TECH JAPAN) 04 February 2016 (2016-02-04) entire text	1-19

☐ Further documents are listed in the continuation of Box C. ☑ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"D" document cited by the applicant in the international application
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
17 December 2024	**07 January 2025**

Name and mailing address of the ISA/JP	Authorized officer
Japan Patent Office (ISA/JP) **3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915** **Japan**	Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2024/042503

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP 63-207121 A	26 August 1988	(Family: none)	
JP 2016-510507 A	07 April 2016	US 2014/0213070 A1	
		TW 201437416 A	
		KR 10-2015-0109379 A	
JP 2004-318165 A	11 November 2004	US 5989945 A	
		EP 855614 A1	
		TW 449670 B	
		CN 1194697 A	
		KR 10-0516316 B1	
JP 2016-86152 A	19 May 2016	(Family: none)	
JP 2016-21503 A	04 February 2016	(Family: none)	

国際調査報告

国際出願番号
PCT/JP2024/042503

A. 発明の属する分野の分類（国際特許分類（ＩＰＣ））

H01L 21/205(2006.01)i; C23C 16/40(2006.01)i; C23C 16/50(2006.01)i; H01L 21/26(2006.01)i; H01L 21/316(2006.01)i; H01L 21/324(2006.01)i
FI: H01L21/205; H01L21/26 J; H01L21/324 X; H01L21/316 B; C23C16/40; C23C16/50

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

H01L21/205; C23C16/40; C23C16/50; H01L21/26; H01L21/316; H01L21/324

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０２４年
日本国実用新案登録公報	１９９６－２０２４年
日本国登録実用新案公報	１９９４－２０２４年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	JP 63-207121 A (株式会社ニコン) 26.08.1988 (1988-08-26) 全文	1-19
A	JP 2016-510507 A (アプライド マテリアルズ インコーポレイテッド) 07.04.2016 (2016-04-07) 全文	1-19
A	JP 2004-318165 A (セイコーエプソン株式会社) 11.11.2004 (2004-11-11) 全文	1-19
A	JP 2016-86152 A (ＳＰＰテクノロジーズ株式会社) 19.05.2016 (2016-05-19) 全文	1-19
A	JP 2016-21503 A (独立行政法人国立高等専門学校機構) 04.02.2016 (2016-02-04) 全文	1-19

☐ Ｃ欄の続きにも文献が列挙されている。

☑ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
"A" 特に関連のある文献ではなく、一般的技術水準を示すもの
"D" 国際出願で出願人が先行技術文献として記載した文献
"E" 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
"L" 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
"O" 口頭による開示、使用、展示等に言及する文献
"P" 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
"T" 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
"X" 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
"Y" 特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
"&" 同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
17.12.2024	07.01.2025

名称及びあて先
日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目４番３号

権限のある職員（特許庁審査官）
河合　俊英 50 3238
電話番号 03-3581-1101 内線 3514

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/JP2024/042503

引用文献	公表日	パテントファミリー文献	公表日
JP 63-207121 A	26.08.1988	（ファミリーなし）	
JP 2016-510507 A	07.04.2016	US 2014/0213070 A1	
		TW 201437416 A	
		KR 10-2015-0109379 A	
JP 2004-318165 A	11.11.2004	US 5989945 A	
		EP 855614 A1	
		TW 449670 B	
		CN 1194697 A	
		KR 10-0516316 B1	
JP 2016-86152 A	19.05.2016	（ファミリーなし）	
JP 2016-21503 A	04.02.2016	（ファミリーなし）	