(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2025-0105850
(43) 공개일자 2025년07월09일

(51) 국제특허분류(Int. Cl.)
H10B 43/30 (2023.01) *G11C 16/14* (2006.01)
G11C 16/30 (2006.01) *H10B 43/23* (2023.01)
H10D 30/69 (2025.01) *H10D 48/00* (2025.01)
H10D 64/27 (2025.01)
(52) CPC특허분류
H10B 43/30 (2023.02)
G11C 16/14 (2013.01)
(21) 출원번호 10-2023-0197372
(22) 출원일자 2023년12월29일
심사청구일자 2023년12월29일

(71) 출원인
서강대학교산학협력단
서울특별시 마포구 백범로 35 (신수동, 서강대학교)
서울시립대학교 산학협력단
서울특별시 동대문구 서울시립대로 163 (전농동, 서울시립대학교내)
(72) 발명자
김상완
서울특별시 용산구 서빙고로51길 64, 101동 502호
박재연
경기도 화성시 동탄중앙로 51, 625동 1004호
(뒷면에 계속)
(74) 대리인
특허법인에스알비

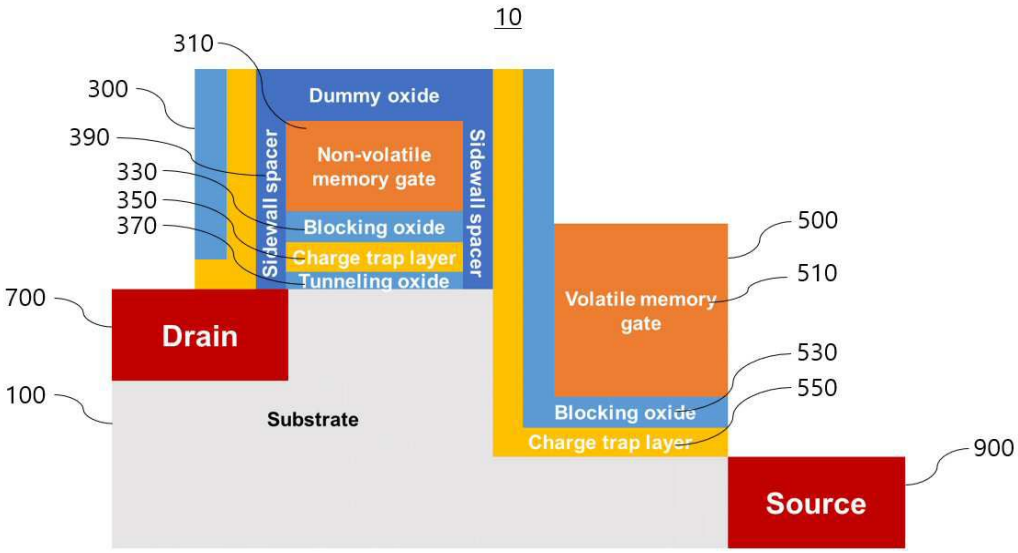
전체 청구항 수 : 총 11 항

(54) 발명의 명칭 **하나의 셀에 차지 트랩 기반 이종의 메모리를 집적한 소자 및 그 제조 방법**

(57) 요 약

본 발명은, 하나의 셀에 차지 트랩 기반 이종의 메모리를 집적한 소자에 있어서, 기판; 상기 기판 위에 형성되고 제1 게이트를 구비한 제1 메모리; 및 상기 기판 위에 형성되고 제2 게이트를 구비하되, 상기 제1 게이트와 이종의 특성을 갖는 제2 메모리;를 포함하고, 상기 제1 메모리와 상기 제2 메모리는 서로 다른 높이에 배치되는 것을 일 특징으로 한다.

대 표 도 - 도1



(52) CPC특허분류
G11C 16/30 (2013.01)
H10B 43/23 (2023.02)
H10D 30/0413 (2025.01)
H10D 30/69 (2025.01)
H10D 30/696 (2025.01)

(72) 발명자
고승원
서울특별시 마포구 숭문16나길 11, 101호
이동근
인천광역시 서구 봉오재3로 11, 407동 406호 (가정동, 루원제일풍경채)
노형주
경기도 성남시 분당구 내정로 152, 129동 203호
손재균
서울특별시 마포구 대흥로 169, 803호
김윤
서울특별시 중랑구 신내로7나길 24, 211동 2002호

이 발명을 지원한 국가연구개발사업

과제고유번호	1711186719
과제번호	2022M3I7A1078544
부처명	과학기술정보통신부
과제관리(전문)기관명	정보통신기획평가원
연구사업명	PIM인공지능 반도체 핵심기술 개발 (소자)
연구과제명	실리콘 기반 PIM 특화 소자, 회로, 응용 기술 개발
기 여 율	1/2
과제수행기관명	서울시립대학교 산학협력단
연구기간	2023.01.01 ~ 2023.12.31

이 발명을 지원한 국가연구개발사업

과제고유번호	1711179967
과제번호	2022R1A2C2092727
부처명	과학기술정보통신부
과제관리(전문)기관명	한국연구재단
연구사업명	개인기초연구(과기정통부)
연구과제명	채널 적층형 FeFET 기반 2F2 단일 트랜지스터 디램 셀
기 여 율	1/2
과제수행기관명	서강대학교
연구기간	2023.03.01 ~ 2024.02.29

명 세 서

청구범위

청구항 1

하나의 셀에 차지 트랩 기반 이종의 메모리를 집적한 소자에 있어서,

기판;

상기 기판 위에 형성되고 제1 게이트를 구비한 제1 메모리; 및

상기 기판 위에 형성되고 제2 게이트를 구비하되, 상기 제1 게이트와 이종의 특성을 갖는 제2 메모리;를 포함하고,

상기 제1 메모리와 상기 제2 메모리는 서로 다른 높이에 배치되는 것인, 소자.

청구항 2

제1항에 있어서,

상기 제1 게이트는 비휘발성 특성을 갖고,

상기 제2 게이트는 휘발성 특성을 갖는 것인, 소자.

청구항 3

제1항에 있어서,

상기 제1 게이트와 상기 기판 사이에는 제1 블로킹 산화물(blocking oxide), 제1 전하 트랩층(charge trap layer, CTL), 및 제1 터널링 산화막(tunneling oxide)이 형성되는 것인, 소자.

청구항 4

제1항에 있어서,

상기 제2 게이트와 상기 기판 사이에는 제2 블로킹 산화물(blocking oxide), 제2 전하 트랩층(charge trap layer, CTL)이 형성되는 것인, 소자.

청구항 5

제1항에 있어서,

상기 기판 상에 형성되는 드레인 전극 및 소스 전극; 및

상기 제1 게이트가 추론 동작을 수행하고, 상기 제2 게이트가 학습 동작을 수행하도록 상기 기판, 상기 드레인 전극, 상기 소스 전극, 상기 제1 게이트, 및 상기 제2 게이트에 인가되는 전압을 조절하는 제어부;를 더 포함하는 것인, 소자.

청구항 6

제5항에 있어서,

상기 제어부는,

상기 제2 게이트에 양 또는 음의 전압을 인가하고, 상기 기판, 상기 드레인 전극, 상기 소스 전극, 및 상기 제1 게이트를 접지시키는 동작을 수행하는 것인, 소자.

청구항 7

제5항에 있어서,

상기 제어부는,

상기 기판에 양의 전압을 인가하고, 상기 드레인 전극, 상기 소스 전극, 상기 제1 게이트, 및 상기 제2 게이트를 접지시켜, 상기 제1 전하 트랩층 또는 상기 제2 전하 트랩층에 트랩된 전자들을 기판으로 이동시키는 동작을 수행하는 것인, 소자.

청구항 8

제6항에 있어서,

상기 제어부는,

상기 제2 게이트에 P/E(program/erase) 전압 사이의 전압을 인가하고, 상기 제1 게이트에 채널 형성을 가능하게 하는 전압을 인가하고, 상기 드레인 전극에 양의 전압을 인가하고, 상기 기판 및 상기 소스 전극을 접지시키는 동작을 수행하는 것인, 소자.

청구항 9

하나의 셀에 차지 트랩 기반 이종의 메모리를 집적한 소자를 제조하는 방법에 있어서,

기판 상에 비휘발성 특성을 갖는 제1 메모리를 증착하는 단계;

상기 기판을 패터닝하는 단계;

상기 기판의 패터닝된 부분에 휘발성 특성을 제2 메모리를 증착하는 단계; 및

상기 기판 상에 소스 전극과 드레인 전극을 형성하는 단계;를 포함하는 것인, 방법.

청구항 10

상기 제1 메모리를 증착하는 단계는,

산화막(oxide), 질화막(nitride), 산화막, 및 도핑된 폴리실리콘막(doped poly-si) 순으로 증착하여 제1 게이트 스택을 형성하는 단계;

더미(dummy) 산화막을 상기 도핑된 폴리실리콘막 위에 증착하는 단계;

상기 제1 게이트 스택를 패터닝하는 단계; 및

스페이서(sidewall spacer) 형성을 위한 산화막을 증착하고, etch-back 공정으로 스페이서를 형성하는 단계;

를 포함하는 것인, 방법.

청구항 11

상기 제2 메모리를 증착하는 단계는,

질화막, 산화막, 및 도핑된 폴리실리콘막 순으로 증착하여 제2 게이트 스택을 형성하는 단계;

상기 제2 게이트 스택을 패터닝하는 단계; 및

상기 제2 게이트 스택을 시간 식각하여 상기 기판의 패터닝된 부분에 스페이서 형태의 게이트를 형성하는 단계;

를 포함하는 것인 방법.

발명의 설명

기 술 분 야

[0001] 본 발명은 하나의 셀에 차지 트랩 기반 이종의 메모리를 집적한 소자 및 그 제조 방법에 관한 것으로서, 특히 인공지능 모델의 연산에 적합하도록 보존성과 내구성이 우수한 하나의 셀에 차지 트랩 기반 이종의 메모리를 집적한 소자 및 그 제조 방법에 관한 것이다.

배 경 기 술

[0002] 최근 인공지능, 딥러닝 같은 기술 발달로 많은 양의 데이터를 적은 에너지로 빠르게 처리할 수 있는 컴퓨팅 시스템의 필요성이 증가하고 있다. 하지만 메모리와 연산기능이 분리된 기존 폰노이만 구조는 데이터 병목현상이 발생하게 되며, 이는 속도의 지연과 에너지 소모의 증가를 야기하므로 인공지능, 딥러닝 기술에 적용하기에는 부적합하다. 위와 같은 문제를 근본적으로 해결하기 위해 메모리 유닛 내에서 연산이 가능한 PIM(Processing-In-Memory) 기술이 제안되어오고 있다. 특히, 최근에는 PIM 기술 응용 중 DNN(Deep Neural Network) 연산을 위한 소자에 대한 연구가 개발이 활발히 진행되고 있다. DNN 동작을 위해서는 추론(inference)과 학습(training) 동작에 적합한 소자 개발이 필수적이고, 기존 CTF(charge trap flash) 소자는 기술 성숙도가 높고 우수한 retention (10 year)을 가진다는 특징을 가지고 있으며, CTF 소자는 저장된 시냅스 가중치 정보를 안정적으로 보존한다는 점에서 추론 동작에 적합하다. 하지만 높은 P/E(program/erase) 전압(±18 V) 및 느린 동작 속도(~msec)로 소비전력이 높고, 낮은 endurance(10^3) 특성을 가진다는 단점이 있다. 이러한 단점에 의해 기존 CTF 소자는 빈번한 P/E 동작이 필요한 학습동작에는 부적합하다. 이러한 문제를 해결할 수 있는 방안 중 하나로는 tunneling oxide 두께를 감소시키는 방식이 있다. 이는 상대적으로 낮은 전압에서도 P/E가 가능하기 때문에 향상된 내구성(endurance) 특성을 가질 수 있지만 얇은 tunneling oxide로 인해 CTL(charge trap layer)에 저장된 전자/정공이 쉽게 빠져나가 보존성(retention) 특성이 열화되는 문제가 발생한다. 요약하면, CTF는 tunneling oxide 두께에 따른 보존성(retention)과 내구성(endurance) 사이에서 trade-off 관계가 있다.

[0003] 따라서 본 발명에서는 DNN 연산에 특화된 PIM 특화 소자를 구현할 뿐만 아니라 기존 CTF의 한계를 극복하기 위해, 높은 보존성(retention) 특성을 가진 비휘발성 메모리(추론특화 소자)와 우수한 내구성(endurance) 특성을 가진 휘발성 메모리(학습특화 소자)를 하나의 셀에 집적하고, 상대적으로 낮은 전압에서 동작 가능한 휘발성 메모리 소자에 데이터를 P/E한 뒤, 비휘발성 메모리 소자에 전달해 장기적으로 보존하고자 한다.

선행기술문헌

특허문헌

[0004] (특허문헌 0001) Hyungjin Kim et al., "Silicon-Based Floating-Body Synaptic Transistor With Frequency-Dependent Short- and Long-Term Memories", IEEE Electron Device Letters, vol. 37, no. 3, pp. 249-252, Mar, 2010.

발명의 내용

해결하려는 과제

[0005] 본 발명은 독립적인 게이트로 휘발성 및 비휘발성 메모리 동작을 수행하는 하나의 셀에 차지 트랩 기반 이종의 메모리를 집적한 소자 및 그 제조 방법을 제공하는 것을 일 목적으로 한다.

[0006] 또한, 본 발명은 이종의 메모리 소자 모두, 게이트 산화막에 전하를 트랩함으로써 메모리 동작을 수행하는 하나의 셀에 차지 트랩 기반 이종의 메모리를 집적한 소자 및 그 제조 방법을 제공하는 것을 다른 목적으로 한다.

과제의 해결 수단

[0007] 상기 목적을 달성하기 위하여 본 발명은, 하나의 셀에 차지 트랩 기반 이종의 메모리를 집적한 소자에 있어서, 기판; 상기 기판 위에 형성되고 제1 게이트를 구비한 제1 메모리; 및 상기 기판 위에 형성되고 제2 게이트를 구비하되, 상기 제1 게이트와 이종의 특성을 갖는 제2 메모리;를 포함하고, 상기 제1 메모리와 상기 제2 메모리는 서로 다른 높이에 배치되는 것을 일 특징으로 한다.

[0008] 바람직하게는, 상기 제1 게이트는 비휘발성 특성을 갖고, 상기 제2 게이트는 휘발성 특성을 갖을 수 있다.

[0009] 바람직하게는, 상기 제1 게이트와 상기 기판 사이에는 제1 블로킹 산화물(blocking oxide), 제1 전하 트랩층(charge trap layer, CTL), 및 제1 터널링 산화막(tunneling oxide)이 형성될 수 있다.

[0010] 바람직하게는, 상기 제2 게이트와 상기 기판 사이에는 제2 블로킹 산화물(blocking oxide), 제2 전하 트랩층(charge trap layer, CTL)이 형성될 수 있다.

[0011] 바람직하게는, 상기 기판 상에 형성되는 드레인 전극 및 소스 전극; 및 상기 제1 게이트가 추론 동작을 수행하

고, 상기 제2 게이트가 학습 동작을 수행하도록 상기 기판, 상기 드레인 전극, 상기 소스 전극, 상기 제1 게이트, 및 상기 제2 게이트에 인가되는 전압을 조절하는 제어부;를 더 포함할 수 있다.

[0012] 바람직하게는, 상기 제어부는, 상기 제2 게이트에 양 또는 음의 전압을 인가하고, 상기 기판, 상기 드레인 전극, 상기 소스 전극, 및 상기 제1 게이트를 접지시키는 동작을 수행할 수 있다.

[0013] 바람직하게는, 상기 제어부는, 상기 기판에 양의 전압을 인가하고, 상기 드레인 전극, 상기 소스 전극, 상기 제1 게이트, 및 상기 제2 게이트를 접지시켜, 상기 제1 전하 트랩층 또는 상기 제2 전하 트랩층에 트랩된 전자들을 기판으로 이동시키는 동작을 수행할 수 있다.

[0014] 바람직하게는, 상기 제어부는, 상기 제2 게이트에 P/E(program/erase) 전압 사이의 전압을 인가하고, 상기 제1 게이트에 채널 형성을 가능하게 하는 전압을 인가하고, 상기 드레인 전극에 양의 전압을 인가하고, 상기 기판 및 상기 소스 전극을 접지시키는 동작을 수행할 수 있다.

[0015] 또한 본 발명은, 하나의 셀에 차지 트랩 기반 이종의 메모리를 집적한 소자를 제조하는 방법에 있어서, 기판 상에 비휘발성 특성을 갖는 제1 메모리를 증착하는 단계; 상기 기판을 패터닝하는 단계; 상기 기판의 패터닝된 부분에 휘발성 특성을 제2 메모리를 증착하는 단계; 및 상기 기판 상에 소스 전극과 드레인 전극을 형성하는 단계;를 포함할 수 있다.

[0016] 바람직하게는, 상기 제1 메모리를 증착하는 단계는, 산화막(oxide), 질화막(nitride), 산화막, 및 도핑된 폴리실리콘막(doped poly-si) 순으로 증착하여 제1 게이트 스택을 형성하는 단계; 더미(dummy) 산화막를 상기 도핑된 폴리실리콘막 위에 증착하는 단계; 상기 제1 게이트 스택를 패터닝하는 단계; 및 스페이서(sidewall spacer) 형성을 위한 산화막을 증착하고, etch-back 공정으로 스페이서를 형성하는 단계;를 포함할 수 있다.

[0017] 바람직하게는, 상기 제2 메모리를 증착하는 단계는, 질화막, 산화막, 및 도핑된 폴리실리콘막 순으로 증착하여 제2 게이트 스택을 형성하는 단계; 상기 제2 게이트 스택를 패터닝하는 단계; 및 상기 제2 게이트 스택을 시간 식각하여 상기 기판의 패터닝된 부분에 스페이서 형태의 게이트를 형성하는 단계;를 포함할 수 있다.

발명의 효과

[0018] 본 발명은 독립적인 게이트로 휘발성 및 비휘발성 메모리 동작을 수행하여 보존성과 내구성이 모두 뛰어나다는 이점이 있다.

[0019] 또한, 본 발명은 휘발성 및 비휘발성 메모리를 한 셀에 집적하여 학습동작은 휘발성 메모리 소자에서, 추론 동작은 비휘발성 메모리 소자에서 수행하게 하여, 학습 및 추론 동작이 모두 가능함에 따라 DNN에 적합하다는 이점이 있다.

도면의 간단한 설명

[0020] 도 1은 본 발명의 실시예에 따른 하나의 셀에 차지 트랩 기반 이종의 메모리를 집적한 소자의 구성도를 나타낸다.

도 2는 CTF 소자의 특성을 나타내는 그래프로서, 도 2의 (a)는 P/E 동작 속도 및 전압을 나타내고, 도 2의 (b)는 내구성 특성을 나타낸다.

도 3은 본 발명의 실시예에 따른 제어부가 제2 메모리를 프로그램(program)하는 방식의 개략도를 나타낸다.

도 4는 본 발명의 실시예에 따른 제어부가 제2 메모리를 지우는(erase) 방식의 개략도를 나타낸다.

도 5는 본 발명의 실시예에 따른 제어부가 제1 메모리로 데이터를 전달하기 전 제1 메모리와 제2 메모리를 동시에 지우는 방식의 개략도를 나타낸다.

도 6은 본 발명의 실시예에 따른 제2 메모리가 프로그램된 상태에서 제1 메모리로 데이터가 이동하는 방식의 개략도를 나타낸다.

도 7은 본 발명의 실시예에 따른 제2 메모리가 지워진 상태에서 제1 메모리로 데이터가 이동하는 방식의 개략도를 나타낸다.

도 8은 본 발명의 실시예에 따른 하나의 셀에 차지 트랩 기반 이종의 메모리를 집적한 소자를 제조하는 방법의 공정 순서를 나타낸다.

발명을 실시하기 위한 구체적인 내용

[0021] 이하, 첨부된 도면들에 기재된 내용들을 참조하여 본 발명을 상세히 설명한다. 다만, 본 발명이 예시적 실시 예들에 의해 제한되거나 한정되는 것은 아니다. 각 도면에 제시된 동일 참조부호는 실질적으로 동일한 기능을 수행하는 부재를 나타낸다.

[0022] 본 발명의 목적 및 효과는 하기의 설명에 의해서 자연스럽게 이해되거나 보다 분명해질 수 있으며, 하기의 기재만으로 본 발명의 목적 및 효과가 제한되는 것은 아니다. 또한, 본 발명을 설명함에 있어서 본 발명과 관련된 공지 기술에 대한 구체적인 설명이, 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명을 생략하기로 한다.

[0023] 본 발명에서 사용하는 용어는 단지 특정한 실시예들을 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 출원에서, "포함하다" 또는 "가지다" 등의 용어는 발명의 설명에 기재된 특징, 숫자, 단계, 동작, 구성 요소, 부분품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성 요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.

[0024] 제1, 제2 등의 용어는 다양한 구성 요소들을 설명하는데 사용될 수 있지만, 상기 구성 요소들은 상기 용어들에 의해 한정되어서는 안된다. 상기 용어들은 하나의 구성 요소를 다른 구성 요소로부터 구별하는 목적으로만 사용된다. 예를 들어, 본 발명의 권리 범위를 벗어나지 않으면서 제1 구성 요소는 제2 구성 요소로 명명될 수 있고, 유사하게 제2 구성 요소도 제1 구성 요소로 명명될 수 있다.

[0025] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 갖는다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥상 가지는 의미와 일치하는 의미를 갖는 것으로 해석되어야 하며, 본 발명에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.

[0026] 구성 요소를 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석한다. 시간 관계에 대한 설명일 경우, 예를 들어, '~후에', '~에 이어서', '~다음에', '~전에' 등으로 시간 적 선후관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 연속적이지 않은 경우도 포함한다.

[0027] 이하, 첨부한 도면들을 참조하여 본 발명의 기술적 구성을 상세하게 설명한다.

[0028] 도 1은 본 발명의 실시예에 따른 하나의 셀에 차지 트랩 기반 이종의 메모리를 집적한 소자(10)의 구성도를 나타낸다. 도 1을 참조하면, 이종의 메모리를 집적한 소자(10)는 기판(100), 제1 메모리(300), 제2 메모리(500), 드레인 전극(700), 소스 전극(900), 및 제어부(미도시)를 포함할 수 있다. 이종의 메모리를 집적한 소자(10)는 PIM(processing-in-memory) 소자일 수 있다.

[0029] 도 2는 CTF 소자의 특성을 나타내는 그래프로서, 도 2의 (a)는 P/E 동작 속도 및 전압을 나타내고, 도 2의 (b)는 내구성 특성을 나타낸다. 도 2의 (a) 및 도 2의 (b)를 참조하면, 종래의 oxide-nitride-oxide(ONO) 기반의 CTF(Charge trap flash) 소자는 기술 성숙도가 높고 우수한 보존성을 가지나, 높은 P/E 전압으로 인해 소비 전력이 높고 내구성이 낮은 문제가 있었다.

[0030] 본 발명에 따른 이종의 메모리를 집적한 소자(10)는 독립적인 게이트로 휘발성 및 비휘발성 메모리 동작을 수행하여 뛰어난 보존성과 내구성을 발휘할 수 있다. 즉, 이종의 메모리를 집적한 소자(10)는 하나의 게이트로 두 메모리의 P/E 동작을 결정하는 것이 아니라 독립적인 게이트로 각 소자의 동작 상태를 결정할 수 있다. 이종의 메모리를 집적한 소자(10)는 휘발성 및 비휘발성 메모리를 한 셀에 집적하여 학습동작은 휘발성 메모리 소자에서, 추론 동작은 비휘발성 메모리 소자에서 수행하게 하여, 학습 및 추론 동작이 모두 가능함에 따라 DNN에 적합하다.

[0031] 이종의 메모리를 집적한 소자(10)는 낮은 P/E 전압에서도 데이터 저장이 가능한 휘발성 메모리에 데이터를 P/E 후, 상기 데이터를 비휘발성 메모리에 전달하여 장기적으로 보전하는 방식으로 동작함으로써 기본 CTF 소자의 문제점을 해결할 수 있다.

[0032] 본 발명의 일실시예는 CTF 기반의 이종의 메모리가 하나의 기판(셀)에 집적될 수 있다. 이종의 메모리를 집적한

소자(10)는 mesa 구조, planar 구조, 또는 vertical channel을 갖는 구조일 수 있다. 이종의 메모리를 집적한 소자(10)는 mesa 구조인 경우, mesa의 상단에는 비휘발성 메모리가 증착되고, mesa의 하단에는 휘발성 메모리가 증착될 수 있다.

[0033] 제1 메모리(300)는 기판 위에 형성되고 제1 게이트(310)를 구비할 수 있다. 제1 메모리(300)는 제1 블로킹 산화물(blocking oxide)(330), 제1 전하 트랩층(charge trap layer, CTL)(350), 및 제1 터널링 산화막(tunneling oxide)(370)을 더 포함할 수 있다. 즉, 제1 메모리(300)는 제1 게이트(310) 아래 blocking oxide, charge trap layer(CTL), tunneling oxide가 순차적으로 있는 O/N/O 구조일 수 있다.

[0034] 제1 메모리(300)는 제2 메모리(500)는 기판상에서 서로 다른 높이에 배치될 수 있다. 예를 들면, 본 발명의 실시예에 따른 이종의 메모리를 집적한 소자(10)가 mesa 구조인 경우, 제1 메모리(300)는 mesa 상단에 배치되고 제2 메모리(500)는 mesa 하단에 배치될 수 있다. 여기에서, 배치란 증착 등의 과정을 통해 형성되는 것을 포함할 수 있다.

[0035] 제1 메모리(300)는 비휘발성 특성을 갖을 수 있다. 제1 메모리(300)는 제2 메모리에 저장된 데이터를 전달받아 장기적으로 보전할 수 있다.

[0036] 제1 메모리(300)의 제1 게이트(310)과 기판(100) 사이에는 제1 블로킹 산화물(330), 제1 전하 트랩층(350), 및 제1 터널링 산화막(370)이 형성될 수 있다.

[0037] 제2 메모리(500)는 기판(100) 위에 형성되고 제2 게이트(510)를 구비하되, 제1 게이트(310)와 이종의 특성을 갖을 수 있다. 제2 메모리(500)는 제2 블로킹 산화물(blocking oxide)(530) 및 제2 전하 트랩층(charge trap layer, CTL)(550)을 더 포함할 수 있다. 즉, 제2 메모리(500)는 제2 게이트(510) 아래 blocking oxide, charge trap layer(CTL)가 순차적으로 있는 O/N 구조일 수 있다. 다른 실시예로, 제2 메모리(500)는 charge trap layer(CTL) 아래 tunneling oxide가 굉장히 얇거나 없는 O/N/(O) 구조일 수 있다.

[0038] 제2 메모리(500)는 휘발성 특성을 갖을 수 있다. 제2 메모리(500)는 제1 메모리(300) 대비 낮은 P/E 전압에서도 데이터 저장이 가능할 수 있다.

[0039] 제2 메모리(500)의 제2 게이트(510)와 기판(100) 사이에는 제2 블로킹 산화물(530), 제2 전하 트랩층(550)이 형성될 수 있다.

[0040] 드레인 전극(700)은 기판(100) 상에 형성될 수 있다. 소스 전극(900)은 기판(100) 상에 형성될 수 있다.

[0041] 제어부(미도시)는 제1 게이트(310)가 추론 동작을 수행하고, 제2 게이트(510)가 학습 동작을 수행하도록 기판(100), 드레인 전극(700), 소스 전극(900), 제1 게이트(310), 및 제2 게이트(510)에 인가되는 전압을 조절할 수 있다.

[0042] 본 발명에 따른 이종의 메모리를 집적한 소자(10)는 학습 동작을 학습 특화 소자인 제2 메모리(휘발성 메모리, 500)에서 수행할 수 있다. 제2 메모리(500)에서 학습 동작이 수행되는 동안에도 제1 메모리(비휘발성 메모리, 300)에 저장된 데이터는 보존될 수 있다. 이와 같은 조건을 만족시키기 위해, 제어부(미도시)는 제2 게이트(510)에 양 또는 음의 전압을 인가하고, 기판(100), 드레인 전극(700), 소스 전극(900), 및 제1 게이트(310)를 접지시키는 동작을 수행할 수 있다.

[0043] 본 발명에 따른 이종의 메모리를 집적한 소자(10)가 학습 동작을 수행하기 위한 방식과 이를 달성하기 위한 바이어스(bias) 조건은 아래와 같다.

[0044] 도 3은 본 발명의 실시예에 따른 제어부(미도시)가 제2 메모리(500)를 프로그램(program)하는 방식의 개략도를 나타낸다. 도 4는 본 발명의 실시예에 따른 제어부(미도시)가 제2 메모리(500)를 지우는(erase) 방식의 개략도를 나타낸다. 도 3과 도 4를 참조하면, 제어부(미도시)는 제2 메모리(500)에 P/E 동작을 수행하기 위한 양(program 전압) 또는 음(erase 전압)의 전압($V_{G2_program}$/V_{G2_erase})을 인가할 수 있다. 제어부(미도시)는 제2 메모리(500)에 P/E 동작이 수행되는 동안 제1 메모리(300)에 저장된 데이터가 보존될 수 있도록 제2 메모리(500)를 제외한 영역들을 접지시킬 수 있다.

[0045] 제어부(미도시)는 제2 게이트(510)에 양 또는 음의 전압을 인가하고, 기판(100), 드레인 전극(700), 소스 전극(900), 및 제1 게이트(310)를 접지시키는 동작을 통해, 휘발성 메모리인 제2 메모리(500)의 제2 게이트(510)와 채널 사이에 강한 전기장(electric field)를 발생시켜 전자들이 채널과 제2 전하 트랩층(550) 사이를 이동 가능하게 하는 FN(Fowler Nordheim) 터널링(tunneling)을 발생시킨다. 이때, 비휘발성 메모리인 제1 메모리(300)의

제1 게이트(310)는 채널과 같이 접지된 상태이므로 FN 터널링이 발생할 수 있는 충분한 전기장이 형성되지 않는다. 따라서, 휘발성 메모리인 제2 메모리(500)만 P/E 동작을 수행하게 된다.

[0046] 본 발명에 따른 이종의 메모리를 집적한 소자(10)가 추론 동작을 수행하기 위한 방식과 이를 달성하기 위한 바이어스(bias) 조건은 아래와 같다.

[0047] 본 발명의 실시예에 따른 이종의 메모리를 집적한 소자(10)에서 추론 동작이 수행되기 위해서는 휘발성 메모리인 제2 메모리(500)에 저장된 데이터가 비휘발성 메모리인 제1 메모리(300)로 전달되어야 한다.

[0048] 구체적으로, 도 5는 본 발명의 실시예에 따른 제어부(미도시)가 제1 메모리(300)로 데이터를 전달하기 전 제1 메모리(300)와 제2 메모리(500)를 동시에 지우는 방식의 개략도를 나타낸다. 도 5를 참조하면, 제2 메모리(500)에 저장된 데이터를 제1 메모리(300)로 전달하기 위해, 1) 데이터를 전송하기 전에 기판(100) 외의 영역을 모두 접지시키고 기판(100)에 큰 양의 전압(V_{sub_erase})을 인가하여, 휘발성 메모리인 제2 메모리(500)의 제2 전하 트랩층(550)과 비휘발성 메모리인 제1 메모리(300)의 제1 전하 트랩층(350)에 트랩된 전자들을 기판(100) 영역으로 이동시킬 수 있다. 즉, 제어부(미도시)는 기판(100)에 양의 전압을 인가하고, 드레인 전극(700), 소스 전극(900), 제1 게이트(310), 및 제2 게이트(510)를 접지시켜, 제1 전하 트랩층(350) 또는 제2 전하 트랩층(550)에 트랩된 전자들을 기판(100)으로 이동시키는 동작을 수행할 수 있다.

[0049] 이어서, 2) 휘발성 메모리인 제2 메모리(500)의 P/E를 통해 제2 메모리(500)에 데이터를 저장(학습)할 수 있다. 뒤이어, 3) Hot Carrier Injection(HCI)를 이용하여, 휘발성인 제2 메모리(500)에 저장된 데이터를 비휘발성 메모리인 제1 메모리(300)로 전달할 수 있다. 다른 실시예에서, 1) 과정에서 휘발성인 제2 메모리(500)의 제2 게이트(510)를 플로팅(floating)으로 유지하여 정보가 유지되게 할 수 있으며, 이 경우에는 2) 과정을 생략할 수 있다.

[0050] 전술한, 1) 내지 3)의 데이터 전달 방식은 휘발성 메모리인 제2 메모리(500)의 상태와 상관없이 동일한 바이어스(bias) 조건이 적용되어야 하므로, 이를 충족시키기 위해 HCI 방식을 적용할 수 있다. HCI 방식의 경우 채널이 형성된 상태에서 강한 드레인 전압을 인가하면, 높은 운동에너지를 가진 전자가 채널-드레인 접합에서 충격 이온화(impact ionization)로 전자-정공쌍(electron-hole pair, EHP)을 생성하고 이들이 강한 수직 전계에 의해 CTL에 트랩되는 메커니즘이다. 즉, 채널 유무에 따라 HCI 발생 정도가 달라진다.

[0051] 본 발명에 따른 이종의 메모리를 집적한 소자(10)에서 채널 유무를 휘발성인 제2 메모리(500)의 문턱 전압(즉, P/E 상태)에 의해 결정될 수 있다. 따라서, 휘발성인 제2 메모리(500)의 문턱 전압에 따라 비휘발성인 제1 메모리(300)로 주입되는 전자의 양이 달라지게 될 수 있다. 이러한, HCI 기반 데이터 전달을 위해서는 휘발성인 제2 메모리(500)의 채널 형성 유무를 결정하고 채널-드레인 접합에서 충격 이온화로 전자-정공쌍을 형성하기 위한 바이어스 조건이 적용되어야 한다. 따라서, 제어부(미도시)는 제2 게이트(510)에 P/E(program/erase) 전압 사이의 전압을 인가하고, 제1 게이트(310)에 채널 형성을 가능하게 하는 전압을 인가하고, 드레인 전극(700)에 양의 전압을 인가하고, 기판(100) 및 소스 전극(900)을 접지시키는 동작을 수행할 수 있다. 즉, 채널 형성 유무를 결정하기 위해 휘발성인 제2 메모리(500)의 제2 게이트(510)에 P/E 사이의 전압 값($V_{G2_datatransfer}$)을 인가하고, 충격 이온화로 전자-정공쌍을 형성하기 위해 비휘발성인 제1 메모리(300)의 제1 게이트(310)에 채널 형성 가능한 정도의 전압($V_{G1_datatransfer}$)과 드레인에 큰 양의 전압($V_{D_datatransfer}$)을 인가하고 그 외의 영역은 접지시킬 수 있다.

[0052] 도 6은 본 발명의 실시예에 따른 제2 메모리(500)가 프로그램 된 상태에서 제1 메모리(300)로 데이터가 이동하는 방식의 개략도를 나타내고, 도 7은 본 발명의 실시예에 따른 제2 메모리(500)가 지워진 상태에서 제1 메모리(300)로 데이터가 이동하는 방식의 개략도를 나타낸다. 도 6과 도 7을 참고하여 휘발성인 제2 메모리(학습특화 메모리)(500)의 P/E 상태에 따른 비휘발성인 제1 메모리(추론특화 메모리)(300)의 상태변화를 살펴본다.

[0053] 도 6을 참조하면, 휘발성인 제2 메모리(500)가 program 상태일 때의 비휘발성인 제1 메모리(300)의 상태를 확인할 수 있다. 휘발성인 제2 메모리(500)의 제2 전하 트랩층(550)에 전자가 트랩된 상태를 program으로 정의한다. Program 상태에서는 제2 문턱 전압이 초기 상태보다 높은 값을 가질 수 있다 따라서, 데이터 전달을 위해 P/E 사이의 전압 값($V_{G2_datatransfer}$)을 휘발성인 제2 메모리(500)의 제2 게이트(510)에 인가하여도 높은 제2 문턱 전압으로 인해 채널이 형성되지 않으므로, HCI 발생이 어려워 상대적으로 적은 양의 전자가 제1 전하 트랩층(350)에 주입될 수 있다. 그러므로, 비휘발성인 제1 메모리(300)는 제1 문턱 전압이 작은 상태(erase 상태)로 유지될 수 있다.

[0054] 도 7을 참조하면, 휘발성인 제2 메모리(500)가 erase 상태일 때의 비휘발성인 제1 메모리(300)의 상태를 확인할

수 있다. 휘발성인 제2 메모리(500)의 제2 전하 트랩층(550)에 트랩된 전자가 기판(100)으로 빠져나간 상태를 erase로 정의한다. Erase 상태에서는 제2 문턱 전압의 값이 초기 상태 보다 낮은 값을 가질 수 있다. 따라서, 데이터 전달을 위해 P/E 사이의 전압 값($V_{G2_datatransfer}$)을 인가하면 낮은 문턱 전압으로 채널 형성이 가능하기 때문에 HCI 발생이 상대적으로 쉬워 많은 양의 전자들이 제1 전하 트랩층(350)에 주입될 수 있다. 그러므로, 비휘발성인 제1 메모리(300)는 제1 문턱 전압이 높은 상태(program 상태)로 바뀌게 된다.

[0055] 도 8은 본 발명의 다른 실시예인 하나의 셀에 차지 트랩 기반 이종의 메모리를 집적한 소자(10)를 제조하는 방법의 공정 순서를 나타낸다. 도 8을 참조하면, 이종의 메모리를 집적한 소자(10)를 제조하는 방법은 제1 메모리를 증착하는 단계, 기판을 패터닝하는 단계, 제2 메모리를 증착하는 단계, 및 소스 전극(900)과 드레인 전극(700)을 형성하는 단계를 포함할 수 있다. 전술한 공정에서는 isolation 공정 등이 생략될 수 있다.

[0056] 제1 메모리를 증착하는 단계는 기판 상에 비휘발성 특성을 갖는 제1 메모리를 증착할 수 있다. 제1 메모리를 증착하는 단계는 산화막(oxide), 질화막(nitride), 산화막, 및 도핑된 폴리실리콘막(doped poly-si) 순으로 증착하여 제1 게이트 스택을 형성하는 단계, 더미(dummy) 산화막를 도핑된 폴리실리콘막 위에 증착하는 단계, 제1 게이트 스택를 패터닝하는 단계 및 스페이서(sidewall spacer) 형성을 위한 산화막을 증착하고, etch-back 공정으로 스페이서를 형성하는 단계를 포함할 수 있다.

[0057] 제1 게이트 스택을 형성하는 단계는 도핑된 폴리실리콘막 대신 metal(TiN, TaN 등)을 증착할 수 있다. 제1 게이트 스택을 형성하는 단계는 질화막으로 Si_3N_4를 사용할 수 있으며, 이외에도 HfO_2, AlN 등과 같은 high-k 물질을 사용할 수 있다. 제1 게이트 스택을 형성하는 단계는 블로킹 산화막으로 SiO_2를 사용할 수 있으며, 이외에도 Al_2O_3, SiO_2-Al_2O_3 물질을 사용할 수 있다.

[0058] 더미(dummy) 산화막를 상기 도핑된 폴리실리콘막 위에 증착하는 단계는 mesa 구조 형성을 위한 실리콘(silicon) 식각 시 비휘발성 메모리에 미치는 문제를 방지하기 위해 실리콘과 우수한 선택비를 가지는 산화막 물질인 더미 산화막을 추가로 증착할 수 있다.

[0059] 스페이서를 형성하는 단계를 통해 생성된 스페이서는 학습특화 메모리(제2 메모리)와 추론특화 메모리(제1 메모리)를 분리할 수 있다.

[0060] 기판을 패터닝하는 단계는 제1 메모리와 2 메모리를 서로 다른 높이에 배치되게 하기 위해 기판을 패터닝할 수 있다. 기판을 패터닝하는 단계는 포토레지스트(photoresist)를 하드 마스크(hard mask)로 활용하여 mesa 패터닝을 수행할 수 있다.

[0061] 제2 메모리를 증착하는 단계는 기판의 패터닝된 부분에 휘발성 특성을 제2 메모리를 증착할 수 있다. 제2 메모리를 증착하는 단계는 질화막, 산화막, 및 도핑된 폴리실리콘막 순으로 증착하여 제2 게이트 스택을 형성하는 단계, 제2 게이트 스택를 패터닝하는 단계, 및 제2 게이트 스택을 시간 식각하여 상기 기판의 패터닝된 부분에 스페이서 형태의 게이트를 형성하는 단계를 포함할 수 있다.

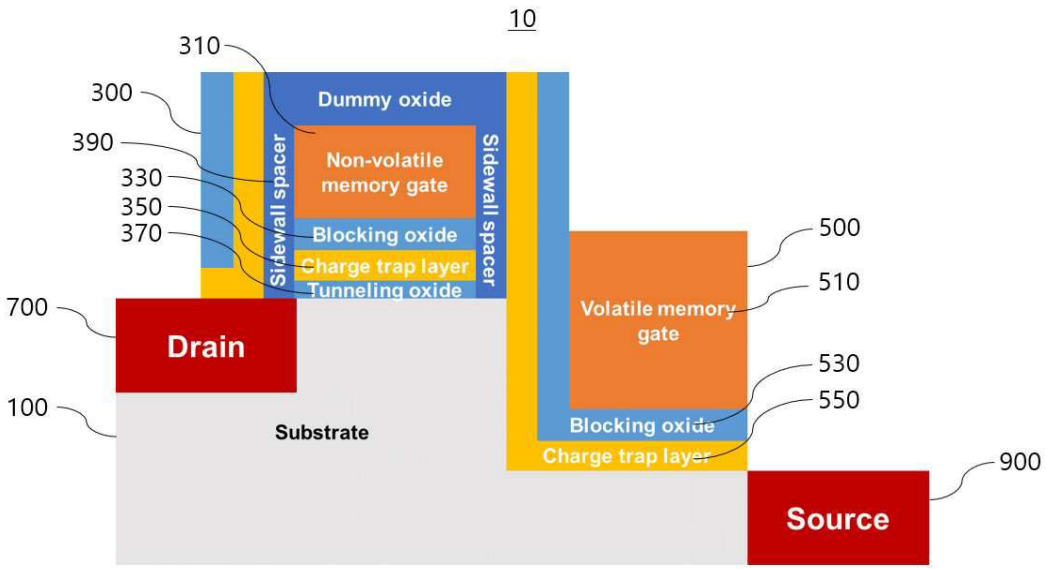
[0062] 제2 게이트 스택을 형성하는 단계는 질화막으로 Si_3N_4를 사용할 수 있으며, 이외에도 강유전성을 갖는 HfO_2 기반 물질(HfZrO, HfSiO, HfAlO), 및 perovskite 물질을 사용할 수 있고, 제2 게이트 스택을 형성하는 단계는 블로킹 산화막으로 SiO_2를 사용할 수 있으며, 이외에도 Al_2O_3, SiO_2-Al_2O_3 물질을 사용할 수 있다.

[0063] 소스 전극(900)과 드레인 전극(700)을 형성하는 단계 상기 기판에 소스 전극(900)과 드레인 전극(700)을 형성할 수 있다.

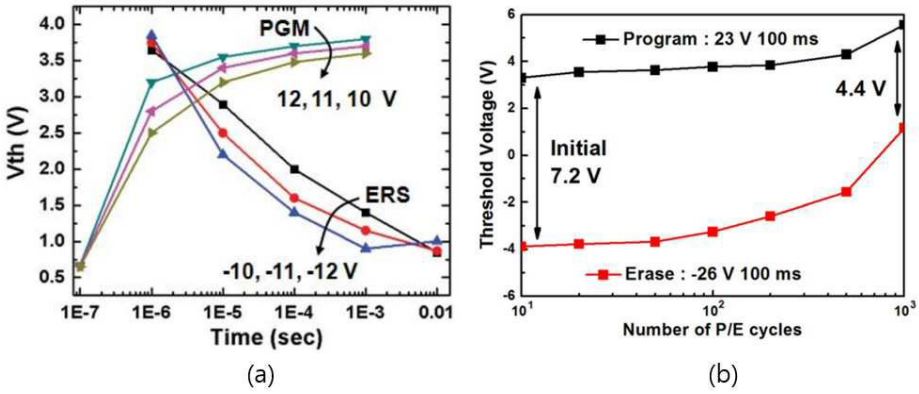
[0064] 이상에서 대표적인 실시예를 통하여 본 발명을 상세하게 설명하였으나, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자는 상술한 실시예에 대하여 본 발명의 범주에서 벗어나지 않는 한도 내에서 다양한 변형이 가능함을 이해할 것이다. 그러므로 본 발명의 권리 범위는 설명한 실시예에 국한되어 정해져서는 안 되며, 후술하는 특허청구범위뿐만 아니라 특허청구범위와 균등 개념으로부터 도출되는 모든 변경 또는 변형된 형태에 의하여 정해져야 한다.

도면

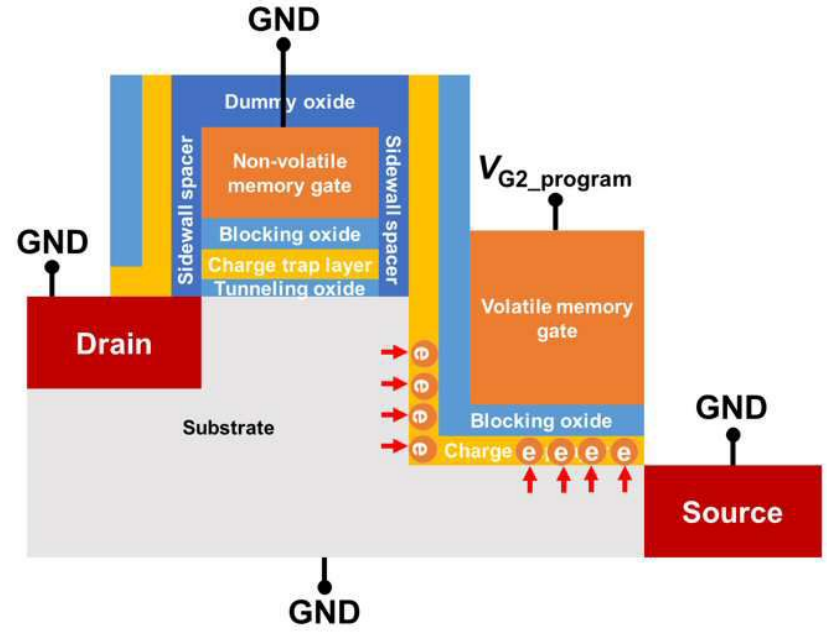
도면1


10
310
300
390
330
350
370
700
100
Dummy oxide
Non-volatile memory gate
Blocking oxide
Charge trap layer
Tunneling oxide
Sidewall spacer
Sidewall spacer
Drain
Substrate
500
510
530
550
900
Volatile memory gate
Blocking oxide
Charge trap layer
Source

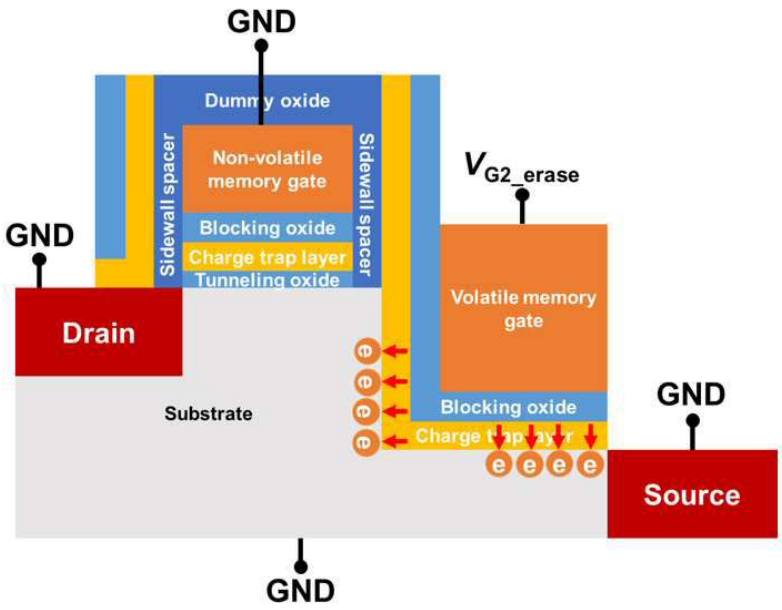
도면2


PGM
12, 11, 10 V
ERS
-10, -11, -12 V
Vth (V)
Time (sec)
1E-7
1E-6
1E-5
1E-4
1E-3
0.01
(a)
Program : 23 V 100 ms
4.4 V
Initial
7.2 V
Erase : -26 V 100 ms
Threshold Voltage (V)
Number of P/E cycles
(b)

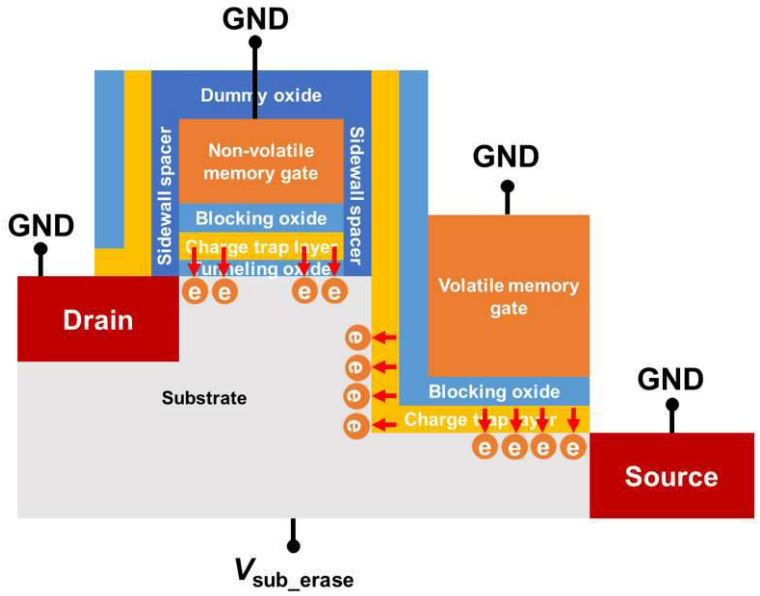
도면3


GND
Dummy oxide
Non-volatile memory gate
Sidewall spacer
Sidewall spacer
Blocking oxide
Charge trap layer
Tunneling oxide
$V_{G2_program}$
GND
Drain
Volatile memory gate
Substrate
Blocking oxide
GND
Charge
Source
GND

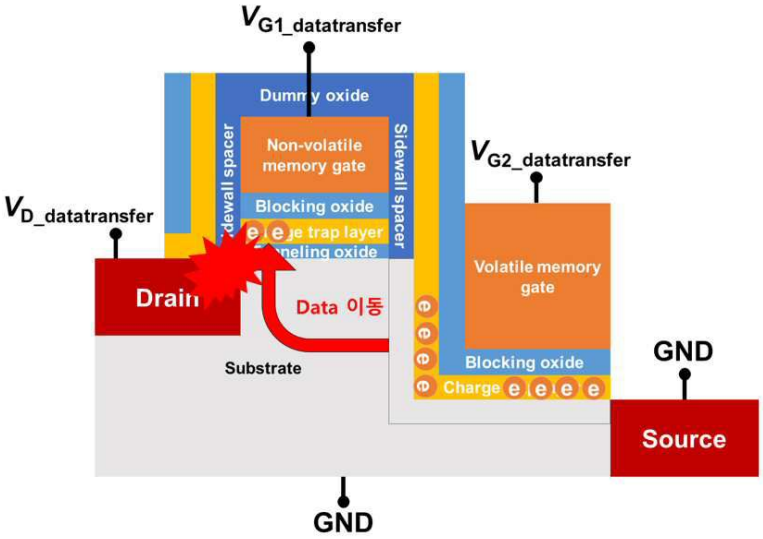
도면4


GND
Dummy oxide
Non-volatile memory gate
Sidewall spacer
Sidewall spacer
Blocking oxide
Charge trap layer
Tunneling oxide
V_{G2_erase}
GND
Drain
Volatile memory gate
Substrate
Blocking oxide
GND
Source
GND

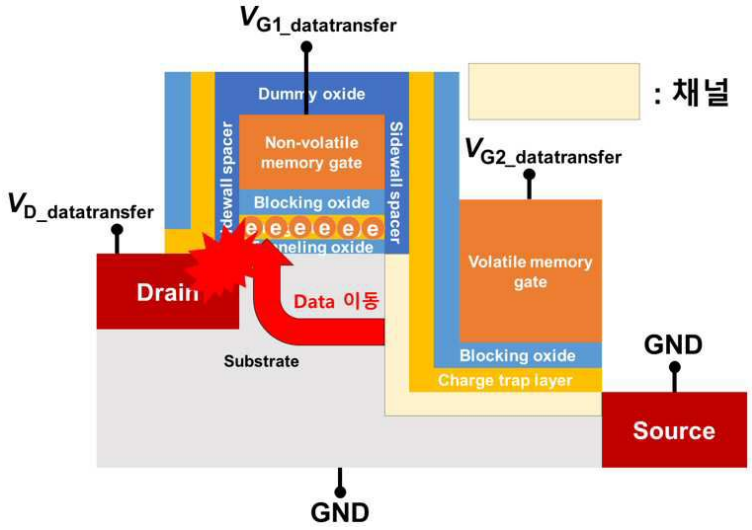
도면5


GND
Dummy oxide
Non-volatile memory gate
Sidewall spacer
Sidewall spacer
Blocking oxide
Charge trap layer
Tunneling oxide
GND
GND
Drain
Volatile memory gate
Substrate
Blocking oxide
GND
Source
V_{sub_erase}

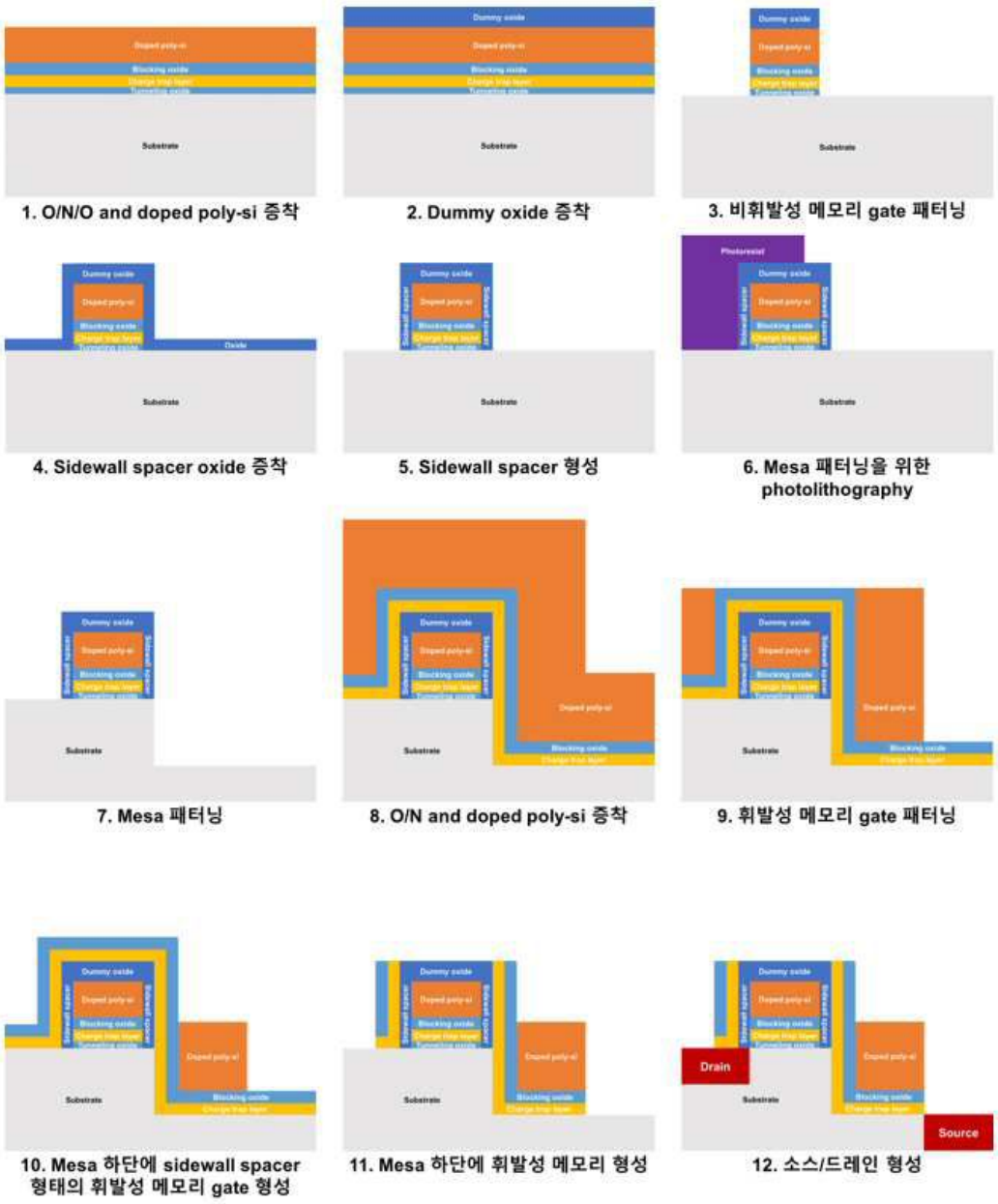
도면6


$V_{G1_datatransfer}$
Dummy oxide
Non-volatile memory gate
Sidewall spacer
Sidewall spacer
Blocking oxide
$V_{G2_datatransfer}$
$V_{D_datatransfer}$
Drain
Data 이동
Volatile memory gate
Substrate
Blocking oxide
GND
Source
GND

도면7


$V_{G1_datatransfer}$
Dummy oxide
: 채널
Non-volatile memory gate
Sidewall spacer
Sidewall spacer
$V_{G2_datatransfer}$
$V_{D_datatransfer}$
Blocking oxide
Volatile memory gate
Drain
Data 이동
Substrate
Blocking oxide
Charge trap layer
GND
Source
GND

도면8



1. O/N/O and doped poly-si 증착
2. Dummy oxide 증착
3. 비휘발성 메모리 gate 패터닝
4. Sidewall spacer oxide 증착
5. Sidewall spacer 형성
6. Mesa 패터닝을 위한 photolithography
7. Mesa 패터닝
8. O/N and doped poly-si 증착
9. 휘발성 메모리 gate 패터닝
10. Mesa 하단에 sidewall spacer 형태의 휘발성 메모리 gate 형성
11. Mesa 하단에 휘발성 메모리 형성
12. 소스/드레인 형성