

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2010年6月3日(03.06.2010)



(10) 国際公開番号
WO 2010/061619 A1

- (51) 国際特許分類:
H01L 21/26 (2006.01) H01L 21/265 (2006.01)
H01L 21/20 (2006.01) H01L 21/268 (2006.01)
H01L 21/205 (2006.01)
- (21) 国際出願番号: PCT/JP2009/006411
- (22) 国際出願日: 2009年11月26日(26.11.2009)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2008-305564 2008年11月28日(28.11.2008) JP
- (71) 出願人(米国を除く全ての指定国について): 住友化学株式会社(SUMITOMO CHEMICAL COMPANY, LIMITED) [JP/JP]; 〒1048260 東京都中央区新川二丁目27番1号 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人(米国についてのみ): 高田朋幸(TAKADA, Tomoyuki) [JP/JP]; 〒3050045 茨城県つくば市梅園2-13-1-4-102 Ibaraki (JP). 秦雅彦(HATA, Masahiko) [JP/JP]; 〒3000845 茨城県土浦市乙戸南2-20-6 Ibaraki (JP). 山田永(YAMADA, Hisashi) [JP/JP]; 〒3050817 茨城

県つくば市研究学園D4-2-3-603 Ibaraki (JP).

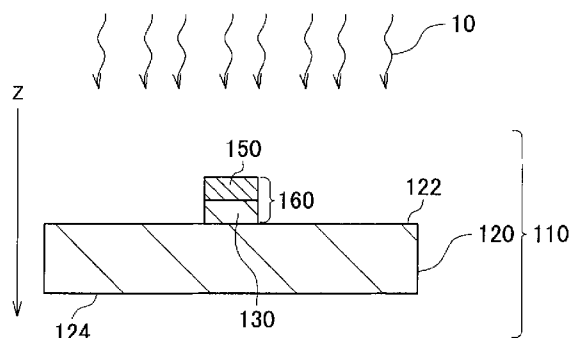
- (74) 代理人: 龍華国際特許業務法人(RYUKA IP Law Firm); 〒1631105 東京都新宿区西新宿6-22-1 新宿スクエアタワー5階 Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF, BJ,

[続葉有]

(54) Title: METHOD FOR PRODUCING SEMICONDUCTOR SUBSTRATE, SEMICONDUCTOR SUBSTRATE, METHOD FOR MANUFACTURING ELECTRONIC DEVICE, AND REACTION APPARATUS

(54) 発明の名称: 半導体基板の製造方法、半導体基板、電子デバイスの製造方法、および反応装置

[図1A]



(57) Abstract: Disclosed is a method wherein a semiconductor substrate is produced by heat-treating a base substrate that comprises a portion to be heat-treated, said portion being subjected to a heat treatment. The method for producing a semiconductor substrate comprises: a step wherein a portion to be heated is formed on the base substrate, said portion to be heated absorbing electromagnetic waves and generating heat, thereby selectively heating the portion to be heat-treated; a step wherein the base substrate is irradiated with electromagnetic waves; and a step wherein the lattice defect density in the portion to be heat-treated is decreased by the heat that is generated when the portion to be heated absorbs electromagnetic waves.

(57) 要約: 熱処理される被熱処理部を備えるベース基板を熱処理して半導体基板を製造する方法であって、電磁波を吸収して熱を発生し、被熱処理部を選択的に加熱する被加熱部をベース基板上に設ける段階と、ベース基板に電磁波を照射する段階と、被加熱部が電磁波を吸収することにより発生する熱によって、被熱処理部の格子欠陥密度を低減する段階とを備える半導体基板の製造方法を提供する。



WO 2010/061619 A1

WO 2010/061619 A1



CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, 添付公開書類:
TD, TG).

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：

半導体基板の製造方法、半導体基板、電子デバイスの製造方法、および反応装置

技術分野

[0001] 本発明は、半導体基板の製造方法、半導体基板、電子デバイスの製造方法、および反応装置に関する。

背景技術

[0002] 近年、活性領域にGaAs等の化合物半導体を用いた各種の高機能電子デバイスが開発されている。上記化合物半導体の結晶性は、電子デバイスの性能に大きく影響するので、結晶性に優れた化合物半導体を形成することが求められている。例えば、GaAs系の化合物半導体を活性領域に用いた電子デバイスを製造する場合には、上記化合物半導体と格子整合できるGaAs基板上またはGe基板上などに結晶薄膜をエピタキシャル成長させることで、良質な結晶薄膜を得ている。

[0003] 例えば、特許文献1は、GaAs基板、AlGaAsのバッファ層、GaAsのチャネル層およびGaAsのコンタクト層がこの順に配置された、化合物半導体エピタキシャルウエハおよび化合物半導体装置を開示する。化合物半導体の結晶薄膜は、気相エピタキシャル成長法により形成される。

[0004] 一方、非特許文献1は、Si基板（ベース基板）にエピタキシャル成長したGeの結晶薄膜にサイクル熱アニールを施すことで、結晶薄膜の結晶性が向上することを開示する。例えば、800～900℃で熱アニールを施すことで、平均転位密度が $2.3 \times 10^6 \text{ cm}^{-2}$ のGe結晶薄膜が得られる。ここで、平均転位密度は格子欠陥密度の一例である。

先行技術文献

特許文献

[0005] 特許文献1：特開平11-345812号公報

非特許文献

- [0006] 非特許文献1: Hsin-Chiao Luan et. al. 「High-quality Ge epilayers on Si with low threading-dislocation densities」、APPLIED PHYSICS LETTERS、VOLUME 75, NUMBER 19、8 NOVEMBER 1999.

発明の概要

発明が解決しようとする課題

- [0007] GaAs基板上またはGe基板上にGaAs系の化合物半導体を結晶成長させることで、チャネル層の結晶性を向上させることができるが、GaAs基板およびGe基板等はSi基板より高価なので、電子デバイスの製造コストが増加する。また、これらの基板は放熱特性が十分ではないので、デバイスの形成密度が制限され、または、デバイスの使用温度が制限される。そこで、Si基板のような安価で放熱特性に優れた基板を用いて、良質な化合物半導体の結晶薄膜を備えた半導体基板および電子デバイスが求められている。
- [0008] Si基板に形成されたGe薄膜に、800～900℃のアニールを施すことで、Ge薄膜の結晶性を向上させることができる。しかし、基板が耐熱性の低い部分を有する場合には、800～900℃でアニールを実施できない。即ち、係る方法を電子デバイスの製造に用いる場合には電子デバイスの製造工程が大きく制限される。また、電子デバイスの熱設計が非常に複雑になる。

課題を解決するための手段

- [0009] 上記課題を解決するために、本発明の第1の態様においては、熱処理される被熱処理部が設けられたベース基板を熱処理して半導体基板を製造する方法であって、電磁波を吸収して熱を発生し、被熱処理部を選択的に加熱する被加熱部をベース基板上に設ける段階と、ベース基板に電磁波を照射する段

階と、被加熱部が電磁波を吸収することにより発生する熱によって、被熱処理部の格子欠陥密度を低減する段階とを備える半導体基板の製造方法を提供する。例えば、ベース基板はSOI基板またはSi基板であり、電磁波に対する被熱処理部の吸収係数が、ベース基板に含まれるSiの電磁波に対する吸収係数よりも大きい。

[0010] 被加熱部をベース基板上に設ける段階においては、例えば、照射される電磁波のエネルギー量に対する発熱量の割合が被熱処理部に電磁波を照射した場合における電磁波のエネルギー量に対する発熱量の割合よりも大きく、かつ被熱処理部の上方に設けられた吸収層を有する被加熱部を設ける。格子欠陥密度を低減する段階においては、吸収層が電磁波を吸収することにより発生する熱によって、被熱処理部の格子欠陥密度を低減する。当該製造方法は、格子欠陥密度を低減する段階において、 $\text{Si}_x\text{Ge}_{1-x}$ 結晶 ($0 \leq x < 1$) の格子欠陥密度を例えば 10^5 cm^{-2} 以下に低減させる。

[0011] 半導体基板を製造する方法は、ベース基板に電子素子を形成する段階をさらに備えてもよい。例えば、吸収層における電磁波のエネルギー量に対する発熱量の割合が、電子素子の少なくとも一部に電磁波を照射した場合における電磁波のエネルギー量に対する発熱量の割合よりも大きい。電磁波に対する吸収層の吸収係数が、電子素子の少なくとも一部における吸収係数よりも大きくてもよい。当該製造方法は、電磁波から電子素子を保護する保護層を電子素子の上方に形成する段階をさらに備えてもよい。ベース基板に電磁波を照射する段階において、被熱処理部における吸収係数が、ベース基板をダイシングして製造される電子デバイス上の被熱処理部以外の領域における吸収係数よりも大きい電磁波をベース基板に照射してもよい。

[0012] 半導体基板を製造する方法は、ベース基板上に、被熱処理部としての $\text{Si}_x\text{Ge}_{1-x}$ 結晶 ($0 \leq x < 1$) の前駆体を結晶に成長させる段階をさらに備えてもよい。半導体基板を製造する方法は、格子欠陥密度を低減する段階の後に、 $\text{Si}_x\text{Ge}_{1-x}$ 結晶 ($0 \leq x < 1$) に格子整合または擬格子整合する3-5族化合物半導体を結晶成長させる段階をさらに備えてもよい。さらに、半導

体基板を製造する方法は、 $\text{Si}_x\text{Ge}_{1-x}$ 結晶の前駆体を結晶に成長させる段階の後に、ベース基板を大気に曝すことなく、格子欠陥密度を低減させる段階を備えてもよい。半導体基板を製造する方法は、 $\text{Si}_x\text{Ge}_{1-x}$ 結晶の前駆体を結晶に成長させる段階と格子欠陥密度を低減させる段階とを同一反応容器内で実行してもよい。

[0013] 半導体基板を製造する方法は、例えば、3-5族化合物半導体を結晶成長させる段階において、格子欠陥密度を低減する段階で電磁波を照射した光源を用いて、ベース基板に再度電磁波を照射する。また、当該製造方法は、格子欠陥密度を低減する段階において、ベース基板全体に均一に電磁波を照射してもよい。当該製造方法は、格子欠陥密度を低減する段階において、パルス状に複数回ベース基板に電磁波を照射してもよい。半導体基板を製造する方法は、被熱処理部が設けられたベース基板の主面の裏面側から加熱しながら、ベース基板の主面側から電磁波を照射してもよい。

[0014] 半導体基板を製造する方法は、ベース基板上において被熱処理部の前駆体が結晶に成長することを阻害する阻害層を、電子素子の上方に形成する段階と、ベース基板にまで貫通する開口を阻害層に形成する段階と、開口内に被熱処理部としてのシード結晶を設ける段階と、シード結晶を加熱する吸収層を形成する段階と、電磁波を照射することによりシード結晶をアニールする段階とを備え、阻害層は電磁波から電子素子を保護してもよい。当該製造方法は、アニールする段階の後に、シード結晶に格子整合または擬格子整合する化合物半導体を結晶成長させる段階をさらに備えてもよい。シード結晶は、例えば $\text{Si}_x\text{Ge}_{1-x}$ 結晶（ $0 \leq x < 1$ ）であり、化合物半導体は3-5族化合物半導体である。阻害層の少なくとも一部が吸収層とシード結晶との間に配置されてもよい。

[0015] 本発明の第2の態様においては、ベース基板と、ベース基板上に設けられた $\text{Si}_x\text{Ge}_{1-x}$ 結晶（ $0 \leq x < 1$ ）と、ベース基板に照射された電磁波を吸収して発生した熱によって $\text{Si}_x\text{Ge}_{1-x}$ 結晶を選択的に加熱する吸収層とを備え、 $\text{Si}_x\text{Ge}_{1-x}$ 結晶の格子欠陥密度が 10^5 cm^{-2} 以下である半導体基

板を提供する。半導体基板は、ベース基板上に形成された電子素子と、電子素子上に形成され、 $\text{Si}_x\text{Ge}_{1-x}$ 結晶の前駆体が結晶に成長することを阻害し、電磁波から電子素子を保護する阻害層とをさらに備え、 $\text{Si}_x\text{Ge}_{1-x}$ 結晶は、ベース基板にまで阻害層を貫通する開口内に設けられてもよい。

[0016] 本発明の第3の態様においては、第1の電子素子と第2の電子素子とを備える電子デバイスの製造方法であって、ベース基板上に第1の電子素子を形成する段階と、ベース基板上に $\text{Si}_x\text{Ge}_{1-x}$ 結晶 ($0 \leq x < 1$) を設ける段階と、 $\text{Si}_x\text{Ge}_{1-x}$ 結晶を選択的に加熱する吸収層を設ける段階と、ベース基板に電磁波を照射する段階と、電磁波を吸収した吸収層が発生した熱によって $\text{Si}_x\text{Ge}_{1-x}$ 結晶の格子欠陥密度を低減する段階と、 $\text{Si}_x\text{Ge}_{1-x}$ 結晶に格子整合または擬格子整合する3-5族化合物半導体を結晶成長させる段階と、化合物半導体上に第1の電子素子と電氣的に結合される第2の電子素子を形成する段階とを備える電子デバイスの製造方法を提供する。

[0017] 当該製造方法は、吸収層を形成する段階において、例えば、照射される電磁波のエネルギー量に対する発熱量の割合が、 $\text{Si}_x\text{Ge}_{1-x}$ 結晶に電磁波を照射した場合における電磁波のエネルギー量に対する発熱量の割合よりも大きい吸収層を $\text{Si}_x\text{Ge}_{1-x}$ 結晶の上方に形成する。当該製造方法は、吸収層を形成する段階において、照射される電磁波のエネルギー量に対する発熱量の割合が、第1の電子素子に電磁波を照射した場合における電磁波のエネルギー量に対する発熱量の割合よりも大きい吸収層を $\text{Si}_x\text{Ge}_{1-x}$ 結晶の上方に形成してもよい。

[0018] 本発明の第4の態様においては、第1の電子素子と第2の電子素子とを備える電子デバイスの製造方法であって、SOI基板またはSi基板から選ばれるベース基板上に第1の電子素子を形成する段階と、ベース基板上に $\text{Si}_x\text{Ge}_{1-x}$ 結晶 ($0 \leq x < 1$) を設ける段階と、 $\text{Si}_x\text{Ge}_{1-x}$ 結晶における吸収係数がベース基板に含まれるSiにおける吸収係数よりも大きい電磁波をベース基板に照射する段階と、照射された電磁波を $\text{Si}_x\text{Ge}_{1-x}$ 結晶が吸収して発生した熱によって $\text{Si}_x\text{Ge}_{1-x}$ 結晶の格子欠陥密度を低減する段階と

、 $\text{Si}_x\text{Ge}_{1-x}$ 結晶に格子整合または擬格子整合する3-5族化合物半導体を結晶成長させる段階と、化合物半導体上に第2の電子素子を形成する段階とを備える電子デバイスの製造方法を提供する。

[0019] 当該製造方法は、 $\text{Si}_x\text{Ge}_{1-x}$ 結晶の前駆体が結晶に成長することを阻害し、且つ、電磁波から第1の電子阻止を保護する阻害層を、少なくとも第1の電子素子を覆うように形成する段階と、第1の電子素子を覆う領域以外の阻害層の領域に、ベース基板にまで貫通する開口を阻害層に形成する段階と、開口内で $\text{Si}_x\text{Ge}_{1-x}$ 結晶の前駆体を結晶に成長させ、 $\text{Si}_x\text{Ge}_{1-x}$ 結晶を設ける段階とをさらに備えてもよい。

[0020] 例えば、第1の電子素子は、第2の電子素子の駆動回路、第2の電子素子の入出力特性における線形性を改善する補正回路、および第2の電子素子の入力段の保護回路のうちの少なくとも1つの回路に含まれる電子素子であり、第2の電子素子は、アナログ電子デバイス、発光デバイス、および受光デバイスのうちの少なくとも1つのデバイスに含まれる電子素子である。

[0021] 本発明の第5の態様においては、熱処理される被熱処理部を選択的に加熱する被加熱部を備えるベース基板を保持する反応容器と、ベース基板における、被加熱部が形成されている主面側から電磁波を照射する照射部と、主面の裏面側からベース基板を全体的に加熱する加熱部と、ベース基板の温度を測定する加熱温度測定部と、被加熱部の温度を測定する温度測定部と、加熱温度測定部および温度測定部の測定結果に基づいて照射部および加熱部を制御する制御部とを備える反応装置を提供する。温度測定部は、例えば、被加熱部からの放射熱に基づいて、被加熱部の温度を測定する。制御部は、例えば、加熱温度測定部の測定結果に基づいて、照射部が電磁波を照射する照射期間と、照射部が電磁波を照射しない非照射期間とを決定する。

[0022] 反応装置は、ベース基板と照射部との間に、ベース基板の吸収係数が被加熱部の吸収係数よりも大きい電磁波の波長成分を遮断するフィルタをさらに備えてもよい。反応装置は、反応容器の内部に原料ガスを供給するガス供給部をさらに備え、反応容器の内部で原料ガスを反応させて被加熱部上に化合

物半導体を結晶成長させてもよい。反応装置は、例えば、原料ガスの温度および原料ガスとともに供給されるキャリアガスの温度がベース基板の温度よりも低く、原料ガスは、化合物半導体を結晶成長させる間にベース基板を冷却する。

図面の簡単な説明

- [0023] [図1A]半導体基板 1 1 0 の断面の一例を概略的に示す。
- [図1B]半導体基板 1 1 0 の断面の一例を概略的に示す。
- [図2]半導体基板 2 1 0 の断面の一例を概略的に示す。
- [図3]半導体基板 3 1 0 の断面の一例を概略的に示す。
- [図4]半導体基板 4 1 0 の断面の一例を概略的に示す。
- [図5]電子デバイス 5 0 0 の断面の一例を概略的に示す。
- [図6]電子デバイス 5 0 0 の製造方法の一例を表すフローチャートを示す。
- [図7]半導体基板 5 1 0 の製造過程における断面の一例を概略的に示す。
- [図8]半導体基板 5 1 0 の製造過程における断面の一例を概略的に示す。
- [図9]半導体基板 5 1 0 の製造過程における半導体基板 9 1 0 の一例を概略的に示す。
- [図10]半導体基板 5 1 0 の製造過程における半導体基板 9 1 0 の一例を概略的に示す。
- [図11]半導体基板 5 1 0 の断面の一例を概略的に示す。
- [図12]熱処理装置 1 2 0 0 の断面の一例を概略的に示す。
- [図13]半導体基板 1 3 1 0 の断面の一例を概略的に示す。
- [図14]半導体基板 5 1 0 の製造過程における半導体基板 9 1 0 の一例を概略的に示す。
- [図15]反応容器から取り出した半導体基板 9 1 0 の断面TEM写真である。
- [図16]熱処理されていない $\text{Si}_x\text{Ge}_{1-x}$ 結晶 2 0 0 0 を有する半導体基板 9 1 0 の断面TEM写真である。
- [図17]HBTのコレクタ電圧に対するコレクタ電流を示す。

発明を実施するための形態

[0024] 以下、発明の実施の形態を通じて本発明を説明するが、以下の実施形態は請求の範囲にかかる発明を限定するものではない。また、実施形態の中で説明されている特徴の組み合わせの全てが発明の解決手段に必須であるとは限らない。以下、図面を参照して、実施形態について説明するが、図面の記載において、同一または類似の部分には同一の参照番号を付して重複する説明を省く場合がある。なお、図面は模式的なものであり、厚みと平面寸法との関係、比率等は現実のものとは異なる場合がある。また、説明の都合上、図面相互間においても互いの寸法の関係又は比率が異なる部分が含まれる場合がある。

[0025] 図1Aは、半導体基板110の断面の一例を概略的に示す。半導体基板110は、ベース基板120を熱処理することによって製造される。ベース基板120には、電磁波10の照射により熱処理される被熱処理部130が設けられている。また、ベース基板120には、被熱処理部130を選択的に加熱する被加熱部160が設けられる。被加熱部160は、被熱処理部130を含んでよい。本例の被加熱部160は、被熱処理部130および吸収層150を含む。ここで、選択的に加熱するとは、ベース基板120上の特定の領域に、他の領域に比べて多くの熱を与えることをいう。

[0026] ベース基板120に電磁波10を照射すると、被加熱部160が電磁波10を吸収して熱を発生する。被加熱部160が発生する熱によって被熱処理部130を選択的に加熱することにより、被熱処理部130だけが選択的にアニールされ、被熱処理部130における平均転位密度が低減した半導体基板110を製造できる。

[0027] ベース基板120は、第1主面122および第2主面124を有する。ベース基板120は、例えば、Si基板、SOI (silicon-on-insulator) 基板、Ge基板、GOI (germanium-on-insulator) 基板、およびGaAs基板のうちの何れか1つの基板である。Si基板は単結晶Si基板であってもよい。ベース基板120は、サファイア基板、ガラス基板、またはPETフィルム等の樹脂基板であって

もよい。

- [0028] 被熱処理部 130 は、例えば半導体の結晶である。被熱処理部 130 は、例えば、化学気相析出法（CVD 法と称する場合がある。）、有機金属気相成長法（MOCVD 法と称する場合がある。）、分子線エピタキシ法（MBE 法と称する場合がある。）、または原子層成長法（ALD 法と称する場合がある。）により形成される。
- [0029] 被熱処理部 130 は、例えば、ベース基板 120 の第 1 主面 122 に接して形成された $\text{Si}_x\text{Ge}_{1-x}$ 結晶を含む。ここで、 x は、 $0 \leq x < 1$ を満たす実数を表す。上記 $\text{Si}_x\text{Ge}_{1-x}$ 結晶の内部には、ベース基板 120 と上記 $\text{Si}_x\text{Ge}_{1-x}$ 結晶との格子定数の違い等により、格子欠陥等の欠陥が発生する場合がある。上記 $\text{Si}_x\text{Ge}_{1-x}$ 結晶を加熱してアニールを施すことにより、上記欠陥が上記 $\text{Si}_x\text{Ge}_{1-x}$ 結晶の内部を移動して、上記 $\text{Si}_x\text{Ge}_{1-x}$ 結晶の界面もしくは表面、または、上記 $\text{Si}_x\text{Ge}_{1-x}$ 結晶の内部ゲッタリングシンク等に捕捉される。その結果、上記 $\text{Si}_x\text{Ge}_{1-x}$ 結晶の表面まで到達する貫通転位に代表される欠陥の密度が低減された領域を有する、良質の $\text{Si}_x\text{Ge}_{1-x}$ 結晶が得られる。
- [0030] アニールするときの雰囲気として、水素と不活性ガスの混合雰囲気が好ましい。大気中または不活性ガス中でアニールすると、 $\text{Si}_x\text{Ge}_{1-x}$ 結晶の表面にピット（穴）が形成されることがある。アニールするときの雰囲気が水素と不活性ガスの混合雰囲気の場合、水素濃度は混合雰囲気の 90% 以上であることが好ましく、さらに好ましくは 95% 以上である。アニールするときの圧力として、約 20 kPa 以下の圧力を用いることができる。
- [0031] 吸収層 150 は、被熱処理部 130 上に設けられる。吸収層 150 は、電磁波 10 を吸収して熱を発生する。吸収層 150 は、発生した熱により被熱処理部 130 を加熱することで、被熱処理部 130 の平均転位密度を低減する。吸収層 150 は、例えば、アモルファスシリコン、3-5 族化合物半導体、または $\text{Si}_x\text{Ge}_{1-x}$ 結晶（ $0 \leq x < 1$ ）を有する。
- [0032] 吸収層 150 は、電磁波が照射された場合に、被熱処理部 130 よりも効

率よく発熱する。つまり、照射される電磁波 10 のエネルギー量に対する吸収層 150 の発熱量の割合は、被熱処理部 130 に当該電磁波 10 を照射した場合における電磁波 10 のエネルギー量に対する発熱量の割合よりも大きい。

[0033] 従って、被熱処理部 130 上に吸収層 150 を設けると、被加熱部 160 が吸収層 150 を有しない場合に比べて、電磁波 10 のエネルギーを効率よく熱に変換して、被熱処理部 130 を加熱することができる。これにより、ベース基板 120 の温度を全体的に上昇させることなく、吸収層 150 の近傍に配置された被熱処理部 130 を選択的に加熱できる。即ち、ベース基板 120 の吸収層 150 が配置されていない領域に比べて、被熱処理部 130 を選択的に加熱できる。

[0034] 吸収層 150 は、電磁波 10 の透過方向 Z に対して、吸収層 150、被熱処理部 130、ベース基板 120 の順に配置されることが好ましい。これにより、照射された電磁波 10 のエネルギーが効率よく利用される。また、電磁波 10 の透過方向 Z に対して、被熱処理部 130、吸収層 150、ベース基板 120 の順に配置されてもよい。また、被熱処理部 130 と吸収層 150 とが、第 1 主面 122 上に隣接して配置されてもよい。また、吸収層 150 が、被熱処理部 130 を覆うように配置されてもよい。

[0035] 被熱処理部 130 はベース基板 120 の一部であってもよい。例えば、ベース基板 120 として Ge 基板または GOI 基板を用いる場合には、被熱処理部 130 は、Ge 基板または GOI 基板に含まれる $\text{Si}_x\text{Ge}_{1-x}$ 結晶層 ($0 \leq x < 1$) の少なくとも一部である。この場合には、ベース基板 120 は被熱処理部 130 の少なくとも一部を囲む保温部を有してもよい。保温部の材料は、熱伝導率が小さな材料であることが好ましい。これにより、被熱処理部 130 に照射された電磁波 10 のエネルギーが効率よく利用される。 $\text{Si}_x\text{Ge}_{1-x}$ 結晶は非晶質であってもよく、多結晶または単結晶であってもよい。被熱処理部 130 は、3-5 族化合物半導体、Si 結晶、またはアモルファスシリコンであってもよい。

[0036] 被熱処理部 130 は、半導体デバイスの不純物領域となる領域であってもよい。被熱処理部 130 は、例えば、イオン注入等により不純物が導入された不純物注入領域である。この場合、例えば、不純物注入領域となる領域の少なくとも一部に、イオン注入等により不純物が導入される。その後、上記領域を加熱してアニールすることにより、当該領域の結晶性が回復して、不純物が活性化された不純物注入領域が形成される。

[0037] また、被熱処理部 130 は、熱処理により不純物が拡散した不純物拡散領域であってもよい。この場合、例えば、不純物拡散領域となる領域の少なくとも一部に、塗布法、または CVD 法等により不純物拡散源が形成される。その後、上記領域を加熱してアニールすることにより、不純物拡散領域が形成される。

[0038] 不純物領域は、例えば、MISFET (metal-Insulator-semiconductor field-effect transistor) のウェル、ソース領域、またはドレイン領域である。MISFET は、MOSFET (metal-oxide-semiconductor field-effect transistor) であってもよい。

[0039] 電磁波 10 は、一例として、半導体基板 110 の第 1 主面 122 から第 2 主面 124 に向かって、第 1 主面 122 に略垂直な方向に半導体基板 110 を透過する。電磁波 10 の透過方向はこれに限定されない。

[0040] ここで、本明細書において、「略垂直な方向」とは、厳密に垂直な方向だけでなく、基板および各部材の製造誤差を考慮して、垂直からわずかに傾いた方向をも含む。また、「透過方向 Z」とは、方向を表現する目的で「透過」という文言が用いられており、現実には、電磁波 10 が透過することを要件とするものではない。

[0041] 図 1 B は、半導体基板 110 の断面の他の例を概略的に示す。本例の被加熱部 160 は、図 1 A に示した被加熱部 160 の構成に対して、吸収層 150 を含まない点で相違する。本例では、被熱処理部 130 および被加熱部 160 は同一の領域を指す。この場合、被熱処理部 130 が、図 1 A に示した

吸収層 150 としても機能する。

[0042] ベース基板 120 に電磁波 10 を照射すると、被加熱部 160 としての被熱処理部 130 が電磁波 10 を吸収して熱を発生する。被熱処理部 130 が発生する熱によって被熱処理部 130 を選択的に加熱することにより、被熱処理部 130 だけが選択的にアニールされ、平均転位密度が低減した半導体基板 110 を製造できる。

[0043] 電磁波 10 は、ベース基板 120 が SOI 基板または Si 基板である場合には、電磁波 10 に対する被熱処理部 130 の吸収係数が、ベース基板 120 に含まれる Si の電磁波 10 に対する吸収係数よりも大きい波長を有することが好ましい。電磁波 10 は、被熱処理部 130 における吸収係数が、ベース基板 120 をダイシングして製造される電子デバイス上の被熱処理部 130 以外の領域における吸収係数よりも大きい波長を有してもよい。例えば上記の場合には、被加熱部 160 が吸収層 150 を有しない場合であっても、被熱処理部 130 を選択的に加熱することができる。

[0044] 図 2 は、半導体基板 210 の断面の一例を概略的に示す。半導体基板 210 は、ベース基板 120、被熱処理部 130、および吸収層 250 を備える。本実施形態では、吸収層 250 がベース基板 120 の第 1 主面 122 に接して形成される。被熱処理部 130 は、被熱処理部 130 の一部が吸収層 250 に囲まれるように配置される。

[0045] 吸収層 250 は、結晶成長を阻害する阻害層として機能する。例えば、吸収層 250 は、被熱処理部 130 の前駆体が結晶に成長することを阻害する。また、MOCVD 法を用いて化合物半導体の結晶をエピタキシャル成長させる場合において、吸収層 250 は、上記化合物半導体の結晶が吸収層 250 の表面でエピタキシャル成長することを阻害する。

[0046] 吸収層 250 は、例えば、酸化シリコン層、酸化アルミニウム層、窒化シリコン層、酸窒化シリコン層、窒化タンタル層もしくは窒化チタン層、またはこれらを積層した層である。吸収層 250 の厚みは、例えば 0.05 ~ 5 μm である。吸収層は、アモルファスシリコン層またはゲルマニウム層であ

ってもよい。吸収層 250 は、例えば、CVD 法により形成できる。

- [0047] 開口 256 は、第 1 主面 122 に略垂直な方向に、第 1 主面 122 にまで吸収層 250 を貫通する。開口 256 は第 1 主面 122 を露出させる。開口 256 は、例えば、エッチング等のフォトリソグラフィ法により形成される。開口 256 の内部には、被熱処理部 130 が形成される。例えば、被熱処理部 130 として、 $\text{Si}_Y\text{Ge}_{1-Y}$ 結晶 ($0 \leq Y \leq 1$) 等の半導体をエピタキシャル成長法により形成する場合、吸収層 250 の表面では成長が阻害される。その結果、開口 256 の内部に、被熱処理部 130 が選択成長する。
- [0048] 開口 256 は、例えば $(\sqrt{3})/3$ 以上のアスペクト比を有する。アスペクト比が $(\sqrt{3})/3$ 以上の開口 256 の内部に、ある程度の厚さを有する結晶が形成されると、当該結晶に含まれる格子欠陥等の欠陥が、開口 256 の壁面でターミネートされる。その結果、開口 256 に露出した上記結晶の表面は、当該結晶が形成された時点で、優れた結晶性を備える。開口 256 の面積としては、 1 mm^2 以下であってよく、好ましくは 0.25 mm^2 未満であってよい。
- [0049] ここで、本明細書において、「開口のアスペクト比」とは、「開口の深さ」を「開口の幅」で除した値をいう。例えば、電子情報通信学会編、「電子情報通信ハンドブック 第 1 分冊」751 ページ、1988 年、オーム社発行、によると、アスペクト比として（エッチング深さ／パターン幅）と記載されている。本明細書においても、同様の意義でアスペクト比の用語を用いる。
- [0050] なお、「開口の深さ」とは、基板上に薄膜を積層した場合の積層方向の深さをいい、「開口の幅」は、積層方向に垂直な方向の幅をいう。開口の幅が複数ある場合には、開口のアスペクト比の算出にあたり、最小の幅を用いる。たとえば、開口の積層方向から見た形状が長方形である場合、長方形の短辺の長さをアスペクト比の計算に用いる。
- [0051] 次に、半導体基板 110 を製造する場合と同様にして、ベース基板 120 に電磁波 10 を照射する。電磁波 10 の波長は、電磁波 10 が吸収層 250

に吸収されるように選択される。電磁波 10 の波長を上記の通り選択することで、被熱処理部 130 が電磁波 10 を吸収しにくい場合であっても、ベース基板 120 に電磁波 10 を照射することで、吸収層 250 を選択的に加熱できる。これにより、ベース基板 120 の温度を全体的に上昇させることなく、吸収層 250 の近傍に配置された被熱処理部 130 を選択的に加熱できる。即ち、ベース基板 120 における吸収層 250 が配置されていない領域に比べて、被熱処理部 130 を選択的に加熱できる。

[0052] 図 3 は、半導体基板 310 の断面の一例を概略的に示す。半導体基板 310 は、ベース基板 320、被熱処理部 330、および不純物拡散領域 340 を備える。半導体基板 310 は、電磁波 30 を吸収して被熱処理部 330 を加熱する吸収層を備えない点で、半導体基板 110 および半導体基板 210 と相違する。半導体基板 310 は、不純物拡散領域 340 が加熱されることを抑制しつつ、電磁波 30 により被熱処理部 330 を選択的に加熱して製造される。

[0053] 本実施形態において、ベース基板 320 は SOI 基板または Si 基板である。ベース基板 320 は、第 1 主面 322 および第 2 主面 324 を有する。ベース基板 320 は、第 1 主面 322 に Si 結晶を含む。ベース基板 320 の第 1 主面 322 には、半導体デバイスの少なくとも一部が形成される。ベース基板 320 の第 1 主面 322 には、例えば半導体デバイスの不純物拡散領域 340 が形成される。

[0054] 被熱処理部 330 と図 1 A に示した被熱処理部 130 とは同等である。被熱処理部 330 は、例えば $\text{Si}_x\text{Ge}_{1-x}$ 結晶 ($0 \leq x < 1$) を含む。被熱処理部 330 は、例えばベース基板 320 の第 1 主面 322 に接して形成される。上記 $\text{Si}_x\text{Ge}_{1-x}$ 結晶の内部には、ベース基板 320 と上記 $\text{Si}_x\text{Ge}_{1-x}$ 結晶との格子定数の違い等により、格子欠陥等の欠陥が発生する場合がある。上記 $\text{Si}_x\text{Ge}_{1-x}$ 結晶を加熱してアニールを施すことにより、上記欠陥が上記 $\text{Si}_x\text{Ge}_{1-x}$ 結晶の内部を移動して、上記 $\text{Si}_x\text{Ge}_{1-x}$ 結晶の界面もしくは表面、または、上記 $\text{Si}_x\text{Ge}_{1-x}$ 結晶の内部ゲッタリングシンク等

捕捉される。その結果、上記 $\text{Si}_x\text{Ge}_{1-x}$ 結晶の表面まで到達する貫通転位に代表される欠陥の密度が低減された領域を有する、良質の $\text{Si}_x\text{Ge}_{1-x}$ 結晶が得られる。

[0055] 例えば、 $\text{Si}_x\text{Ge}_{1-x}$ 結晶は、その内部を移動できる欠陥を捕捉する欠陥捕捉部を有する。一例として、欠陥捕捉部は、 $\text{Si}_x\text{Ge}_{1-x}$ 結晶に含まれる任意の点からの最大距離が、上記アニールの温度および時間において欠陥が移動可能な距離以下となるように配置される。ここで、上記 $\text{Si}_x\text{Ge}_{1-x}$ 結晶の界面、障害層に設けられた開口の側壁と上記 $\text{Si}_x\text{Ge}_{1-x}$ 結晶との界面、または、上記 $\text{Si}_x\text{Ge}_{1-x}$ 結晶の内部ゲッタリングシンクは、欠陥捕捉部の一例である。 $\text{Si}_x\text{Ge}_{1-x}$ 結晶は、最大の幅が、上記アニールの温度および時間において上記欠陥が移動する距離の2倍を越えない大きさに形成されてもよい。

[0056] 不純物拡散領域 340 は、ベース基板 320 の少なくとも一部に形成される。不純物拡散領域 340 は、ベース基板 320 における被熱処理部 330 以外の部分に形成される。不純物拡散領域 340 は、例えば、MOSFET のウェル、ソース領域、またはドレイン領域である。

[0057] 不純物拡散領域 340 に含まれる不純物は、加熱されることにより拡散する。不純物拡散領域 340 が形成された後で当該不純物領域等が高温に晒される場合には、半導体デバイスの熱設計が複雑になる。そこで、被熱処理部 330 が加熱された場合であっても、不純物拡散領域 340 の温度を被熱処理部 330 の最高到達温度より低い温度に維持することにより、熱設計が複雑になるのを防止できる。

[0058] 半導体基板 310 の製造においては、ベース基板 320 に電磁波 30 を照射する。電磁波 30 の波長は、 $\text{Si}_x\text{Ge}_{1-x}$ 結晶への電磁波 30 の吸収係数が、SOI 基板または Si 基板に含まれる Si への電磁波 30 の吸収係数より大きくなるように選択される。電磁波 30 は、例えば、波長が 1200 nm 以上 1800 nm 以下の光である。上記光は、 $\text{Si}_x\text{Ge}_{1-x}$ 結晶 ($0 \leq x < 1$) には吸収されるが、Si 結晶には吸収されずに透過する。

[0059] このような電磁波 30 を半導体基板 310 に照射することで、被熱処理部 330 を選択的に加熱することができる。電磁波 30 は、電磁波 10 と同様の方法で照射される。即ち、被熱処理部 330 は、被熱処理部 130 と同様の方法でアニールされる。また、電磁波 30 を照射する前にベース基板 320 が予備加熱されてもよい。

[0060] ベース基板 320 は、ベース基板 320 に形成される電子素子の活性領域を含んでもよい。電子素子は、例えば、MOSFET、MISFET、HBT (Heterojunction Bipolar Transistor)、HEMT (High Electron Mobility Transistor) 等の半導体デバイス、LED 等の発光デバイス、光センサ等の受光デバイス、またはキャパシタ等の受動素子である。このとき、電磁波 30 は、被熱処理部 330 への吸収係数が、上記電子素子の少なくとも一部の領域における吸収係数より大きくなるよう選択することが好ましい。当該少なくとも一部の領域は、一例として、電子素子の活性領域である。

[0061] ベース基板 320 に形成される半導体デバイスの少なくとも一部は、接触して設けられる半導体および誘電体を含んでよい。半導体および誘電体の界面は、例えば、MOSFET の活性領域に形成される MOS ゲート界面として用いられる。上記 MOS ゲート界面は耐熱性が低い。従って、当該界面が高温条件に長時間晒されると、上記 MOSFET の特性が悪化する場合がある。

[0062] そこで、被熱処理部 330 への吸収係数が Si への吸収係数より大きい電磁波 30 を用いて、被熱処理部 330 を選択的に加熱することで、被熱処理部 330 を加熱する間、当該界面が高温条件に長時間さらされることを抑制できる。電磁波 30 の波長は、被熱処理部 330 への吸収係数が、上記半導体および上記誘電体への吸収係数より大きくなるよう選択されてもよい。

[0063] 図 4 は、半導体基板 410 の断面の一例を概略的に示す。半導体基板 410 は、ベース基板 420 に電磁波 12 を照射することにより製造される。ベース基板 420 は、保護層 426、不純物が導入された領域 430、および

吸収層 450 を備える。ベース基板 420 は、第 1 主面 422 および第 2 主面 424 を有する。半導体基板 410 のベース基板 420、第 1 主面 422、および第 2 主面 424 と、半導体基板 110 のベース基板 120、第 1 主面 122、および第 2 主面 124 とは同等である。

[0064] 領域 430 は被熱処理部 130 の一例である。領域 430 には、例えば、イオン注入法により不純物が導入される。吸収層 450 は領域 430 の上方に設けられる。保護層 426 は、ベース基板 420 において加熱されるべき領域以外の領域を電磁波 12 から保護する。保護層 426 には開口 428 が形成される。

[0065] 本明細書において、「A の上方」とは、「A」を起点として、被熱処理部 130 に照射される電磁波 12 の照射源に向かう方向に延伸する線上における、「A」の面上を含む任意の位置をいう。「A」は、例えば、ベース基板 120 および被熱処理部 130 などである。つまり「A の上方」とは、「A」および電磁波 12 を照射する照射源の間の任意の位置を指してよい。より具体的には、吸収層 450 およびベース基板 420 の間に領域 430 が挟まれるように、吸収層 450 が設けられる。例えば、「領域 430 の上方」とは、領域 430 と吸収層 450 との界面に対して、ベース基板 420 と反対側に相当する。

[0066] 「A の下方」とは、「A」を起点として、被熱処理部 130 に照射される電磁波の照射源に向かう方向と反対の方向に延伸する線上における任意の位置をいう。つまり「A の下方」とは、「A」を起点として、「A の上方」とは逆側の任意の位置を指してよい。

[0067] 半導体基板 410 は、ベース基板 420 に電磁波 12 を照射することにより、吸収層 450 を選択的に加熱して製造される。電磁波 12 がベース基板 420 全体に照射される場合に、保護層 426 により領域 430 以外の領域が電磁波 12 により加熱されるのを抑制する。これにより、領域 430 以外の領域の最高到達温度を、領域 430 の最高到達温度より低い温度に維持できる。その結果、半導体基板 410 において、吸収層 450 に覆われた領域

４３０を選択的に加熱することができる。領域４３０を選択的に加熱することにより、不純物領域を活性化することができる。

[0068] 保護層４２６は、電磁波１２の少なくとも一部を遮蔽して、保護層４２６を透過した後の電磁波１２の強度を弱める。これにより、電磁波１２の透過方向に存在する領域を保護する。これにより、被熱処理部１３０より耐熱性の低い領域を電磁波１２または電磁波１２の照射により発生した熱から保護できる。保護層４２６は、電磁波１２の少なくとも一部を反射する反射層を有してもよい。反射層は、例えばＡｇ、Ａｕ、およびＡｌ等の金属薄膜である。

[0069] 保護層４２６は、電磁波１２の少なくとも一部を散乱する散乱層を有してもよい。散乱層は、例えば、微粒子を含む樹脂層、または、屈折率の異なる誘電体に微粒子を分散させた層である。微粒子は透明な微粒子であってよく、例えば、コロイダルシリカ等のセラミックの微粒子を例示できる。散乱層は、例えば、塗布法により形成される。散乱層は、保護層４２６の内部に入射した電磁波１０の少なくとも一部を散乱させて電磁波１２の進行方向を変化させる。これにより、保護層４２６の内部における電磁波１２の移動距離が長くなり、電磁波１２から保護されるべき領域に電磁波１２が到達することを抑制する。

[0070] 保護層４２６は複数の材料から構成される。金属薄膜のような反射体、および微粒子のような散乱体は、例えば、酸化シリコン層、窒化シリコン層、酸窒化シリコン層もしくは酸化アルミニウム層、または、これらを積層した層の内部に埋め込まれるように配置される。

[0071] 保護層４２６は、電磁波１２の照射により発生した熱を拡散する熱拡散層を有してもよい。これにより、保護層４２６は、電磁波１２の照射により発生した熱の伝熱方向に存在する領域を保護する。熱拡散層は、例えば、酸化シリコン層、窒化シリコン層、酸窒化シリコン層もしくは酸化アルミニウム層、またはこれらを積層した層である。熱拡散層は、複数の層から形成されてもよい。これにより、層と層との間の接触熱抵抗により熱エネルギーの伝

導が抑制されるので、電磁波 1 2 から保護すべき領域に到達する熱量をさらに低減できる。

[0072] 保護層 4 2 6 は、一例として、電磁波 1 2 の透過方向に対して、保護層 4 2 6、ベース基板 4 2 0 の順に配置される。保護層 4 2 6 は、ベース基板 4 2 0 の第 1 主面 4 2 2 に接して形成されてもよい。図 4 において、保護層 4 2 6 は、ベース基板 4 2 0 を全面的に覆うように形成されているが、保護層 4 2 6 は、領域 4 3 0 以外の部分の少なくとも一部を保護するように形成されてもよい。例えば、保護層 4 2 6 は、半導体基板 4 1 0 に配置された耐熱性の低い領域の上方に形成される。

[0073] 開口 4 2 8 は、一例として、第 1 主面 4 2 2 に略垂直な方向に第 1 主面 4 2 2 まで保護層 4 2 6 を貫通する。開口 4 2 8 は、領域 4 3 0 の少なくとも一部を露出させる。本実施形態において、ベース基板 4 2 0 の開口 4 2 8 以外の領域が保護層 4 2 6 に覆われているので、当該領域は、電磁波 1 2 または電磁波 1 2 の照射により発生した熱から保護される。開口 4 2 8 から露出する領域 4 3 0 の面積を調整することで、不純物領域の大きさを調整できる。つまり、領域 4 3 0 の全てを開口 4 2 8 から露出するのではなく、領域 4 3 0 の一部を開口 4 2 8 から露出させてもよい。開口 4 2 8 は、例えば、エッチング等のフォトリソグラフィ法により形成できる。

[0074] 吸収層 4 5 0 は、少なくとも一部が開口 4 2 8 の内部に形成される以外は、吸収層 1 5 0 および吸収層 2 5 0 と同等である。吸収層 4 5 0 は、開口 4 2 8 の内部で、領域 4 3 0 の少なくとも一部と接して形成されることが好ましい。これにより、吸収層 4 5 0 は、電磁波 1 2 を吸収して発生させた熱により領域 4 3 0 を加熱できる。その結果、吸収層 4 5 0 は、領域 4 3 0 を選択的に加熱できる。

[0075] 次に、半導体基板 1 1 0 を製造する場合と同様にして、ベース基板 4 2 0 に、電磁波 1 2 を照射する。電磁波 1 2 の波長は、電磁波 1 2 の吸収層 4 5 0 における吸収係数が、電磁波 1 2 の領域 4 3 0 における吸収係数より大きくなるように選択される。また、電磁波 1 2 の波長は、保護層 4 2 6 により

電磁波 12 の少なくとも一部が遮蔽されるように選択される。電磁波 12 は、選択される波長以外は電磁波 10 と同等である。

[0076] 電磁波 12 の波長を上記の通り選択することで、領域 430 が電磁波 12 を吸収しにくい場合であっても、半導体基板 410 に電磁波 12 を照射して吸収層 450 を選択的に加熱することで、領域 430 を選択的に加熱できる。また、保護層 426 により電磁波 12 の少なくとも一部が遮蔽されるので、保護層 426 に保護された領域の温度を、領域 430 の最高到達温度より低い温度に維持できる。

[0077] 以上のとおり、不純物が導入された領域 430 を選択的にアニールすることで、不純物領域が活性化される。領域 430 のアニールは、被熱処理部 130 のアニールと同様の条件で実施することができる。また、電磁波 12 を照射する前に、半導体基板 410 が予備加熱されてもよい。

[0078] 図 5 は、電子デバイス 500 の断面の一例を概略的に示す。電子デバイス 500 は、半導体基板 510、第 2 の電子素子 580、配線 592、配線 594、および配線 596 を備える。半導体基板 510 は、ベース基板 520、阻害層 554、 $\text{Si}_x\text{Ge}_{1-x}$ 結晶 562 と、および 3-5 族化合物半導体 566 を有する。

[0079] ベース基板 520 は、第 1 主面 522 および第 2 主面 524 を有する。ベース基板 520 には、例えば第 1 の電子素子 570 が形成されている。第 1 の電子素子 570 は、ウェル 571、ソース領域 572、ドレイン領域 574、ゲート電極 576、およびゲート絶縁膜 578 を含む。阻害層 554 には、開口 556、開口 593、および開口 595 が形成される。第 2 の電子素子 580 は、入出力電極 587、入出力電極 588、ゲート電極 589 を有する。第 2 の電子素子 580 は、3-5 族化合物半導体 566 に形成される。

[0080] 阻害層 554 は、第 1 の電子素子 570 を電磁波から保護する。半導体基板 510 は、阻害層 554 に吸収されにくい電磁波をベース基板 520 に照射して $\text{Si}_x\text{Ge}_{1-x}$ 結晶 562 を選択的に加熱することにより製造される。

阻害層 554 は、電磁波を受けて発生する熱が第 1 の電子素子 570 に伝導されることを抑制する熱伝導抑制層として機能してもよい。

[0081] また、阻害層 554 は、 $\text{Si}_x\text{Ge}_{1-x}$ 結晶 562 および 3-5 族化合物半導体 566 の前駆体が結晶に成長することを阻害する。例えば、MOCVD 法を用いて 3-5 族化合物半導体 566 の結晶をエピタキシャル成長させる場合において、阻害層 554 は、3-5 族化合物半導体 566 の結晶が阻害層 554 の表面でエピタキシャル成長することを阻害する。阻害層 554 は、例えば、酸化シリコン層、酸化アルミニウム層、窒化シリコン層、酸窒化シリコン層、窒化タンタル層もしくは窒化チタン層またはこれらを積層した層である。阻害層 554 の厚みは、例えば $0.05 \sim 5 \mu\text{m}$ である。阻害層 554 はベース基板 520 の第 1 主面 522 に接して形成される。阻害層 554 は、例えば、CVD 法により形成できる。

[0082] 開口 556 は、第 1 主面 522 に略垂直な方向に第 1 主面 522 にまで阻害層 554 を貫通する。開口 556 は第 1 主面 522 を露出させる。これにより、開口 556 の内部に選択的に結晶を成長させることができる。開口 556 は、例えば、エッチングにより形成できる。

[0083] 開口 593 および開口 595 は、第 1 主面 522 に略垂直な方向に阻害層 554 を貫通する。開口 593 および開口 595 は、それぞれ、ソース領域 572 およびドレイン領域 574 を露出させる。開口 593 および開口 595 の内部には、それぞれ、配線 592 および配線 594 の一部が形成される。これにより、第 1 の電子素子 570 は、第 2 の電子素子 580 等の他の電子素子と電氣的に結合される。開口 593 および開口 595 は、例えば、反応性イオンエッチングにより形成できる。

[0084] $\text{Si}_x\text{Ge}_{1-x}$ 結晶 562 は、3-5 族化合物半導体 566 を成長させるのに良好なシード面を提供するシード結晶の一例である。ここで、 x は、 $0 \leq x < 1$ を満たす実数を表す。 $\text{Si}_x\text{Ge}_{1-x}$ 結晶 562 は、ベース基板 520 または第 1 主面 522 に存在する不純物が 3-5 族化合物半導体 566 の結晶性に悪影響を及ぼすことを抑制する。 $\text{Si}_x\text{Ge}_{1-x}$ 結晶 562 は、開口 5

56の内部に設けられる。 $\text{Si}_x\text{Ge}_{1-x}$ 結晶562は、例えば、第1主面522に接して形成される。

[0085] $\text{Si}_x\text{Ge}_{1-x}$ 結晶562は、例えば、CVD法などのエピタキシャル成長法により形成できる。このとき、阻害層554の表面では $\text{Si}_x\text{Ge}_{1-x}$ 結晶562の前駆体が結晶に成長することが阻害されるので、 $\text{Si}_x\text{Ge}_{1-x}$ 結晶562は、開口556の内部で選択成長する。これにより、 $\text{Si}_x\text{Ge}_{1-x}$ 結晶562を局所的に形成できる。 $\text{Si}_x\text{Ge}_{1-x}$ 結晶562は、アニールされることが好ましい。 $\text{Si}_x\text{Ge}_{1-x}$ 結晶562のアニールは、被熱処理部130のアニールと同様の条件で実施できる。これにより、 $\text{Si}_x\text{Ge}_{1-x}$ 結晶562において、表面まで到達する貫通転位を主とする内部の欠陥密度を低減でき、3-5族化合物半導体566に対して良好なシード面を提供できる。

[0086] 上記アニールにおいて、電磁波を吸収して熱を発生し $\text{Si}_x\text{Ge}_{1-x}$ 結晶562を加熱する吸収層が基板に形成された後、上記吸収層が吸収できる電磁波が基板に照射されることで、 $\text{Si}_x\text{Ge}_{1-x}$ 結晶562が加熱される。吸収層における電磁波のエネルギー量に対する発熱量の割合が、第1の電子素子570または阻害層554の少なくとも一部に電磁波を照射した場合における電磁波のエネルギー量に対する発熱量の割合よりも大きいことが好ましい。これにより、所定の波長を有する電磁波に対して、 $\text{Si}_x\text{Ge}_{1-x}$ 結晶562における当該電磁波の吸収係数と、阻害層554または第1の電子素子570における当該電磁波の吸収係数とが近い場合であっても、阻害層554または第1の電子素子570に対して、 $\text{Si}_x\text{Ge}_{1-x}$ 結晶562を選択的に加熱できる。

[0087] 3-5族化合物半導体566は、 $\text{Si}_x\text{Ge}_{1-x}$ 結晶562に格子整合または擬格子整合する。3-5族化合物半導体566は、GaAs等である。3-5族化合物半導体566は、一例として、 $\text{Si}_x\text{Ge}_{1-x}$ 結晶562に接して形成される。

[0088] 3-5族化合物半導体566がGaAsまたはGaAsに格子整合もしくは擬格子整合する半導体である場合、 $\text{Si}_x\text{Ge}_{1-x}$ 結晶562におけるXは

、 $0 \leq x \leq 0.1$ であることが好ましく、さらに好ましくは $x = 0$ である。

x が 0.1 以下であると、 $\text{Si}_x\text{Ge}_{1-x}$ 結晶562と3-5族化合物半導体566との格子定数の差がより小さくなるので、欠陥が生じにくい。

[0089] ここで、本明細書において、「擬格子整合」とは、完全な格子整合ではないが、2つの半導体の格子定数の差が小さく、格子不整合による欠陥の発生が顕著でない範囲で、2つの半導体を積層できる状態をいう。このとき、各半導体の結晶格子が、弾性変形できる範囲内で変形することで、上記格子定数の差が吸収される。例えば、GeとGaAsとの積層状態は、擬格子整合と呼ばれる。

[0090] $\text{Si}_x\text{Ge}_{1-x}$ 結晶562と3-5族化合物半導体566との界面が、開口556の内部にあってもよい。3-5族化合物半導体566は、例えば、MOCVD法等のエピタキシャル成長法により形成できる。なお、ベース基板520が、Ge基板およびGOI基板のように、第1主面522に $\text{Si}_x\text{Ge}_{1-x}$ 結晶($0 \leq x < 1$)を有する基板である場合には、3-5族化合物半導体566は、当該 $\text{Si}_x\text{Ge}_{1-x}$ 結晶($0 \leq x < 1$)をシード結晶として、第1主面522に接して形成されてもよい。

[0091] MOCVD法により、3-5族化合物半導体566をエピタキシャル成長させる場合には、電磁波を吸収して熱を発生し $\text{Si}_x\text{Ge}_{1-x}$ 結晶562を加熱する吸収層が基板に形成された状態で、上記吸収層が吸収できる電磁波をベース基板520に照射しながら、反応容器に原料ガスを供給してもよい。これにより、アニールされた $\text{Si}_x\text{Ge}_{1-x}$ 結晶562の表面に、 $\text{Si}_x\text{Ge}_{1-x}$ 結晶に格子整合または擬格子整合する3-5族化合物半導体を選択的に形成できる。

[0092] この場合、ベース基板520の温度、特に、第1の電子素子570が形成された領域の温度は、 650°C 以下、好ましくは 450°C 以下に維持される。これにより、熱により第1の電子素子570が劣化することを抑制できる。なお、ベース基板520の温度は、ベース基板520に $\text{Si}_x\text{Ge}_{1-x}$ 結晶562を形成する場合、および、 $\text{Si}_x\text{Ge}_{1-x}$ 結晶562をアニールする場

合のいずれでも、650℃以下、好ましくは450℃以下に維持される。

[0093] 3-5族化合物半導体566をMOCVD法で成長する場合、成長圧力は0.1kPa以上100kPa以下の条件を用いることができる。成長圧力が高いと阻害層上にも結晶が付きやすくなり好ましくない。好ましい成長圧力は50kPa以下である。3-5族化合物半導体566の成長速度は、阻害層554に設けられた開口556の面積比（（開口の底面積）／（阻害層と基板とが接する面の面積））に依存する。開口556の面積比が小さくなると多くの原料が開口に集中し、成長速度が大きくなる。

[0094] 第1の電子素子570は、ベース基板520の開口556に露出する領域以外の領域に形成されてもよい。本実施形態において、第1の電子素子570としてMOSFETが例示されるが、第1の電子素子570はMOSFET以外の素子であってもよい。

[0095] 第1の電子素子570は、例えば、第2の電子素子580の駆動回路、第2の電子素子580の入出力特性における線形性を改善する補正回路、および、第2の電子素子580の入力段の保護回路のうちの少なくとも1つを有する。第1の電子素子570は、MISFET、HBT、HEMT等の半導体デバイス、半導体レーザー、発光ダイオード、発光サイリスタ等の発光デバイス、光センサー、受光ダイオード等の受光デバイス、および太陽電池のようなデバイスに含まれる能動素子であってもよい。第1の電子素子570は、抵抗、キャパシタ、およびインダクタ等の受動素子であってもよい。

[0096] 本実施形態において、第2の電子素子580としてHBTが例示されるが、第2の電子素子580は、アナログ電子デバイス、LED等の発光デバイスおよび光センサー等の受光デバイスのうちの少なくとも1つの電子素子を有してもよい。第2の電子素子580は、MOSFET、MISFET、HBT、HEMT等の半導体デバイス、半導体レーザー、発光ダイオード、発光サイリスタ等の発光デバイス、光センサー、受光ダイオード等の受光デバイス、および太陽電池に含まれる能動素子であってもよい。第1の電子素子570は、抵抗、キャパシタ、およびインダクタ等に含まれる受動素子であ

ってもよい。

[0097] 入出力電極 587、入出力電極 588、およびゲート電極 589 の材料は、例えば導電性の材料であり、Al、W、Ti 等の金属、または、高濃度に不純物がドーピングされた半導体である。入出力電極 587、入出力電極 588、およびゲート電極 589 は、例えば、真空蒸着法およびめっき法などにより形成できる。

[0098] 配線 592、配線 594、および配線 596 は、第 1 の電子素子 570 または第 1 の電子素子 570 を他の電子素子等と電気的に結合する。配線 592、配線 594、および配線 596 の材料は、導電性の材料であればよく、例えば、Al、Cu、Au、W、Ti 等の金属、または、不純物がドーピングされた半導体を利用できる。配線 592、配線 594、および配線 596 は、例えば、真空蒸着法およびめっき法などにより形成できる。

[0099] なお、半導体基板 510 は複数の第 1 の電子素子 570 を有してもよい。1 つの第 1 の電子素子 570 は、複数の第 2 の電子素子 580 と電気的に結合されてよい。また、半導体基板 510 は、複数の第 2 の電子素子 580 を有してもよい。1 つの第 2 の電子素子 580 は、複数の第 1 の電子素子 570 と電気的に結合されてもよい。

[0100] 図 6 は、電子デバイス 500 の製造方法の一例を表すフローチャートを示す。S602 の工程において、ベース基板 520 上に第 1 の電子素子 570 を形成する。続いて、S604 の工程において、 $\text{Si}_x\text{Ge}_{1-x}$ 結晶 562 の前駆体が結晶に成長することを阻害し、且つ、電磁波 10 から第 1 の電子素子 570 を保護する阻害層 554 を、少なくとも第 1 の電子素子 570 を覆うように形成する。次に、S606 の工程において、ベース基板 520 にまで貫通する開口 556 を、第 1 の電子素子 570 を覆う領域以外の阻害層 554 の領域に形成する。

[0101] 続いて、S608 の工程において、被熱処理部としての $\text{Si}_x\text{Ge}_{1-x}$ 結晶 562 を開口 556 内に設ける。つまり、開口 556 内で、 $\text{Si}_x\text{Ge}_{1-x}$ 結晶 562 の前駆体を結晶に成長させる。さらに、S610 の工程において、

電磁波 10 を吸収して $\text{Si}_x\text{Ge}_{1-x}$ 結晶 562 を選択的に加熱する吸収層を設ける。S612 の工程において、ベース基板を全体的に加熱しながら電磁波を照射することにより、吸収層が発生する熱により $\text{Si}_x\text{Ge}_{1-x}$ 結晶 562 をアニールする。

[0102] 次に、S614 の工程において、 $\text{Si}_x\text{Ge}_{1-x}$ 結晶 562 上に 3-5 族化合物半導体 566 を結晶成長させる。S616 の工程において、3-5 族化合物半導体 566 に第 2 の電子素子 580 を形成する。最後に、S618 の工程において、開口 593 および開口 595 を阻害層 554 に形成する。さらに、配線 592、配線 594、および配線 596 を形成して、電子デバイス 500 が得られる。

[0103] 以下、図 7 から図 11 を用いて、半導体基板 510 を製造する方法の一例について説明する。図 7 は、半導体基板 510 の製造過程における断面の一例を概略的に示す。まず、ベース基板 520 上に第 1 の電子素子 570 が形成される。図 7 に示すとおり、ベース基板 520 には、第 1 の電子素子 570 の少なくとも一部が形成される。ベース基板 520 は、例えば、Si 基板または SOI 基板である。

[0104] 図 8 は、半導体基板 510 の製造過程における断面の一例を概略的に示す。図 8 に示すとおり、ベース基板 520 の第 1 主面 522 に接して、阻害層 554 が形成される。阻害層 554 は、例えば SiO_2 である。阻害層 554 の厚みは、一例として、 $0.05 \sim 5 \mu\text{m}$ である。阻害層 554 は、CVD 法により形成してよい。阻害層 554 には、例えば、エッチング等のフォトリソグラフィ法により開口 556 が形成される。開口 556 は、 $(\sqrt{3})/3$ 以上のアスペクト比を有してもよい。

[0105] 図 9 は、半導体基板 510 の製造過程における半導体基板 910 の一例を概略的に示す。図 9 に示すとおり、エピタキシャル成長法により、被熱処理部の一例である $\text{Si}_x\text{Ge}_{1-x}$ 結晶 962 を開口 556 内に設ける。 $\text{Si}_x\text{Ge}_{1-x}$ 結晶 962 は、図 1A から図 2 に関連して説明した被熱処理部 130 に対応する。格子欠陥密度を低減させる段階においては、 $\text{Si}_x\text{Ge}_{1-x}$ 結晶 96

2に電磁波を照射することにより、 $\text{Si}_x\text{Ge}_{1-x}$ 結晶962の格子欠陥密度を低減させる。

[0106] $\text{Si}_x\text{Ge}_{1-x}$ 結晶962に電磁波を照射する前に、 $\text{Si}_x\text{Ge}_{1-x}$ 結晶962上には吸収層950が形成される。吸収層950は、少なくとも一部が開口556の内部に形成されてもよい。吸収層950は、 $\text{Si}_x\text{Ge}_{1-x}$ 結晶962の少なくとも一部に接して形成されてもよい。吸収層950は、例えばアモルファスシリコンである。吸収層950は、例えば、CVD法により形成できる。

[0107] $\text{Si}_x\text{Ge}_{1-x}$ 結晶962は、例えば、原料ガスの一部にハロゲンを含むCVD法により設けられる。阻害層554の表面では $\text{Si}_x\text{Ge}_{1-x}$ 結晶962の前駆体が結晶に成長することが阻害されるので、 $\text{Si}_x\text{Ge}_{1-x}$ 結晶962は開口556の内部で選択成長する。このとき、 $\text{Si}_x\text{Ge}_{1-x}$ 結晶962の内部には、格子欠陥等の欠陥が発生する場合がある。

[0108] $\text{Si}_x\text{Ge}_{1-x}$ 結晶962をアニールすることで、 $\text{Si}_x\text{Ge}_{1-x}$ 結晶562の内部の欠陥密度を低減できる。しかし、ベース基板520には、すでに第1の電子素子570の一部が形成されているので、800～900℃での高温アニールを実施すると、第1の電子素子570が損傷する場合がある。また、ウェル571、ソース領域572、およびドレイン領域574に含まれる不純物がさらに拡散する。しかし、本実施形態においては、阻害層554が第1の電子素子570を電磁波から保護することにより、第1の電子素子570の損傷を防ぐことができる。

[0109] 第1の電子素子570を電磁波から保護するには、電磁波の波長は、阻害層554および第1の電子素子570における当該電磁波の吸収係数が小さくなるように選択されることが好ましい。その結果、 $\text{Si}_x\text{Ge}_{1-x}$ 結晶962における上記電磁波の吸収係数が小さくなり、 $\text{Si}_x\text{Ge}_{1-x}$ 結晶962を効率的に加熱できない場合がある。

[0110] そのような場合であっても、照射される電磁波のエネルギー量に対する発熱量の割合が、 $\text{Si}_x\text{Ge}_{1-x}$ 結晶962に電磁波を照射した場合における電

磁波のエネルギー量に対する発熱量の割合よりも大きい吸収層 950 を設けることにより、 $\text{Si}_x\text{Ge}_{1-x}$ 結晶 962 を選択的に加熱することができる。このとき、吸収層 950 は、第 1 の電子素子 570 よりも $\text{Si}_x\text{Ge}_{1-x}$ 結晶 962 に近い位置に形成されることが好ましい。これにより、第 1 の電子素子 570 の耐熱温度が $\text{Si}_x\text{Ge}_{1-x}$ 結晶 962 のアニール温度より低い場合であっても、第 1 の電子素子 570 を損傷することなく、 $\text{Si}_x\text{Ge}_{1-x}$ 結晶 962 を選択的に加熱できる。

[0111] 吸収層 950 は、照射される電磁波のエネルギー量に対する発熱量の割合が、第 1 の電子素子 570 に同一の電磁波を照射した場合における電磁波のエネルギー量に対する発熱量の割合よりも大きいことが好ましい。これにより、第 1 の電子素子 570 を損傷することなく、 $\text{Si}_x\text{Ge}_{1-x}$ 結晶 962 を選択的に加熱することができる。

[0112] なお、 $\text{Si}_x\text{Ge}_{1-x}$ 結晶 962 を選択的に加熱する段階の前に、半導体基板 910 を予備加熱してもよい。予備加熱は、例えば、ベース基板 520 の第 2 主面 524 に一定温度に加熱された支持体を接触させ、上記支持体から半導体基板 910 への熱伝導により半導体基板 910 を全体的に加熱して、 $\text{Si}_x\text{Ge}_{1-x}$ 結晶 962 および第 1 の電子素子 570 を加熱することで実施できる。また、ベース基板 520 の第 2 主面 524 側からベース基板 520 に吸収される電磁波を照射して、半導体基板 910 を全体的に加熱することでも実施できる。また、予備加熱は、第 1 の電子素子 570 の温度が、第 1 の電子素子 570 が熱劣化する温度を超えないように実施される。

[0113] 図 10 は、半導体基板 510 の製造過程における半導体基板 910 の一例を概略的に示す。図 10 に示すとおり、ベース基板 520 の上方から電磁波 14 を照射する。電磁波 14 は連続光であってよく、またフラッシュランプのフラッシュ光であってもよい。電磁波 14 は、選択される波長以外は電磁波 10 と同等である。

[0114] 本実施形態において、電磁波 14 の波長は、阻害層 554 および第 1 の電子素子 570 における電磁波 14 の吸収係数が、吸収層 950 における電磁

波 1 4 の吸収係数より小さくなるように選択される。また、電磁波 1 4 は吸収層 9 5 0 に吸収され、吸収層 9 5 0 が選択的に加熱される。吸収層 9 5 0 からの伝熱により、 $\text{Si}_x\text{Ge}_{1-x}$ 結晶 9 6 2 が加熱され、 $\text{Si}_x\text{Ge}_{1-x}$ 結晶 9 6 2 にアニールが施される。上記アニールは、被熱処理部 1 3 0 のアニールと同様の条件で実施できる。このとき、第 1 の電子素子 5 7 0 は電磁波 1 4 を吸収しにくいので、第 1 の電子素子 5 7 0 の温度上昇が抑制される。

[0115] 上記アニールにより、 $\text{Si}_x\text{Ge}_{1-x}$ 結晶 9 6 2 の欠陥密度が低減して、結晶性に優れた $\text{Si}_x\text{Ge}_{1-x}$ 結晶 5 6 2 が得られる。 $\text{Si}_x\text{Ge}_{1-x}$ 結晶 5 6 2 の表面にまで貫通する貫通転位の平均転位密度は、例えば 10^5 cm^{-2} 以下である。即ち、 $\text{Si}_x\text{Ge}_{1-x}$ 結晶 5 6 2 の格子欠陥密度を低減する段階においては、電磁波 1 4 の照射により、 $\text{Si}_x\text{Ge}_{1-x}$ 結晶 5 6 2 の内部における平均転位密度を 10^5 cm^{-2} 以下に低減できる。平均転位密度は、エッチピット法または透過型電子顕微鏡による平面断面観察により測定できる。 $\text{Si}_x\text{Ge}_{1-x}$ 結晶 5 6 2 が形成された後、吸収層 9 5 0 はエッチング等により除去されてよい。

[0116] 図 9 に関連して説明した $\text{Si}_x\text{Ge}_{1-x}$ 結晶 9 6 2 の前駆体を結晶に成長させる段階と、図 1 0 に関連して説明した $\text{Si}_x\text{Ge}_{1-x}$ 結晶 9 6 2 の格子欠陥密度を低減する段階とを、同一の反応容器の内部で実行してもよい。また、 $\text{Si}_x\text{Ge}_{1-x}$ 結晶 9 6 2 の前駆体を結晶に成長させる段階の後、 $\text{Si}_x\text{Ge}_{1-x}$ 結晶 9 6 2 が大気に曝露することなく、連続して、 $\text{Si}_x\text{Ge}_{1-x}$ 結晶 9 6 2 の格子欠陥密度を低減させる段階を実行してもよい。

[0117] 図 1 1 は、半導体基板 5 1 0 の断面の一例を概略的に示す。図 1 1 においては、図 1 0 に示した吸収層 9 5 0 がエッチング等により除去されている。吸収層 9 5 0 が除去された後に、平均転位密度が低減した $\text{Si}_x\text{Ge}_{1-x}$ 結晶 9 6 2 上に、3-5 族化合物半導体 5 6 6 が形成される。3-5 族化合物半導体 5 6 6 は、 $\text{Si}_x\text{Ge}_{1-x}$ 結晶 5 6 2 に格子整合または擬格子整合することが好ましい。

[0118] 3-5 族化合物半導体 5 6 6 は、優れた結晶性を有する $\text{Si}_x\text{Ge}_{1-x}$ 結晶

562の表面をシード面として、エピタキシャル成長する。3-5族化合物半導体566は、例えば、MOCVD法により形成できる。その後、第2の電子素子580、配線592、配線594、および配線596等を形成し、第1の電子素子570と第2の電子素子580とを電氣的に結合させて電子デバイス500が得られる。

[0119] なお、3-5族化合物半導体を結晶成長させる段階においては、 $\text{Si}_x\text{Ge}_{1-x}$ 結晶562の格子欠陥密度を低減する段階で電磁波を照射した光源を用いて、ベース基板520に再度同一の電磁波を照射してもよい。

[0120] 図11においては、図10に示した吸収層950が除去されているが、吸収層950の一部を残してもよい。例えば、吸収層950が絶縁体または絶縁体の前駆体である場合には、吸収層950の一部を残すことで、3-5族化合物半導体566とベース基板520とを絶縁できる。上記絶縁体の前駆体は、酸化されて絶縁体になる3-5族化合物半導体であってもよい。例えば、上記絶縁体の前駆体は、A1またはBを含む3-5族化合物半導体である。上記絶縁体は、例えばA1を含む3-5族化合物半導体を含む絶縁体の前駆体を酸化して得られる酸化物誘電体である。上記絶縁体および上記絶縁体の前駆体は、 $\text{Si}_x\text{Ge}_{1-x}$ 結晶562と格子整合または擬格子整合してもよい。

[0121] 吸収層の形成される位置および吸収層の種類によっては、半導体基板910に吸収層が形成された状態で、3-5族化合物半導体566を結晶成長させてもよい。これにより、第1の電子素子570の温度上昇を抑制しながら、 $\text{Si}_x\text{Ge}_{1-x}$ 結晶562に格子整合または擬格子整合する3-5族化合物半導体566を形成できる。例えば、吸収層が、阻害層554の内部の第1の電子素子570より $\text{Si}_x\text{Ge}_{1-x}$ 結晶562に近い位置に形成された状態で、吸収層が吸収できる電磁波を基板に照射しながら、反応容器に原料ガスを供給する。これにより、アニールされた $\text{Si}_x\text{Ge}_{1-x}$ 結晶562の表面に、 $\text{Si}_x\text{Ge}_{1-x}$ 結晶562に格子整合または擬格子整合する3-5族化合物半導体を選択的に形成できる。

- [0122] このとき、ベース基板 520 の温度、特に、第 1 の電子素子 570 が形成された領域の温度は、650℃以下、好ましくは450℃以下に維持されることが好ましい。これにより、熱により第 1 の電子素子 570 が劣化することをより抑制できる。なお、ベース基板 520 に $\text{Si}_x\text{Ge}_{1-x}$ 結晶 562 が形成される間、半導体基板 910 が予備加熱される間、および、 $\text{Si}_x\text{Ge}_{1-x}$ 結晶 562 がアニールされる間においても、ベース基板 520 の温度は650℃以下、好ましくは450℃以下に維持されることが好ましい。
- [0123] なお、本実施形態においては、電磁波 14 の波長が、阻害層 554 および第 1 の電子素子 570 における電磁波 14 の吸収係数が、吸収層 950 における電磁波 14 の吸収係数より小さくなるように選択される場合について説明したが、電子デバイス 500 の製造方法は、これに限定されない。ベース基板 520 として、SOI 基板、または Si 基板のように Si を含むベース基板が準備され、 $\text{Si}_x\text{Ge}_{1-x}$ 結晶 562 に、 $\text{Si}_x\text{Ge}_{1-x}$ 結晶への吸収係数が、SOI 基板または Si 基板に含まれる Si への吸収係数より大きい電磁波を照射することで、 $\text{Si}_x\text{Ge}_{1-x}$ 結晶 562 を選択的に加熱してもよい。この場合には、吸収層 950 を形成しなくてもよい。
- [0124] 図 12 は、熱処理装置 1200 の断面の一例を概略的に示す。図 12 は、熱処理装置 1200 を、熱処理装置 1200 の内部に配置されたベース基板 1280 とともに示す。熱処理装置 1200 は、反応装置の一例である。ベース基板 1280 は、例えば、ベース基板 120、ベース基板 320、ベース基板 420、およびベース基板 520 のいずれかと同様の構成を有する。ベース基板 1280 の第 1 主面 1282 には、一例として、熱処理される被熱処理部 130 と吸収層 150 とが設けられている。
- [0125] 熱処理装置 1200 は反応装置の一例である。例えば、熱処理装置 1200 は、ベース基板 1280 に、フラッシュアニール等の熱処理を施す。また、熱処理装置 1200 は、ベース基板 1280 に、Si 結晶、 $\text{Si}_x\text{Ge}_{1-x}$ 結晶 ($0 \leq x < 1$)、および化合物半導体結晶等を形成する CVD 装置を兼ねてもよい。

- [0126] 熱処理装置 1200 は、熱処理炉 1210、ランプユニット 1230 およびランプユニット 1240、放射温度計 1252、および制御部 1260 を備える。熱処理炉 1210 は、ウエハ搬入口 1212、ガス流入部 1214、ガス排出部 1216、および蓋部 1222 を有する。ランプユニット 1230 は、ランプ 1232、反射部材 1234、フィルタ 1236、および電源部 1238 を有する。ランプユニット 1240 は、ランプ 1242、反射部材 1244、および電源部 1248 を有する。
- [0127] 熱処理炉 1210 は、内部にベース基板 1280 を収容する。熱処理炉 1210 は、反応容器の一例である。熱処理炉 1210 は、例えば中空の円筒形状を有する。ウエハ搬入口 1212 は、ベース基板 1280 の搬入または取り出しに用いられる。蓋部 1222 は、ウエハ搬入口 1212 を密閉する。また、蓋部 1222 は、熱処理装置 1200 の内部でベース基板 1280 を支持する支持体 1224 を含んでもよい。これにより、熱処理炉 1210 は、内部にベース基板 1280 を保持できる。
- [0128] 支持体 1224 は、例えば、グラファイト製のサセプタである。支持体 1224 には、支持体 1224 の温度を計測する加熱温度測定部としての温度センサーが配置されてもよい。ベース基板 1280 は、支持体 1224 に接するように載置されてもよい。この場合には、支持体 1224 とベース基板 1280 の下部温度は略同一である。従って、上記温度センサーはベース基板 1280 の裏面の温度を測定することができる。例えば、上記温度センサーは、ベース基板 1280 に形成された耐熱性の小さな部分の温度を測定することができる。上記温度センサーは、ベース基板 1280 に形成された Si デバイスまたは 3-5 族化合物半導体デバイスの近傍の温度を計測してもよい。
- [0129] 熱処理炉 1210 において、不活性ガス等が、ガス流入部 1214 から熱処理炉 1210 の内部に供給される。また、熱処理炉 1210 の内部のガスが、ガス排出部 1216 から排出されてもよい。また、ガス流入部 1214 は、熱処理炉 1210 の内部に、CVD、MOCVD 等の原料ガスを供給す

る。例えば、ガス流入部 1214 は、熱処理炉 1210 の内部に原料ガス 1290 およびキャリアガス等を供給する。キャリアガスは、例えば水素ガスである。

[0130] 熱処理炉 1210 の内部では、原料ガス 1290 が反応することにより、熱処理炉 1210 の内部に保持されたベース基板 1280 に半導体の結晶がエピタキシャル成長する。反応容器内の残存ガス等は、ガス排出部 1216 から排出される。図示されていないが、ガス排出部 1216 は真空系に接続されてもよい。

[0131] 原料ガス 1290 の温度は、ベース基板 1280 の温度よりも低い。ベース基板 1280 に電磁波を照射して半導体の結晶をエピタキシャル成長させている間、原料ガス 1290 によりベース基板 1280 を冷却することが好ましい。ベース基板 1280 を冷却しながら電磁波を照射することにより、ベース基板 1280 の被熱処理部 130 以外の領域の温度差を維持しながら被熱処理部 130 を選択的に加熱することができる。

[0132] ランプユニット 1230 は、照射部の一例である。ランプユニット 1230 は、ベース基板 1280 の第 1 主面 1282 の側に配置される。ランプユニット 1230 は、ベース基板 1280 の第 1 主面 1282 の側からベース基板 1280 に対して電磁波を照射する。これにより、ランプユニット 1230 は、ベース基板 1280 を加熱する。

[0133] それぞれのランプ 1232 は電磁波を発生させる。ランプ 1232 は、例えば赤外線を含む光を発生させる。それぞれのランプ 1232 は、ベース基板 1280 全体に均一に電磁波を照射するインコヒーレントな光を発生させてもよい。熱処理装置 1200 は、例えば、複数の安価な光源を多数並列配置してベース基板 120 全体に均一に電磁波を照射することにより、大面積のベース基板 120 を一括して熱処理することができる。ランプ 1232 は、例えば、高輝度放電ランプ、ハロゲンランプ、キセノンランプ、または LED ランプである。高輝度放電ランプは、例えば、高圧水銀ランプ、メタルハライドランプ、またはナトリウムランプである。

- [0134] ランプユニット 1 2 3 0 は、連続的に電磁波を照射してもよく、電磁波をパルス状に複数回照射してもよい。ランプユニット 1 2 3 0 は、電磁波をパルス状に照射する時間および回数を、電磁波を照射する用途に応じて決定してもよい。
- [0135] 例えば、ランプユニット 1 2 3 0 は、ベース基板 1 2 8 0 に電磁波をパルス状に複数回照射することにより、フラッシュアニールを施す。フラッシュアニールにおいて、ランプユニット 1 2 3 0 は、キセノンランプ等のフラッシュランプを用いて、フラッシュ光をベース基板 1 2 8 0 に照射する。ベース基板 1 2 8 0 の表層部分は、例えば 1000°C 以上の高温に短時間で加熱される。また、ベース基板 1 2 8 0 をスキャンしながら、フラッシュランプからのフラッシュ光をベース基板 1 2 8 0 に照射することで、ベース基板 1 2 8 0 の全面が加熱される。
- [0136] フラッシュランプが照射する電磁波のパルス幅は、例えば、 $1\text{ ns} \sim 100\text{ ms}$ である。ベース基板 1 2 8 0 を高い温度で熱処理する場合には、電磁波のパルス幅は短いほうが好ましい。しかし、上記パルス幅が 0.1 ms より小さい場合には、光パルスの制御が難しくなる。そこで、電磁波のパルス幅は $0.1\text{ ms} \sim 10\text{ ms}$ であることが好ましい。ここで、本明細書において、パルス幅とは、パルス波形のレベルが、ピーク値の $1/2$ 以上の大きさを維持する時間幅を意味する。
- [0137] フラッシュ光の光照射量は、熱処理対象および利用可能なランプにより任意に選択できる。光照射量は、例えば $2 \sim 50\text{ J/cm}^2$ である。なお、本明細書において、フラッシュランプの光照射量とは、フラッシュランプが出力する電磁波のエネルギー（単位： J ）を、ベース基板 1 2 8 0 においてフラッシュランプが照射される領域の面積（単位： cm^2 ）で除した値のことを言う。
- [0138] フラッシュ光を複数回照射する場合、フラッシュ光のパルス間隔は、フラッシュ光源の出力性能および繰り返し充放電性能、ならびに被熱処理部 1 3 0 の放熱性を考慮して設定される。例えば、被熱処理部 1 3 0 の温度が必要

アニール温度に到達して、かつ、ベース基板 1280 における被熱処理部 130 以外の温度が所定の温度以上にならないよう設定される。上記パルス間隔は、例えば 1 s 以上である。

[0139] パルス間隔が短すぎる場合には、充放電に要する設備負担が過大になる。また、ベース基板 1280 における熱エネルギーの放散が間に合わないことにより、被熱処理部 130 以外の領域の不要な温度上昇を招く場合がある。一方、上記パルス間隔が長すぎる場合には、処理時間が長くなるとともに、熱処理に要するエネルギーが増加する。

[0140] フラッシュランプのパルス点灯回数、および、各パルスのパルス幅は、被熱処理部 130 が十分なアニール効果を受けるよう自由に設定してもよい。フラッシュランプのパルス回数、または、各パルスのパルス幅を調整することで、熱処理の温度および時間を調整できる。

[0141] 例えば、被熱処理部 130 が $\text{Si}_x\text{Ge}_{1-x}$ 結晶 ($0 \leq x < 1$) を含み、連続光を用いた連続アニールにより被熱処理部 130 をアニールする場合には、上記熱処理の温度および時間は $850 \sim 900^\circ\text{C}$ で $2 \sim 10$ 分間である。アニールの温度は、例えば、被熱処理部 130 の融点より低い温度である。

[0142] フラッシュアニールにおいては、一例として、光照射量が 5 J/cm^2 のランプを用いて、 $0.2 \mu\text{m} \sim 1.5 \mu\text{m}$ の波長範囲で広い発光スペクトル成分を有するフラッシュ光を、パルス幅が 1 ms、パルス間隔が 30 s の条件で 5 回程度照射する。これにより、累計で 5 ms 程度の照射で、被熱処理部 130 の最高到達温度を $750 \sim 800^\circ\text{C}$ にできる。

[0143] ベース基板 1280 を予め $400 \sim 600^\circ\text{C}$ 程度に予備加熱しておき、同様に光照射量が 5 J/cm^2 のランプを用いて、同様の波長帯を有するフラッシュ光を、パルス幅が 5 ms、パルス間隔が 30 s の条件で 5 回程度照射してもよい。これにより、被熱処理部 130 の最高到達温度を $850 \sim 900^\circ\text{C}$ にできる。

[0144] ベース基板 1280 に対して複数段階のアニールを施してもよい。例えば、被熱処理部 130 の融点に達しない温度で高温アニールを実施した後、高

温アニールの温度より低い温度で低温アニールを実施する。また、このような２段階のアニールを、複数回繰り返して実施してよい。高温アニールの温度および時間は、被熱処理部１３０が $\text{Si}_x\text{Ge}_{1-x}$ 結晶（ $0 \leq x < 1$ ）を含む場合には、例えば、 $850 \sim 900^\circ\text{C}$ で $2 \sim 10$ 分間である。低温アニールの温度および時間は、例えば、 $600 \sim 780^\circ\text{C}$ で $2 \sim 10$ 分間である。

[0145] フラッシュアニールにより被熱処理部１３０をアニールする場合には、パルス幅およびパルス間隔等の条件を調整することで、上記複数段階のアニールを実施できる。例えば、フラッシュアニールにより２段階のアニールを実施する場合には、１回のフラッシュ光の照射による被熱処理部１３０の最高到達温度が高温アニールの温度範囲に含まれるように、パルス幅等の条件を調整する。また、次のフラッシュ光を照射するまでの間に、被熱処理部１３０の温度は低下する。そこで、次のフラッシュ光の照射による被熱処理部１３０の温度が低温アニールの温度範囲に含まれるように、パルス間隔を調整してもよい。

[0146] 反射部材１２３４は、ランプ１２３２から照射された電磁波のうち、ベース基板１２８０に向かわない電磁波を、ベース基板１２８０に向かうように反射する。電源部１２３８は、例えば、制御部１２６０から入力された信号に基づき、ランプ１２３２に供給する電流を調整する。

[0147] フィルタ１２３６は、ベース基板１２８０とランプ１２３２との間に配置される。フィルタ１２３６は、ベース基板１２８０が吸収することができる電磁波の波長成分の少なくとも一部を遮断してもよい。フィルタ１２３６は、ランプ１２３２が発生させた電磁波のうち、特定の波長成分を吸収する。例えば、フィルタ１２３６は、ランプ１２３２が照射する電磁波の波長成分のうち、ベース基板１２８０の被熱処理部１３０以外の領域における吸収係数が、ベース基板１２８０の被熱処理部１３０における吸収係数よりも大きい波長成分を遮断する。

[0148] フィルタ１２３６は、ベース基板１２８０が被保護部を有する場合には、被保護部と同じ材料を含んでもよい。例えば、被保護部が Si 基板、 SOI

基板等のSi結晶に形成されたMOSFETである場合には、Si結晶基板のようにSi結晶を含むフィルタを用いることで、Si結晶には吸収されず $\text{Si}_x\text{Ge}_{1-x}$ 結晶 ($0 \leq x < 1$) を選択的に加熱できる電磁波が得られる。また、例えば、フィルタとして SiO_2 層が形成されたSi結晶基板を用いることで、Si結晶および SiO_2 には吸収されず $\text{Si}_x\text{Ge}_{1-x}$ 結晶 ($0 \leq x < 1$) を選択的に加熱できる電磁波が得られる。

[0149] 熱処理装置1200が、 $\text{Si}_x\text{Ge}_{1-x}$ 結晶を含む被熱処理部130をフラッシュアニールによりアニールする場合には、加熱部を用いて、ベース基板1280の全体を予め400～600℃程度に予備加熱してもよい。また、熱処理装置1200は、第2主面1284の側からベース基板1280を予備加熱した後、ベース基板1280全体の温度を所定の温度に維持しながら、第1主面1282側からベース基板1280に電磁波を照射してもよい。

[0150] 熱処理装置1200は、ベース基板1280の下方に設けられた熱源によりベース基板1280全体に加える熱量が、ベース基板1280から放射される熱量と略等しくなるように、ベース基板1280を加熱してもよい。熱処理装置1200は、ベース基板1280を予備加熱することにより、電磁波のパルス振幅を小さくすることができる。

[0151] 予備加熱は、被熱処理部130以外の領域の温度が、被熱処理部130以外の領域が熱劣化する温度を超えないように実施される。ここで、被熱処理部130以外の領域が熱劣化する温度とは、被熱処理部130以外の領域の特性が、設計で決定した許容範囲を超える温度を意味する。

[0152] 予備加熱は、例えば、反応容器中でベース基板1280を支持する支持体を一定温度に加熱することで実施できる。例えば、ベース基板1280の第2主面1284に一定温度に加熱された支持体を接触させ、当該支持体からベース基板1280への熱伝導により、ベース基板1280が予備加熱される。支持体は、例えば、支持体が吸収可能な電磁波を第1主面1282に照射することで加熱される。また、支持体はヒーター等によって電熱加熱されてもよい。予備加熱においては、ベース基板1280が吸収可能な電磁波を

第2主面1284の側から照射することによりベース基板1280を加熱してもよい。

[0153] それぞれのランプユニット1240は、ベース基板1280の第2主面1284の側に配置される。ランプユニット1240は、ベース基板1280の第2主面1284の側からベース基板1280に対して電磁波を照射する。これにより、ランプユニット1240は支持体1224を加熱できる。また、ランプユニット1240は、支持体1224を介してベース基板1280を全体的に加熱できる。ベース基板1280は、例えば、支持体1224からの伝熱により加熱される。

[0154] それぞれのランプ1242は電磁波を発生させる。ランプ1242は、例えば赤外線を含む光を発生させる。ランプ1242はインコヒーレントな光を発生させてもよい。これにより、複数の安価なランプ1242を多数並列配置することにより、大面積のベース基板1280を一括して熱処理することができる。ランプ1242は、例えば、高輝度放電ランプ、ハロゲンランプ、キセノンランプ、LEDランプである。高輝度放電ランプは、例えば、高圧水銀ランプ、メタルハライドランプ、ナトリウムランプである。なお、加熱部はランプユニット1240に限定されない。加熱部は、抵抗加熱により支持体1224またはベース基板1280を全体的に加熱してもよい。

[0155] 熱処理装置1200は、ランプユニット1240を用いて電磁波を照射しながら、ベース基板1280の上方からランプ1232によって電磁波を照射してもよい。熱処理装置1200は、ランプユニット1240を用いて電磁波を照射し続けることにより、ベース基板1280の裏面の温度を一定温度範囲内に保った状態で、被熱処理部130を加熱することができる。その結果、被熱処理部130の温度制御が容易になる。

[0156] 反射部材1244は、ランプ1242から照射された電磁波のうち、ベース基板1280に向かわない電磁波を、ベース基板1280に向かうように反射する。電源部1248は、例えば、制御部1260から入力された信号に基づき、ランプ1242に供給する電流を調整する。

- [0157] 放射温度計 1252 は、ベース基板 1280 の温度を計測する。ベース基板 1280 の表面近傍に、ランプユニット 1230 の照射した電磁波により加熱される被熱処理部 130 または吸収層 150 が形成されている場合には、放射温度計 1252 は、被熱処理部 130 または吸収層 150 の温度を計測する。これにより、被熱処理部 130 または吸収層 150 の温度を非接触で測定できる。放射温度計 1252 は、ランプユニット 1230 が電磁波を照射していない期間に、ベース基板 1280 等の温度を測定してもよい。これにより、ベース基板 1280 等の温度をより正確に測定できる。放射温度計 1252 は、ランプ 1232 が消灯した直後に、ベース基板 1280 等の温度を測定してもよい。
- [0158] 制御部 1260 は、ランプユニット 1230 およびランプユニット 1240 を制御して、ベース基板 1280 の温度を調節する。制御部 1260 は、例えば、電源部 1238 および電源部 1248 からランプ 1232 およびランプ 1242 に供給される電流または電圧を制御する。制御部 1260 は、ランプユニット 1240 が支持体 1224 に電磁波を連続的に照射してベース基板 1280 を予備加熱した後に、ランプユニット 1230 がベース基板 1280 に電磁波をパルス状に照射してもよい。
- [0159] 制御部 1260 は、ランプユニット 1230 およびランプユニット 1240 を各々独立に制御してもよい。ランプユニット 1230 およびランプユニット 1240 の電磁波の出力を制御してもよい。制御部 1260 は、例えば、ランプユニット 1230 およびランプユニット 1240 の点滅状態、点滅間隔、発生させる電磁波の強度、平均出力、および一定時間における総照射量等を制御する。
- [0160] 制御部 1260 は、電磁波を照射する照射期間と電磁波を照射しない非照射期間とが設けられるようにランプユニット 1230 を制御して、パルス状に電磁波を照射させてもよい。制御部 1260 は、出力の大きな電磁波を照射する期間と、上記電磁波より出力の小さな電磁波を照射する期間とが設けられるように、ランプユニット 1230 を制御して、パルス状に電磁波を照

射させてもよい。

[0161] 制御部 1260 は、支持体 1224 に配置された温度センサーが計測した支持体 1224 の温度に基づいて、ランプユニット 1240 の出力を制御してもよい。制御部 1260 は、放射温度計 1252 が計測した温度に基づいて、ランプユニット 1230 の出力を制御してもよい。例えば、制御部 1260 は、放射温度計 1252 が計測した被熱処理部 130 の温度に基づいて、ランプユニット 1230 が照射する電磁波の強度を調整する。一例として、制御部 1260 は、ランプユニット 1230 の非照射期間に、放射温度計 1252 により、ベース基板 1280、被熱処理部 130、および吸収層 150 等の温度を計測する。制御部 1260 は、吸収層 150 の温度を被熱処理部 130 の温度とみなしてもよい。

[0162] 制御部 1260 は、計測した被熱処理部 130 の温度がアニールに必要な温度に達していない場合には、ランプユニット 1230 のパルス幅を大きくすることにより、被熱処理部 130 の温度を上昇させてもよい。制御部 1260 は、ランプユニット 1230 による照射期間を長くすることにより、被熱処理部 130 の温度を上昇させてもよい。

[0163] 制御部 1260 は、加熱温度測定部として機能する温度センサーによる測定結果に基づいて、照射部として機能するランプユニット 1230 が電磁波を照射する照射期間と、ランプユニット 1230 が電磁波を照射しない非照射期間とを決定してもよい。具体的には、制御部 1260 は、温度センサーが測定したベース基板 1280 の裏面の温度に応じて、ランプユニット 1230 による加熱量を制御する。例えば、ベース基板 1280 の裏面の温度が 300℃ の場合には、ベース基板 1280 の裏面の温度が 400℃ の場合に比べてランプユニット 1230 の照射期間を長くすることにより、アニールに必要な温度にまで被熱処理部 130 の温度を短時間で上昇させることができる。

[0164] 以上のとおり、熱処理装置 1200 は、被熱処理部 130 および吸収層 150 を有するベース基板 1280 に電磁波を照射して熱処理することにより

、被熱処理部 130 を選択的に加熱できる。これにより、被熱処理部 130 の結晶内部の欠陥密度を低減できる。

[0165] また、熱処理装置 1200 は、第 1 主面 1282 の側からベース基板 1280 を加熱するランプユニット 1230 と、第 2 主面 1284 の側からベース基板 1280 を加熱するランプユニット 1240 とを備えるので、ベース基板 1280 を両面から加熱できる。また、熱処理装置 1200 は、ランプユニット 1230 およびランプユニット 1240 を各々独立に制御できるので、ベース基板 1280 を両面から各々独立に加熱できる。これにより、熱処理装置 1200 は、ベース基板 1280 の温度を様々な態様で制御できる。

[0166] なお、熱処理装置 1200 は、ベース基板 1280 の代わりに、半導体デバイスの少なくとも一部が形成された SOI 基板または Si 基板、および、 $\text{Si}_x\text{Ge}_{1-x}$ 結晶 ($0 \leq x < 1$) を含む被熱処理部を有する基板を反応容器の内部に保持してもよい。このとき、電磁波照射部は、前記 $\text{Si}_x\text{Ge}_{1-x}$ 結晶への吸収係数が、SOI 基板または Si 基板に含まれる Si への吸収係数より大きい電磁波を基板に照射してもよい。

[0167] 図 13 は、半導体基板 1310 の断面の一例を概略的に示す。図 13 を用いて、被熱処理部 130 の表面に、3-5 族化合物半導体 1366 をエピタキシャル成長させる場合について説明する。3-5 族化合物半導体 1366 は、3-5 族化合物半導体の一例であってよい。

[0168] 半導体基板 1310 は、ベース基板 120、ベース基板 120 上に形成され開口 1356 を有する阻害層 1354、開口 1356 の内部に形成された被熱処理部 130、被熱処理部 130 の近傍に配置された吸収層 1350、および 3-5 族化合物半導体 1366 を備える。吸収層 1350 と、図 2 における吸収層 250 とは同等である。阻害層 1354 と、図 2 における阻害層 554 とは同等である。

[0169] 阻害層 1354 の少なくとも一部は、吸収層 1350 とシード結晶としての被熱処理部 130 との間に配置される。つまり、半導体基板 1310 は、

吸収層 1350 が阻害層 1354 の内部に設けられている点で、半導体基板 210 または半導体基板 910 と相違する。本実施形態において、3-5 族化合物半導体 1366 は、例えば、以下の手順で形成できる。

[0170] まず、吸収層 1350 と、阻害層 1354 とが形成されたベース基板 120 を準備して、反応容器の内部に保持する。次に、エッチング等により阻害層 1354 に開口 1356 を形成して、ベース基板 120 の第 1 主面 122 を露出させる。開口 1356 は、吸収層 1350 に囲まれるように形成される。その後、CVD 法等により、開口の内部に被熱処理部 130 を形成する。被熱処理部 130 は、例えば $\text{Si}_x\text{Ge}_{1-x}$ 結晶 ($0 \leq x < 1$) である。

[0171] 次に、吸収層 1350 が吸収できる電磁波 10 を、ベース基板 120 の第 1 主面 122 に向かって全体的に照射しながら、反応容器に原料ガス 1390 を供給する。電磁波 10 は、阻害層 1354 に吸収されにくい波長であることが好ましい。ベース基板 120 の第 1 主面 122 側に電磁波 10 を照射すると、吸収層 1350 が選択的に加熱され、吸収層 1350 で発生した熱により被熱処理部 130 が加熱される。阻害層 1354 の表面では結晶の成長が阻害されるので、被熱処理部 130 の表面に、3-5 族化合物半導体 1366 が選択エピタキシャル成長する。このとき、例えば、第 2 主面 124 の側から半導体基板 1310 を全体的に加熱しながら、ベース基板 120 の第 1 主面 122 に向かって電磁波 10 を照射する。

[0172] 被熱処理部 130 は、3-5 族化合物半導体 1366 をエピタキシャル成長させる段階の前に、アニールされることが好ましい。被熱処理部 130 のアニールと、上記 3-5 族化合物半導体 1366 のエピタキシャル成長とを、同一の反応容器の内部で実施してもよい。また、被熱処理部 130 をアニールした後、半導体基板 110 を大気に曝露することなく、連続して、上記 3-5 族化合物半導体 1366 をエピタキシャル成長させてもよい。

[0173] 3-5 族化合物半導体 1366 を選択エピタキシャル成長させる方法は、上記の方法に限定されない。被熱処理部と、被熱処理部以外の部分の少なくとも一部に配置された被保護部と、被保護部を電磁波から保護する保護層と

を有する基板に電磁波を照射しながら、反応容器に原料ガスを供給してもよい。

[0174] 図14は、半導体基板510の製造過程における半導体基板910の一例を概略的に示す。半導体基板910は、 $\text{Si}_x\text{Ge}_{1-x}$ 結晶962を加熱して得られた $\text{Si}_x\text{Ge}_{1-x}$ 結晶562を有する。

[0175] 本実施形態において、半導体基板910は、第1の電子素子570を電磁波10から保護する保護層1450を有する。保護層1450は、電磁波10の少なくとも一部を遮蔽する遮蔽層1452および阻害層554を有する。遮蔽層1452は阻害層554上に設けられる。遮蔽層1452は、例えば、W、Al等の金属薄膜である。これにより、遮蔽層1452は、電磁波10の少なくとも一部を反射できる。また、遮蔽層1452と第1の電子素子570との間に阻害層554が配置されるので、遮蔽層で発生した熱が第1の電子素子570に直接伝わることを防止できる。

[0176] 3-5族化合物半導体566は、例えば、以下の手順で形成できる。まず、 $\text{Si}_x\text{Ge}_{1-x}$ 結晶562が形成された半導体基板910を、CVD装置等の反応容器に保持する。 $\text{Si}_x\text{Ge}_{1-x}$ 結晶962を加熱するのに用いられた熱処理装置は、上記CVD装置を兼ねてもよい。次に、 $\text{Si}_x\text{Ge}_{1-x}$ 結晶562が吸収できる電磁波10を半導体基板910に全体的に照射しながら、反応容器に原料ガス1490を供給する。電磁波10の波長は、阻害層554に吸収されにくく、遮蔽層1452に遮蔽されやすい波長が選択されることが好ましい。

[0177] 半導体基板910に電磁波10を照射すると、 $\text{Si}_x\text{Ge}_{1-x}$ 結晶562が選択的に加熱され、加熱された $\text{Si}_x\text{Ge}_{1-x}$ 結晶562の表面に、3-5族化合物半導体566が選択エピタキシャル成長する。このとき、第2主面524の側から半導体基板910を全体的に加熱しながら、半導体基板910に電磁波10を照射してもよい。

[0178] なお、本実施形態において、 $\text{Si}_x\text{Ge}_{1-x}$ 結晶562および保護層1450を有する半導体基板910に電磁波10を照射しながら、反応容器に原料

ガス 1490 を供給する場合について説明したが、3-5 族化合物半導体 566 を選択エピタキシャル成長させる方法は、これに限定されない。図 13 に関連して説明したように、 $\text{Si}_x\text{Ge}_{1-x}$ 結晶 562 の近傍の阻害層 554 の内部に吸収層を配置して、 $\text{Si}_x\text{Ge}_{1-x}$ 結晶 562 を選択的に加熱しながら、反応容器に原料ガス 1490 を供給してもよい。半導体基板 910 は、上記吸収層および保護層 1450 を有してもよい。

実施例

[0179] (実施例 1)

電子デバイス 500 を、図 6 に示す手順に従って製作した。ベース基板 520 として、市販の SOI 基板を準備した。被保護部の一例である第 1 の電子素子 570 として、MOSFET をベース基板 520 の Si 結晶層に形成した。阻害層 554 として、ベース基板 520 の第 1 主面 522 に接する SiO_2 層を、CVD 法により形成した。 SiO_2 層の厚さの平均値は、 $1\mu\text{m}$ であった。フォトリソグラフィ法により、阻害層 554 の一部に開口 556 を形成した。開口 556 の大きさは、 $15\mu\text{m} \times 15\mu\text{m}$ とした。

[0180] 阻害層 554 および開口 556 が形成されたベース基板 520 を、熱処理装置 1200 の熱処理炉 1210 の内部に配置して、 $\text{Si}_x\text{Ge}_{1-x}$ 結晶 962 としての Ge 結晶層を形成した。上記のベース基板 520 は、支持体 1224 の上面に、ベース基板 520 の第 2 主面 524 が支持体 1224 に接するように載置した。支持体 1224 には、グラファイト製のサセプタを用いた。Ge 結晶層は、CVD 法により、開口 556 の内部に選択的に形成した。Ge 結晶層は、 GeH_4 を原料ガスに用いて熱処理炉 1210 内の圧力が 2.6kPa 、成長温度が 400°C の条件で、いったん約 20nm の厚さまで成膜した後、 600°C に昇温して、引き続き約 $1\mu\text{m}$ の厚さで成膜した。以上の工程により、半導体基板 910 を作製した。

[0181] このとき、阻害層 554 の表面には、遮蔽層として、Ag 薄膜と SiO_2 層とを有する構造体を形成した。上記構造体の形成においては、予め真空蒸着法により阻害層 554 の表面に Ag 薄膜を形成した。さらに、Ag 保護層と

して、真空蒸着法によりA_g薄膜の表面に100nmのSiO₂層を成膜した後、フォトリソグラフィ法により上記A_g薄膜およびA_g保護層としてのSiO₂層をパターニングして、上記構造体を得た。A_g薄膜およびA_g保護層としてのSiO₂層は、第1主面522に垂直な方向からみて、第1の電子素子570を覆い隠す大きさにパターニングした。

[0182] 次に、熱処理炉1210中で、半導体基板910を載置した支持体1224の裏面からランプユニット1240により赤外線を照射することで、支持体1224を加熱した。支持体1224から半導体基板910の第2主面524への熱伝導により、半導体基板910の予備加熱を実施した。予備加熱は、支持体1224の温度が400℃になるよう実施した。このとき、Si_xGe_{1-x}結晶962近傍および第1の電子素子570近傍の温度も、約400℃であった。

[0183] 上記温度は、赤外表面温度計により計測した。予備加熱により半導体基板910の温度が安定した後、ランプユニット1240により半導体基板910を全体的に加熱しながら、阻害層554および上記遮蔽層を保護層として、ランプユニット1230により、第1主面522の側から赤外線を含むランプ光を、半導体基板910に対して照射した。ランプ光の波長は、Si結晶よりSi_xGe_{1-x}結晶に吸収されやすい波長を選択した。これにより、Si_xGe_{1-x}結晶962を選択的に加熱して、Si_xGe_{1-x}結晶962をアニールした。

[0184] ランプ光の照射は、Si_xGe_{1-x}結晶962を形成した後、半導体基板910を熱処理炉1210から取り出すことなく実施した。即ち、本実施例において、Si_xGe_{1-x}結晶962の前駆体を結晶に成長させる段階の後、Si_xGe_{1-x}結晶962を大気に曝露することなく、連続して、Si_xGe_{1-x}結晶962を選択的に加熱した。また、Si_xGe_{1-x}結晶962の前駆体を結晶に成長させる段階と、Si_xGe_{1-x}結晶962を選択的に加熱する段階とを、同一の反応容器の内部で実行した。

[0185] 上記の赤外線を含むランプ光の光源として、最大出力が1.6kWのハロ

ゲンランプ（ウシオ電機株式会社製）を20本使用した。ハロゲンランプの出力は、次のように調整した。まず、Si基板上の全面に、厚さ約1 μ mのGe単結晶層を有する参照基板を準備して、ハロゲンランプの出力と上記参照基板の表面温度との相関特性を得た。次に、この相関特性に基づいて、半導体基板910の第1主面522の表面温度が850℃になるようにハロゲンランプの出力を設定して、半導体基板910にランプ光を20分間照射した。また、上記ハロゲンランプと半導体基板910との間には、フィルタ1236として、Si単結晶板を設置して、その透過光を半導体基板910の第1主面522に照射した。

[0186] 上記のハロゲンランプの出力と参照基板の表面温度との相関特性は、以下の手順で得られた。まず、熱処理炉1210中の支持体1224上に上記参照基板を載置した。上記参照基板は、Ge単結晶層が形成された面（第1主面と称する場合がある。）とは反対側の面（第2主面と称する場合がある。）が支持体1224の上面に接するように載置した。

[0187] 次に、参照基板を予備加熱した。予備加熱は、熱処理炉1210中で、支持体1224の下面側から赤外線を照射して、支持体1224を加熱することを実施した。これにより、支持体1224から上記参照基板への熱伝導により、参照基板を全体的に加熱した。予備加熱は、支持体1224の温度が400℃になるよう実施した。このとき、赤外表面温度計の校正も実施した。上記校正は、赤外表面温度計により計測された上記参照基板の第1主面の表面温度が約400℃となるように上記赤外表面温度計の設定を調整することを実施した。

[0188] 予備加熱により上記参照基板の温度が安定した後、上記参照基板の第1主面側から赤外線を含むランプ光を、約10秒間隔で間歇的に上記参照基板に対して照射した。ランプ光がオフになった直後の上記第1主面の表面温度を赤外表面温度計により計測することで、第1主面側から照射されるハロゲンランプの出力と、上記参照基板の第1主面の表面温度との相関特性が得られた。

- [0189] なお、半導体基板 910 および上記参照基板にランプ光を照射している間、支持体 1224 に埋め込まれた熱電対により温度を検出して、かつ、支持体 1224 の下面に照射する赤外線のエネルギー量をフィードバック制御することで、支持体 1224 の温度を調整した。支持体 1224 の温度が 400°C になるように、上記赤外線のエネルギー量を調整した。
- [0190] 以上のとおり、半導体基板 910 の $\text{Si}_x\text{Ge}_{1-x}$ 結晶 962 をアニールした後、半導体基板 910 を熱処理炉 1210 から取り出すことなく、MOCVD 法により、3-5 族化合物半導体 566 として GaAs 層を形成した。GaAs 層は、トリメチルガリウムおよびアルシンを原料ガスに用いて、成長温度が 650°C、熱処理炉 1210 内の圧力が 9.9 kPa の条件で成膜した。GaAs 層は、アニールして得られた $\text{Si}_x\text{Ge}_{1-x}$ 結晶 562 が吸収できる電磁波を半導体基板 910 に照射しながら、熱処理炉 1210 の内部に原料ガスを供給して形成した。GaAs 層は、ランプユニット 1240 により半導体基板 910 を全体的に加熱しながら形成した。このとき、グラフアイト製支持体の温度は、400°C となるよう調整した。その後、エッチングにより、最表面の Ag 保護層としての SiO_2 層と Ag 薄膜とを除去して、半導体基板 510 を作製した。
- [0191] 第 2 の電子素子 580 として、上記 GaAs 層を活性層に用いた HBT を形成した。その後、配線を形成して、電子デバイス 500 を作製した。電子デバイス 500 の動作試験を実施したところ、電子デバイス 500 は、1 kA/cm² コレクタ電流密度における電流増幅率として 175 を示して、電流増幅素子として、正常な動作が確認された。ベース基板 520 の Si 結晶層に形成された第 1 の電子素子 570 としての MOSFET は、初期特性と変わらないしきい値および電流電圧特性が確認された。
- [0192] また、アニールされた Ge 結晶層を、SEM により観察したところ、Ge 結晶層の層厚は約 1 μm であり、GaAs 層の膜厚は、2.5 μm で設計通りであった。また、エッチピット法により GaAs 層の表面を検査したところ、GaAs 層の表面に欠陥は発見されなかった。TEM により面内断面観

察をしたところ、Ge結晶層からGaAs層に貫通する転位は発見されなかった。

[0193] (実施例2)

電子デバイス500を、図6に示す手順に従って製作した。実施例1と同様にして、ベース基板520上に阻害層554および開口556を形成した。上記ベース基板520を、熱処理炉1210の内部に配置して、 $\text{Si}_x\text{Ge}_{1-x}$ 結晶962として、Ge結晶層を形成した。Ge結晶層は、CVD法により、開口556の内部に選択的に形成した。Ge結晶層は、 GeH_4 を原料ガスに用いて、熱処理炉1210内の圧力が2.6kPa、成長温度400℃でいったん約20nm成膜した後、600℃に昇温し、引き続き約1μmの厚さで成膜した。以上の工程により、半導体基板910を作製した。このとき、阻害層554の表面には、実施例1と同様の遮蔽層を形成した。

[0194] 次に、半導体基板910を熱処理炉1210からいったん取り出して、別の反応容器中のグラファイト製支持体の上方に、ベース基板520の第2主面524がグラファイト製支持体に接するように、半導体基板910を載置した。上記の別の反応容器中で、半導体基板910を載置したグラファイト製支持体の裏面から電熱加熱により上記グラファイト製支持体を加熱して、グラファイト製支持体に接触する半導体基板910の第2主面524の側への熱伝導により、半導体基板910の予備加熱を実施した。予備加熱は、グラファイト製支持体の温度が200～600℃になるよう実施した。

[0195] 予備加熱により半導体基板910の温度が安定した後、ランプユニット1240により半導体基板910を全体的に加熱しながら、阻害層554および遮蔽層を保護層として、 N_2 またはArの不活性ガス雰囲気下において、フラッシュ光を第1主面522の側から半導体基板910に対して照射した。これにより、 $\text{Si}_x\text{Ge}_{1-x}$ 結晶962を選択的に加熱して、 $\text{Si}_x\text{Ge}_{1-x}$ 結晶962をアニールした。

[0196] フラッシュランプとして、半導体基板910の単位面積当たりの入力エネルギーの値が、約15J/cm²のキセノンランプ（ウシオ電機株式会社製）

を用いた。フラッシュ光のパルス幅を 1 ms、繰り返し照射時のフラッシュ光のパルス間隔を 30 s として、フラッシュ光を 5 回照射した。このとき、グラファイト製支持体の温度は、400℃となるよう調整した。また、上記フラッシュランプと半導体基板 910 の間には、フィルタ 1236 として、Si 単結晶板を設置して、その透過光を半導体基板 910 の第 1 主面 522 に照射した。

[0197] 以上のとおり、半導体基板 910 の $\text{Si}_x\text{Ge}_{1-x}$ 結晶 962 をアニールした後、半導体基板 910 を熱処理に用いた反応容器から取り出した。その後、さらに別の反応装置を用いて、MOCVD 法により、3-5 族化合物半導体 566 として GaAs 層を形成した。GaAs 層は、トリメチルガリウムおよびアルシンを原料ガスに用いて、成長温度が 650℃、反応容器内の圧力が 9.9 kPa の条件で成膜した。GaAs 層は、アニールして得られた $\text{Si}_x\text{Ge}_{1-x}$ 結晶 562 が吸収できる電磁波を半導体基板 910 に照射しながら、熱処理炉 1210 の内部に原料ガスを供給して形成した。GaAs 層は、ランプユニット 1240 により半導体基板 910 を全体的に加熱しながら形成した。このとき、グラファイト製支持体の温度は、400℃となるよう調整した。その後、エッチングにより、最表面の Ag 保護層としての SiO_2 層と Ag 薄膜とを除去して、半導体基板 510 を作製した。

[0198] 第 2 の電子素子 580 として、上記 GaAs 層を活性層に用いた HBT を形成した。その後、配線を形成して、電子デバイス 500 を作製した。電子デバイス 500 の動作試験を実施したところ、電子デバイス 500 は、1 kA/cm² コレクタ電流密度における電流増幅率として 178 を示して、電流増幅素子として、正常な動作が確認された。ベース基板 520 の Si 結晶層に形成された第 1 の電子素子 570 としての MOSFET は、初期特性と変わらないしきい値および電流電圧特性が確認された。

[0199] また、アニールされた Ge 結晶層を、SEM により観察したところ、Ge 結晶層の厚さは約 1 μm であり、GaAs 層の厚さは約 2.5 μm で設計通りであった。また、エッチピット法により GaAs 層の表面を検査したとこ

ろ、GaAs層の表面に欠陥は発見されなかった。TEMにより面内断面観察をしたところGe結晶層からGaAs層に貫通する転位は発見されなかった。

[0200] (実施例3)

電子デバイス500を、図6に示す手順に従って製作した。実施例1と同様にして、ベース基板520上に阻害層554および開口556が形成されたベース基板520を準備した。上記ベース基板520を、熱処理炉1210の内部に配置して、 $\text{Si}_x\text{Ge}_{1-x}$ 結晶962として、Ge結晶層を形成した。Ge結晶層は、CVD法により、開口556の内部に選択的に形成した。Ge結晶層は、 GeH_4 を原料ガスに用いて、熱処理炉1210内の圧力が2.6kPa、成長温度400℃でいったん約20nm成膜した後、600℃に昇温して、引き続き約1μmの厚さで成膜した。

[0201] 吸収層950として、アモルファスシリコン層を形成した。上記アモルファスシリコン層は、CVD法により、開口556の内部の $\text{Si}_x\text{Ge}_{1-x}$ 結晶962に接するように形成した。阻害層554の表面に形成されたアモルファスシリコン層のうち、第1の電子素子570の上方に形成された不要なアモルファスシリコン層は、エッチング等により除去した。以上の工程により、半導体基板910を作製した。

[0202] 次に、半導体基板910を熱処理炉1210からいったん取り出して、別の反応容器中のグラファイト製支持体の上方に、ベース基板520の第2主面524がグラファイト製支持体に接するように、半導体基板910を載置した。上記の別の反応容器中で、半導体基板910を載置したグラファイト製支持体の裏面から電熱加熱により上記グラファイト製支持体を加熱して、グラファイト製支持体に接触する半導体基板910の第2主面524の側への熱伝導により、半導体基板910の予備加熱を実施した。予備加熱は、グラファイト製支持体の温度が200～600℃になるよう実施した。

[0203] 予備加熱により半導体基板910の温度が安定した後、阻害層554を保護層として、 N_2 またはArの不活性ガス雰囲気下において、フラッシュラン

プのフラッシュ光を第1主面522の側から半導体基板910に対して照射した。上記フラッシュランプと半導体基板910の間には、フィルタ1236として、主に可視光領域の波長成分を透過させるフィルタを設置して、その透過光を半導体基板910の第1主面522に照射した。これにより、吸収層950を選択的に加熱して、吸収層950からの伝熱により $\text{Si}_x\text{Ge}_{1-x}$ 結晶962を加熱して、 $\text{Si}_x\text{Ge}_{1-x}$ 結晶962をアニールした。このとき、グラファイト製支持体の温度は、 400°C となるよう調整した。

[0204] 以上のとおり、半導体基板910の $\text{Si}_x\text{Ge}_{1-x}$ 結晶962をアニールした後、半導体基板910を熱処理に用いた反応容器から取り出した。その後、さらに別の反応装置を用いて、エッチングにより吸収層950を除去した後、MOCVD法により、3-5族化合物半導体566としてGaAs層を形成した。GaAs層は、トリメチルガリウムおよびアルシンを原料ガスに用いて、成長温度が 650°C 、反応容器内の圧力が 9.9 kPa の条件で成膜して、半導体基板510を作製した。

[0205] 第2の電子素子580として、上記GaAs層を活性層に用いたHBTを形成した。その後、配線を形成して、電子デバイス500を作製した。電子デバイス500の動作試験を実施したところ、電子デバイス500は、 $1\text{ kA}/\text{cm}^2$ コレクタ電流密度における電流増幅率として178を示して、電流増幅素子として、正常な動作が確認された。ベース基板520のSi結晶層に形成された第1の電子素子570としてのMOSFETは、初期特性と変わらないしきい値および電流電圧特性が確認された。

[0206] また、アニールされたGe結晶層を、SEMにより観察したところ、Ge結晶層の厚さは約 $1\text{ }\mu\text{m}$ であり、GaAs層の厚さは約 $2.5\text{ }\mu\text{m}$ で設計通りであった。また、エッチピット法によりGaAs層の表面を検査したところ、GaAs層の表面に欠陥は発見されなかった。TEMにより面内断面観察をしたところGe結晶層からGaAs層に貫通する転位は発見されなかった。

[0207] (実施例4)

電子デバイス500を、図6に示す手順に従って製作した。ベース基板520として、市販のSOI基板を準備した。被保護部の一例である第1の電子素子570として、MOSFETをベース基板520のSi結晶層に形成した。障害層554として、ベース基板520の第1主面522に接するSiO₂層を、CVD法により形成した。SiO₂層の厚さの平均値は、1μmであった。フォトリソグラフィ法により、障害層554の一部に開口556を形成した。開口556の大きさは、15μm×15μmとした。

[0208] 障害層554および開口556が形成されたベース基板520を、熱処理装置1200の熱処理炉1210の内部に配置して、Si_xGe_{1-x}結晶962として、Ge結晶層を形成した。上記のベース基板520は、支持体1224の上面に、ベース基板520の第2主面524が支持体1224に接するように載置した。支持体1224は、グラファイト製のサセプタを用いた。Ge結晶層は、CVD法により、開口556の内部に選択的に形成した。Ge結晶層は、GeH₄を原料ガスに用いて熱処理炉1210内の圧力が2.6kPa、成長温度が400℃の条件で、いったん約20nmの厚さまで成膜した後、600℃に昇温して、引き続き約1μmの厚さで成膜した。以上の工程により、半導体基板910を作製した。

[0209] 次に、熱処理炉1210中で、ランプユニット1240により、半導体基板910を載置した支持体1224の裏面から赤外線を照射することで支持体1224を加熱して、支持体1224から半導体基板910の第2主面524の側への熱伝導により、半導体基板910の予備加熱を実施した。予備加熱は、支持体1224の温度が400℃になるよう実施した。このとき、Si_xGe_{1-x}結晶962近傍および第1の電子素子570近傍の温度も、約400℃であった。上記温度は、赤外表面温度計により計測した。予備加熱により半導体基板910の温度が安定した後、ランプユニット1240により半導体基板910を全体的に加熱しながら、障害層554を保護層として、ランプユニット1230により、第1主面522の側から赤外線を含むランプ光を、半導体基板910に対して照射した。ランプ光の波長は、Si結

晶より $\text{Si}_x\text{Ge}_{1-x}$ 結晶に吸収されやすい波長を選択した。これにより、 $\text{Si}_x\text{Ge}_{1-x}$ 結晶 962 を選択的に加熱して、 $\text{Si}_x\text{Ge}_{1-x}$ 結晶 962 をアニールした。

[0210] ランプ光の照射は、 $\text{Si}_x\text{Ge}_{1-x}$ 結晶 962 を形成した後、半導体基板 910 を熱処理炉 1210 から取り出すことなく実施した。即ち、本実施例において、 $\text{Si}_x\text{Ge}_{1-x}$ 結晶 962 の前駆体を結晶に成長させる段階の後、 $\text{Si}_x\text{Ge}_{1-x}$ 結晶 962 を大気に曝露することなく、連続して、 $\text{Si}_x\text{Ge}_{1-x}$ 結晶 962 を選択的に加熱した。また、 $\text{Si}_x\text{Ge}_{1-x}$ 結晶 962 の前駆体を結晶に成長させる段階と、 $\text{Si}_x\text{Ge}_{1-x}$ 結晶 962 を選択的に加熱する段階とを、同一の反応容器の内部で実行した。

[0211] 上記の赤外線を含むランプ光の光源として、最大出力が 1.6 kW のハロゲンランプ（ウシオ電機株式会社製）を 20 本使用した。ハロゲンランプの出力は、次のように調整した。まず、 Si 基板上の全面に、厚さ約 $1\ \mu\text{m}$ の Ge 単結晶層を有する参照基板を準備して、ハロゲンランプの出力と上記参照基板の表面温度との相関特性を得た。次に、この相関特性に基づいて、半導体基板 910 の第 1 主面 522 の表面温度が 850°C になるようにハロゲンランプの出力を設定して、半導体基板 910 にランプ光を 20 分間照射した。また、上記ハロゲンランプと半導体基板 910 との間には、フィルタ 1236 として、 Si 単結晶板を設置して、その透過光を半導体基板 910 の第 1 主面 522 に照射した。半導体基板 910 を反応容器から取り出した。

[0212] 図 15 は、反応容器から取り出した半導体基板 910 の断面 TEM 写真である。ベース基板 520 とその上に形成された $\text{Si}_x\text{Ge}_{1-x}$ 結晶 962 との界面部分を観察した。図 16 は、熱処理されていない $\text{Si}_x\text{Ge}_{1-x}$ 結晶 2000 を有する半導体基板 910 の断面 TEM 写真である。図 16 に示す $\text{Si}_x\text{Ge}_{1-x}$ 結晶 2000 は、 $\text{Si}_x\text{Ge}_{1-x}$ 結晶 962 とは異なりアニールを施していない。 $\text{Si}_x\text{Ge}_{1-x}$ 結晶 2000 中には多数の転位が観察された。図 15 と図 16 とを比較すれば明らかに、アニールした $\text{Si}_x\text{Ge}_{1-x}$ 結晶 962 中には転位が存在しないことがわかる。

[0213] (実施例 5)

実施例 4 と同様にして半導体基板 510 を作製した。電子素子 580 として、GaAs 層を活性層に用いた HBT を形成した。HBT のコレクタ、ベースおよびエミッタに接続する各配線を形成して、電子デバイス 500 とした。

[0214] 図 17 は、上記の通り作成した HBT のコレクタ電圧に対するコレクタ電流を示す。同図は、ベース電圧を変化させたときのデータを 4 系列示している。同図によって、広いコレクタ電圧の範囲でコレクタ電流が安定して流れることが示された。すなわち、作成した HBT は良好な I-V 特性を示した。

[0215] 以上、本発明を実施の形態を用いて説明したが、本発明の技術的範囲は上記実施の形態に記載の範囲には限定されない。上記実施の形態に、多様な変更または改良を加えることが可能であることが当業者に明らかである。その様な変更または改良を加えた形態も本発明の技術的範囲に含まれ得ることが、請求の範囲の記載から明らかである。

[0216] 請求の範囲、明細書、および図面中において示した装置、システム、プログラム、および方法における動作、手順、ステップ、および段階等の各処理の実行順序は、特段「より前に」、「先立って」等と明示しておらず、また、前の処理の出力を後の処理で用いるのでない限り、任意の順序で実現しうることに留意すべきである。請求の範囲、明細書、および図面中の動作フローに関して、便宜上「まず、」、「次に、」等を用いて説明したとしても、この順で実施することが必須であることを意味するものではない。

符号の説明

[0217] 10 電磁波、12 電磁波、14 電磁波、30 電磁波、110 半導体基板、120 ベース基板、122 第 1 主面、124 第 2 主面、130 被熱処理部、150 吸収層、160 被加熱部、210 半導体基板、250 吸収層、256 開口、310 半導体基板、320 ベース基板、322 第 1 主面、324 第 2 主面、330 被熱処理部、340 不純物拡散領域、410 半導体基板、420 ベース基板、422 第 1

主面、424 第2主面、426 保護層、428 開口、430 領域、
450 吸収層、500 電子デバイス、510 半導体基板、520 ベ
ース基板、522 第1主面、524 第2主面、554 阻害層、556
開口、562 $\text{Si}_x\text{Ge}_{1-x}$ 結晶、566 3-5族化合物半導体、57
0 電子素子、571 ウェル、572 ソース領域、574 ドレイン領
域、576 ゲート電極、578 ゲート絶縁膜、580 電子素子、58
7 入出力電極、588 入出力電極、589 ゲート電極、592 配線
、593 開口、594 配線、595 開口、596 配線、910 半
導体基板、950 吸収層、962 $\text{Si}_x\text{Ge}_{1-x}$ 結晶、1200 熱処理
装置、1210 熱処理炉、1212 ウエハ搬入口、1214 ガス流入
部、1216 ガス排出部、1222 蓋部、1224 支持体、1230
ランプユニット、1232 ランプ、1234 反射部材、1236 フ
ィルタ、1238 電源部、1240 ランプユニット、1242 ランプ
、1244 反射部材、1248 電源部、1252 放射温度計、126
0 制御部、1280 ベース基板、1282 第1主面、1284 第2
主面、1290 原料ガス、1310 半導体基板、1350 吸収層、1
354 阻害層、1356 開口、1366 3-5族化合物半導体、13
90 原料ガス、1450 保護層、1452 遮蔽層、1490 原料ガ
ス、2000 $\text{Si}_x\text{Ge}_{1-x}$ 結晶

請求の範囲

- [請求項1] 熱処理される被熱処理部が設けられたベース基板を熱処理して半導体基板を製造する方法であって、
電磁波を吸収して熱を発生し、前記被熱処理部を選択的に加熱する被加熱部を前記ベース基板上に設ける段階と、
前記ベース基板に電磁波を照射する段階と、
前記被加熱部が前記電磁波を吸収することにより発生する熱によって、前記被熱処理部の格子欠陥密度を低減する段階と
を備える半導体基板の製造方法。
- [請求項2] 前記被加熱部を前記ベース基板上に設ける段階において、照射される前記電磁波のエネルギー量に対する発熱量の割合が前記被熱処理部に前記電磁波を照射した場合における前記電磁波のエネルギー量に対する発熱量の割合よりも大きく、かつ前記被熱処理部の上方に設けられた吸収層を有する前記被加熱部を設け、
前記格子欠陥密度を低減する段階において、前記吸収層が前記電磁波を吸収することにより発生する熱によって、前記被熱処理部の格子欠陥密度を低減する
請求項 1 に記載の半導体基板の製造方法。
- [請求項3] 前記ベース基板に電子素子を形成する段階をさらに備え、
前記吸収層における前記電磁波のエネルギー量に対する発熱量の割合が、前記電子素子の少なくとも一部に前記電磁波を照射した場合における前記電磁波のエネルギー量に対する発熱量の割合よりも大きい
請求項 2 に記載の半導体基板の製造方法。
- [請求項4] 前記電磁波に対する前記吸収層の吸収係数が、前記電子素子の少なくとも一部における吸収係数よりも大きい請求項 3 に記載の半導体基板の製造方法。
- [請求項5] 前記ベース基板が S O I 基板または S i 基板であり、
前記電磁波に対する前記被熱処理部の吸収係数が、前記ベース基板

に含まれる S_i の前記電磁波に対する吸収係数よりも大きい請求項 1 に記載の半導体基板の製造方法。

[請求項6] 前記ベース基板に電磁波を照射する段階において、前記被熱処理部における吸収係数が、前記ベース基板をダイシングして製造される電子デバイス上の前記被熱処理部以外の領域における吸収係数よりも大きい前記電磁波を前記ベース基板に照射する請求項 1 に記載の半導体基板の製造方法。

[請求項7] 前記ベース基板上に、前記被熱処理部としての Si_xGe_{1-x} 結晶 ($0 \leq x < 1$) の前駆体を結晶に成長させる段階をさらに備える請求項 1 に記載の半導体基板の製造方法。

[請求項8] 前記格子欠陥密度を低減する段階の後に、前記 Si_xGe_{1-x} 結晶 ($0 \leq x < 1$) に格子整合または擬格子整合する 3-5 族化合物半導体を結晶成長させる段階をさらに備える請求項 7 に記載の半導体基板の製造方法。

[請求項9] 前記 Si_xGe_{1-x} 結晶の前駆体を結晶に成長させる段階の後に、前記ベース基板を大気に曝すことなく、前記格子欠陥密度を低減させる段階を備える請求項 8 に記載の半導体基板の製造方法。

[請求項10] 前記 Si_xGe_{1-x} 結晶の前駆体を結晶に成長させる段階と前記格子欠陥密度を低減させる段階とを同一反応容器内で実行する請求項 9 に記載の半導体基板の製造方法。

[請求項11] 前記 3-5 族化合物半導体を結晶成長させる段階において、前記格子欠陥密度を低減する段階で前記電磁波を照射した光源を用いて、前記ベース基板に再度前記電磁波を照射する請求項 8 に記載の半導体基板の製造方法。

[請求項12] 前記格子欠陥密度を低減する段階において、前記ベース基板全体に均一に前記電磁波を照射する請求項 1 に記載の半導体基板の製造方法。

[請求項13] 前記格子欠陥密度を低減する段階において、パルス状に複数回前記

ベース基板に前記電磁波を照射する請求項 1 2 に記載の半導体基板の製造方法。

[請求項14] 前記被熱処理部が設けられた前記ベース基板の主面の裏面側から加熱しながら、前記ベース基板の前記主面側から前記電磁波を照射する請求項 1 に記載の半導体基板の製造方法。

[請求項15] 前記格子欠陥密度を低減する段階において、前記 $\text{Si}_x\text{Ge}_{1-x}$ 結晶 ($0 \leq x < 1$) の前記格子欠陥密度を 10^5 cm^{-2} 以下に低減させる請求項 7 に記載の半導体基板の製造方法。

[請求項16] 前記電磁波から前記電子素子を保護する保護層を前記電子素子の上方に形成する段階をさらに備える請求項 3 に記載の半導体基板の製造方法。

[請求項17] 前記ベース基板上に前記被熱処理部の前駆体が結晶に成長することを阻害する阻害層を、前記電子素子の上方に形成する段階と、
前記ベース基板にまで貫通する開口を前記阻害層に形成する段階と、
、
前記開口内に前記被熱処理部としてのシード結晶を設ける段階と、
前記シード結晶を加熱する前記吸収層を形成する段階と、
前記電磁波を照射することにより前記シード結晶をアニールする段階と
を備え、
前記阻害層は前記電磁波から前記電子素子を保護する請求項 3 に記載の半導体基板の製造方法。

[請求項18] 前記アニールする段階の後に、前記シード結晶に格子整合または擬格子整合する化合物半導体を結晶成長させる段階をさらに備える請求項 1 7 に記載の半導体基板の製造方法。

[請求項19] 前記シード結晶は $\text{Si}_x\text{Ge}_{1-x}$ 結晶 ($0 \leq x < 1$) であり、前記化合物半導体は 3 - 5 族化合物半導体である請求項 1 8 に記載の半導体基板の製造方法。

[請求項20] 前記阻害層の少なくとも一部が前記吸収層と前記シード結晶との間に配置される請求項17に記載の半導体基板の製造方法。

[請求項21] ベース基板と、
前記ベース基板上に設けられた $\text{Si}_x\text{Ge}_{1-x}$ 結晶 ($0 \leq x < 1$) と、
前記ベース基板に照射された電磁波を吸収して発生した熱によって前記 $\text{Si}_x\text{Ge}_{1-x}$ 結晶を選択的に加熱する吸収層と
を備え、
前記 $\text{Si}_x\text{Ge}_{1-x}$ 結晶の格子欠陥密度が 10^5 cm^{-2} 以下である半導体基板。

[請求項22] 前記ベース基板上に形成された電子素子と、
前記電子素子上に形成され、前記 $\text{Si}_x\text{Ge}_{1-x}$ 結晶の前駆体が結晶に成長することを阻害し、前記電磁波から前記電子素子を保護する阻害層と
をさらに備え、
前記 $\text{Si}_x\text{Ge}_{1-x}$ 結晶は、前記ベース基板にまで前記阻害層を貫通する開口内に設けられている請求項21に記載の半導体基板。

[請求項23] 第1の電子素子と第2の電子素子とを備える電子デバイスの製造方法であって、
ベース基板上に前記第1の電子素子を形成する段階と、
前記ベース基板上に $\text{Si}_x\text{Ge}_{1-x}$ 結晶 ($0 \leq x < 1$) を設ける段階と、
前記 $\text{Si}_x\text{Ge}_{1-x}$ 結晶を選択的に加熱する吸収層を設ける段階と、
、
前記ベース基板に電磁波を照射する段階と、
前記電磁波を吸収した前記吸収層が発生した熱によって前記 $\text{Si}_x\text{Ge}_{1-x}$ 結晶の格子欠陥密度を低減する段階と、
前記 $\text{Si}_x\text{Ge}_{1-x}$ 結晶に格子整合または擬格子整合する3-5族

化合物半導体を結晶成長させる段階と、

前記化合物半導体上に前記第 1 の電子素子と電氣的に結合される前記第 2 の電子素子を形成する段階と

を備える電子デバイスの製造方法。

[請求項24]

前記吸収層を形成する段階において、照射される前記電磁波のエネルギー量に対する発熱量の割合が、前記 $\text{Si}_x\text{Ge}_{1-x}$ 結晶に前記電磁波を照射した場合における前記電磁波のエネルギー量に対する発熱量の割合よりも大きい前記吸収層を前記 $\text{Si}_x\text{Ge}_{1-x}$ 結晶の上方に形成する請求項 23 に記載の電子デバイスの製造方法。

[請求項25]

前記吸収層を形成する段階において、照射される前記電磁波のエネルギー量に対する発熱量の割合が、前記第 1 の電子素子に前記電磁波を照射した場合における前記電磁波のエネルギー量に対する発熱量の割合よりも大きい前記吸収層を前記 $\text{Si}_x\text{Ge}_{1-x}$ 結晶の上方に形成する請求項 23 に記載の電子デバイスの製造方法。

[請求項26]

第 1 の電子素子と第 2 の電子素子とを備える電子デバイスの製造方法であって、

SOI 基板または Si 基板から選ばれるベース基板上に前記第 1 の電子素子を形成する段階と、

前記ベース基板上に $\text{Si}_x\text{Ge}_{1-x}$ 結晶 ($0 \leq x < 1$) を設ける段階と、

前記 $\text{Si}_x\text{Ge}_{1-x}$ 結晶における吸収係数が前記ベース基板に含まれる Si における吸収係数よりも大きい電磁波を前記ベース基板に照射する段階と、

前記照射された前記電磁波を前記 $\text{Si}_x\text{Ge}_{1-x}$ 結晶が吸収して発生した熱によって前記 $\text{Si}_x\text{Ge}_{1-x}$ 結晶の格子欠陥密度を低減する段階と、

前記 $\text{Si}_x\text{Ge}_{1-x}$ 結晶に格子整合または擬格子整合する 3-5 族化合物半導体を結晶成長させる段階と、

前記化合物半導体上に前記第2の電子素子を形成する段階と
を備える電子デバイスの製造方法。

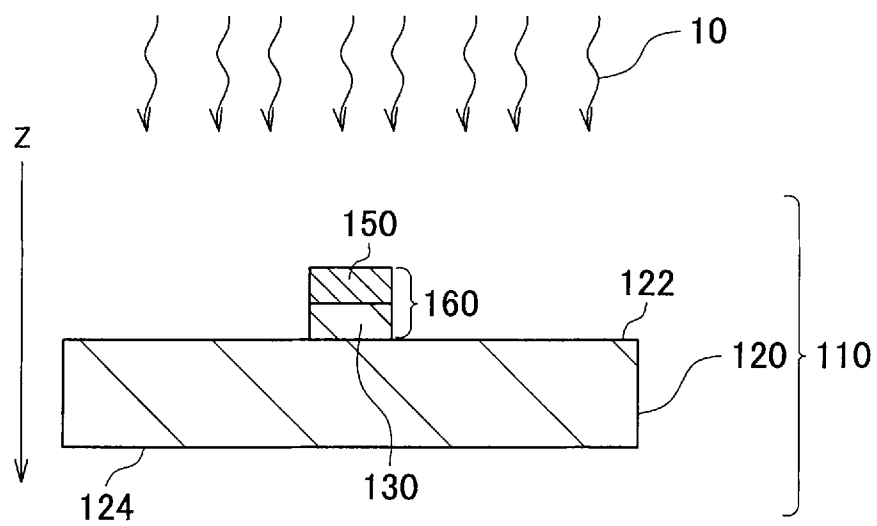
- [請求項27] 前記 $\text{Si}_x\text{Ge}_{1-x}$ 結晶の前駆体が結晶に成長することを阻害し、
且つ、前記電磁波から前記第1の電子素子を保護する阻害層を、少なくとも前記第1の電子素子を覆うように形成する段階と、
前記第1の電子素子を覆う領域以外の前記阻害層の領域に、前記ベース基板にまで貫通する開口を前記阻害層に形成する段階と、
前記開口内で前記 $\text{Si}_x\text{Ge}_{1-x}$ 結晶の前駆体を結晶に成長させ、
前記 $\text{Si}_x\text{Ge}_{1-x}$ 結晶を設ける段階と
をさらに備える請求項23に記載の電子デバイスの製造方法。

- [請求項28] 前記第1の電子素子は、前記第2の電子素子の駆動回路、前記第2の電子素子の入出力特性における線形性を改善する補正回路、および前記第2の電子素子の入力段の保護回路のうちの少なくとも1つの回路に含まれる電子素子であり、
前記第2の電子素子は、アナログ電子デバイス、発光デバイス、および受光デバイスのうちの少なくとも1つのデバイスに含まれる電子素子である請求項23に記載の電子デバイスの製造方法。

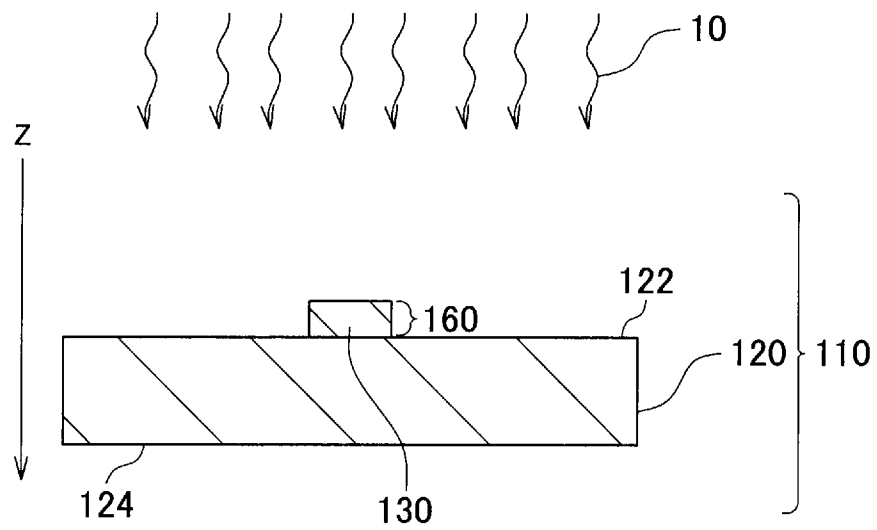
- [請求項29] 熱処理される被熱処理部を選択的に加熱する被加熱部を備えるベース基板を保持する反応容器と、
前記ベース基板における、前記被加熱部が形成されている主面側から電磁波を照射する照射部と、
前記主面の裏面側から前記ベース基板を全体的に加熱する加熱部と、
前記ベース基板の温度を測定する加熱温度測定部と、
前記被加熱部の温度を測定する温度測定部と、
前記加熱温度測定部および前記温度測定部の測定結果に基づいて前記照射部および前記加熱部を制御する制御部と
を備える反応装置。

- [請求項30] 前記温度測定部は、前記被加熱部からの放射熱に基づいて、前記被加熱部の温度を測定する請求項29に記載の反応装置。
- [請求項31] 前記制御部は、前記加熱温度測定部の測定結果に基づいて、前記照射部が前記電磁波を照射する照射期間と、前記照射部が前記電磁波を照射しない非照射期間とを決定する請求項29に記載の反応装置。
- [請求項32] 前記ベース基板と前記照射部との間に、前記ベース基板の吸収係数が前記被加熱部の吸収係数よりも大きい前記電磁波の波長成分を遮断するフィルタをさらに備える請求項29に記載の反応装置。
- [請求項33] 前記反応容器の内部に原料ガスを供給するガス供給部をさらに備え、
前記反応容器の内部で前記原料ガスを反応させて前記被加熱部上に化合物半導体を結晶成長させる請求項29に記載の反応装置。
- [請求項34] 前記原料ガスの温度が前記ベース基板の温度よりも低く、
前記原料ガスは、前記化合物半導体を結晶成長させる間に前記ベース基板を冷却する請求項33に記載の反応装置。

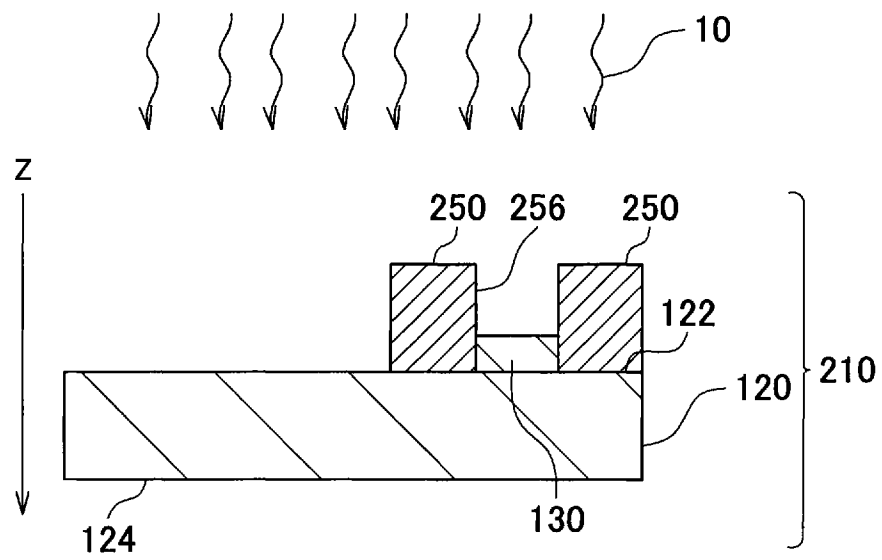
[図1A]



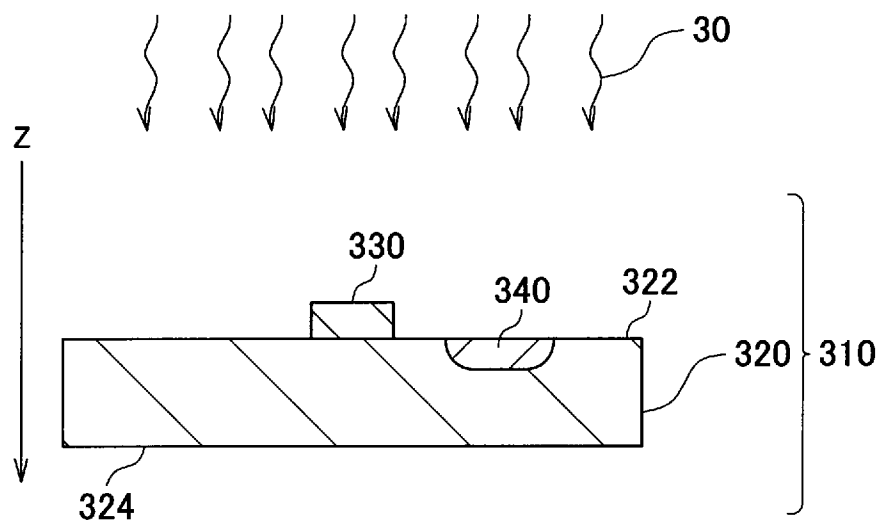
[図1B]



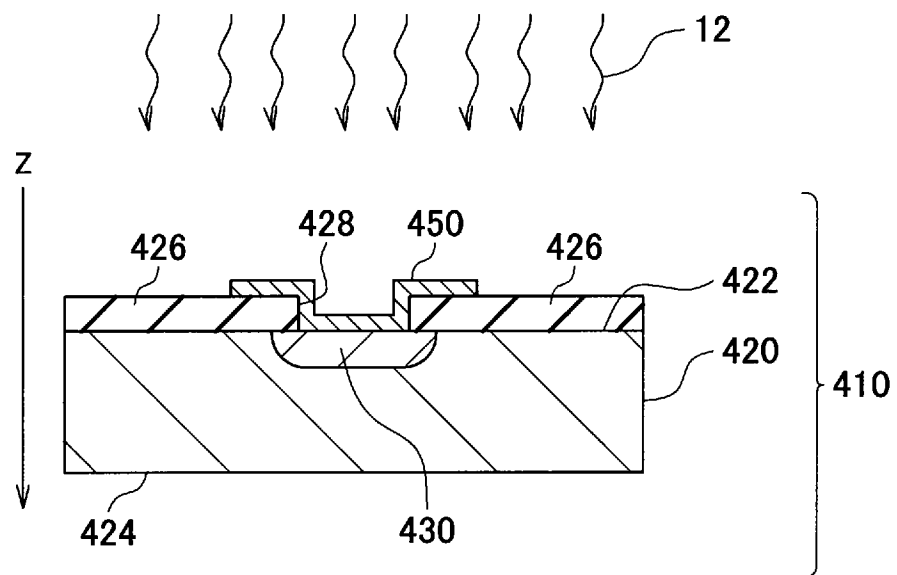
[図2]



[図3]

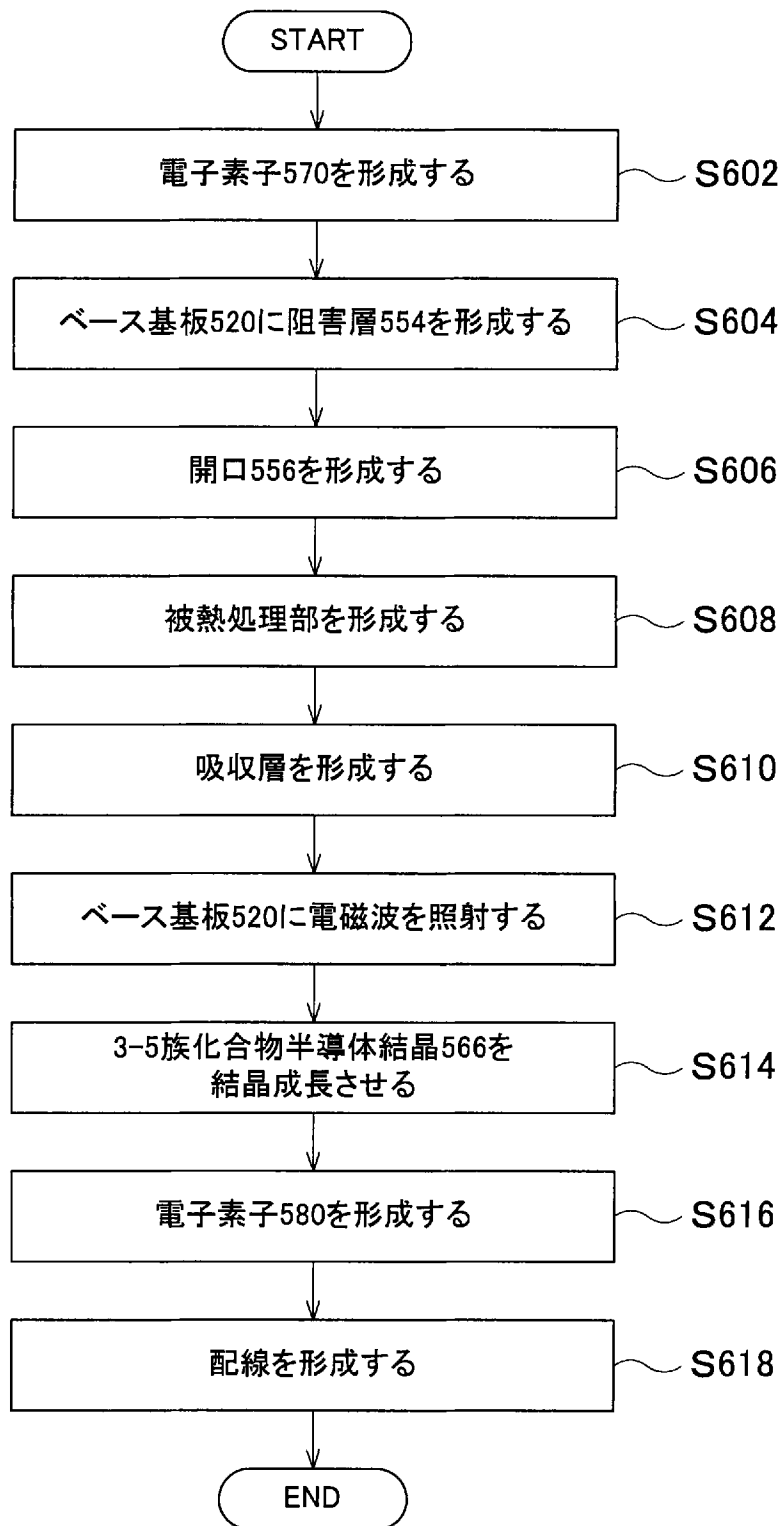


[図4]

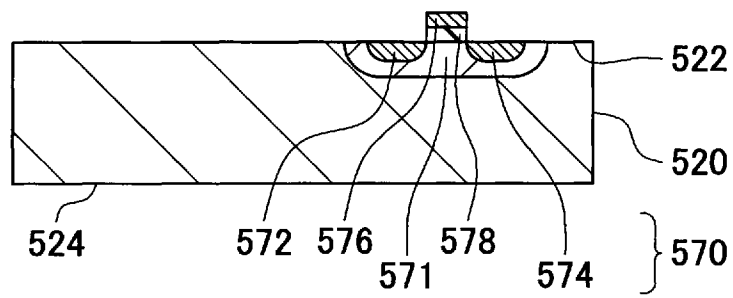


500

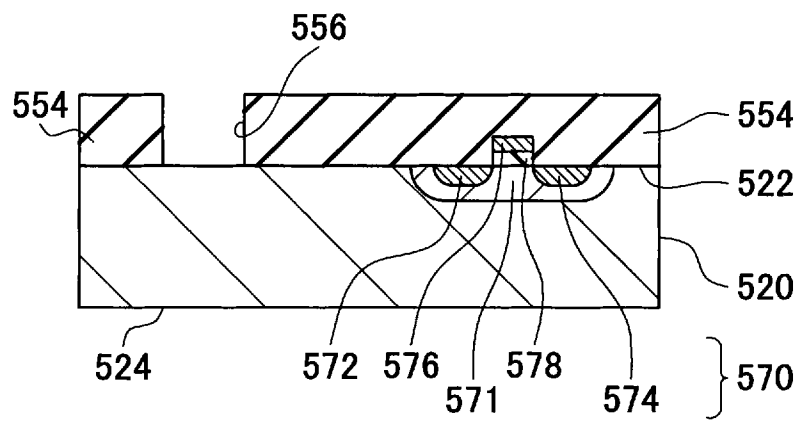
[図6]



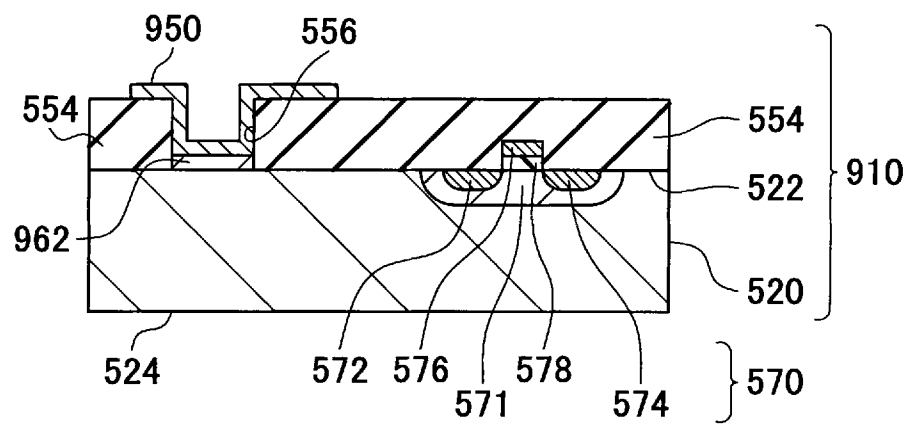
[図7]



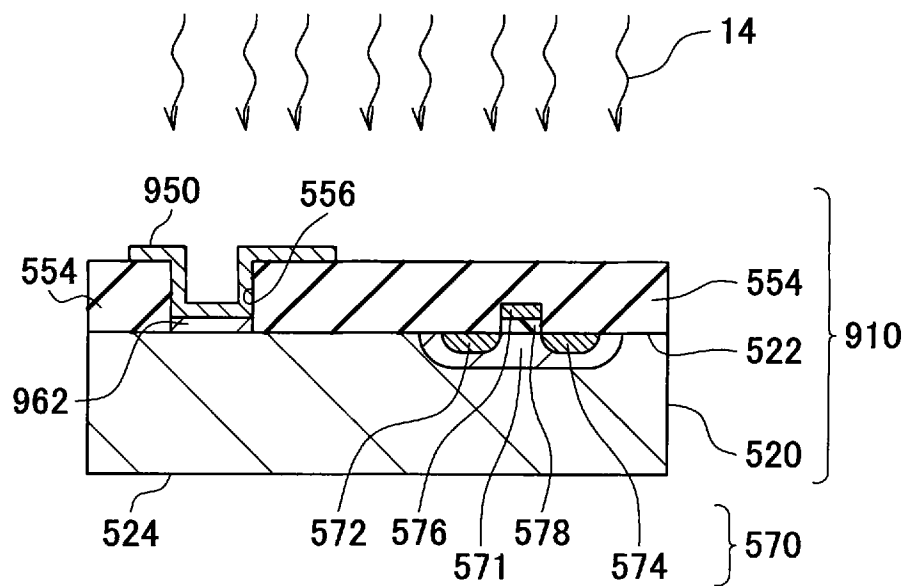
[図8]



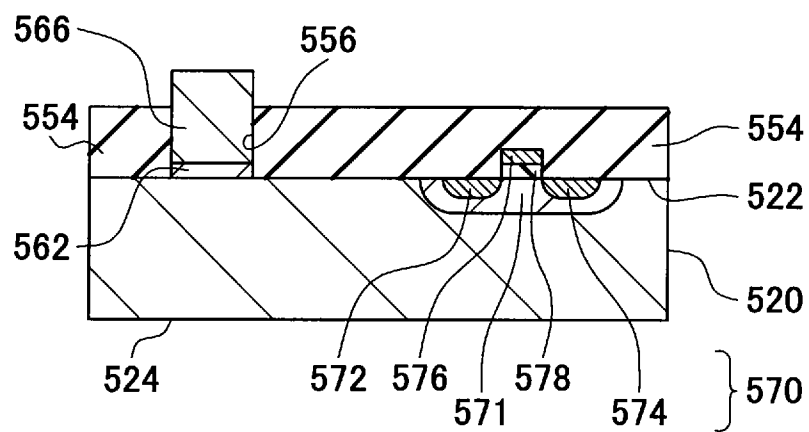
[図9]



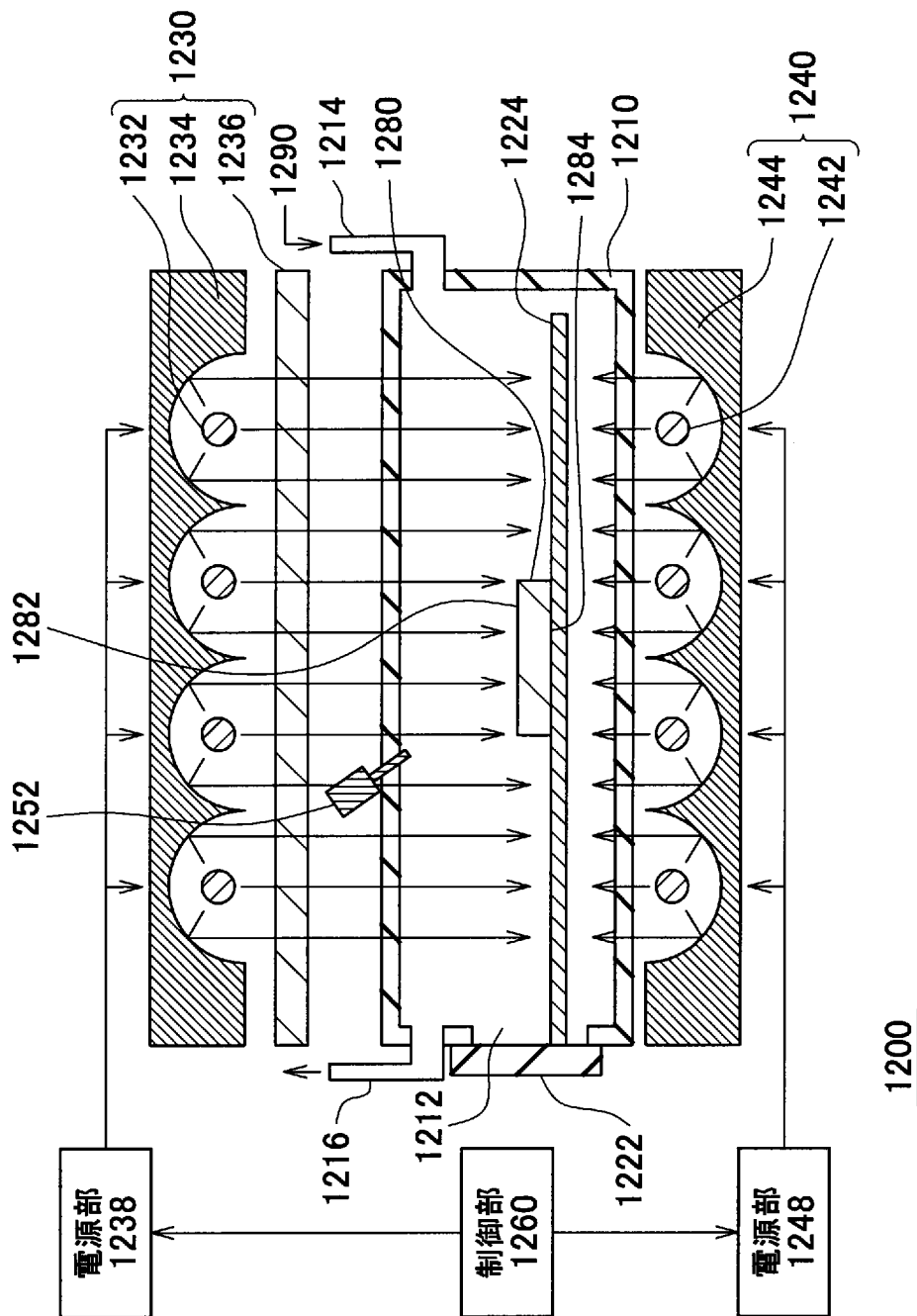
[図10]



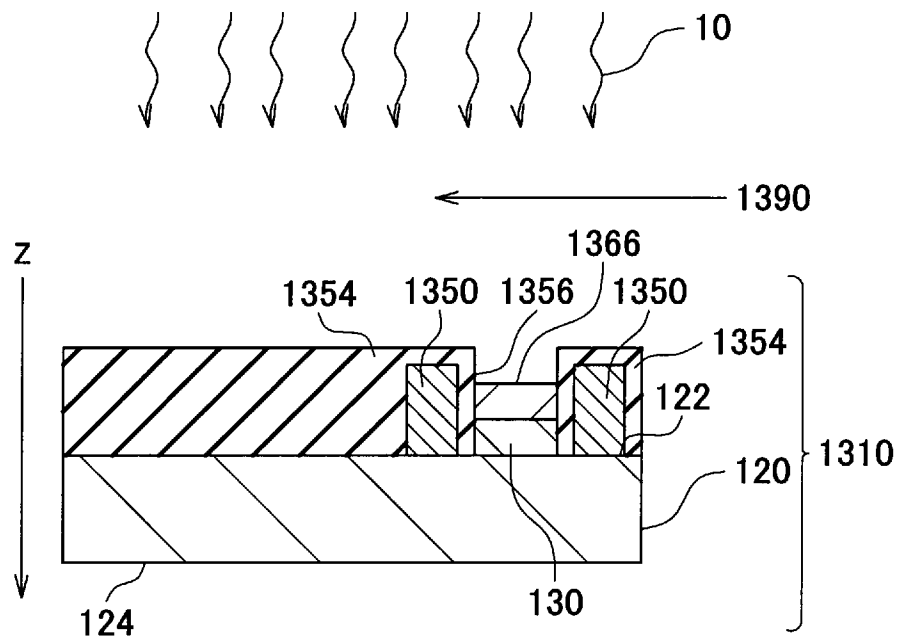
[図11]

510

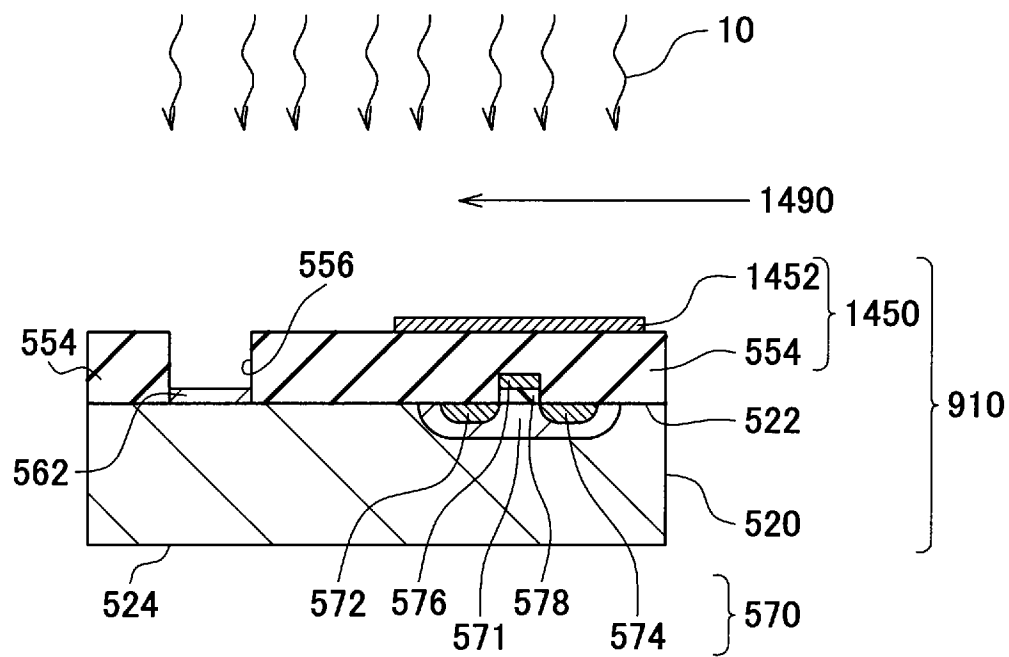
[図12]



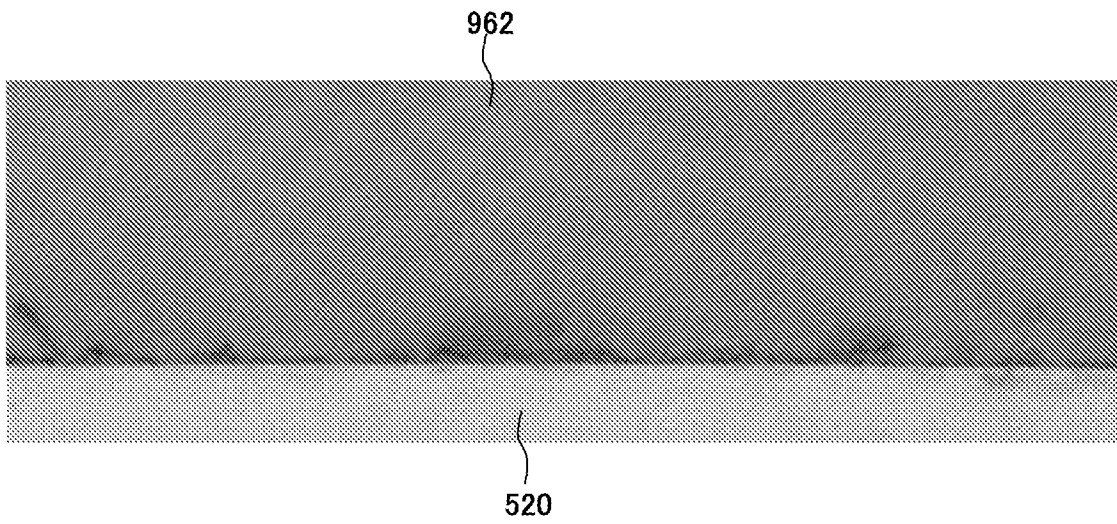
[図13]



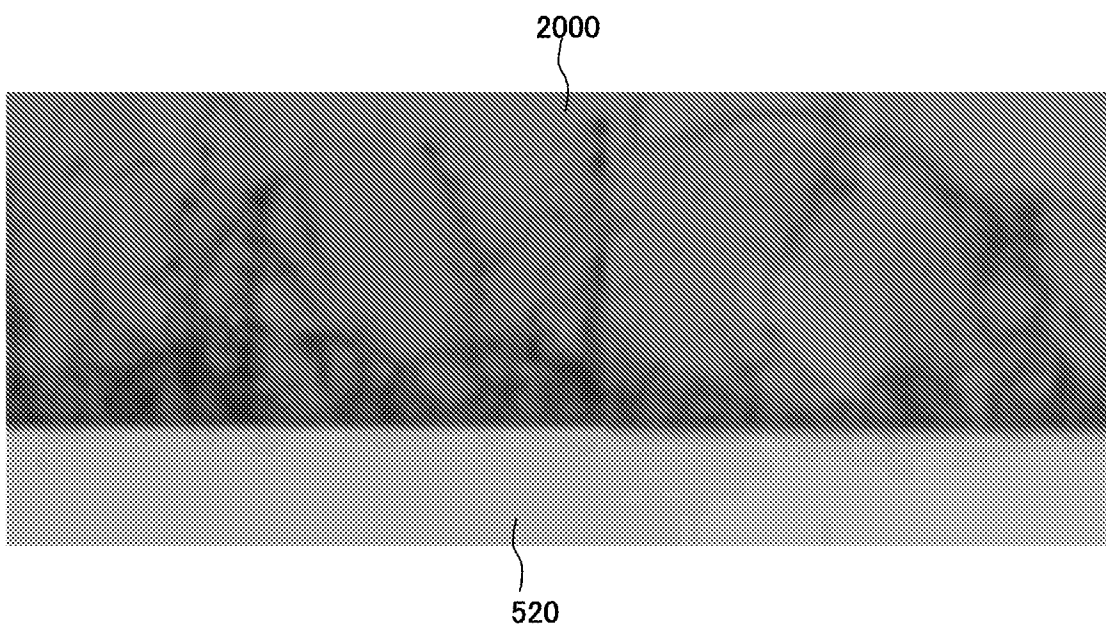
[図14]



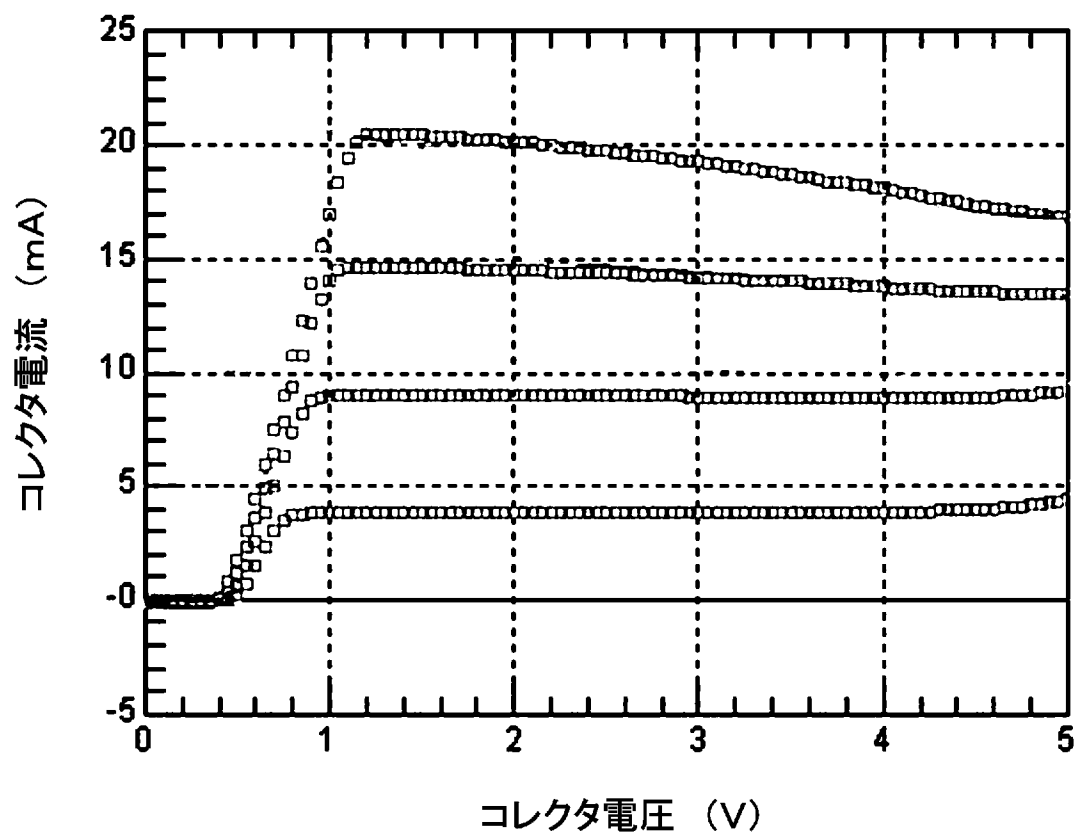
[図15]



[図16]



[図17]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/006411

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/26(2006.01)i, H01L21/20(2006.01)i, H01L21/205(2006.01)i,
H01L21/265(2006.01)i, H01L21/268(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/26, H01L21/20, H01L21/205, H01L21/265, H01L21/268

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2010
Kokai Jitsuyo Shinan Koho	1971-2010	Toroku Jitsuyo Shinan Koho	1994-2010

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 63-265424 A (Seiko Epson Corp.), 01 November 1988 (01.11.1988),	1-4, 6, 12-14, 16
Y	entire text; all drawings (Family: none)	5, 7-11, 15, 17-28
A		29-34
Y	JP 64-39723 A (Seiko Epson Corp.), 10 February 1989 (10.02.1989), entire text; all drawings (Family: none)	5, 7-11, 15, 17-28
Y	JP 63-158832 A (Matsushita Electric Industrial Co., Ltd.), 01 July 1988 (01.07.1988), entire text; all drawings (Family: none)	5, 7-11, 15, 17-28



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
29 January, 2010 (29.01.10)

Date of mailing of the international search report
16 February, 2010 (16.02.10)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/006411

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 8-17755 A (Sony Corp.), 09 November 1996 (09.11.1996), fig. 1 and the explanations thereof (Family: none)	29, 30, 32-34 1-28, 31

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/006411

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:
See extra sheet.

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☒ As all searchable claims could be searched without effort justifying additional fees, this Authority did not invite payment of additional fees.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. ☐ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

Remark on Protest

- ☐ The additional search fees were accompanied by the applicant's protest and, where applicable, the payment of a protest fee.
- ☐ The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- ☐ No protest accompanied the payment of additional search fees.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/006411

Continuation of Box No.III of continuation of first sheet (2)

Sine the inventions in claims 1 - 4, 6, 12, 16 are described in JP 63-265424 A (Seiko Epson Corp.), 1 November 1988 (01.11.1988), entire text, all drawings, the inventions in claims 1 - 4, 6, 12, 16 cannot be considered to have a novelty in the light of the afore-said prior art document and do not have a special technical feature.

Consequently, as a result of examining the number of the inventions described in the claims of the present international application, the present application is recognized to involve the following ten inventions.

(Invention 1)
claims 1 - 4, 6, 12, 16
(Invention 2)
claim 5
(Invention 3)
claims 7 - 11, 15
(Invention 4)
claim 13
(Invention 5)
claim 14
(Invention 6)
claims 17 - 20
(Invention 7)
claims 21, 22
(Invention 8)
claims 23 - 25, 27, 28
(Invention 9)
claim 26
(Invention 10)
claims 29 - 34

A. 発明の属する分野の分類（国際特許分類（I P C）） Int.Cl. H01L21/26(2006.01)i, H01L21/20(2006.01)i, H01L21/205(2006.01)i, H01L21/265(2006.01)i, H01L21/268(2006.01)i			
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（I P C）） Int.Cl. H01L21/26, H01L21/20, H01L21/205, H01L21/265, H01L21/268			
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1 9 2 2 - 1 9 9 6 年 日本国公開実用新案公報 1 9 7 1 - 2 0 1 0 年 日本国実用新案登録公報 1 9 9 6 - 2 0 1 0 年 日本国登録実用新案公報 1 9 9 4 - 2 0 1 0 年			
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）			
C. 関連すると認められる文献			
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	
X	JP 63-265424 A（セイコーエプソン株式会社）1988.11.01, 全文、 全図（ファミリーなし）	1 - 4, 6, 1 2 - 1 4, 1 6	
Y		5, 7 - 1 1, 1 5, 1 7 - 2 8	
☒ C 欄の続きにも文献が列挙されている。 ☐ パテントファミリーに関する別紙を参照。			
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献			
国際調査を完了した日 2 9 . 0 1 . 2 0 1 0		国際調査報告の発送日 1 6 . 0 2 . 2 0 1 0	
国際調査機関の名称及びあて先 日本国特許庁（I S A / J P） 郵便番号 1 0 0 - 8 9 1 5 東京都千代田区霞が関三丁目4番3号		特許庁審査官（権限のある職員） 太田 一平	4 L 3 8 4 1
		電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 4 9 8	

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A		2 9 - 3 4
Y	JP 64-39723 A (セイコーエプソン株式会社) 1989.02.10, 全文、全図 (ファミリーなし)	5, 7 - 1 1, 1 5, 1 7 - 2 8
Y	JP 63-158832 A (松下電器産業株式会社) 1988.07.01, 全文、全図 (ファミリーなし)	5, 7 - 1 1, 1 5, 1 7 - 2 8
X	JP 8-17755 A (ソニー株式会社) 1996.11.09, 図1 及びその説明箇所 (ファミリーなし)	2 9, 3 0, 3 2 - 3 4
A		1 - 2 8, 3 1

第Ⅱ欄 請求の範囲の一部の調査ができないときの意見（第1ページの2の続き）

法第8条第3項（P C T 17条(2)(a)）の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. ☐ 請求項 _____ は、この国際調査機関が調査をすることを要しない対象に係るものである。
つまり、
2. ☐ 請求項 _____ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. ☐ 請求項 _____ は、従属請求の範囲であってP C T 規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

第Ⅲ欄 発明の単一性が欠如しているときの意見（第1ページの3の続き）

次に述べるようにこの国際出願に二以上の発明があるところの国際調査機関は認めた。
特別ページ参照。

1. ☐ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求項について作成した。
2. ☒ 追加調査手数料を要求するまでもなく、すべての調査可能な請求項について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったため、この国際調査報告は、手数料の納付のあった次の請求項のみについて作成した。
4. ☐ 出願人が必要な追加調査手数料を期間内に納付しなかったため、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求項について作成した。

追加調査手数料の異議の申立てに関する注意

- ☐ 追加調査手数料及び、該当する場合には、異議申立手数料の納付と共に、出願人から異議申立てがあった。
- ☐ 追加調査手数料の納付と共に出願人から異議申立てがあったが、異議申立手数料が納付命令書に示した期間内に支払われなかった。
- ☐ 追加調査手数料の納付はあったが、異議申立てはなかった。

先行技術文献 JP 63-265424 A (セイコーエプソン株式会社) 1988.11.01, 全文、全図には、請求項 1-4, 6, 12, 16 に係る発明が記載されているため、請求項 1-4, 6, 12, 16 に係る発明は、上記先行技術文献に記載された発明に対して新規性が認められず、特別な技術的特徴を有しない。

そこで、この国際出願の請求の範囲に記載されている発明の数について検討すると、以下に示す 10 個の発明が記載されていると認められる。

(発明 1)

請求項 1-4, 6, 12, 16

(発明 2)

請求項 5

(発明 3)

請求項 7-11, 15

(発明 4)

請求項 13

(発明 5)

請求項 14

(発明 6)

請求項 17-20

(発明 7)

請求項 21, 22

(発明 8)

請求項 23-25, 27, 28

(発明 9)

請求項 26

(発明 10)

請求項 29-34